

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4345201号
(P4345201)

(45) 発行日 平成21年10月14日(2009.10.14)

(24) 登録日 平成21年7月24日(2009.7.24)

(51) Int. Cl.	F I				
HO4B	1/707	(2006.01)	HO4J	13/00	D
HO4L	7/00	(2006.01)	HO4L	7/00	C

請求項の数 1 (全 13 頁)

(21) 出願番号	特願2000-194886 (P2000-194886)	(73) 特許権者	000005108
(22) 出願日	平成12年6月23日 (2000.6.23)		株式会社日立製作所
(65) 公開番号	特開2002-9671 (P2002-9671A)		東京都千代田区丸の内一丁目6番6号
(43) 公開日	平成14年1月11日 (2002.1.11)	(74) 代理人	100100310
審査請求日	平成18年12月19日 (2006.12.19)		弁理士 井上 学
		(72) 発明者	花岡 誠之
			東京都国分寺市東恋ヶ窪一丁目280番地
			株式会社日立製作所中央研究
			所内
		(72) 発明者	矢野 隆
			東京都国分寺市東恋ヶ窪一丁目280番地
			株式会社日立製作所中央研究
			所内

最終頁に続く

(54) 【発明の名称】 同期追従機能を有する無線通信装置

(57) 【特許請求の範囲】

【請求項1】

符号分割多元接続(CDMA: Code Division Multiple Access)方式移動通信システムにおける通信装置において、受信機は、
受信アンテナから受信された搬送波周波数帯域の受信信号をベースバンドのスペクトル拡散信号に変換する無線部と、

上記のベースバンド信号と拡散符号との相関演算を行い、受信タイミングを検出して、同期確立および同期捕捉を行う同期系と、

無線伝搬路で生じるマルチパスそれぞれのパス毎に復調系フィンガを構成し、各復調系フィンガはそれぞれ上記同期系で検出された受信タイミングで逆拡散を行う逆拡散ブロックと位相回転を補正する検波ブロックとを備え、一方、各復調系フィンガの逆拡散のタイミングを受信タイミングのずれにかかわらず高い相関出力が得られるように順次制御するタイミング追従制御ブロック(DLL制御ブロック)を有する復調系とを有し、

前記タイミング追従制御ブロックは、前記同期系が検出したタイミングに対し異なった2つのタイミングにおける逆拡散結果を得るための逆拡散ブロックと、該逆拡散結果を同相加算する強度算出ブロックと、前記異なった2つのタイミングにおける各同相加算結果の差分を計算し、これを複数スロット分電力加算するスロット平均化ブロックと、上記スロット平均化ブロックからの出力に基づきタイミング追従制御判定を行うタイミング追従制御判定ブロックを具備し、該タイミング追従制御判定ブロックのタイミング追従制御判定は、前記逆拡散ブロックおよび強度算出ブロックの時分割共用により、前記受信機の移

動速度により計算されるパスの移動が前記タイミング追従制御ブロックによる一回のパスタイミングの移動を超えない範囲内の複数フレームあたりに一度の周期で行なうことを特徴とする通信装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は無線通信装置（基地局および端末）に係り、特に符号分割多元接続（CDMA：Code Division Multiple Access）方式の移動体通信システムで使用される同期追従機能を有する通信装置に関する。

【0002】

【従来の技術】

従来のCDMA方式の受信機構成を図1に示す。受信機はアンテナ101から無線伝搬路を伝搬した電波を受信する無線部102および受信部103から構成される。受信部103では、まず同期系105により受信信号の同期を確立し、同期系105で確立したパスタイミングに従い復調系106による逆拡散、検波処理等が行われる。検波後、電力制御ビットは送信電力制御部109においてビットの判定を行い、送信電力のup/downを送信系104に指示する。一方検波後データは誤り制御系107において復号化、誤り検出などが行われ、最終的に復号されたデータがインタフェース108を介して上位レイヤ等に伝送される。

【0003】

CDMA方式における受信機では、拡散された受信信号から拡散符号の同期を確立し、端末の移動やパス位置の変化に合わせて同期追従を行う必要がある。

【0004】

図2に、同期確立および同期追従を行うために必要な受信機構成の詳細を示す。同図において、201はベースバンド部受信信号、202は同期系内の逆拡散部、203は同期系内の強度算出部、204は同期系内のスロット平均化部、205は同期系内のピーク検出部、206は復調系の1番目のフィンガ構成、207は復調系の2番目のフィンガ、208は復調系のI番目のフィンガ、209は各フィンガ内の逆拡散部（On-time、early タイミング、late タイミング）、210は各フィンガ内の検波部、211はearly タイミング用強度算出部、212はlate タイミング用強度算出部、213はearly タイミングとlate タイミングの強度算出結果の差分計算部、214はスロット平均化部、215はタイミング追従制御（DLL）判定部、216はタイミング追従制御部（DLL制御部）、217はRAKE合成部である。

【0005】

まず受信信号は同期系105の逆拡散部202により逆拡散される。ここでは受信タイミングを見つけるためにサンプリングされた受信信号毎に受信信号と拡散符号との相関をとる。結果として逆拡散部202からはサーチした範囲のパスのプロファイル遅延プロファイルが出力されることになる。つぎに遅延プロファイルの精度を高めるために強度算出部203において同相加算を行う。同相加算は位相回転量の少ない区間で行うことが可能である。

【0006】

さらにスロット平均化部204でスロット間での電力加算を行い、雑音を平均化する。この電力加算の様子を示したのが図4である。図4においてある時刻における遅延プロファイルが401であった場合、403と404の2点において高い相関値が出力されており、この2点をパスタイミングと判断する可能性がある。また次のある時刻における遅延プロファイルが402であった場合、405の1点において高い相関値が出力されており、この1点をパスタイミングと判断する可能性がある。

【0007】

上記2つのプロファイルを電力加算すると、雑音による相関値のばらつきが平均化され、パスの候補の一つに見えていた404は雑音の影響によりたまたま高い相関値を出力して

10

20

30

40

50

ただで、見つけるべきパスの候補から外れる。したがって電力加算を行うことにより正しいパスを見つけた確率を高めることが可能となる。

【0008】

このようにして得られたプロファイルから、ある定められたアルゴリズムに従い、ピーク検出部205において一つのあるいは複数のパスを抽出し、抽出されたパスタイミングを復調系フィンガ206の逆拡散部209に通知する。複数のパスが抽出された場合は、それぞれのフィンガ206, 207, 208に対してパスタイミングを通知する。なお、これらのパスタイミングの更新周期は10フレーム100ms程度と仮定している。

【0009】

各復調系フィンガ206, 207, 208では、同期系で抽出したパスのタイミングに従って逆拡散部209を動作させ、逆拡散を行う。また伝搬路推定を行い、位相回転量を推定し、この値をもとに検波部210において検波を行う。各フィンガの検波後データはRAKE合成部217において最大比合成される。各復調系フィンガ206, 207, 208では、データ復調のほかフィンガのパス移動を自ら検出し、補正するDLL機能部216を有する。

10

【0010】

図3に上記DLL機能の構成を示す。同図において、301はDLL制御部内のスロット平均化部の加算部、302はDLL制御部内のスロット平均化部の遅延素子、303はDLL判定アルゴリズムの一例である。

【0011】

DLL機能部216ではまず同期系により通知されたパスタイミングに対し、0.5チップ位相が進んだタイミング(early)と0.5チップ位相が遅れたタイミング(late)で、それぞれ逆拡散209, 210および同相加算211, 212を行う。同相加算は1スロット内のパイロットシンボル数分だけ行われる。

20

【0012】

さらに1スロット毎にそれぞれの同相加算結果の引き算213を行う。雑音がなく、同期系で通知されたタイミングが正確であり、かつパスが移動しなければ、この引き算結果は0となるはずである。一方パスが移動した場合はパスの移動方向に応じて引き算結果が正、負の値として出力される。

【0013】

実際には雑音が付加されているため、引き算結果は雑音の影響を受ける。そこでスロット平均化部214において複数スロット分の累算平均化を行う。累算後に出力された値"DATA"はDLL制御位相シフト判定部215に入力され、あらかじめ設定された閾値"TH"との比較を行う。

30

【0014】

累算値"DATA"が閾値"TH"よりも大きい場合、(early)成分が(late)成分よりも大きいことを示しており、累算値が0に近づくように次の逆拡散のタイミングを"A"チップ分進ませる制御を行う(303)。一方累算値"DATA"が閾値のマイナス値"-TH"よりも小さい場合、これは(early)成分が(late)成分よりも小さいことを示しているため、累算値が0に近づくように次の逆拡散のタイミングを"A"チップ分遅らせる制御を行う(303)。ここで、上記"A"は位相シフト量であり、例えばA=0.25の値が用いられる。また、累算値"DATA"が上記以外の場合、すなわち式" $-TH < DATA < TH$ "を満たす場合は、逆拡散のタイミングをシフトさせる必要はない。この場合、パスが移動していないと判断し、パスタイミングは現状維持とする(303)。

40

【0015】

これらの位相シフト判定は1フレームに1回行われる。これらの動作を時間の経過と共に記述すると図5のようになる。図5ではスロット毎に計算される(early)、(late)それぞれの同相加算結果の差分505を"S"スロット分電力加算し(504、506)、加算結果に基づいて1フレーム(501、502、503)毎にDLL判定50

50

7を行っている。

【0016】

【発明が解決しようとする課題】

符号分割多元接続方式を用いた無線通信システムにおいて、同期追従をするためには同期外れを起こさないように精度よくパスタイミングを更新する必要がある。

【0017】

図2に示した従来例では同期系による10フレーム毎のパスタイミング更新とDLL機能によるタイミング追従制御を用いることにより同期追従を行っているが、各フィンガ毎にDLL機能を搭載する必要がある。加えて、特に逆拡散部等はチップ速度での高速動作のためにハードウェア構成とされることが多いため、回路規模が増大するという問題がある。さらに図2に示したとおり、各フィンガ毎にこのDLL機能を動作させる必要があるため、消費電力の観点からも問題がある。

10

【0018】

本発明の目的は、符号分割多元接続通信の通信装置において、同期追従特性を劣化させることなくそれに必要な回路の規模を削減し、かつ消費電力を削減することにある。

【0019】

【課題を解決するための手段】

上記問題を解決するために、本発明の通信装置は、逆拡散ブロックおよび同相加算を行う強度算出ブロックを一つだけ有し、複数の処理の過程でこれを共用化し、時分割で処理することを特徴とする。

20

【0020】

また上記問題を解決するために、本発明の通信装置は、逆拡散ブロックおよび同相加算を行う強度算出ブロックを一つだけ有し、複数のフィンガでこれを共用化し、時分割で処理することにより複数フィンガ分のタイミング追従制御DLL制御を行う。

【0021】

また上記問題を解決するために、本発明の通信装置は、逆拡散ブロックおよび同相加算を行う強度算出ブロックを一つだけ有し、送信ダイバシチ技術適用時に、複数のアンテナパターンを処理する複数の受信機でこれを共用化し、時分割で処理することにより複数アンテナ分のタイミング追従制御DLL制御を行う。

30

【0022】

また上記問題を解決するために、本発明の通信装置は、逆拡散ブロックおよび同相加算を行う強度算出ブロックを一つだけ有し、基地局側通信装置が指向性アンテナによりセクタ化されたときに、一つあるいは複数のセクタそれぞれが有する受信機でこれを共用化し、時分割で処理することにより一つあるいは複数セクタの複数チャンネル分のタイミング追従制御DLL制御を行う。

【0023】

また上記問題を解決するために、本発明の通信装置は、逆拡散ブロックおよび同相加算を行う強度算出ブロックを一つだけ有し、移動局側通信装置に受信ダイバシチ技術が適用されたときに、複数のアンテナで受信した信号をそれぞれ復調する複数の受信機でこれを共用化し、時分割で処理することにより複数アンテナ分のタイミング追従制御DLL制御を行う。

40

【0024】

また上記問題を解決するために、本発明の通信装置は、タイミング追従制御DLL制御を行っている場合には同期系にて検出・更新するパス位置の精度を下げる。また上記問題を解決するために同期系にて、あるタイミングにおける逆拡散結果を算出させ、この結果を用いてタイミング追従制御DLL制御を行う。

【0025】

【発明の実施の形態】

(実施例1)

今、チップ速度が4.096 Mcpsであり、時速200 kmで移動していると仮定した

50

場合、これは1秒 = 100フレーム間で約0.75 chip分パスの位置が移動することに相当する。従来のDLL機能は、1フレームに1回DLL判定を行い、パスタイミングを±0.25 chip移動させる機能を有しているが、現実のパスの移動は、33フレームに0.25 chip移動する程度ということになる。

【0026】

そこで、本発明では図6に示すように複数のフレームに1回だけDLL判定および制御を行うことにより、消費電力の低減を図る。上記の計算に従えば33フレームに一度だけDLL判定を行うだけで、十分パスに追従できるということになるが、図6では例として15フレームに一度のDLL判定を行う様子を図示している。

【0027】

またDLL判定に必要な電力加算回数について、従来例で図5の504に示す“S”スロット分の加算結果から判断していた方式と同等のDLL追従精度を実現するためには、DLL判定周期を長くし、Nフレームに1回とした本発明による場合でも、加算するスロット数は“S”個でよい。

【0028】

すなわち、従来は1フレーム中に含まれる15スロットのうち1 frame = 15 slot、“S”個のスロット分の電力加算を行っていたが、本発明では、Nフレーム中に含まれる“15 × N”スロットのうちの“S”個のスロット分の電力加算を行うことになる。

【0029】

なお図6ではフェージングを考慮し、雑音による平均化の効果を向上させるため、加算するスロットを時間的に集中させず、各フレームに1回1スロット分の(early)成分と(late)成分の差分を計算し(604, 605, 606)、これを15スロット分加算して15フレームに1回ずつDLL判定(608)を行っている。

【0030】

このように動作させた場合、DLL制御部は1フレーム間に1スロット分逆拡散および同相加算の動作をするだけとなり、残りの14スロット分の時間は動作していない。

【0031】

本発明ではこの14スロット分の空き時間を利用して、DLL制御ブロックでは、逆拡散ブロックおよび同相加算ブロックをただ一つだけ有し、これらのブロックを複数のタイミングにおける処理間で共用化し、時分割で処理する。

【0032】

本発明により、タイミング追従制御DLL制御の精度を劣化させることなくハードウェア規模を削減することが可能となる。

【0033】

(実施例2)

本実施例ではDLL制御部の逆拡散ブロックや強度算出ブロックを(early)成分、(late)成分で時分割して使用し、かつスロット間平均化ブロックやDLL判定ブロックも受信機内にある複数のフィンガで共用化し、これらを時分割に使用する。

【0034】

図7に本実施例の動作概念を示す。図において、604, 605, 606はそれぞれあるスロットにおけるearlyタイミングとlateタイミングそれぞれの逆拡散後出力を同相加算した結果の差分、608はDLL判定部、701は1番目のフィンガにおける強度算出結果の差分計算までの処理、702は2番目のフィンガにおける強度算出結果の差分計算までの処理、703は3番目のフィンガにおける強度算出結果の差分計算までの処理、704は各フィンガのスロット平均化結果を切り替えるためのセレクタ、705は1番目のフィンガのスロット平均化結果を保持する蓄積手段、706は2番目のフィンガのスロット平均化結果を保持する蓄積手段、707は3番目のフィンガのスロット平均化結果を保持する蓄積手段、708は各フィンガの(early)タイミングにおける逆拡散および同相加算処理、709は各フィンガの(late)タイミングにおける逆拡散および同相加算処理を示す。

10

20

30

40

50

【 0 0 3 5 】

図 7 では第 1 の実施例を採用することにより得られた空き時間を利用し、フィンガ # 1 (7 0 1)、フィンガ # 2 (7 0 2)、フィンガ # 3 (7 0 3) ... と、複数のフィンガでの (e a r l y) 成分と (l a t e) 成分の差分 6 0 4 を時分割で計算し、それぞれのフィンガ毎に複数のスロット間で累算した結果を順次蓄積手段 7 0 5 , 7 0 6 , 7 0 7 に蓄積する。スロット間平均化終了後は、さらにフィンガの蓄積結果をセレクタ 7 0 4 で切り替えて順々に読み込み、D L L 判定を行う (6 0 8) ことにより、各フィンガで D L L 判定部を時分割に使用する。

【 0 0 3 6 】

図 8 に本実施例を実現するための受信機の構成を示す。図において、8 0 1 は復調系の 1 番目のフィンガ、8 0 2 は復調系の 2 番目のフィンガ、8 0 3 は復調系の i 番目のフィンガ、8 0 4 は各フィンガ内の逆拡散部、8 0 5 は各フィンガ内の検波部、8 0 6 は D L L 制御部を動作させるタイミングを切り替えるためのセレクタ、8 0 7 は D L L 判定結果を各フィンガに帰還するためのセレクタ

8 0 8 は D L L 制御部、8 0 9 は D L L 制御部内の逆拡散処理部、8 1 0 は D L L 制御部内の強度算出部、8 1 1 は e a r l y タイミングと l a t e タイミングの強度算出結果を切り替えるためのセレクタ、8 1 2 は D L L 制御部内のスロット平均化部、8 1 3 はスロット平均化結果をフィンガ毎に切り替えるためのセレクタ、8 1 4 はフィンガ毎のスロット平均化結果を保持するための蓄積手段、8 1 5 はスロット平均化結果をフィンガ毎に切り替えるためのセレクタ、8 1 6 は D L L 判定部、8 1 7 は e a r l y 成分の強度算出結果を保持するための蓄積手段、8 1 8 は l a t e 成分の強度算出結果を保持するための蓄積手段、8 1 9 は (e a r l y) 成分と (l a t e) 成分の差分を計算する減算器、8 2 0 は複数スロット・フレームにわたって強度算出結果を電力加算 (累算) する処理手段である。

【 0 0 3 7 】

本実施例では、従来フィンガ毎に有していた D L L 制御部を複数のフィンガで共用化するため、復調系の各フィンガ 8 0 1 , 8 0 2 , 8 0 3 はそれぞれ逆拡散ブロック 8 0 4 と検波ブロック 8 0 5 のみを有し、D L L 機能のためのブロックを有しておらず、一つの D L L 制御ブロック 8 0 8 において i フィンガ分の D L L 制御を時分割処理する。

【 0 0 3 8 】

D L L 制御ブロック 8 0 8 では、まずセレクタ 8 0 6 からフィンガ毎の逆拡散タイミングを選択し (e a r l y) 成分の逆拡散を行い (8 0 9)、強度算出同相加算を行い (8 1 0)、この結果を蓄積手段 8 1 7 に蓄積する。つぎに (l a t e) 成分についても同様の処理を行い、算出結果を蓄積手段 8 1 8 に蓄積する。

【 0 0 3 9 】

つぎに上記蓄積手段 8 1 7 , 8 1 8 に蓄積されているこれらの値を抽出し、(e a r l y) 成分と (l a t e) 成分の差分を計算する (8 1 9)。さらにスロット間にわたってこのデータを加算 (8 2 0) し、加算後のデータをセレクタ 8 1 3 を介してフィンガ毎に蓄積するメモリ等の蓄積手段 8 1 4 に蓄積する。上記操作を複数フィンガそれぞれに対して行う。

【 0 0 4 0 】

最終的に蓄積手段 8 1 4 には各フィンガのスロット間加算結果が蓄積されているため、これをセレクタ 8 1 5 で切り替え、時分割に D L L 判定 (8 1 6) を行い、その結果をセレクタ 8 0 7 を介してそれぞれのフィンガの逆拡散タイミングにフィードバックする。なお、(e a r l y) 成分と (l a t e) 成分の計算の順序については (l a t e) 成分を先に行ってもよい。

【 0 0 4 1 】

(実施例 3)

図 9 に本発明の第 3 の実施例における受信機構成を示す。図において、9 0 1 は復調系フィンガ # 1 (アンテナ # 1 送信パターン処理用)、9 0 2 は復調系フィンガ # 1 (アンテ

10

20

30

40

50

ナ # 2 送信パターン処理用)、903は復調系フィンガ # I (アンテナ # 1 送信パターン処理用)、904は復調系フィンガ # I (アンテナ # 2 送信パターン処理用)、905は各アンテナパターンと各フィンガ毎のスロット平均化結果を保持するための蓄積手段である。

【0042】

本実施例では、基地局において送信ダイバシチ技術が運用されている場合に、前記第1および第2の実施例における時分割処理を端末受信機において適用する。

【0043】

基地局において送信ダイバシチ技術が運用されている場合、送信データは複数のアンテナ (アンテナ数 = T) からそれぞれ異なったパターンで変調され、端末に送信される。端末ではこれらの受信データをアンテナ毎に復調する必要がある、各アンテナ、各フィンガ毎に復調系 (901, 902, 903, 904) を用意する必要がある。

10

【0044】

本実施例においては、端末に一つのタイミング追従制御ブロックを有し、これを複数アンテナ、複数フィンガで共用化し、DLL制御を時分割に行うことにより、回路規模を小さくすることが可能となる。

【0045】

(実施例4)

図10に本発明の第4の実施例における受信機構成を示す。本実施例では、前記第1から第3までの実施例における時分割処理を、複数のチャンネルを収容する基地局において適用する。図において、1001は復調系チャンネル1、1002は復調系チャンネル2、1003は復調系チャンネルn、1004は各チャンネル、各フィンガ毎のスロット平均化結果を保持するための蓄積手段である。

20

【0046】

基地局側装置では複数の端末からのデータを処理するため、各チャンネル、各パス毎に復調系1001, 1002, 1003...を用意する必要がある。基地局において一つまたは複数のタイミング追従制御ブロック808を有し、これらを複数チャンネル、複数パスで共用化し、DLL制御を時分割に行うことにより回路規模を小さくすることが可能となる。

【0047】

(実施例5)

図11に本発明の第5の実施例における受信機構成を示す。本実施例では、前記第1から第4までの実施例における時分割処理を、複数の指向性アンテナを用いてセクタ化されている基地局において適用する。図において、1101はセクタ1用復調系、1102はセクタ2用復調系、1103はセクタs用復調系、1104は各セクタ、各チャンネル、各フィンガ毎のスロット平均化結果を保持するための蓄積手段である。

30

【0048】

端末からのデータを複数のセクタで受信するソフトハンドオーバーの場合、基地局において複数セクタ、および複数パス分の受信データを復調し、RAKE合成と呼ばれる受信データの合成を行うため、各セクタ、各パス毎に復調系1101, 1102, 1103...を用意する必要がある。基地局において一つまたは複数のタイミング追従制御ブロック808を有し、これらを複数セクタ、複数パスで共用化し、DLL制御を時分割に行うことにより回路規模を小さくすることが可能となる。

40

【0049】

(実施例6)

図12に本発明の第6の実施例における受信機構成を示す。本実施例では、第1から第3までの実施例における時分割処理を複数のアンテナを用いたアンテナダイバシチ適用されている移動局において適用する。図において、1201は受信アンテナ1用復調系、1202は受信アンテナ2からの受信信号、1203は受信アンテナ2用復調系、1204は各受信アンテナの各フィンガ毎のスロット平均化結果を保持するための蓄積手段である。

【0050】

50

アンテナダイバシチ適用時には、複数アンテナそれぞれについて複数パス分の受信データを復調するため、各アンテナ、各パス毎に復調系 1 2 0 1 , 1 2 0 2 ... を用意する必要がある。

【 0 0 5 1 】

移動局において一つのタイミング追従制御ブロック 8 0 8 を有し、これを複数アンテナ、複数パスで共用化し、時分割に動作させることにより回路規模を小さくすることが可能となる。

【 0 0 5 2 】

(実施例 7)

第 7 の実施例では、第 1 から第 6 までの実施例と合わせ、同期系によるパスサーチにおけるパスサーチ精度を下げる。具体的には復調系によるタイミング追従制御 D L L 制御を動作させている場合には、電力加算回数を D L L 制御未動作時の場合の 1 / 2 程度に下げる。

10

【 0 0 5 3 】

例えば、D L L 制御部を動作させない場合、パスタイミングの精度を高めるために同期系によるパスサーチ時に 1 0 0 m s の間で 3 2 回電力加算を行う必要があったと仮定すると、D L L 制御を動作させる場合には、同期系によるパスサーチでは 1 0 0 m s の間で 1 6 回電力加算を行う。D L L 制御を動作させた場合、多少パスサーチ精度が悪くても、D L L 制御で補正することが可能であり、同期系における電力加算回数を減らすことにより、消費電力を低減することが可能となる。

20

【 0 0 5 4 】

(実施例 8)

図 1 3 に本発明の第 8 の実施例における受信機構成を示す。本実施例では、同期系で計算される逆拡散処理と D L L 制御部で計算される逆拡散処理が機能として重複していることから、これを共用化する。図において、1 3 0 1 は同期系 1 3 0 2 は同期系内の逆拡散部、1 3 0 3 は同期系内の同相加算部、1 3 0 4 は同期系内のスロット平均化部、1 3 0 5 は同期系内のピーク検出部、1 3 0 6 は D L L 制御部、1 3 0 7 は e a r l y / l a t e タイミングの同相加算結果を切り替えるためのセレクタ、1 3 0 8 は e a r l y タイミング、l a t e タイミングそれぞれの同相結果を保持するための蓄積手段、1 3 0 9 は D L L 判定部 1 3 1 0 は D L L 判定結果を各フィンガに帰還するためのセレクタ、1 3 1 1 は e a r l y / l a t e タイミングの同相加算結果の差分算出、1 3 1 2 は差分算出結果の電力加算 (平均化) 部である。

30

【 0 0 5 5 】

すなわち、図 1 3 に示すように、D L L 制御部 1 3 0 6 は同期系からの出力を切り替えるセレクタ 1 3 0 7 と (e a r l y) タイミングのスロット平均化結果および (l a t e) タイミングのスロット平均化結果を保持する蓄積手段 1 3 0 8 および D L L 判定部のみを有し、逆拡散、同相加算処理およびスロット平均化の各処理は同期系 1 3 0 1 において行う。

【 0 0 5 6 】

本来、同期系 1 3 0 1 における逆拡散処理では遅延プロファイルを取得し、ピーク検出を行っているために、逆拡散すべきタイミングの前後のタイミング、すなわち e a r l y タイミングや l a t e タイミングにおける逆拡散結果を容易に得ることが可能である。このことにより D L L 制御のための回路規模を低減することが可能となる。

40

【 0 0 5 7 】

【 発明の効果 】

本発明の無線通信装置の受信機は、受信タイミング追従制御 (D L L 制御) 部の回路を複数のタイミングでの処理間で共用化し、時分割に処理した場合、もしくは複数フィンガの D L L 制御部を共用化し、これを時分割に処理した場合、回路規模を大きく削減することが可能である。

【 0 0 5 8 】

50

またDLL制御動作時は同期系における電力加算回数を減らすことにより、同期追従特性を劣化させることなく消費電力をさらに低減することが可能である。

【図面の簡単な説明】

【図1】従来例のCDMA方式移動通信システムにおける通信装置の構成を示すブロック図。

【図2】従来のCDMA方式移動通信システムにおける受信機の構成を示すブロック図。

【図3】従来のDLL制御ブロックの詳細構成を示すブロック図。

【図4】電力加算によりプロファイルが平均化される様子を示す説明図。

【図5】従来のDLL制御動作を示す説明図。

【図6】本発明の一実施例によるDLL制御動作を示す説明図。

10

【図7】複数フィンガで時分割にDLL制御を行うことを示す説明図。

【図8】本発明による第2の実施例の受信機の構成を示すブロック図。

【図9】本発明による第3の実施例の受信機の構成を示すブロック図。

【図10】本発明による第4の実施例の受信機の構成を示すブロック図。

【図11】本発明による第5の実施例の受信機の構成を示すブロック図。

【図12】本発明による第6の実施例の受信機の構成を示すブロック図。

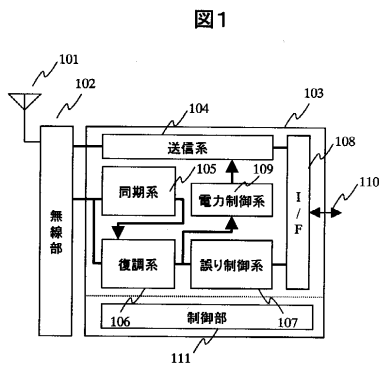
【図13】本発明による第8の実施例の受信機の構成を示すブロック図。

【符号の説明】

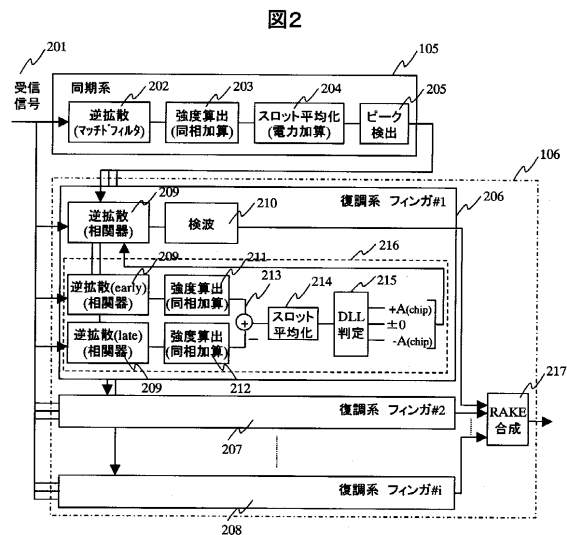
101...アンテナ、102...無線部、103...ベースバンド部、104...送信部、105...同期系、106...復調系、107...誤り制御系、108...インタフェース、109...電力制御系、110...送受信されるデータ、111...無線通信装置の制御部、216...タイミング追従制御部(DLL制御部)。

20

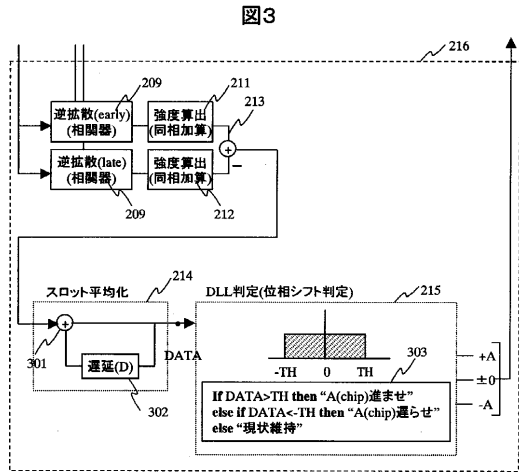
【図1】



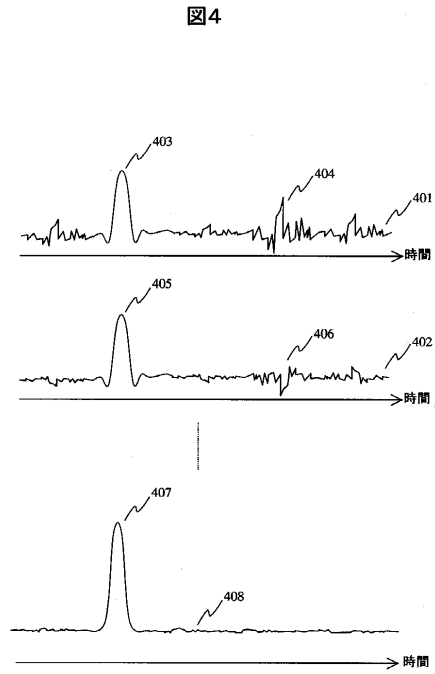
【図2】



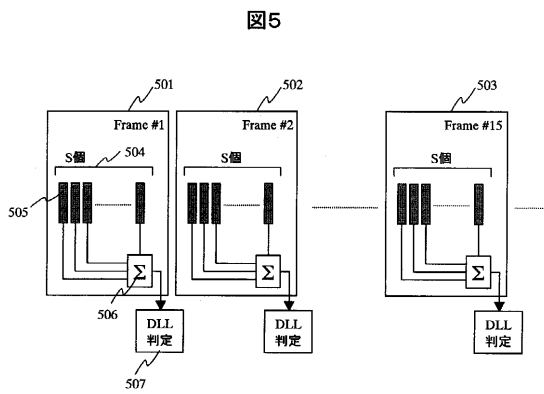
【 図 3 】



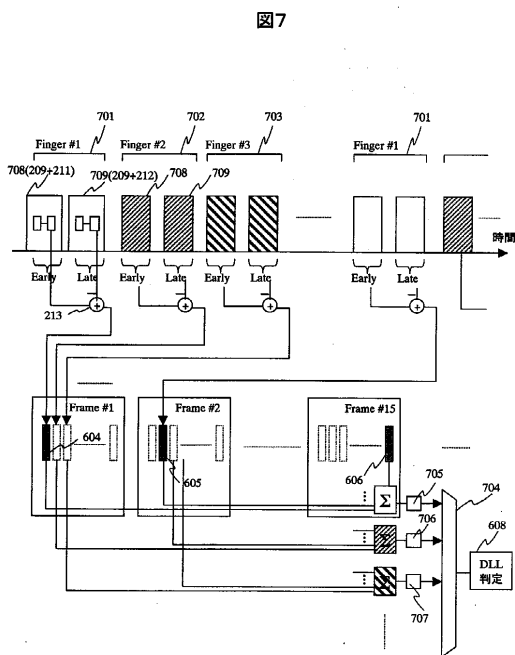
【 図 4 】



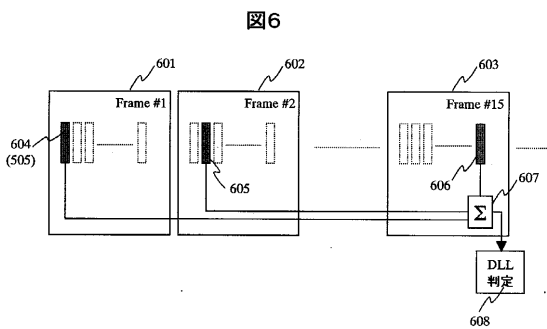
【 図 5 】



【 図 7 】

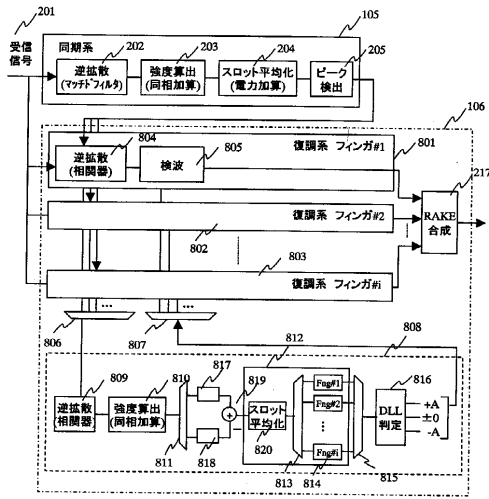


【 図 6 】



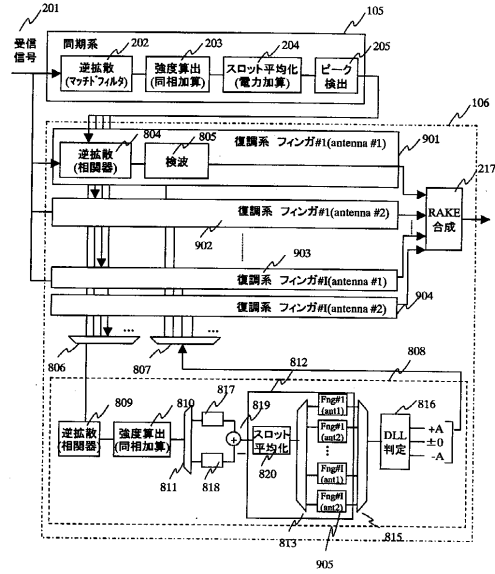
【図8】

図8



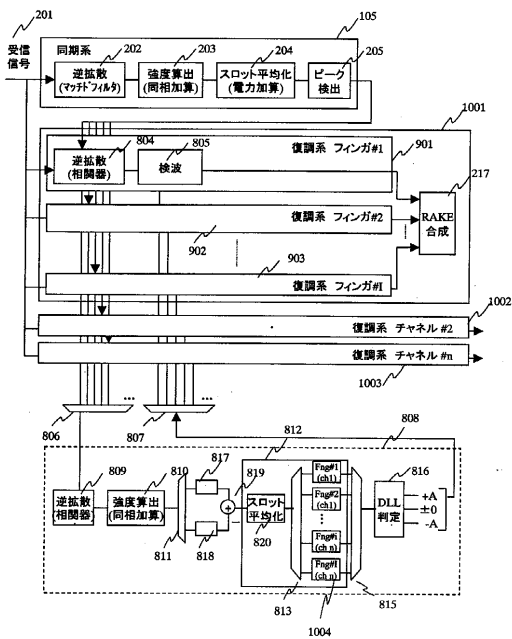
【図9】

図9



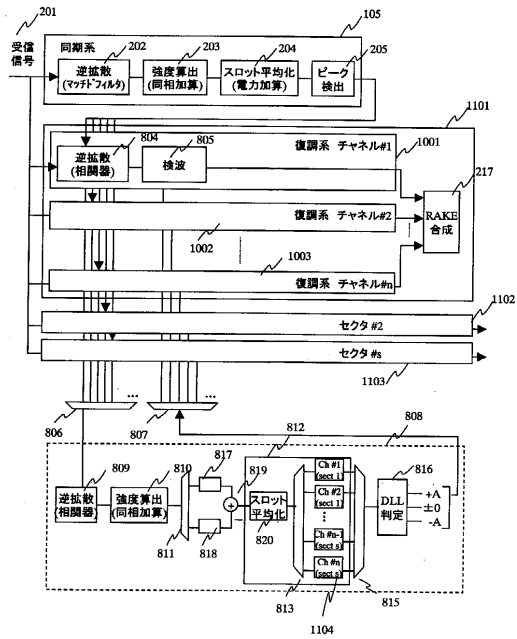
【図10】

図10



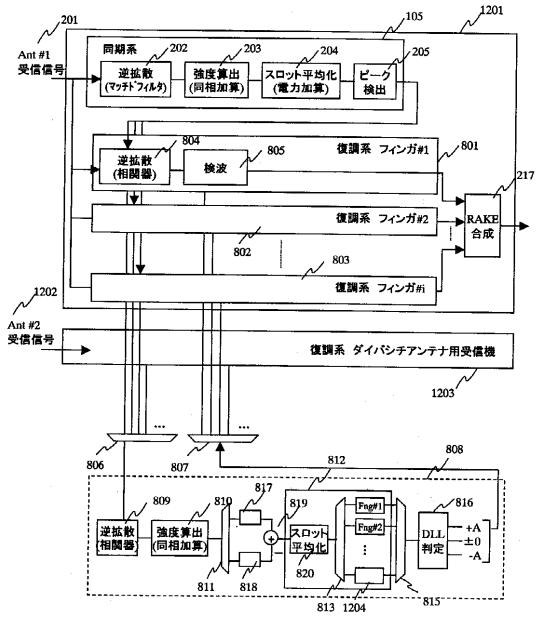
【図11】

図11



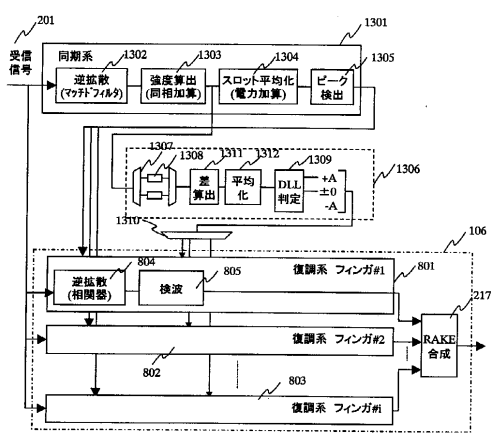
【図12】

図12



【図13】

図13



フロントページの続き

- (72)発明者 奈良 嘉和
東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所中央研究所内
- (72)発明者 土居 信数
東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所中央研究所内
- (72)発明者 井上 貴夫
神奈川県横浜市戸塚区戸塚町216番地 株式会社日立製作所通信事業部内

審査官 富澤 哲生

- (56)参考文献 国際公開第00/022746(WO, A1)
特開平10-209918(JP, A)
特開2000-138651(JP, A)
特開2000-091986(JP, A)
特開2000-134181(JP, A)
特開平11-168448(JP, A)

- (58)調査した分野(Int.Cl., DB名)
H04B 1/707