

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. <i>H01L 29/786</i> (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년03월20일 10-0538892 2005년12월20일	
(21) 출원번호 (22) 출원일자	10-1998-0001975 1998년01월23일	(65) 공개번호 (43) 공개일자	10-1998-0070734 1998년10월26일
(30) 우선권주장	97-044573	1997년02월12일	일본(JP)
(73) 특허권자	가부시키가이샤 한도오따이 에네루기 켄큐쇼 일본국 가나가와Ken 아쓰기시 하세 398		
(72) 발명자	야마자끼 순페이 일본 가나가와Ken 아쓰기시 하세 398 한도타이 에네루기 켄큐쇼(주) 내 오누마 히데토 일본 가나가와Ken 아쓰기시 하세 398 한도타이 에네루기 켄큐쇼(주) 내 다카노 다마에 일본 가나가와Ken 아쓰기시 하세 398 한도타이 에네루기 켄큐쇼(주) 내 오타니 히사시 일본 가나가와Ken 아쓰기시 하세 398 한도타이 에네루기 켄큐쇼(주) 내		
(74) 대리인	정상구 이병호 신현문 이범래		

심사관 : 임동우

(54) 반도체디바이스제조방법

요약

본 발명은, 결정화를 촉진하는 촉매 원소를 이용해서 고상 성장(solid phase growth)에 의해 얻어진 결정화 실리콘막으로부터 촉매 원소를 제거하는 방법을 제공하기 위한 것으로, 촉매 원소를 갖는 결정 실리콘막으로 인이 선택적으로 주입되고, 그에 의해 인이 주입된 실리콘막의 일부가 비정질화되고, 열 어닐링 처리가 수행되고 실리콘막이 가열될 때 큰 게터링 능력을 가진 인이 주입된 비정질 부분으로 촉매 원소가 이동함으로써 실리콘막 내의 촉매 원소 농도가 저하하며, 이러한 실리콘막을 이용하여 반도체 디바이스가 제조된다.

내포도

도 1a

명세서

도면의 간단한 설명

도 1a 내지 도 1f는 제 1 실시예의 여러 단계를 도시한 도면.

도 2a 내지 도 2g는 제 2 실시예의 여러 단계를 도시한 도면.

도 3a 내지 도 3e는 제 2 실시예에서 TFT 제조 단계들을 도시한 도면.

도 4a 내지 도 4e는 하부 게이트형 TFT 제조 단계들을 도시한 도면.

도 5a 내지 도 5e는 하부 게이트형 TFT 제조 단계들을 도시한 도면.

도 6a 내지 도 6f는 본 발명을 이용하여 제조된 디바이스들의 개요를 도시한 도면.

도 7a는 니켈 원소가 게터링된 실리콘 박막을 나타내는 사진.

도 7b는 니켈 원소가 게터링되지 않는 실리콘 박막을 나타내는 사진.

도 8a 내지 도 8f는 P-채널 형 TFT 및 N-채널 형 TFT를 동일한 기판 상에 형성하는 단계들을 도시한 도면.

도 9a 내지 도 9c는 P-채널 형 TFT 및 N-채널 형 TFT를 동일한 기판 상에 형성하는 단계들을 도시한 도면.

도 10a 내지 도 10f는 제 7 실시예의 여러 단계를 도시한 도면.

도 11a 내지 도 11b는 TFT 특성을 도시한 도면.

도 12는 액정 디스플레이의 개략 구성을 도시한 도면.

도면의 주요 부분에 대한 부호의 설명

11 : 유리 기판 12 : 비정질 실리콘막

13 : 니켈 아세테이트 초박막 14 : 결정 실리콘막

15 : 실리콘 질화막 16 : 인을 주입하기 위한 마스크

17 : 인이 주입된 영역 18 : 마스크 아래의 실리콘막

19 : 활성층 21 : 유리 기판

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 결정성(crystalline performance)을 갖는 실리콘 반도체막(예컨대 다결정 실리콘막, 단결정 실리콘막 또는 미세 결정 실리콘막)의 제조 방법에 관한 것이다. 본 발명을 이용하여 제조된 결정 실리콘막은 다양한 반도체 디바이스들에 이용된다.

박막 반도체를 이용하는 박막 트랜지스터(이하, TFT 등이라 칭해짐)가 알려져 있다. TFT는 기판 상에 박막 반도체(특히 실리콘 반도체막)을 형성하고, 이 박막 반도체를 이용하여 구성된다. TFT는 다양한 접적 회로들에 이용되고 있지만, 액티브 매트릭스형 액정 디스플레이 디바이스의 화소 각각에 제공된 스위치 소자와, 그 주변 회로 부분에 형성된 구동기 소자로서 특히 주목되고 있다. 또한, 다층 구조 접적 회로(3차원 IC)에도 필수적 기술로서 또한 주목되고 있다.

TFT에 이용된 실리콘막에 대해 비정질 실리콘막을 이용하는 것이 편히하지만, 그 전기적 특성들은 반도체 접적 회로 내에 이용된 단결정 반도체막의 전기적 특성들보다 훨씬 더 낫다는 문제점이 있었다. 따라서 TFT는 액티브 매트릭스 회로의 스위칭 소자와 같은 제한된 용도에만 이용되었다. 결정성을 가진 실리콘 박막이 TFT의 특성들을 촉진하기 위해 이용될 수 있다.

결정성을 가진 실리콘 박막은 단결정 실리콘막 이외에도, 다결정 실리콘막과, 폴리 실리콘막, 미세 결정 실리콘막 등을 의미한다. 결정성을 가진 이러한 실리콘막을 제공하기 위해서, 비정질 실리콘막이 먼저 형성된 후, 상기 비정질 실리콘막을 가열(열적 어닐링)함으로써 결정화된다. 이러한 처리는 고체 상태를 유지하는 동안 비정질 상태가 결정 상태로 변환되기 때문에 고상 성장 처리라 칭해진다.

그러나 실리콘의 이러한 고상 성장에서, 600°C 이상의 가열 온도 및 10 시간 이상의 시간 간이 필요하게 되어, 저렴한 유리 기판을 기판으로서 이용하기 어려웠다. 예컨대, 액티브형 액정 디스플레이 디바이스에 이용된 코닝 7059 유리(Corning 7059 glass)는 유리의 539°C의 스트레인 포인트(strain point)가 제공되는데, 이 스트레인 포인트는 큰 면적의 기판 형성을 고려할 때 600°C 이상에서 열 어닐링을 수행시에 문제가 있었다.

상술한 문제점에 대해 본 발명자들이 수행한 연구에 따르면, 특정 종류의 금속 원소(니켈 등)가 소량의 비정질 실리콘막의 표면상에 퇴적되고, 그 후 막이 가열될 때, 약 4 시간의 처리 시간 동안 550°C에서 결정화가 수행될 수 있음을 알았다. 당연히 600°C에서 4 시간 동안 어닐링 처리를 수행함으로써 더 뛰어난 결정성을 가진 실리콘막이 제공될 수 있다(일본 미심사 출원 공개 번호 JP-A-6-244103호 참조).

소량의 금속 원소를 도입하기 위하여, 촉매 원소 또는 그 화합물의 막을 스퍼터링법에 의해 퇴적하는 방법(일본 미심사 출원 공개 번호 JP-A-6-244104호), 금속 원소 또는 그 화합물의 막을 스피닝 코팅(spin coating)에 의해 형성하는 방법(일본 미심사 출원 공개 번호 JP-A-7-130652호), 금속 원소를 포함하는 가스를 열 분해, 플라즈마 분해 등으로 분해함으로써 막을 형성하는 방법(일본 미심사 출원 공개 번호 JP-A-7-3355487호) 등이 있으며, 각각의 특징에 따라 이용될 수 있다.

더욱이, 금속 원소를 특정 부분에 선택적으로 도입하고, 금속 원소가 가열에 의해 주변부들(surroundings)로 도입되는 부분으로부터 결정 성장을 확장할 수 있다(측면 성장 처리 또는 수평 성장 처리). 이러한 방법에 의해 제공된 결정 실리콘은 결정화의 방향성을 가지며, 따라서 이러한 방향성에 따라 매우 우수한 특성들이 나타난다.

더욱이, 금속 원소를 이용하는 결정화 단계 후에 레이저 빔 등과 같은 강한 빔을 조사함으로써 결정성을 더욱 개선하는 것이 또한 효과적이다(일본 미심사 출원 공개 번호 JP-A-7-307286호). 더욱이, 상술한 측면 성장 처리에 따라, 빔 조사에 있어서 열 산화를 수행하는 것이 효과적이다(일본 미심사 출원 공개 번호 JP-A-7-66425호).

이러한 방식으로, 금속 원소를 이용하여 결정화가 수행될 때, 뛰어난 품질을 가진 결정 실리콘막이 더 짧은 시간 동안 더 낮은 온도로 제공된다. 가열 처리의 온도는 여러 종류의 비정질 실리콘막에 강하게 의존하지만, 450°C 내지 650°C의 범위내, 보다 바람직하게는 550°C 내지 650°C의 범위 내에 있는 것이 바람직하다.

발명이 이루고자 하는 기술적 과제

그러나 이러한 방법에서 가장 심각한 문제는 금속 원소의 제거이다. 실리콘막으로 도입된 금속 원소가 전기 특성들 및 신뢰성에 악영향을 미치는 것을 무시할 수 없다. 특히, 단계 메커니즘으로서 금속 원소를 이용하는 결정화의 단계에서는, 상기 금속 원소가 중대한 결함 인자를 구성하는 도전성 실리사이드(conductive silicide)로서 주로 막 내에 남는다.

금속 원소(특히, 니켈, 팔라디움, 백금, 동, 은 또는 금)가 고온에서 염화수소의 분위기(atmosphere)에서 열 처리에 의해 제거될 수 있다는 것이 일반적으로 알려져 있다. 그러나 약 1000°C의 고온 처리가 필요하게 되며, 이것은 금속 원소를 이용하는 저온 처리의 착상에 반하는 것이다. 본 발명은 상술한 문제점의 견지에서 수행된 것이며, 본 발명의 목적은 게터링에 대한 바람직한 조건들을 제공함으로써 금속 원소를 제거하는 효과적인 방법을 제공하는 것이다.

발명의 구성 및 작용

본 명세서에서 개시한 본 발명에 따라, 15족 원소(대표적으로, 인)가 고농도로 주입된 영역은 금속 원소를 초기에 제거하도록 의도된 영역에 인접해서 실리콘막 내에 우선적으로 제공된다.

이 영역은 15족 원소의 주입에 의해 손상된다. 더욱이, 열 처리를 수행함으로써 결정화를 촉진하기 위한 금속 원소는 15족 원소가 가속으로 주입되는 영역으로 이동되게 한다.

15족 원소가 가속으로 주입된 영역에 대해서는,

- (1) 고밀도의 비공유 결합들(unpaired bonds)이 이온들을 주입함으로써 형성되고,
- (2) 15족 원소 자체가 금속 원소와 결합하는 성질을 가지고 있다(특히, 이러한 성질은 인에서 현저하다).

따라서 상술한 바와 같이, 15족 원소가 주입된 영역으로 열 처리에 따른 금속 원소의 이동은 역행(irreversible)할 수 없다.

따라서 열 처리를 수행하여 결과적으로 결정화를 촉진시키기 위한 금속 원소는 15족 원소가 주입된 영역으로부터 15족 원소가 주입되지 않은 영역으로 이동되는 상태가 제공된다.

특히, 인이 이용될 때, 인 및 니켈이 600°C 주위의 온도에서 안정적 결합 상태를 구성하기 때문에 상술한 동작이 현저히 얻어질 수 있다.

인 및 니켈은 Ni_3P , Ni_5P_2 , Ni_2P , Ni_3P_2 , Ni_2P_3 , NiP_2 및 NiP_3 과 같은 다수의 결합 상태들이 제공된다.

따라서 결정화를 촉진시키기 위한 금속 원소로서 니켈이 적용되고, 15족 원소로서 인이 적용될 때, 니켈은 더욱 효과적으로 인과의 결합물로서 채택될 수 있다. 즉, 게터링이 효과적으로 수행될 수 있다.

도 7a 및 도 7b에 나타낸 사진들은 게터링의 효과를 도시한 것이다. 도 7a에 나타낸 사진은 본 발명의 제 1 양상에 따라, 니켈을 이용하여 얻어진 결정 실리콘 막으로 게터링이 수행된 실리콘막의 패턴을 나타낸다.

도 7a에 나타낸 상태에서, 니켈은 상기 패턴의 외측의 영역(영역이 사진에서 제거됨)에 흡수되었다.

도 7b는 니켈의 게터링이 수행되지 않았을 때 실리콘막의 패턴을 나타낸다. 도 7b에 나타낸 실리콘막의 패턴 내에서 관찰되는 반점들(speckles)은, 남아 있는 니켈 및 니켈 화합물들이 제거된 상태를 나타내는 미세한 개구들(fine opening)이다. 이 상태는 니켈 및 니켈 화합물들이 높은 선택성으로 제거할 수 있는 특수한 에천트(플루오르화수소산, 과산화수소 및 물의 혼합물)를 이용하는 처리를 수행함으로써 얻어진다.

상술한 에천트를 이용하는 처리가 도 7a에 나타낸 패턴에 대해 수행되지만, 도 7b에 나타낸 반점들은, 니켈이 게터링 단계에 의해 제거되고 니켈 화합물이 상기 패턴 내에 존재하지 않기 때문에 관찰되지 않는다.

더욱이, 도 11a는 도 7a에 대응하는 막을 이용해서 제조된 TFT의 특성을 도시하고, 도 11b는 도 7b에 대응하는 막을 이용해서 제조된 TFT의 특성을 도시한다. 더욱이, TFT를 제조시, 니켈을 제거하기 위한 에천트의 처리는 수행되지 않는다.

도 11a 및 도 11b에 도시한 바와 같이, 니켈이 활성층에 남아있을 때, OFF 특성은 현저히 열화된다. 더욱이, 도 11a 및 도 11b에는 대표적 특징이 도시되어 있지만, 도 7b에 도시된 막이 이용될 때 특성 자체의 분산이 현저히 크다.

본 명세서에 개시한 본 발명의 제 1 양상에 따라,

실리콘을 결성화하도록 촉진시키는 금속을 이용하여 실리콘을 포함하는 비정질 실리콘막 또는 비정질막을 결정화함으로써 결정막을 형성하는 단계,

펄스 레이저 빔 또는 등가의 강한 빔을 상기 결정막에 조사하여 스트레스 및 스트레인을 축적하는 단계,

마스크를 상기 결정막 상에 선택적으로 형성하는 단계,

상기 마스크를 이용해서 15족으로부터 선택된 원소를 결정막에 첨가하는 단계, 및

열 처리를 수행하고, 원소가 첨가되지 않은 영역에서 원소가 주입된 영역으로 상기 금속을 게터링하는 단계를 포함하는 반도체 디바이스의 마스킹 방법이 제공된다.

본 발명에 따른 제 2 양상에 따라,

실리콘을 결정화하도록 촉진시키는 금속을 이용하여 실리콘을 포함하는 비정질 실리콘막 또는 비정질막을 결정화함으로써 결정막을 형성하는 단계,

마스크를 상기 결정막 상에 선택적으로 형성하는 단계,

펄스 레이저 빔 또는 등가의 강한 빔을 상기 결정막에 조사하여, 스트레스 및 스트레인을 마스크가 형성된 영역 이외의 영역 내에 축적하는 단계,

상기 마스크를 이용하여 15족으로부터 선택된 원소를 결정막으로 가속 및 주입하고, 그에 의해 상기 원소로 주입된 영역을 손상시키는 단계, 및

열 처리를 수행하고, 원소가 첨가되지 않은 영역에서 원소가 첨가된 영역으로 금속을 게터링하는 단계를 포함하는 반도체 디바이스의 마스킹 방법이 제공된다.

비정질 실리콘막은 일반적으로 비정질막으로서 이용된다. 그러나 실리콘의 화합물 및 다른 원소(예컨대 $Si_x Ge_{1-x}$ ($0 < x < 1$))에 의해 표시된 화합물 반도체가 이용될 수 있다. 더욱이, 막 품질을 제어하고 디바이스의 전기적 특성들을 제어하기 위해 불순물들이 첨가된 막이 이용될 수 있다. 예컨대, 하나의 도전형을 가진 비정질 실리콘막 등이 이용될 수 있다.

Fe, Co, Ni, Cu, Ru, Rh, Pd, Os, Ir, Pt 및 Au로 이루어진 그룹으로부터 선택된 단일 또는 복수의 종류의 원소들이 금속 원소로서 이용될 수 있다.

특히, 재생성 및 효과의 관점에서 Ni(니켈)을 이용하는 것이 바람직하다.

더욱이, 게터링에서, 실리콘막 내의 그레인 경계들이(grain boundaries) 금속 원소를 제거하는데 장해가 된다. 일반적으로, 고상 성장 직후에 실리콘막에서, 금속 원소들은 그레인 경계들에서 실리사이드들소서 침전(precipitate)되어, 결과적으로 그레인 경계들이 성장하지만, 이러한 실리사이드들은 열역학적으로 안정화되며(처음부터, 침전이 열역학적으로 안정적 이기 때문에, 금속 원소들이 그레인 경계들에서 침전된다), 금속 원소들이 이들 부분들로부터 이동하기 어렵게 된다. 더욱이, 다른 부분들로부터 이동된 금속 원소들이 포획되고 그에 의해 고정된다.

이와 대조적으로, 고상 성장에 의해 결정화된 실리콘막에 펄스 레이저 빔을 조사함으로써 레이저 어닐링 처리가 수행될 때, 남아 있는 비정질 구성요소들이 결정화되고, 더욱이 그레인 경계들에서 금속 원소들의 침전이 크게 줄어든다.

금속 원소들을 침전하는 경향이 줄어드는 것은, 펄스 레이저(특히, $1\mu sec$ 이하의 펄스폭을 가짐)가 조사될 때 열역학적 상태가 급격한 변화에 의해 수반되고, 결정 그레인들의 성장 및 그레인 경계들의 형성이 충분히 진행되지 않기 때문이다(한편, 남아 있는 비정질 성분들에 대해 결정화가 진행된다).

펄스 레이저 빔이 조사되는 상태는 실리콘막에 스트레스 및 스트레인이 축적된 상태로 간주될 수 있다. 이러한 상태에서, 많은 금속 원소들이 실리콘막에서 실리콘의 격자를 간에 분산해서 존재하기 때문에, 금속 원소들은 이동하기가 매우 쉽다. 더욱이, 금속 원소들을 포획하는 큰 그레인 경계들도 거의 없기 때문에, 이후의 게터링이 효과적으로 수행될 수 있다.

이러한 동작 및 효과는 간단한 광 조사에 비해 펄스 발진형 광 조사, 바람직하게는 펄스 발진형 레이저 빔의 조사에 의해 현저하게 얻어질 수 있다.

본 명세서에 개시된 본 발명에 따라, 가속으로 주입된 15족 원소의 농도는 결정화를 촉진시키기 위한 금속 원소의 농도보다 1 디지트(digit) 이상 더 높은 것이 바람직하다.

예컨대, 상기 농도는 5×10^{19} 내지 2×10^{21} atoms/cm³ 정도 높은 것이 바람직하다.

더욱이, 전체 막의 견지에서 주입된 인 원소의 총량이 막 내의 남아 있는 니켈 원소의 총량보다 크게, 더욱 바람직하게는 주입된 인 원소의 총량이 막 내의 남아 있는 니켈 원소의 총량보다 10배 이상 크게 하는 것이 효과적이다.

더욱이, 15족 원소의 가속 및 주입에서, 수소, 산소 또는 탄소와 같은 원소는 1×10^{19} 내지 1×10^{21} atoms/cm³의 농도로 동시에 주입될 수 있다. 많은 양의 이들 원소들이 존재할 때, 금속 원소들을 이동시키기 위한 열 처리시 막의 결정화가 방해될 수 있다.

비공유 결합들을 인이 주입된 영역 내에 고밀도로 형성하기 위해 게터링 효과를 촉진하는 것이 중요하며, 이를 위해, 상술한 결정화를 방해하는 디바이스가 유용하게 된다.

본 발명에 따라, 실리콘막을 에칭함으로써 트랜지스터의 활성화층(activation layer)을 분할(partition)하기 위해 형성하는 단계에서 게터링이 수행된다. 상기 15족 원소가 주입된 영역의 일부가 전체적으로 제거될 수 있지만, 그 일부는 트랜지스터의 소스 또는 드레인의 일부 또는 전체로서 이용될 수 있다. 상기 영역이 P-채널형 트랜지스터의 소스 또는 드레인의 일부 또는 전체로서 이용될 때, 15족 원소를 주입하는 양을 초과하는 P형 불순물 또는 N형 불순물을 주입함으로써 P형 영역이 형성될 수 있다.

[제 1 실시예]

본 실시예에서는 결정성을 갖는 실리콘막을 유리 기판 상에 형성하는 예가 도시되어 있다. 도 1a 내지 도 1f를 참조하여 금속 원소(이 실시예에서는 니켈이 이용된다)를 도입하고, 결정화 후에 금속 원소를 게터링함으로써 활성층 분할을 형성하는 단계들에 대한 설명이 제공된다.

본 실시예에 의해 도시된 단계에 따라, 비정질 실리콘막의 전체 표면상에 니켈 원소가 도입되고, 결정들이 전체 표면상에 균등 및 일괄적으로 성장하게 된다.

우선, 비정질 실리콘막(12)은, 1000 내지 5000Å의 두께(예컨대 2000Å의 두께)를 가진 산화 실리콘막(도시하지 않음)이 스피터링 또는 플라즈마 CVD 처리로 형성된 유리 기판(11) 상에 플라즈마 CVD(Chemical Vapor Deposition : 화학 기상 증착) 처리 또는 LP(Low Pressure : 저압력) CVD 처리에 의해 형성된다.

유리 기판의 예로서, 667°C의 스트레인 포인트를 가진 코닝 1737 기판이 이용된다.

본 실시예에서, 비정질 실리콘막(12)이 플라즈마 CVD 처리에 의해 500Å의 두께로 형성된다. 더욱이, 스트레인 및 자연 산화막을 제거하기 위해 플루오르화수소산을 이용하는 처리가 수행된다.

다음, 니켈 아세테이트 초박막이 형성된다. 본 실시예에서, 스판 코팅 처리를 이용하는 방법이 채택된다. 상세한 조건들은 일본국 특허 출원 번호 JP-A-7-130652호의 제 1 실시예에 나타나 있다.

즉, 두께가 10 내지 50Å인 실리콘 산화막(도시하지 않음)은 산소 분위기에서 5분 동안 자외선(저압력 수은 램프)의 조사 함으로써 제공되고, 100ppm(중량)의 니켈의 농도를 가진 2ml의 니켈 아세테이트 용액이 기판 상에 적하(drip)되며, 이러한 상태가 유지되어, 스피너(spinner)를 이용해서 스판 드라이(spin dry; 2000rpm, 60초)가 수행된다. 이러한 방식으로 니켈 아세테이트 초박막(13)이 형성된다. 니켈 아세테이트 박막은 극히 얇기 때문에, 상기 막은 연속적인 막이 아닐 수도 있지만, 아무런 문제가 되지 않는다(도 1a).

그 후, 상기 동작은 고상 성장(결정화)으로 이어진다. 즉, 상기 기판이 질소 분위기에서 550 내지 700°C(예컨대 600°C)의 온도로 가열되고, 이 상태로 방치한다. 니켈 아세테이트가 약 300°C에서 열 분해되어 니켈로 되며, 더욱이 450°C 이상에서 금속으로서 기능하며 비정질 실리콘막의 결정화가 진행된다. 필요한 시간(예컨대 4시간) 동안 기판을 방치함으로써 결정화 실리콘막(14)이 제공될 수 있다(도 1b).

다음, 펄스 발진형 KrF 엑시머 레이저(파장: $248\mu\text{m}$)를 조사함으로써 레이저 어닐링이 수행된다. 본 단계에 따라, 니켈 원소가 분산된 상태가 얻어진다.

엑시머 레이저의 종류로서는 ArF 엑시머 레이저, XeCl 엑시머 레이저, Co_2 레이저, YAG 레이저 등이 이용될 수 있다. 특히 단파장 및 짧은 펄스 간격으로 엑시머 레이저를 이용하는 것이 바람직하다.

더욱이, 할로겐램프 또는 수은 램프 등을 이용한 강한 광의 조사를 그 대신 이용할 수도 있지만, 비평형 상태를 유지하고, 니켈 원소를 이동하기 쉽게 하는 효과는 기대할 수 없다.

다음, 이미 형성된 표면상에 실리콘 산화막은 플루오르화수소산을 이용하는 처리에 의해 제거된다. 더욱이, 실리콘 질화막(12; 두께: 1000\AA)이 플라즈마 CVD 처리에 의해 실리콘막 상에 형성된다.

부수적으로, 스트레스가 혼합물(composition)에 매우 강하게 의존하기 때문에 실리콘 질화막은 박리하기 쉽다. 상기 문제를 해결하기 위해, 혼합물(특히, 수소의 농도)이 변경되거나, 또는 10 내지 100\AA 의 두께를 가진 실리콘 산화막이 실리콘막(14)과 실리콘 질화막(15) 사이에 형성될 수 있다(도 1c).

그 후, 실리콘 질화막(15)을 에칭함으로써 마스크(16)가 형성된다.

다음, 마스크(16)를 이용하여 마스크로 덮이지 않은 영역에 인 이온들이 주입된다. 이 단계에서는 플라즈마 도핑 처리가 이용된다.

인을 도핑하는 단계에 따라, 가속 전압은 5 내지 25kV 로 설정하고, 도즈(dose)의 량은 1×10^{13} 내지 8×10^{15} atoms/ cm^2 (예컨대 5×10^{14} atoms/ cm^2)로 설정한다.

이 경우, 인이 실리콘막에 균일하게 분포되는 것으로 생각하면, 그 농도는 1×10^{20} atoms/ cm^3 으로 된다. 이러한 방법으로 인이 주입된 영역(17)이 얻어진다(도 1d).

인의 농도가 막 내의 니켈의 농도보다 1 디지트 이상 더 높게 만들어지도록 인을 도핑하는 단계에 대해 조건이 설정된다.

예비적 실험에 따라, 도 1b의 상태에서 결정 실리콘막(14)에서의 니켈의 농도는 평균적으로(두께 방향에서 밀도 분포가 존재한다) 약 5×10^{18} atoms/ cm^{-3} 이다. 따라서, 본 실시예에서, 인의 농도가 니켈 농도의 약 50배로 되도록 도핑 조건을 설정한다.

그 후, 질소 분위기에서 2시간 동안 600°C 로 열 어닐링이 수행되어 실리콘막(14)이 가열된다. 이 단계에 의해 마스크 아래의 실리콘막 영역(18; 이 영역은 진성)에 존재하는 금속 원소가 인이 주입된 영역(17)으로 역행할 수 없게 이동하게 된다. 즉, 마스크 아래의 실리콘막 영역(18)에 존재하는 금속 원소가 인이 주입된 영역으로 게터링된다(도 1e).

이 게터링 단계에서의 가열 온도는 500 내지 700°C 의 온도 범위, 특히 바람직하게는 550 내지 650°C 의 온도 범위로부터 선택되는 것이 바람직하다.

다음, 마스크(16)를 이용함으로써 영역(17)이 제거된다. 다음, 마스크(16)가 제거되고 마스크(16)보다 더 작은 마스크가 다시 배치되어 도면 중 참조 부호(19)로 표시된 영역이 패터닝된다.

이 경우, 게터링 영역(19)의 일부인 기호 X로 나타낸 치수를 가진 영역이 제거된다. 상기 영역은 니켈 원소가 상기 영역(17)을 제거하는 영역(18)의 일부에 니켈 원소가 부착될 수 있고, 그 관련성이 배제될 필요가 있다(도 1f).

이러한 방법으로, 박막 트랜지스터의 활성층(19)이 얻어지게 된다. 이 활성층(19)은 높은 결정성을 가진 결정 실리콘막을 포함하며, 여기서 니켈 원소의 농도가 감소된다. 그 후, 활성층으로서의 영역을 이용하여 박막 트랜지스터가 제조된다.

[제 2 실시예]

본 실시예는, 금속 원소가 비정질 실리콘막에 선택적으로 도입되고, 비정질 실리콘막이 금속 원소가 도입된 영역에서 다른 영역으로 기관과 평행한 방향으로 결정 성장을 수행하게 하는, 구성에 관한 것이며, 측면 성장이라고 칭한다.

도 2a 내지 도 2g는 본 실시예에 따른 제조 단계의 개요를 도시한다.

우선, 1000Å 내지 5000Å의 두께를 가진 실리콘 산화막(도시하지 않음)이 형성된 유리 기판 상에 플라즈마 CVD 처리 또는 저압 CVD 처리로 500Å 내지 1000Å의 두께로 비정질 실리콘막(22)이 형성된다.

다음, 마스크막을 구성하는 실리콘 산화막(23)이 플라즈마 CVD 처리에 의해 1000Å 이상, 여기서는 1200Å의 두께로 형성된다. 이 실리콘 산화막(23)의 두께에 관해, 본 발명자들 등이 수행한 실험에 따라 500Å 두께의 막으로 형성(pose)됨에 문제가 없는 것으로 확인되었지만, 본 실시예에서는 핀 홀들(pin holes) 등의 존재에 의해 의도하지 않은 부분에 니켈이 도입되는 것을 방지하기 위해 더욱 여유(allowance)가 제공된다(도 2a).

더욱이, 실리콘 산화막(23)은 일반적인 포토리소그라피 패터닝 단계에 의해 필수적 패턴으로 에칭되어 니켈을 도입하기 위한 창(24)이 형성된다(도 2b).

제 1 실시예와 유사하게, 상술한 제조가 수행된 기판 상에서 스펜 코팅 처리에 의해 의도된 두께를 가진 초박막(25)이 퇴적된다(도 2c).

금속 원소를 도입하는 방법으로서는 용해를 이용하는 상술한 처리 이외에, 스퍼터링 처리, CVD 처리, 플라즈마 처리(상기 금속을 포함하는 전극을 이용하는 방전 처리), 이온 주입 처리, 가스 흡착 처리 등이 이용될 수 있다.

계속해서, 600°C(질소 분위기)에서 8 시간 동안 열 처리를 수행함으로써 비정질 실리콘막(22)이 결정화된다. 이 경우, 우선 니켈 아세테이트막이 비정질 실리콘막과 가깝게 접촉한 부분(26)에서 결정화가 시작된다. 그 후 결정화가 그 주위로 진행되고, 마스크막(23)으로 덮여진 영역(27)에서도 결정화가 수행된다(도 2d).

도 2d에 도시된 바와 같이, 수평 방향에서 결정화(기관과 평행한 방향에서의 결정 성장)가 실시예에서 수행될 때, 큰 분류에서 서로 다른 성질을 가진 세 개의 영역이 제공된다.

제 1 영역은, 니켈막이 비정질 실리콘막과 가깝게 접촉된 영역으로, 도 2d에서 참조 부호(26)로 표시된 영역이다. 이 영역은 열 어닐링 단계의 초기 단계에서 결정화된다. 이 영역은 수직 성장 영역이라 한다. 이 영역에서, 니켈의 농도는 비교적 높고, 결정화의 방향이 정렬되지 않으며, 그 결과 실리콘의 결정성이 그 만큼 뛰어나지 않기 때문에, 플루오르화수소산 또는 다른 산에 관한 에칭 레이트가 비교적 크다.

제 2 영역은 수평 방향에서 결정화가 수행된 영역으로, 도 2d에서 참조 부호(27)로 표시된 영역이다. 이 영역은 측면 성장 영역이라 한다. 이 영역에서, 결정화의 방향이 정렬되고, 니켈의 농도가 비교적 낮으며, 이 영역은 디바이스에 이용함에 바람직한 영역이다.

제 3 영역은 수평 방향에서의 결정화가 도달되지 않은 비정질 영역이다.

다음, 실리콘 산화 마스크(23)가 더 에칭(패터닝)되고, 그 후 마스크(28)가 형성된다. 이 경우, 산화 실리콘 마스크(23)를 에칭하는데 습식 에칭이 채택되는 경우에 개구(24)에서 실리콘막(26)이 에칠툰에 종속해서 강하게 에칭될 수 있다.

이것은 그 부분에서 니켈의 농도가 높기 때문이다. 이것은 실리콘막으로부터 니켈을 부분적으로 차단하는 점에서는 바람직하지만, 그 아래 있는 막 또는 기판에 영향을 미칠 수 있다. 후자가 심각한 문제를 내포하지 않으면, 니켈을 긍정적으로 에칭하는 단계가 채택될 수 있다(이 경우, 주로 니켈이 니켈 실리사이드의 형태로 존재한다).

다음, 마스크(28)를 이용해서 마스크에 의해 덮여지지 않은 영역에 이온 도핑 처리에 의해 인 이온들이 주입된다. 수소에 의해 5%로 희석된 인화수소(PH_3)가 도핑 가스에 이용되고, 가속 전압은 10kV로 설정하며, 도즈 량은 $8 \times 10^{14} \text{ atoms/cm}^2$ 으로 설정된다. 인이 실리콘막에서 균일하게 분포되는 것으로 가정하면, 그 농도는 $2 \times 10^{20} \text{ atoms/cm}^2$ 이다. 이러한 방법으로 인이 주입된 영역(29)이 제공된다(도 2e).

더욱이, 열 어닐링 처리는 질소 분위기에서 2시간 동안 600°C로 수행되어, 마스크 아래의 실리콘막 영역(30)에 존재하는 금속 원소가 인이 주입된 영역(29)으로 게터링된다(도 2f).

다음, 마스크(28)가 제거되고, 실리콘막(27)의 일부(인이 주입된 영역(29)을 포함하는)가 에칭되어, 트랜지스터의 활성 영역(31)이 형성된다(도 2g).

상술한 단계에 의해, 결정화되고, 니켈의 농도가 낮은 활성층(31)이 제공된다.

부수적으로, 활성층의 분할을 형성하는 인이 주입된 영역의 일부가 남게 될 수 있으며, 이 영역이 TFT에 이용될 수 있다.

이러한 예는 도 3a 내지 도 3e를 참조해서 설명된다. 상기 예에 따라, 게터링을 위해 제공되는 인이 주입된 영역(29)의 일부를 이용함으로써 소스 및 드레인이 구성되고, 그 후 게이트 전극을 마스크로서 자기 조정적 도핑 처리에 의해 저 농도 드레인 영역이 형성된다. 이러한 방식으로, 고 농도 N-형 영역을 도핑하는 단계를 별도로 준비할 필요가 없다.

다음에 상술한 제조 단계의 상세한 설명이 주어진다. 먼저, 도 2a 내지 도 2f를 참조하여 기술한 단계들에 의해 도 2f에 도시한 상태로 처리를 수행한다. 이 상태는 도 3a에 도시되어 있으며, 도 2f와 동일한 부분에는 동일한 참조 부호를 병기한다. 즉, 인이 주입된 영역은 29, 인을 주입하기 위한 마스크는 28, 그 아래의 결정 실리콘막은 30을 병기하며, 열 어닐링 처리에 의해 금속 원소의 게터링 처리가 종료되게 된다. 더욱이, 니켈이 선택적으로 주입된 부분(24)은 인이 주입된 영역의 일부에 존재한다(도 3a).

다음, 마스크(28)를 이용함으로써 활성층(34)이 얻어진다. 이 경우, 인이 주입된 영역의 일부가 남고, TFT의 소스(32) 및 드레인(33)이 그 일부에 의해 형성된다. 즉, 활성층(34)이 소스(32)에 의해 형성되고, 드레인(33) 및 진성 영역(30)이 그 사이에 삽입된다. 그러나 니켈이 주입된 상기 부분(24)은 실리콘막의 화학적 성질이 불안정하기 때문에 소스 및 드레인으로 이용될 수 없다(도 3b).

그 후, 200Å 내지 1500Å, 또는 이 경우 1000Å의 두께를 가진 실리콘 산화막(35)이 플라즈마 CVD 처리에 의해 퇴적된다. 상기 실리콘 산화막은 게이트 절연막으로서 기능한다. 다음, 2000Å의 두께를 가진 인으로 도핑된 다결정 실리콘막이 저압 CVD 처리에 의해 형성되고, 상기 막이 패터닝되어 게이트 전극(36)이 형성된다(도 3c).

부수적으로, 게이트 전극은 각종 실리사이드 재료들 또는 알루미늄을 이용함으로써 구성될 수 있다.

그 후, 이온 도핑 처리에 의해 TFT의 랜드 실리콘막(land silicon film)으로 게이트 전극(36)을 마스크로서 자기 조정적으로 불순물(인)은 주입된다. 도핑 가스로서는 인화수소(PH_3)가 이용된다. 게이트 절연막을 통해서 도핑이 수행되어야 하기 때문에 가속 전압은 50 내지 80kV로 설정한다. 더욱이, 도즈 량은 1×10^{13} 내지 4×10^{14} atoms/cm²(예컨대 5×10^{13} atoms/cm²)로 설정한다. 그로 인해, 저 농도 N-형 영역(37)이 형성된다. 그 영역의 인의 농도는 1×10^{19} atoms/cm²으로 예측된다(도 3d).

그 후, 전체 표면에 충간 절연막(38)으로서 TEOS(tetra ethoxy silane)와 산소를 이용한 플라즈마 CVD 처리, 또는 저압력 CVD 처리 또는 TEOS와 오존을 이용한 정규 압력 CVD 처리에 의해 산화 실리콘막이 3000Å 내지 8000Å의 두께로 형성된다. 기판 온도는 250°C 내지 450°C(예컨대 350°C)으로 설정한다. 막 형성 후, 표면의 평탄성을 제공하기 위해, 상기 실리콘 산화막은 기계적으로 연마될 수도 있고, 에치 백 시스템(etch back system)에 의해 평탄화될 수도 있다.

더욱이, 충간 절연막(38)을 에칭함으로써 TFT의 소스 및 드레인에 접촉 홀들이 형성되어 알루미늄 배선 / 전극들(39)이 형성된다. 마지막으로, 수소 첨가의 실리콘이 종료되는 수소에서 0.1 내지 2시간 동안 300 내지 400°C로 어셈블리지(assemblage)가 어닐링된다. 이러한 방법으로, TFT가 종료된다(도 3e).

[제 3 실시예]

본 실시예에 따라, 제 1 실시예의 제조 단계를 개선하는 예가 나타난다. 본 실시예에 따라, 인 이온들을 주입하기 위한 마스크(16)를 제공한 후에, 레이저 어닐링이 수행된다. 이 경우는 마스크(16) 아래 니켈이 분산될 수 없다는 관점에서 제 1 실시예보다 더 불리하게 된다.

[제 4 실시예]

본 실시예는 본 명세서에 개시한 본 발명을 이용함으로써 하부 게이트형 TFT가 제조되는 경우의 예가 나타난다. 우선, 도 4a에 도시된 바와 같이, 유리 기판(401) 상에 그 아래에 있는 막으로서 실리콘 산화막(402)이 형성된다.

다음, 금속 실리사이드를 포함하는 금속 실리사이드가 형성된다. 더욱이, 게이트 절연막(404)이 형성된다.

다음, 비정질 실리콘막(405)이 형성된다. 더욱이, 실리콘 산화막으로 이루어지는 마스크(400)가 형성된다. 마스크에는 개구(40)가 제공된다.

다음, 니켈 아세테이트염 용액을 이용해서 니켈 원소가 도면 중 참조 부호(406)로 표시한 바와 같이 표면에 접촉하고 그에 의해 유지된 상태가 얻어진다(도 4a).

다음, 비정질 실리콘막(405)이 가열에 의해 결정화된다. 이 때, 결정 성장이 도면에서 화살표(41)로 표시된 방향으로 진행된다.

이렇게 해서, 결정 실리콘막(407)이 얻어진다(도 4b).

다음, 레이저 빔이 조사된다(도 4c).

다음, 실리콘 산화막으로 이루어지는 마스크(408)가 형성된다(도 4d).

다음, P(인) 원소의 대량 도핑들(heavy dopings)을 수행한다. 이 단계에서, 영역(409 및 411)에 P 원소의 대량 도핑이 수행된다. 더욱이 영역(410)에서는 도핑이 수행되지 않는다(도 4e).

다음, HCl의 혼합물 분위기에서 가열 처리가 수행되어, 도 5a에 도시된 바와 같이 니켈 원소가 게터링된다.

그 후, 실리콘 산화막으로 이루어지는 마스크(408)가 제거되고, 레지스트 마스크(resist mask)(412)가 새롭게 형성된다(도 5b).

상기 레지스트 마스크(412)를 이용함으로써 상기 실리콘막이 패터닝된다. 이렇게 해서 참조 부호(413)로 표시된 상기 실리콘막의 일부가 남는다(도 5c).

다음, 채널 보호막(414)이 제공되고, 채널 보호막을 마스크로 해서 하나의 도전형을 제공하는 불순물의 도핑을 수행한다. 그것에 의해, 소스 영역(415) 및 드레인 영역(417)이 형성된다(도 5d).

더욱이, 레이저 빔이 조사되고, 소스 및 드레인 영역들이 활성화된다.

다음, 층간 절연막들로서 실리콘 질화막(418) 및 폴리이미드 수지막(419)이 형성된다.

더욱이, 접촉 홀들이 형성되고, 소스 전극(420) 및 드레인 전극(421)이 형성된다. 이러한 방법으로 도 5e에 도시된 바와 같이 역 스태거형(reverse stagger type)의 박막 트랜지스터가 완성된다.

[제 5 실시예]

본 실시예에서, 본 명세서에서 개시한 발명을 이용하는 디바이스의 아웃라인들을 도시한 것이다. 도 6a 내지 도 6f는 각각의 디바이스들의 아웃라인들을 도시한 것이다.

도 6a는 전화망을 이용하는 통신 기능이 제공되는 휴대형 정보 처리 단말을 도시한 것이다.

이 전자 디바이스에는 본체(2001)의 내측에 박막 트랜지스터들을 이용하는 접적 회로(2006)가 제공된다. 더욱이, 활성 매트릭스형 액정 디스플레이(2005)와, 이미지들을 포착하는 카메라 유닛(2002) 및, 동작 스위치(2004)가 설치되어 있다.

도 12는 액정 디스플레이의 구성의 아웃라인을 도시한다. 도 12에 도시된 각 회로 블록은 예컨대, 박막 트랜지스터로 이루어지는 CMOS(Complementary Metal Oxide Semiconductor : 상보성 금속 산화막 반도체) 회로의 조합에 의해 구성된다.

도 6b는 헤드 장착 디스플레이(head mount display)라는 전자 디바이스를 도시한다. 이 디바이스는 본체(2101)를 밴드(2103)에 의해 헤드 상에 탑재함으로써 눈의 정면에서 이미지들을 시각적으로 디스플레이하는 기능을 가진다. 이 이미지는 좌측 및 우측 눈에 대응하는 액정 디스플레이(2102)에 의해 형성된다.

이러한 전자 디바이스에 따라, 디바이스의 소형화 및 경량화를 위해 박막 트랜지스터를 이용하는 회로가 활용된다.

도 6c는 인공위성으로부터의 신호들에 기초하여 지도 정보 또는 각종 정보를 디스플레이하기 위한 기능이 제공되는 것이다. 안테나(2204)에 의해 잡힌 위성으로부터의 정보는 본체(2201)의 내측에 설치한 전자 회로에 의해 처리되어, 필요한 정보가 액정 디스플레이 디바이스(2202)에 디스플레이된다.

상기 디바이스는 동작 스위치들(2203)에 의해 동작된다. 이러한 디바이스에서도 전체 구성을 소형화하기 위해 박막 트랜지스터를 이용하는 회로가 활용된다.

도 6d는 휴대용 전화를 도시한다. 이 전자 디바이스에는 본체(2301), 안테나(2306), 음성 출력부(2302), 액정 디스플레이(2304), 동작 스위치 및 음성 입력부(2303)가 제공된다.

도 6e는 전자 디바이스(즉, 비디오 카메라라고 칭해지는 휴대형 이미지 포착 디바이스)를 도시한다. 이 전자 디바이스에는 본체(2401)와, 개구 및 폐구 부재(opening and closing member)에 부착된 액정 디스플레이(2402)와, 개구 및 폐구 부재에 부착된 동작 스위치(2404)가 제공되어 있다.

더욱이, 본체(2401)에는 이미지 수신부(2406), 접적 회로(2407), 음성 입력부(2403), 동작 스위치(2404) 및 배터리(2405)가 설치되어 있다.

도 6f는 전자 디바이스(즉, 프로젝션형 액정 디스플레이 디바이스)를 도시한다. 이 디바이스에는 본체(2501)에 광원(2502), 액정 디스플레이 디바이스(2503) 및 광학 시스템(2504)이 구비되어 있으며, 이미지를 스크린(2505) 상에 프로젝팅하는 기능을 가지고 있다.

더욱이, 상기한 전자 디바이스에서 액정 디스플레이 디바이스들로서는 투과형 디바이스 또는 반사형 디바이스 중 어느 것이라도 이용될 수 있다. 상기 투과형 디바이스는 디스플레이 특성의 관점에서 유리하고, 상기 반사형 디바이스는 저 전력 소모 또는 소규모나 경량화를 추구하는 경우에 유리하다.

더욱이, 디스플레이 디바이스로서는 액티브 매트릭스형 EL 디바이스와, 플라즈마 디바이스 등이 이용될 수 있다.

[제 6 실시예]

본 실시예는 도 6a 내지 도 6f에 도시된 각종 디바이스들을 구성함에 이용하는 기본 회로 소자를 나타낸 것이다.

본 실시예는 P-채널형 TFT(PTFT) 및 N-채널형 TFT(NTFT)가 동일 기판 상에 접적된 구성을 나타낸 것이다.

일반적 회로는 PTFT 및 NTFT가 상보적으로 구성된 CMOS 회로에 의한 기본 요소로서 구성된다.

본 실시예에서, 전면에 니켈 원소를 도입하고, 전면을 결정화하는 기술을 이용하는 경우의 예를 나타낸다.

도 8a 내지 도 8f는 제조 단계를 도시한다. 우선, 비정질 실리콘막(802)이 유리 기판(801) 상에 형성된다. 다음, 니켈 원소가 용액을 이용해서 참조 부호(803)에 의해 표시된 비정질 실리콘막(802)의 표면에 접촉하고 그에 의해 유지된다(도 8a).

다음, 막을 결정화하기 위해 가열 동작을 수행함으로써 결정 실리콘막(804)이 제공된다(도 8b).

다음, 상기 막에 남아 있는 니켈 원소가 레이저 어닐링을 수행함으로써 분산된다(도 8c).

더욱이, 마스크들(805, 806)이 배치되고, 인 이온들이 주입된다. 이렇게 해서, 인 이온들이 영역들(807, 808 및 809)에 도핑된다(도 8d).

다음, 열 처리를 수행함으로써 니켈 원소가 영역들(807, 808 및 809)에 게터링된다(도 8d).

다음, 마스크들(805 및 806)이 제거된다. 이러한 방법으로, 니켈이 외측으로 게터링되는 결정 실리콘막의 영역들(810 및 811)이 얻어진다. 이 경우, 영역(810)은 PTFT의 활성화층을 구성한다. 또한, 영역(811)은 NTFT의 활성화층을 구성한다(도 8e).

다음, 게이트 절연막(812)이 형성되고, 알루미늄을 포함하는 게이트 전극들(813 및 814)이 형성된다. 참조 부호들(815 및 816)로 표시된 양극 산화막들은 게이트 전극들의 주위에 형성된다(도 8f).

다음, 플라즈마 도핑 처리에 의해 인을 도핑함으로써 영역들(901, 903, 904 및 906) 내에 인이 도핑된다.

이 단계에서, 인이 도핑되지 않은 영역들(902 및 905)은 이후의 단계들에서 채널 영역들을 구성한다.

다음, 마스크(907)가 제공되고, 보론(boron)이 도핑된다. 이 단계에서, 영역들(908 및 909)이 N형에서 P형으로 반전된다.

이러한 방법으로, PTFT가 좌측에 형성될 수 있고, 동시에 NTFT가 우측에 형성될 수 있다(도 9b).

다음, 실리콘 질화막(910)이 층간 절연막들로서 형성되고, 폴리이미드 수지막(911)이 형성된다.

더욱이, 접촉 홀들이 형성되고, PTFT의 소스 전극(912) 및 드레인 전극(913)과, NTFT의 소스 전극(915) 및 드레인 전극(914)이 형성된다. 이러한 방법으로, 도 9c에 도시된 구성이 제공될 수 있다.

여기서, TFT들 양쪽의 게이트 전극들을 접속하고, 양쪽 드레인 전극들을 접속함으로써 CMOS 구조가 얻어질 수 있다.

[제 7 실시예]

본 실시예는 도 2a 내지 도 2g에 도시된 제조 단계를 개선하는 예를 나타내며, 도 10a 내지 도 10f는 본 실시예의 제조 단계를 나타낸다.

우선, 도 10d에 도시된 단계까지의 접근은 도 2d에 도시된 단계와 동일하다.

도 10d에 도시된 상태가 얻어지면, 이 상태 하에서 인 이온들이 영역(101)으로 주입된다. 즉, 니켈 원소를 선택적으로 도입하기 위해 마스크를 이용함으로써 인 이온들이 또한 주입된다(도 10e).

더욱이, 도 10f에 도시된 가열 처리를 수행함으로써 니켈 원소가 이 영역(101)으로 게터링된다.

그 후, 이 영역(101)이 에칭되고, 마스크(23)가 제거된다. 더욱이, 필요한 패턴으로 결정화된 영역(27)이 패터닝된다.

[제 8 실시예]

본 실시예는 게터링을 위해 인을 도입하는 방법으로서 기상 처리(gas phase process)가 이용된 경우의 예를 나타낸다.

이 경우, 결정화를 촉진시키기 위한 금속 원소로서 니켈이 이용되고 15족 원소로서 인이 이용되는 경우의 설명이 기술된다.

본 실시예에 따라, PH_3 가스를 이용하는 CVD 처리에 의해 니켈을 게터링하기 위한 영역(예컨대, 도 1d의 영역(17))의 표면상에 P를 포함하는 막이 퇴적된다.

이 경우, 인 이온들이 가속으로 주입될 때 제공되는 손상된 영역에 대한 게터링의 효과는 제공될 수 없다. 그러나 니켈에 대한 인의 게터링 효과가 극히 높기 때문에, 도 1e에 도시된 바와 같이 니켈이 게터링될 수 있다.

[제 9 실시예]

본 실시예는, 게터링을 위해 인이 도입된 영역으로 금속 원소를 도입하는 방법으로서 액상 처리(liquid phase process)가 이용되는 경우의 예를 나타낸다.

본 실시예에 따라, 금속 원소를 게터링하는 영역 내에 PSG(Phosphorus Silicate Glass)가 형성된다.

예컨대, 도 1d의 단계에서, 영역(17) 상에 PSG막이 형성되고, 그 후에 가열 처리가 수행됨으로써 니켈 원소가 영역(18)으로부터 게터링될 수 있다.

발명의 효과

본 발명에 의하면, 비정질 실리콘막의 결정화를 촉진시키기 위해 금속 원소를 이용함으로써, 결정화된 실리콘막에 의해 금속 원소가 효과적으로 제거될 수 있다. 결과적으로, 결정 실리콘막을 이용하는 다량의 매우 신뢰성이 높은 전자 디바이스들이 제공될 수 있다. 상술한 바와 같이 본 발명은 산업상 유용한 것이다.

(57) 청구의 범위

청구항 1.

반도체 디바이스 제조 방법에 있어서:

반도체막을 기판 위에 형성하는 단계;

결정화 촉진 재료를 이용하여 상기 반도체막을 결정화하는 단계;

펄스 레이저 빔 및 등가의 강한 빔으로부터 선택된 광을 상기 결정화된 반도체막에 조사하여 스트레스 및 스트레인을 축적하는 단계;

마스크를 상기 결정화된 반도체막 상에 선택적으로 형성하는 단계;

상기 마스크를 이용하여 원소를 도입하는 단계;

상기 원소가 도입되지 않는 영역으로부터 상기 원소가 도입되는 영역으로 상기 결정화 촉진 재료를 게터링하기 위한 열 처리를 수행하는 단계; 및

상기 원소가 도입된 영역을 제거하는 단계를 포함하는, 반도체 디바이스 제조 방법.

청구항 2.

반도체 디바이스를 제조하는 방법에 있어서:

반도체막을 기판 상에 형성하는 단계;

결정화 촉진 재료를 이용하여 상기 반도체막을 결정화하는 단계;

마스크를 상기 결정화된 막상에 선택적으로 형성하는 단계;

펄스 레이저 빔 또는 등가의 강한 빔으로부터 선택된 광을 상기 결정화된 반도체막 상의 상기 마스크가 형성되지 않은 영역에 조사하여 스트레스 및 스트레인을 축적하는 단계;

상기 마스크를 이용하여 원소를 상기 결정화된 반도체막으로 도입하는 단계;

상기 원소가 도입되지 않은 영역으로부터 상기 원소가 도입된 영역으로 상기 결정화 촉진 재료를 게터링하기 위한 열 처리를 수행하는 단계; 및

상기 원소가 도입된 영역을 제거하는 단계를 포함하는, 반도체 디바이스 제조 방법.

청구항 3.

반도체 디바이스를 제조하는 방법에 있어서:

반도체막을, 절연 표면을 갖는 기판 위에 형성하는 단계;

결정화 촉진 재료를 상기 반도체막으로 도입하여 결정 반도체막을 형성하는 단계;

펄스 레이저 빔 또는 등가의 강한 빔으로부터 선택된 광을 상기 결정 반도체막에 조사하여 스트레스 및 스트레인을 축적하는 단계;

원소를 상기 결정 반도체막의 제 1 부분으로 도입하는 단계;

상기 원소가 도입되지 않은 제 2 영역으로부터 상기 원소가 도입된 상기 제 1 부분으로 상기 결정화 촉진 재료가 확산하도록 열 처리를 수행하는 단계; 및

반도체 섬(semiconductor island)을 형성하기 위해 상기 결정 반도체막을 패터닝하는 단계를 포함하고,

상기 반도체 섬은 상기 제 1 부분을 포함하지 않는, 반도체 디바이스 제조 방법.

청구항 4.

반도체 디바이스 제조 방법에 있어서:

반도체막을 절연 표면상에 형성하는 단계;

결정화 촉진 재료를 이용하여 결정 반도체막을 형성하는 단계;

레이저 빔을 상기 결정 반도체막에 조사하고 그에 의해 상기 결정화 재료를 분산시키는 단계;

불순물 원소를 상기 결정 반도체막 중 적어도 하나의 영역으로 도입하는 단계;

상기 결정 반도체막을 가열하고 그에 의해 상기 결정화 촉진 재료를 상기 영역으로 확산시키는 단계; 및

상기 영역을 제거하는 단계를 포함하는, 반도체 디바이스 제조 방법.

청구항 5.

반도체 디바이스를 제조하는 방법에 있어서:

반도체막을 절연 표면상에 형성하는 단계;

결정화 촉진 재료를 이용하여 결정 반도체막을 형성하는 단계;

레이저 빔을 상기 결정 반도체막에 조사하고 그에 의해 상기 결정화 재료를 분산시키는 단계;

불순물 원소를 상기 결정 반도체막 중 적어도 하나의 영역으로 도입하는 단계;

상기 결정 반도체막을 가열하고 그에 의해 상기 결정화 촉진 재료를 상기 영역으로 확산시키는 단계; 및

반도체 섬을 형성하기 위해 상기 결정 반도체막을 패터닝하는 단계를 포함하고,

상기 반도체 섬은 상기 영역을 포함하지 않는, 반도체 디바이스 제조 방법.

청구항 6.

반도체 디바이스 제조 방법에 있어서:

반도체막을 절연 표면상에 형성하는 단계;

결정화 촉진 재료를 이용하여 결정 반도체막을 형성하는 단계;

펄스 발진 광을 상기 결정 반도체막에 조사하고 그에 의해 상기 결정화 재료를 분산시키는 단계;

불순물 원소를 상기 결정 반도체막 중 적어도 하나의 영역으로 도입하는 단계;

상기 결정 반도체막을 가열하고 그에 의해 상기 결정화 촉진 재료를 상기 영역으로 확산시키는 단계; 및

상기 영역을 제거하는 단계를 포함하는, 반도체 디바이스 제조 방법.

청구항 7.

반도체 디바이스를 제조하는 방법에 있어서:

반도체막을 절연 표면상에 형성하는 단계;

결정화 촉진 재료를 이용하여 결정 반도체막을 형성하는 단계;

펄스 발진 광을 상기 결정 반도체막에 조사하고 그에 의해 상기 결정화 촉진재료를 분산시키는 단계;

불순물 원소를 상기 결정 반도체막 중 적어도 하나의 영역으로 도입하는 단계;

상기 결정 반도체막을 가열하고 그에 의해 상기 결정화 촉진 재료를 상기 영역으로 확산시키는 단계; 및

반도체 섬을 형성하기 위해 상기 결정 반도체막을 패터닝하는 단계를 포함하고,

상기 반도체 섬은 상기 영역을 포함하지 않는, 반도체 디바이스 제조 방법.

청구항 8.

반도체 디바이스를 제조하는 방법에 있어서:

반도체막을 절연 표면상에 형성하는 단계;

결정화 촉진 재료를 이용하여 결정 반도체막을 형성하는 단계;

스트레스 및 스트레인을 상기 결정 반도체막 내에 축적하고 그에 의해 상기 결정화 촉진 재료를 분산시키는 단계;

불순물 원소를 상기 결정 반도체막 중 적어도 하나의 영역으로 도입하는 단계;

상기 결정 반도체막을 가열하고 그에 의해 상기 결정화 촉진 재료를 상기 영역으로 확산시키는 단계; 및

상기 영역을 제거하는 단계를 포함하는, 반도체 디바이스 제조 방법.

청구항 9.

반도체 디바이스를 제조하는 방법에 있어서:

반도체막을 절연 표면상에 형성하는 단계;

결정화 촉진 재료를 이용하여 결정 반도체막을 형성하는 단계;

스트레스 및 스트레인을 상기 결정 반도체막 내에 축적하고 그에 의해 상기 결정화 촉진 재료를 분산시키는 단계;

불순물 원소를 상기 결정 반도체막 중 적어도 하나의 영역으로 도입하는 단계;

상기 결정 반도체막을 가열하고 그에 의해 상기 결정화 촉진 재료를 상기 영역으로 확산시키는 단계; 및

반도체 섬을 형성하기 위해 상기 결정 반도체막을 패터닝하는 단계를 포함하고,

상기 반도체 섬은 상기 영역을 포함하지 않는, 반도체 디바이스 제조 방법.

청구항 10.

반도체 디바이스를 제조하는 방법에 있어서:

반도체막을 절연 표면상에 형성하는 단계;

결정화 촉진 재료를 이용하여 결정 반도체막을 형성하는 단계;

불순물 원소와 수소, 산소 및 탄소 중 한 원소를 상기 결정 반도체막 중 적어도 하나의 영역으로 도입하는 단계;

레이저 빔을 상기 결정 반도체막에 조사하고 그에 의해 상기 결정화 촉진 재료를 분산시키는 단계;

상기 결정 반도체막을 가열하고 그에 의해 상기 결정화 촉진 재료를 상기 영역으로 확산시키는 단계; 및

상기 영역을 제거하는 단계를 포함하는, 반도체 디바이스 제조 방법.

청구항 11.

반도체 디바이스 제조 방법에 있어서:

반도체막을 절연 표면상에 형성하는 단계;

결정화 촉진 재료를 이용하여 결정 반도체막을 형성하는 단계;

불순물 원소와 수소, 산소 및 탄소 중 한 원소를 상기 결정 반도체막 중 적어도 하나의 영역으로 도입하는 단계;

레이저 빔을 상기 결정 반도체막에 조사하고 그에 의해 상기 결정화 촉진 재료를 분산시키는 단계;

상기 결정 반도체막을 가열하고 그에 의해 상기 결정화 촉진 재료를 상기 영역으로 확산시키는 단계; 및

반도체 섬을 형성하기 위해 상기 결정 반도체막을 패터닝하는 단계를 포함하고,

상기 반도체 섬은 상기 영역을 포함하지 않는, 반도체 디바이스 제조 방법.

청구항 12.

제 1 항 또는 제 2 항에 있어서,

상기 원소로서 인이 이용되는, 반도체 디바이스 제조 방법.

청구항 13.

제 2 항에 있어서,

상기 도입 단계는 상기 원소를 이온화함으로써 수행되고 그에 의해 상기 원소가 도입된 영역은 고의적으로 손상되는, 반도체 디바이스 제조 방법.

청구항 14.

제 1 항 또는 제 2 항에 있어서,

상기 결정화 촉진 재료는 상기 결정화 촉진 재료를 포함하는 액체를 이용하여 상기 반도체막에 첨가되는, 반도체 디바이스 제조 방법.

청구항 15.

제 2 항에 있어서,

상기 도입 단계는 상기 원소를 포함한 가스를 이용하는 기상 반응에 의해 수행되는, 반도체 디바이스 제조 방법.

청구항 16.

제 1 항 또는 제 2 항에 있어서,

상기 열 처리는 500°C 내지 700°C의 온도 범위로부터 선택된 온도에서 수행되는, 반도체 디바이스 제조 방법.

청구항 17.

제 1 항 또는 제 2 항에 있어서,

상기 열 처리는 550°C 내지 650°C의 온도 범위로부터 선택된 온도에서 수행되는, 반도체 디바이스 제조 방법.

청구항 18.

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 결정화 촉진 재료는 Fe, Co, Ni, Cu, Ru, Rh, Pd, Os, Ir, Pt 및 Au로 구성된 그룹으로부터 선택되는, 반도체 디바이스 제조 방법.

청구항 19.

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

원소는 15족의 질소, 인, 비소, 안티몬 및 창연(bismuth)으로 구성된 그룹으로부터 선택되는, 반도체 디바이스 제조 방법.

청구항 20.

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 반도체막은 700°C 이하의 스트레인 포인트를 갖는 기판 위에 형성되는, 반도체 디바이스 제조 방법.

청구항 21.

제 3 항에 있어서,

상기 도입 단계는 이온화되는 상기 원소를 가속 및 주입함으로써 수행되고 그에 의해 상기 원소가 주입된 상기 제 1 부분은 고의적으로 손상되는, 반도체 디바이스 제조 방법.

청구항 22.

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 반도체 디바이스는 EL 디스플레이 디바이스인, 반도체 디바이스 제조 방법.

청구항 23.

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 반도체막으로서 Si_xGe_{1-x} ($0 < x < 1$)로 표시된 재료가 이용되는, 반도체 디바이스 제조 방법.

청구항 24.

제 1 항에 있어서,

상기 도입 단계는 이온화되는 상기 원소를 가속 및 주입함으로써 수행되고 그에 의해 상기 원소가 주입된 영역은 고의적으로 손상되는, 반도체 디바이스 제조 방법.

청구항 25.

제 5 항에 있어서,

상기 레이저 빔은 KrF 엑시머 레이저 빔, ArF 엑시머 레이저 빔, XeCl 엑시머 레이저 빔, CO₂ 레이저 빔 및 YAG 레이저 빔으로 구성된 그룹으로부터 선택되는, 반도체 디바이스 제조 방법.

청구항 26.

제 4, 5, 6, 7, 8, 9, 10 또는 11 항 중 어느 한 항에 있어서,

상기 결정화 촉진 재료는 Fe, Co, Ni, Cu, Ru, Rh, Pd, Os, Ir, Pt 및 Au로 구성된 그룹으로부터 선택되는, 반도체 디바이스 제조 방법.

청구항 27.

제 4, 5, 6, 7, 8, 9, 10 또는 11 항 중 어느 한 항에 있어서,

상기 불순물 원소는 질소, 인, 비소, 안티몬 및 창연으로 구성된 그룹으로부터 선택된 15족 원소인, 반도체 디바이스 제조 방법.

청구항 28.

제 10 항 또는 11 항에 있어서,

상기 불순물 원소는 플라즈마 도핑 처리에 의해 도입되는, 반도체 디바이스 제조 방법.

청구항 29.

제 10 항 또는 제 11 항에 있어서,

상기 원소의 농도는 1×10^{19} 내지 1×10^{21} atoms/cm³인, 반도체 디바이스 제조 방법.

청구항 30.

제 4, 5, 6, 7, 8, 9, 10 또는 11 항 중 어느 한 항에 있어서,

상기 반도체 디바이스는 액정 디스플레이 디바이스, 전기 루미네센스 디스플레이 디바이스 및 플라즈마 디스플레이 디바이스로 구성된 그룹으로부터 선택된 디스플레이 디바이스로 통합되는, 반도체 디바이스 제조 방법.

청구항 31.

제 4, 5, 6, 7, 8, 9, 10 또는 11 항 중 어느 한 항에 있어서,

상기 반도체 디바이스는 휴대용 정보 단말기, 헤드 장착 디스플레이, 휴대용 전화기, 비디오 카메라 및 프로젝터로 구성된 그룹으로부터 선택된 전자 장치로 통합되는, 반도체 디바이스 제조 방법.

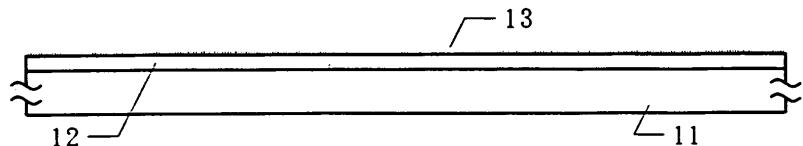
청구항 32.

제 1 항에 있어서,

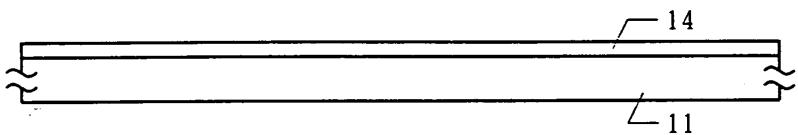
상기 도입 단계는 상기 원소를 포함한 가스를 이용하는 기상 반응에 의해 수행되는, 반도체 디바이스 제조 방법.

도면

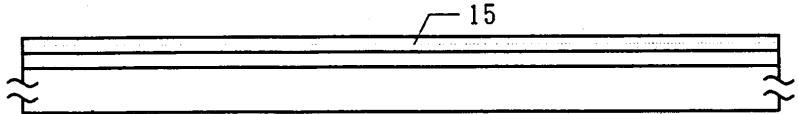
도면1a



도면1b



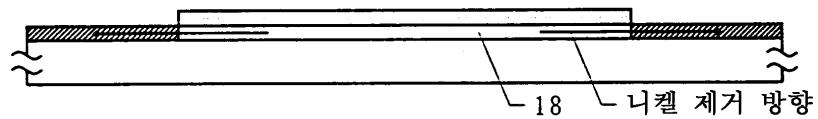
도면1c



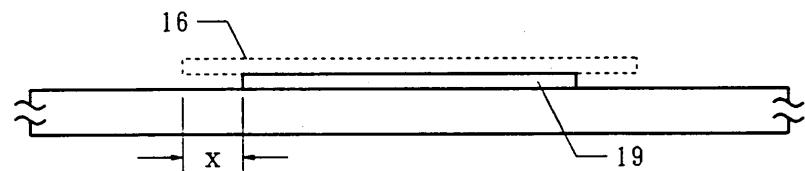
도면1d



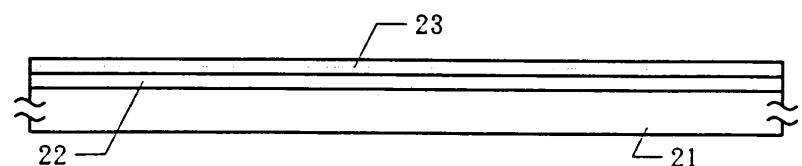
도면1e



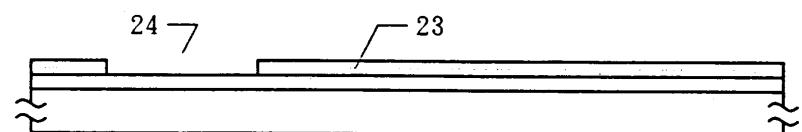
도면1f



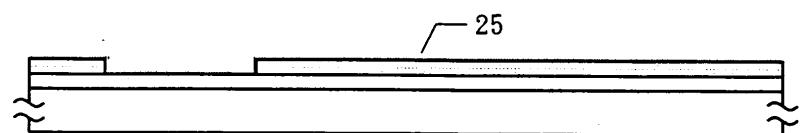
도면2a



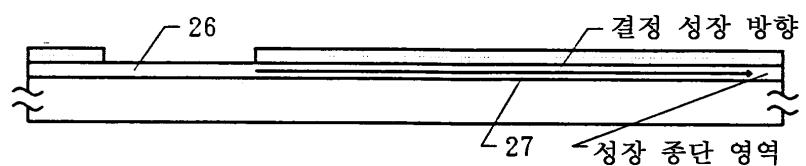
도면2b



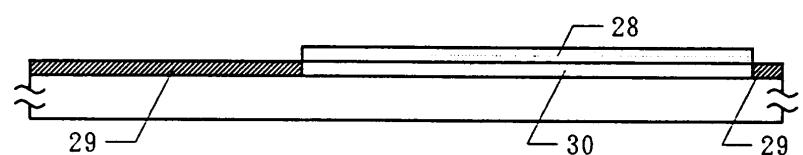
도면2c



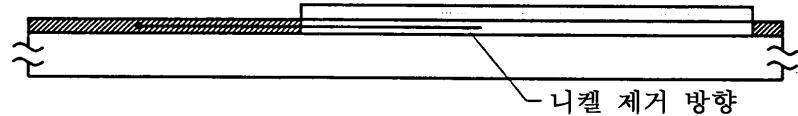
도면2d



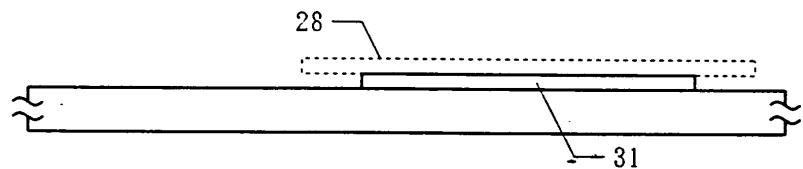
도면2e



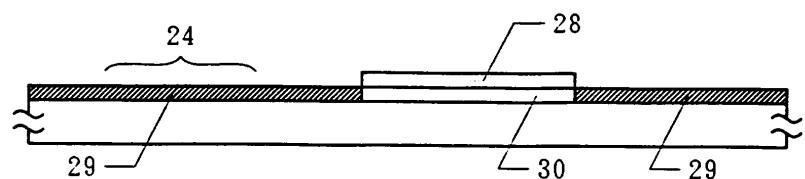
도면2f



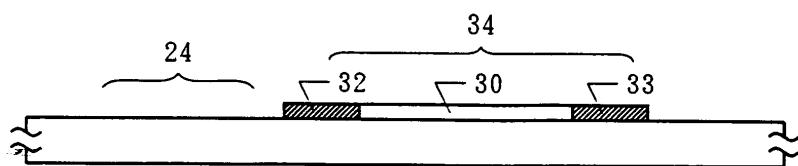
도면2g



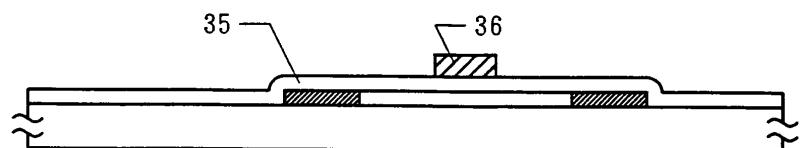
도면3a



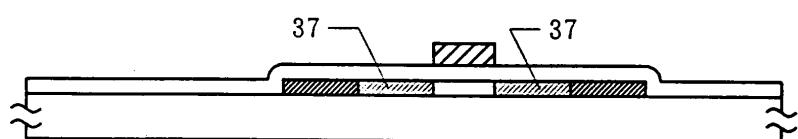
도면3b



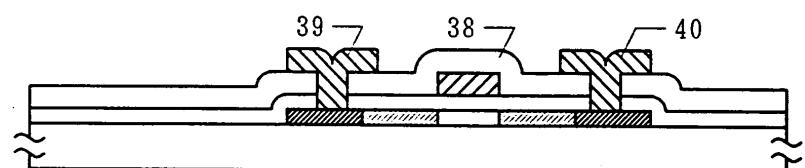
도면3c



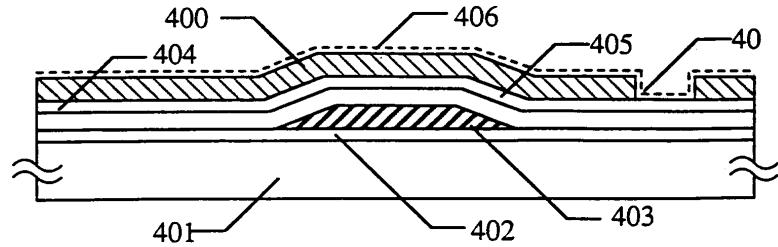
도면3d



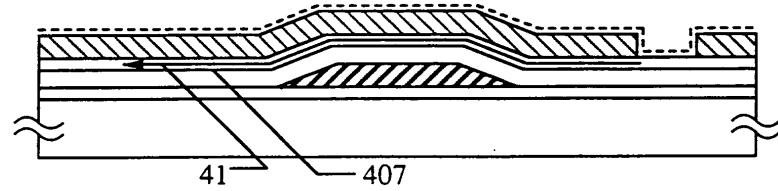
도면3e



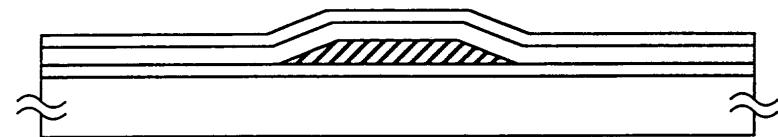
도면4a



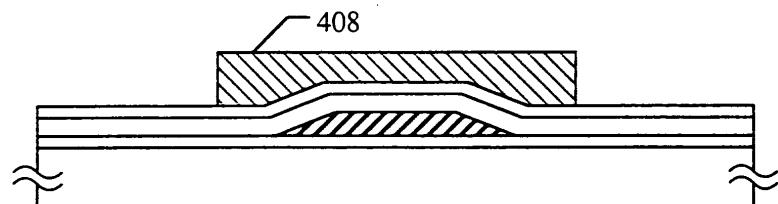
도면4b



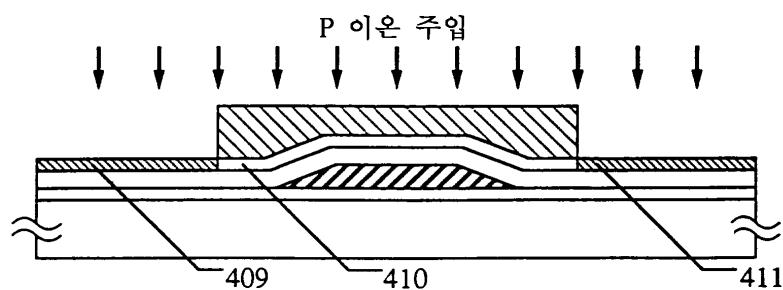
도면4c



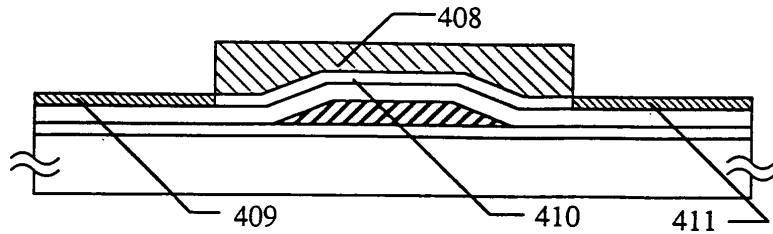
도면4d



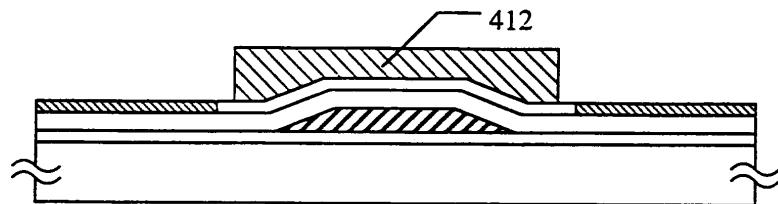
도면4e



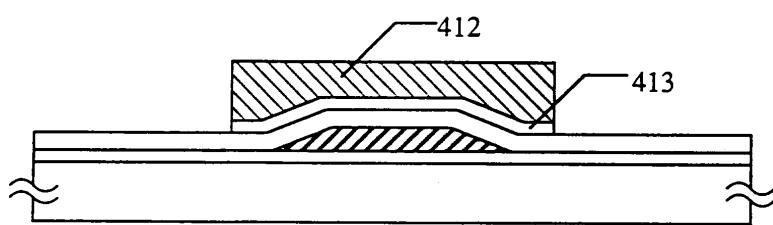
도면5a



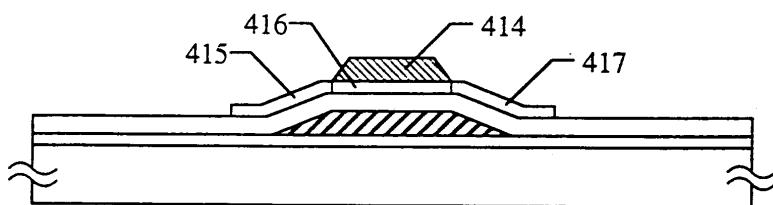
도면5b



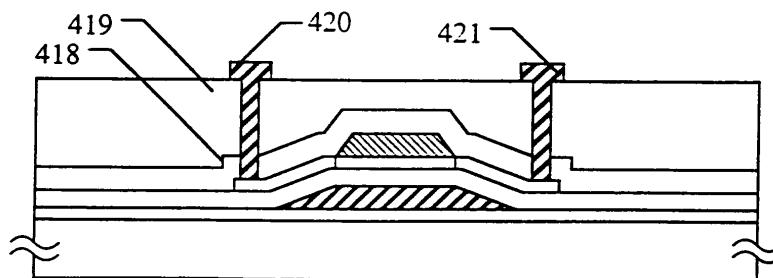
도면5c



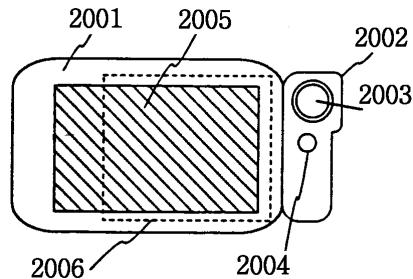
도면5d



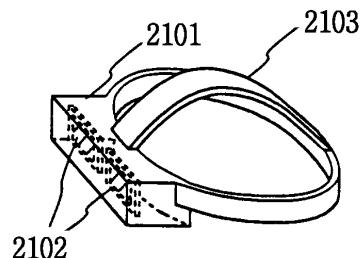
도면5e



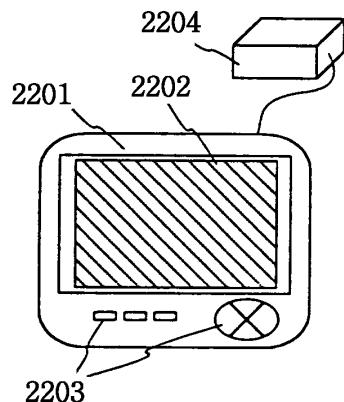
도면6a



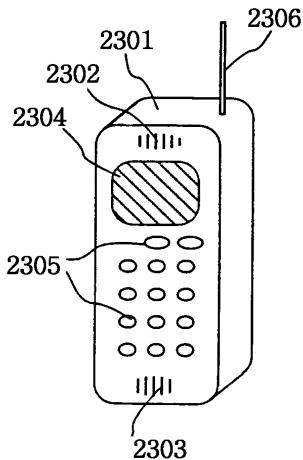
도면6b



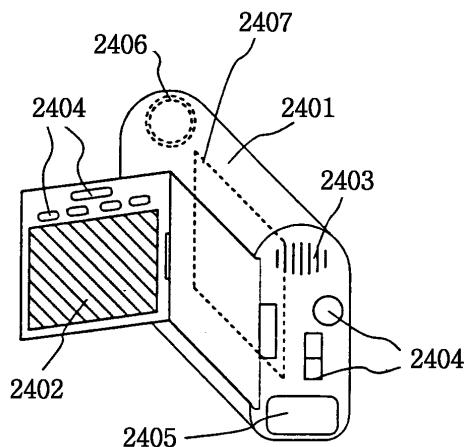
도면6c



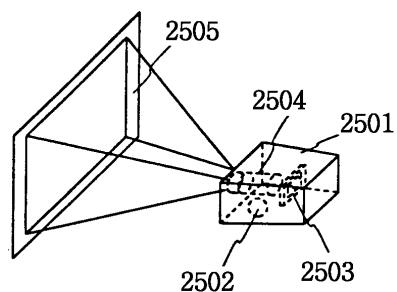
도면6d



도면6e



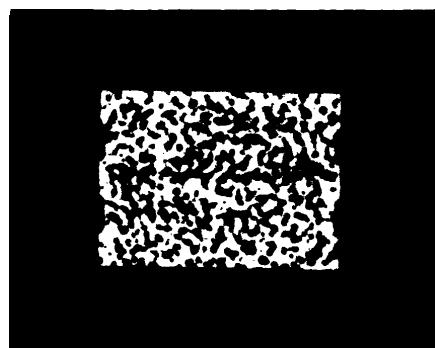
도면6f



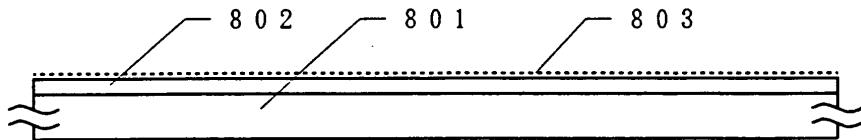
도면7a



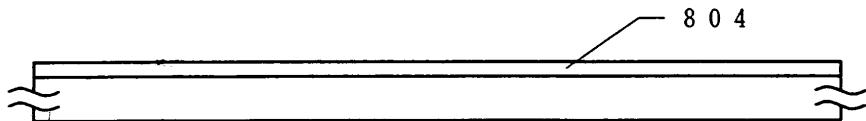
도면7b



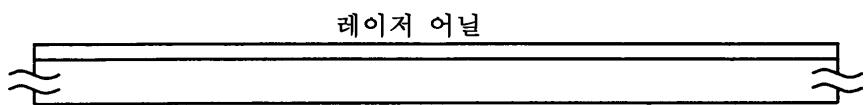
도면8a



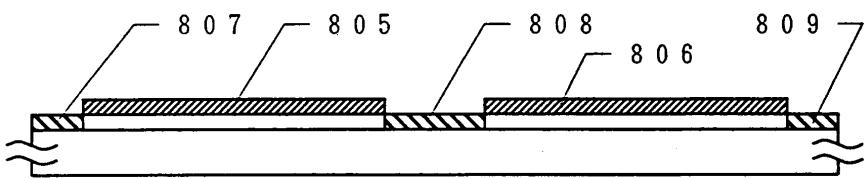
도면8b



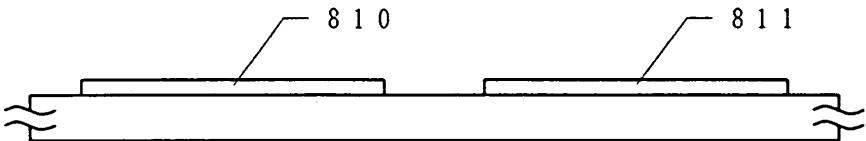
도면8c



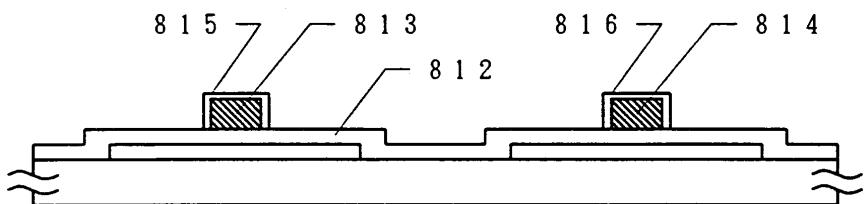
도면8d



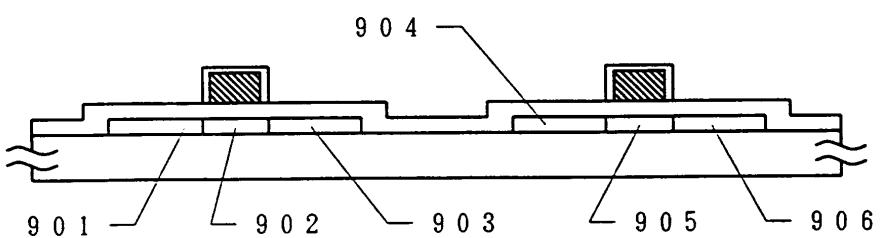
도면8e



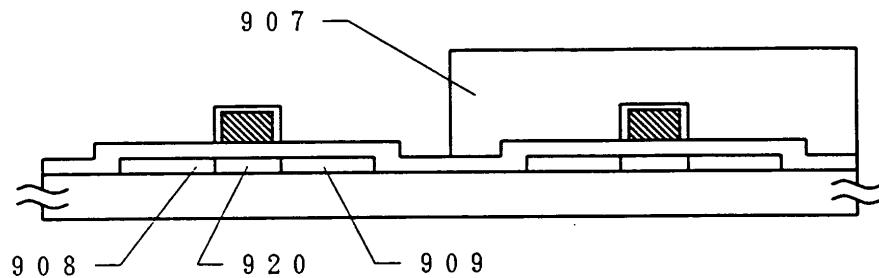
도면8f



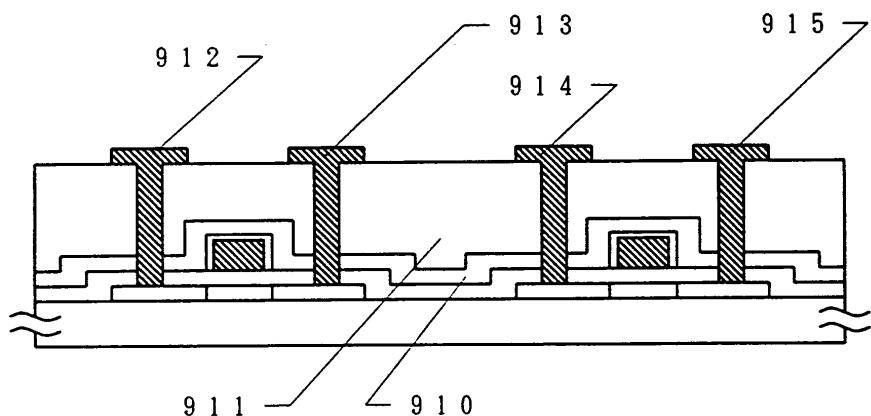
도면9a



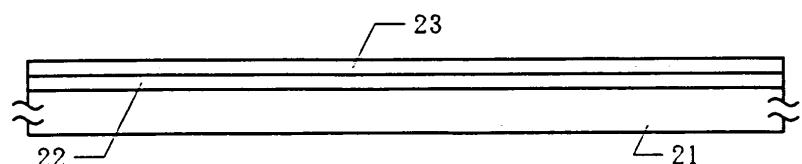
도면9b



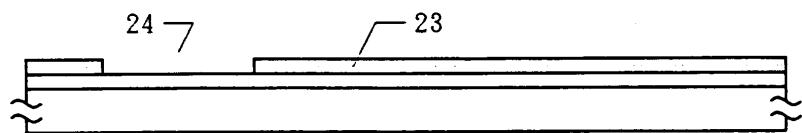
도면9c



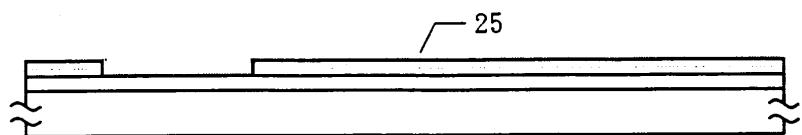
도면10a



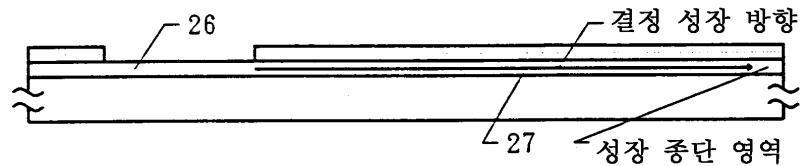
도면10b



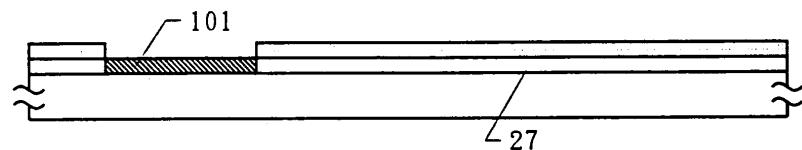
도면10c



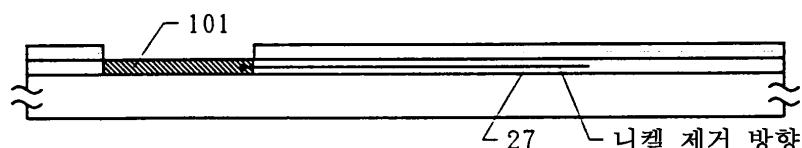
도면10d



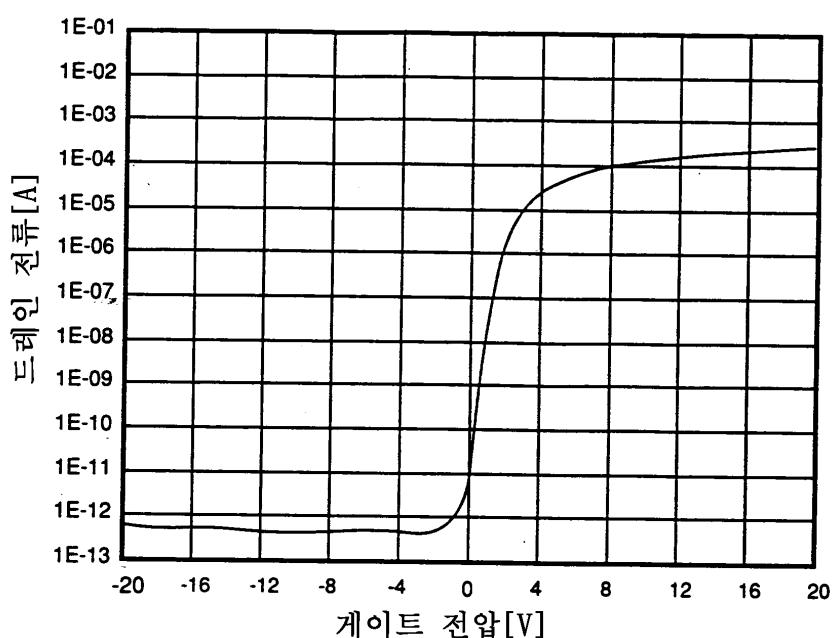
도면10e



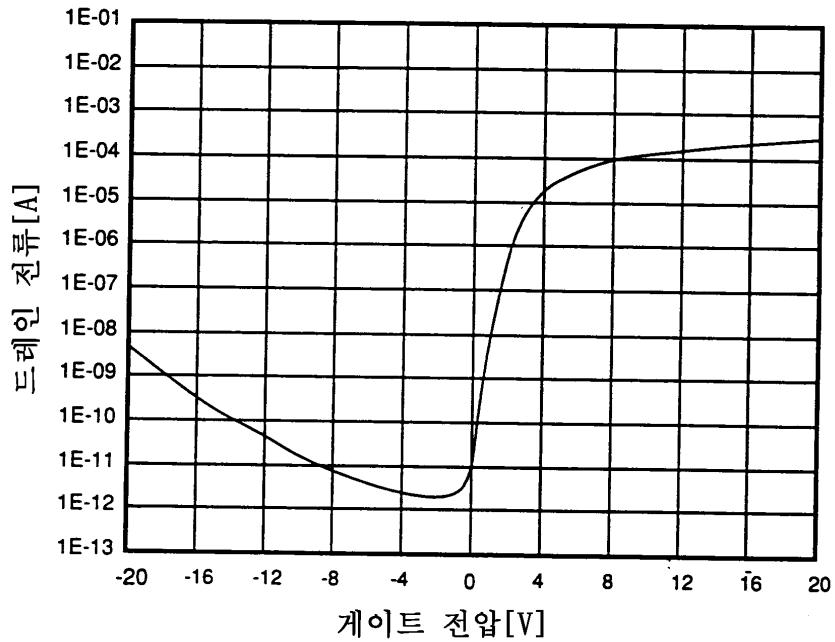
도면10f



도면11a



도면 11b



도면12

