

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁶
H01L 21/34

(11) 공개번호 특2001-0003474
(43) 공개일자 2001년01월15일

(21) 출원번호	10-1999-0023771
(22) 출원일자	1999년06월23일
(71) 출원인	현대전자산업 주식회사 김영환
(72) 발명자	경기도 이천시 부발읍 아미리 산 136-1 김재홍
(74) 대리인	경기도성남시분당구야탑동201매화마을104동605호 강성배

심사청구 : 있음

(54) 에스오아이 웨이퍼 제조방법

요약

본 발명은 에스오아이(SOI) 웨이퍼의 제조방법에 관한 것으로, 특히, 균일한 두께의 반도체층을 얻을 수 있는 에스오아이 웨이퍼 제조방법에 관한 것이다. 본 발명의 에스오아이 웨이퍼 제조방법은, 실리콘 기판의 일측면에 제1의 깊이, 폭 및 간격을 갖는 제1트렌치들을 형성하고, 상기 제1트렌치들이 형성된 부분에 제2의 깊이, 폭 및 간격을 갖는 제2트렌치들을 형성하는 단계; 상기 제1 및 제2트렌치 내에 산화막을 매립시켜, 이중 트렌치 구조의 연마정지층을 형성하는 단계; 상기 실리콘 기판의 타측면 일부 두께를 연삭 공정으로 제거하는 단계; 산화막과 실리콘막의 연마 선택비가 높은 슬러리를 사용하여, 상기 실리콘 기판의 타측면 일부 두께를 1차 연마하는 단계; 및 산화막과 실리콘막의 연마 선택비가 낮은 슬러리를 사용하여, 상기 실리콘 기판의 타측면과 연마정지층의 일부 두께를 2차로 연마해서, 반도체층을 형성하는 단계를 포함하여 이루어진다.

대표도

$52d$

명세서

도면의 간단한 설명

도 1a 내지 도 1c는 종래 기술에 따른 에스오아이 웨이퍼 제조방법을 설명하기 위한 공정 단면도.

도 2a 내지 도 2d는 본 발명의 실시예에 따른 에스오아이 웨이퍼 제조방법을 설명하기 위한 공정 단면도.

도면의 주요 부분에 대한 부호의 설명

11 : 실리콘 기판	11a : 반도체층
12 : 제1트렌치	13 : 제2트렌치
14 : 연마정지층	15 : 베이스 기판
16 : 매몰산화막	

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 에스오아이(SOI) 웨이퍼 제조방법에 관한 것으로, 특히, 균일한 두께의 반도체층을 얻을 수 있는 에스오아이 웨이퍼 제조방법에 관한 것이다.

반도체 소자의 고집적화 및 고성능화가 진행됨에 따라, 벌크 실리콘으로 이루어진 실리콘 웨이퍼를 대신하여 에스오아이(SOI : Silicon On Insulator) 웨이퍼를 이용한 반도체 집적 기술이 주목되고 있다. SOI 웨이퍼는 지지 수단인 베이스 기판과 소자가 형성될 반도체층 사이에 매몰산화막이 개재된 구조로서, 이러한 SOI 웨이퍼 상에 형성된 반도체 소자는 완전한 소자 분리와 기생 용량의 감소로 인하여, 고속 동작이 가능한 장점을 갖는다.

SOI 웨이퍼를 제조하기 위한 방법으로서, 종래에는 산소 이온주입을 이용하는 SIMOX(separation by implanted oxygen)법과 두장의 실리콘 기판을 매몰산화막의 개재하에 본딩시키는 본딩법이 이용되고 있다. 그런데, SIMOX법을 이용한 SOI 웨이퍼 제조방법은 소자가 형성될 반도체층의 두께 조절이 어렵고, 또한, 제조 시간이 길다는 단점이 있기 때문에, 최근에는 본딩법을 이용한 SOI 웨이퍼 제조방법이 주로 이용되고 있다.

본딩법을 이용한 SOI 웨이퍼 제조방법을 간략하게 설명하면, 우선, 지지 수단인 베이스 기판, 또는, 반도체층을 얻기 위한 실리콘 기판 중에서 어느 하나의 기판에 매몰산화막을 형성하고, 이어서, 매몰산화막의 개재하에 베이스 기판과 실리콘 기판을 본딩시킨다. 그런다음, 실리콘 기판 후면의 일부 두께를 공지된 기술인 연삭(grinding) 공정과 화학적기계연마(Chemical Mechanical Polishing : 이하, CMP) 공정으로 제거하여, 소자가 형성될 반도체층을 얻는다.

한편, 상기와 같은 본딩법을 이용한 SOI 웨이퍼 제조방법에 있어서는, CMP 공정시에 연마정지층이 없기 때문에, 원하는 두께의 반도체층을 얻는데, 곤란함이 있었다. 따라서, 이러한 문제를 해결하기 위하여, 실리콘 기판 내에 트렌치형 소자분리막을 구비시키고, 이후, 연삭 공정과 상기 트렌치형 소자분리막을 연마정지층으로 하는 CMP 공정을 수행함으로써, 원하는 두께의 반도체층이 얻어지도록 하는 방법이 제안되었다.

도 1a 내지 도 1c는 종래 기술에 따른 본딩법을 이용한 SOI 웨이퍼 제조방법을 설명하기 위한 공정 단면도로서, 이를 설명하면 다음과 같다.

우선, 도 1a에 도시된 바와 같이, 벌크 실리콘으로 이루어진 실리콘 기판(1)을 마련하고, 상기 실리콘 기판(1)의 일측 표면에 소정 깊이의 트렌치(2)를 형성한다. 그런다음, 상기 트렌치(2)가 매립되도록, 상기 실리콘 기판(1)의 일측 표면 상에 산화막을 증착하고, 상기 산화막에 대한 CMP 공정을 수행하여 트렌치형의 소자분리막(3)을 형성한다.

다음으로, 도 1b에 도시된 바와 같이, 트렌치형 소자분리막(2)이 형성된 실리콘 기판(1)의 일측 표면 상에 본딩 매개체인 제1산화막(4)을 형성하고, 상기 실리콘 기판(1)과 일측 표면 상에 제2산화막(6)이 형성된 베이스 기판(5)을 상기 제1산화막(4)과 제2산화막(6)이 접촉되도록 본딩시킨다. 여기서, 제1 및 제2산화막(4, 6)은 실리콘 기판(1)과 베이스 기판(5)간의 본딩 특성을 향상시키기 위한 본딩 매개체이며, 아울러, 후속에서 매몰산화막으로서의 역할을 한다.

이어서, 실리콘 기판(1)의 타측 표면에 대해서, 1차로 연삭(grinding) 공정을 수행한다. 이때, 연삭 공정은 제거하고자 하는 실리콘 기판(1)의 타측면 대부분이 제거되도록 수행한다.

그 다음, 도 1c에 도시된 바와 같이, 연삭 공정이 수행된 실리콘 기판(1)의 타측면에 대해서, 산화막과 실리콘막간의 연마 선택비가 우수한 슬러리를 이용한 선택적 연마 공정을 수행하여, 반도체층(1a)을 얻으며, 이 결과로, SOI 웨이퍼(10)를 얻는다.

발명이 이루고자하는 기술적 과제

그러나, 상기와 같은 종래의 SOI 웨이퍼 제조방법은 다음과 같은 문제점이 있다. 일반적으로, SOI 웨이퍼 상에 형성되는 소자의 특성은 소자가 형성될 반도체층의 두께 균일도에 크게 의존한다. 따라서, SOI 웨이퍼의 제조시에는 반도체층의 두께 균일도를 확보하는 것이 무엇보다 중요하다.

그런데, 도 1b에 도시된 바와 같이, 연삭 공정이 수행된 실리콘 기판(1)의 타측면은 그 두께 균일도가 매우 불량하기 때문에, 이러한 실리콘 기판의 두께 균일도를 향상시키기 위해서는, 전술한 바와 같이, 산화막과 실리콘막간의 연마 선택비가 우수한 슬러리를 이용하여 선택적 연마 공정을 수행해야만 한다.

그러나, 이 경우에는 연마 공정 시간이 수십분에서 수시간이 소요되기 때문에, 생산성 면에서 문제가 있고, 특히, 도 1c에 도시된 바와 같이, 반도체층(1a)의 표면에서 디싱(Dishing : D) 현상이 발생하게 됨으로써, 이러한 디싱(D) 현상에 의해, 반도체층(1a)의 두께 균일도는 저하되고, 이에 따라, 소자 특성의 향상을 기대할 수 없게 됨은 물론, 후속 공정, 예컨대, 노광 공정 등의 어려움을 초래하게 된다.

따라서, 상기와 같은 문제점을 해결하기 위하여 안출된 본 발명은, 반도체층의 두께 균일도를 향상시킬 수 있는 SOI 웨이퍼의 제조방법을 제공하는데, 그 목적이 있다.

발명의 구성 및 작용

상기와 같은 목적을 달성하기 위한 본 발명의 SOI 웨이퍼의 제조방법은, 실리콘 기판의 일측면에 제1의 깊이, 폭 및 간격을 갖는 제1트렌치들을 형성하고, 상기 제1트렌치들이 형성된 부분에 제2의 깊이, 폭 및 간격을 갖는 제2트렌치들을 형성하는 단계; 상기 제1 및 제2트렌치 내에 산화막을 매립시켜, 이중 트렌치 구조의 연마정지층을 형성하는 단계; 상기 실리콘 기판의 타측면 일부 두께를 연삭 공정으로 제거하는 단계; 산화막과 실리콘막의 연마 선택비가 높은 슬러리를 사용하여, 상기 실리콘 기판의 타측면 일부 두께를 1차 연마하는 단계; 및 산화막과 실리콘막의 연마선택비가 낮은 슬러리를 사용하여 상기 실리콘 기판의 타측면과 연마정지층의 일부 두께를 2차로 연마해서 반도체층을 형성하는 단계를 포함하여 이루어진다.

본 발명에 따르면, 이중 트렌치 구조의 연마정지층을 이용하여, 선택적 연마 공정과 비선택적 연마 공정을 차례로 수행하기 때문에, 최종적으로 얻게 되는 반도체층의 두께 균일도를 향상시킬 수 있다.

이하, 첨부된 도면에 의거하여 본 발명의 바람직한 실시예를 보다 상세하게 설명하도록 한다.

도 2a 내지 도 2d는 본 발명의 실시예에 따른 SOI 웨이퍼 제조방법을 설명하기 위한 공정 단면도로서, 이를 설명하면 다음과 같다.

우선, 도 2a에 도시된 바와 같이, 실리콘 기판(11)을 마련하고, 상기 실리콘 기판(11)의 일측 표면에 $0.5 \sim 1.5 \mu\text{m}$ 의 깊이와 $0.1 \sim 0.3 \mu\text{m}$ 의 폭 및 $0.1 \sim 0.35 \mu\text{m}$ 의 간격으로 이격되는 제1트렌치들(12)을 형성하고, 이어서, 상기 제1트렌치들(12)이 형성된 부분에 $0.2 \sim 0.5 \mu\text{m}$ 의 깊이와 $10 \sim 5,000 \mu\text{m}$ 의 폭 및 $10 \sim 1,000 \mu\text{m}$ 의 간격으로 이격되는 제2트렌치들(13)을 형성한다. 그런다음, 상기 실리콘 기판(11)의 일측 표면 상에 상기 제1 및 제2트렌치들(12, 13)이 매립되도록, 예컨대, PE-CVD 산화막, HDP 산화막 또는 O_3 -산화막 중에서 선택되는 하나의 산화막을 $0.5 \sim 2 \mu\text{m}$ 두께로 증착하고, 상기 산화막에 대한 CMP 공정을 수행하여, 이중 트렌치 구조의 연마정지층(14)을 형성한다. 한편, 도시하지는 않았으나, 실리콘막과 연마정지층간의 연마 선택비를 향상시키기 위하여, 상기 산화막의 증착 이전에 이중 구조의 트렌치 내벽에 열산화막, 실리콘질화막 또는 실리콘질산화막 중에서 선택되는 하나의 산화막을 선행적으로 증착할 수도 있다.

다음으로, 도 2b에 도시된 바와 같이, 일측면 상에 매몰산화막(16)이 형성된 베이스 기판(15)을 마련하고, 이러한 베이스 기판(15)과 실리콘 기판(11)을 상기 매몰산화막(16)과 연마정지층(14)이 형성된 면이 접촉되도록 본딩시킨다. 그리고나서, 연삭 공정으로 상기 실리콘 기판(11)의 타측면 일부 두께를 제거한다. 이때, 연삭 공정은 가격 낮은 실리콘 기판(11)의 두께가 $2.5 \sim 3.5 \mu\text{m}$ 정도가 될 때까지 수행한다. 여기서, 연삭 공정이 수행됨에 따라, 도시된 바와 같이, 실리콘 기판(11)의 두께 균일도는 상당히 저하되며, 그 프로파일(profile)도 매우 불규칙하게 된다.

그 다음, 도 2c에 도시된 바와 같이, 산화막과 실리콘막간의 연마 선택비가 높은 고 선택비 슬러리를 이용하여, 연삭 공정이 수행된 실리콘 기판(11)의 타측면을 CMP 공정으로 연마한다. 이때, 1차 연마 공정은 제1트렌치(12)에 매립된 산화막을 연마정지층으로 하여 수행하게 되는데, 연마정지층(14)에 먼저 도달한 실리콘 기판(11) 부분은 상기 연마정지층(14)과의 선택비 때문에, 디싱이 일어나면서 연마 속도가 둔화되지만, 상기 연마정지층(14)에 도달하지 못한 실리콘 기판(11) 부분은 계속적으로 연마된다. 따라서, 제1트렌치(12) 내에 매립된 산화막이 충분히 들어날 때까지, 연마 공정을 수행하게 되면, 디싱은 더 이상 진행되지 않으며, 특히, 실리콘 기판(11)의 두께는 모든 부분에서 거의 균일하게 된다.

한편, 상기한 고 선택비 슬러리는 탈이온수에 슬러리가 희석된 것으로서, 탈이온수 대 슬러리의 희석비는 $100 \sim 500 : 1$ 이고, 아울러, pH는 연마정지층의 크기 및 형상 그리고 막질에 따라 $8 \sim 11$ 로 유지되며, 연마 입자가 응집되는 것을 방지하는 안정화제로서 KOH 또는 NH_4OH 이 첨가된 슬러리가 이용된다. 또한, 1차 연마 공정을 수행함에 있어서, 연마 패드는 디싱과 연마 불균일도를 고려하여 적층 패드 또는 소프트 패드를 사용하고, 연마 압력을 $1 \sim 3 \text{psi}$, 플레튼(platen)의 회전수를 $20 \sim 100 \text{rpm}$ 으로 하는 공정 조건으로 수행한다.

이후, 도 2d에 도시된 바와 같이, 산화막과 실리콘막간의 연마 선택비가 없는 슬러리를 사용하여 1차 연마된 실리콘 기판(11)의 타측면과 연마정지층(14)을 도 2c의 A-A' 선까지 CMP 공정으로 2차 연마한다. 여기서, 상기한 슬러리는 산화막과 실리콘막간의 연마 속도가 같거나 또는 유사한 슬러리, 예컨대, 산화막과 실리콘막간의 연마 속도가 $1 \sim 1.2 : 1$ 정도가 되는 슬러리이며, 이러한 슬러리를 이용함과 동시에, 연마 압력을 $3 \sim 7 \text{psi}$, 플레튼(platen)의 회전수를 $20 \sim 100 \text{rpm}$ 으로 하는 공정 조건으로 2차 연마를 수행한다.

이때, 연마 선택비가 없는 슬러리를 이용하여 CMP 공정을 수행하게 되면, 상대적으로 단차가 높은 연마정지층(14)이 먼저 연마되고, 이후, 연마정지층(14)과 실리콘 기판(11)이 동일한 연마 속도로 식각되기 때문에, 도시된 바와 같이, 최종적으로 얻어진 반도체층(11a)의 표면에는 디싱이 없으며, 특히, 그 두께 균일도는 향상된다. 또한, 잔류된 연마정지층(14)은 소자가 형성될 반도체층들(11a)간을 분리시키는 소자분리막으로서의 기능을 하게 된다.

따라서, 상기와 같은 공정을 통해 얻어진 반도체층(11a) 상에 반도체 소자를 형성할 경우에는 상기 반도체층(11a)의 두께 균일도가 향상된 것에 기인하여, 소자 특성의 향상을 기대할 수 있다.

발명의 효과

이상에서와 같이, 본 발명은 이중 트렌치 구조의 연마정지층을 이용하여 선택적 연마 공정과 비선택적 연마 공정을 차례로 수행함으로써, 소자가 형성될 반도체층의 두께 균일도를 향상시킬 수 있다.

따라서, 두께 균일도가 향상된 반도체층을 갖는 SOI 웨이퍼를 제조할 수 있기 때문에, 소자의 특성 향상을 기대할 수 있으며, 아울러, 디싱이 제거되는 것에 의해 후속 공정의 안정화를 도모할 수 있다.

한편, 여기에서는 본 발명의 특정 실시예에 대해서 설명하고 도시하였지만, 당업자에 의하여 이에 대한 수정과 변형을 할 수 있다. 따라서, 이하 특허청구의 범위는 본 발명의 진정한 사상과 범위에 속하는 한, 모든 수정과 변형을 포함하는 것으로 이해할 수 있다.

(57) 청구의 범위

청구항 1

실리콘 기판의 일측면에 제1의 깊이, 폭 및 간격을 갖는 제1트렌치들을 형성하고, 상기 제1트렌치들이 형성된 부분에 제2의 깊이, 폭 및 간격을 갖는 제2트렌치들을 형성하는 단계;

상기 제1 및 제2트렌치 내에 산화막을 매립시켜, 이중 트렌치 구조의 연마정지층을 형성하는 단계;

상기 실리콘 기판의 타측면 일부 두께를 연삭 공정으로 제거하는 단계;

산화막과 실리콘막의 연마 선택비가 높은 슬러리를 사용하여, 상기 실리콘 기판의 타측면 일부 두께를 1차 연마하는 단계; 및

산화막과 실리콘막의 연마 선택비가 낮은 슬러리를 사용하여, 상기 실리콘 기판의 타측면과 연마정지층의 일부 두께를 2차 연마해서 반도체층을 형성하는 단계를 포함하여 이루어지는 것을 특징으로 하는 에스오아이 웨이퍼 제조방법.

청구항 2

제 1 항에 있어서, 상기 제1트렌치는 $0.5\sim 1.5\mu\text{m}$ 의 깊이와 $0.1\sim 0.3\mu\text{m}$ 의 폭 및 $0.1\sim 0.35\mu\text{m}$ 의 간격으로 이격되도록 형성하고, 상기 제2트렌치는 $0.2\sim 0.5\mu\text{m}$ 의 깊이와 $10\sim 5,000\mu\text{m}$ 의 폭 및 $10\sim 1,000\mu\text{m}$ 의 간격으로 이격되도록 형성하는 것을 특징으로 하는 에스오아이 웨이퍼 제조방법.

청구항 3

제 1 항에 있어서, 상기 제1 및 제2트렌치에 매립시키는 산화막은, PE-CVD 산화막, HDP 산화막 또는 O_3 -산화막 중에서 선택되는 하나의 산화막인 것을 특징으로 하는 에스오아이 웨이퍼 제조방법.

청구항 4

제 1 항에 있어서, 상기 산화막을 매립시키기 전에, 열산화막, 실리콘질화막 또는 실리콘질산화막 중에서 선택되는 하나의 막을 상기 제1 및 제2트렌치들의 내벽에 선형적으로 형성하는 것을 특징으로 하는 에스오아이 웨이퍼 제조방법.

청구항 5

제 1 항에 있어서, 상기 1차 연마는

탈이온수와의 희석비가 $100\sim 500 : 1$ 이고, pH는 $8\sim 11$ 이며, 연마 입자가 응집되는 것을 방지하는 안정화제로서 KOH 또는 NH_4OH 이 첨가된 슬러리를 사용하여 수행하는 것을 특징으로 하는 에스오아이 웨이퍼 제조방법.

청구항 6

제 1 항에 있어서, 상기 1차 연마는

적층 패드 또는 소프트 패드로 이루어진 연마 패드를 사용하고, 연마 압력을 $1\sim 3\text{psi}$, 플래튼(platen)의 회전수를 $20\sim 100\text{rpm}$ 으로 하는 공정 조건으로 수행하는 것을 특징으로 하는 에스오아이 웨이퍼 제조방법.

청구항 7

제 1 항에 있어서, 상기 2차 연마는

산화막대 실리콘막의 연마 속도가 $1\sim 1.2 : 1$ 정도인 슬러리를 사용하여 수행하는 것을 특징으로 하는 에스오아이 웨이퍼 제조방법.

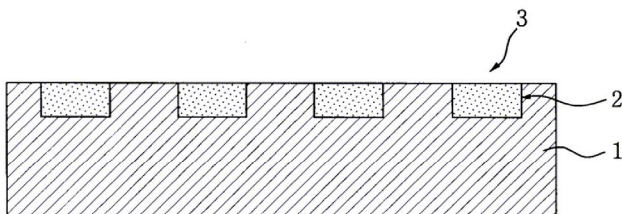
청구항 8

제 1 항에 있어서, 상기 2차 연마는

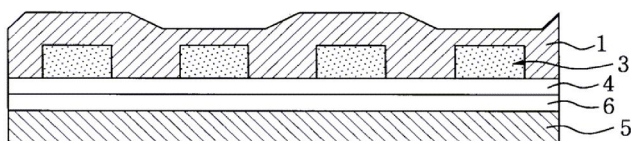
연마 압력을 $3\sim 7\text{psi}$, 플래튼(platen)의 회전수를 $20\sim 100\text{rpm}$ 으로 하는 공정 조건으로 수행하는 것을 특징으로 하는 에스오아이 웨이퍼 제조방법.

도면

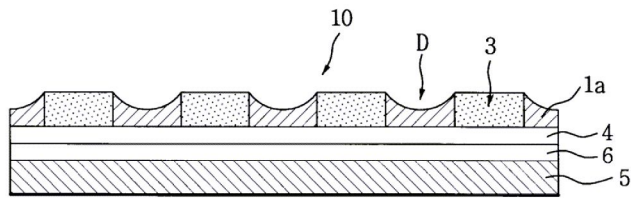
도면 1a



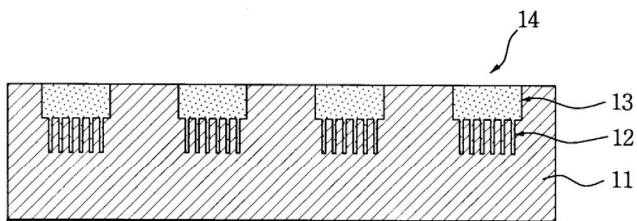
도면 1b



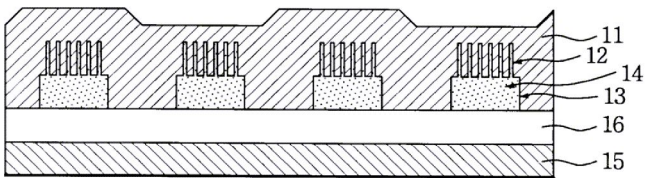
도면1c



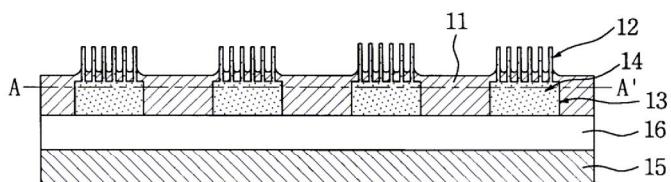
도면2a



도면2b



도면2c



도면2d

