



(21)申請案號：111122950

(22)申請日：中華民國 111 (2022) 年 06 月 21 日

(51)Int. Cl. : **H01L21/71 (2006.01)****H01L21/304 (2006.01)****H01L21/60 (2006.01)**(71)申請人：聯華電子股份有限公司(中華民國) UNITED MICROELECTRONICS CORP. (TW)
新竹市力行二路三號

(72)發明人：孫家禎 SUN, CHIA-CHEN (TW)；劉恩銓 LIOU, EN-CHIUAN (TW)

(74)代理人：卓俊傑；卓孟儀；劉亞君

(56)參考文獻：

TW 201440190A

US 2020/0365612A1

審查人員：黃志源

申請專利範圍項數：15 項 圖式數：6 共 26 頁

(54)名稱

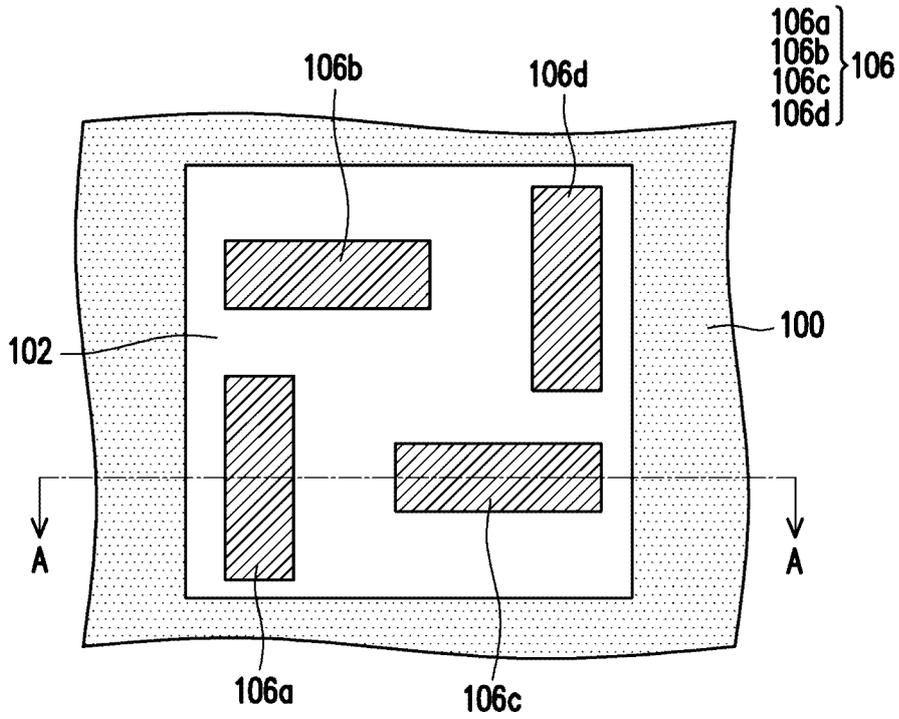
半導體結構

(57)摘要

一種半導體結構，其包括第一導電層、第二導電層以及第一組連接孔。所述第一導電層設置於基底上。所述第二導電層設置於所述第一導電層上。所述第一組連接孔設置於所述第一導電層與所述第二導電層之間，並連接所述第一導電層與所述第二導電層。所述第一組連接孔包括第一連接孔、第二連接孔、第三連接孔與第四連接孔，所述第一連接孔與所述第二連接孔排列為第一行，且所述第三連接孔與所述第四連接孔排列為第二行。所述第一連接孔與所述第三連接孔相鄰，且所述第二連接孔與所述第四連接孔相鄰。自所述基底的上視方向來看，所述第一連接孔的延伸方向與所述第二連接孔的延伸方向垂直，所述第三連接孔的延伸方向與所述第四連接孔的延伸方向垂直，且所述第一連接孔的延伸方向與所述第三連接孔的延伸方向垂直。

Provided is a semiconductor structure including a first conductive layer, a second conductive layer and a first group of vias. The first conductive layer is disposed on a substrate. The second conductive layer is disposed on the first conductive layer. The first group of vias are disposed between the first conductive layer and the second conductive layer, and connect the first conductive layer and the second conductive layer. The first group of vias includes a first via, a second via, a third via and a fourth via. The first via and the second via are arranged in a first column. The third via and the fourth vias are arranged in a second column. The first via is adjacent to the third via, and the second via is adjacent to the fourth via. From the top view of the substrate, the extension direction of the first via is perpendicular to the extension direction of the second via, the extension direction of the third via is perpendicular to the extension direction of the fourth via, and the extending direction of the first via is perpendicular to the extending direction of the third via.

指定代表圖：



符號簡單說明：

- 100: 基底
- 102: 第一導電層
- 106: 第一組連接孔
- 106a: 第一連接孔
- 106b: 第二連接孔
- 106c: 第三連接孔
- 106d: 第四連接孔

【圖1B】



I885271

【發明摘要】**【中文發明名稱】** 半導體結構**【英文發明名稱】** SEMICONDUCTOR STRUCTURE**【中文】**

一種半導體結構，其包括第一導電層、第二導電層以及第一組連接孔。所述第一導電層設置於基底上。所述第二導電層設置於所述第一導電層上。所述第一組連接孔設置於所述第一導電層與所述第二導電層之間，並連接所述第一導電層與所述第二導電層。所述第一組連接孔包括第一連接孔、第二連接孔、第三連接孔與第四連接孔，所述第一連接孔與所述第二連接孔排列為第一行，且所述第三連接孔與所述第四連接孔排列為第二行。所述第一連接孔與所述第三連接孔相鄰，且所述第二連接孔與所述第四連接孔相鄰。自所述基底的上視方向來看，所述第一連接孔的延伸方向與所述第二連接孔的延伸方向垂直，所述第三連接孔的延伸方向與所述第四連接孔的延伸方向垂直，且所述第一連接孔的延伸方向與所述第三連接孔的延伸方向垂直。

【英文】

Provided is a semiconductor structure including a first conductive layer, a second conductive layer and a first group of vias. The first conductive layer is disposed on a substrate. The second

conductive layer is disposed on the first conductive layer. The first group of vias are disposed between the first conductive layer and the second conductive layer, and connect the first conductive layer and the second conductive layer. The first group of vias includes a first via, a second via, a third via and a fourth via. The first via and the second via are arranged in a first column. The third via and the fourth vias are arranged in a second column. The first via is adjacent to the third via, and the second via is adjacent to the fourth via. From the top view of the substrate, the extension direction of the first via is perpendicular to the extension direction of the second via, the extension direction of the third via is perpendicular to the extension direction of the fourth via, and the extending direction of the first via is perpendicular to the extending direction of the third via.

【指定代表圖】圖1B。

【代表圖之符號簡單說明】

100：基底

102：第一導電層

106：第一組連接孔

106a：第一連接孔

106b：第二連接孔

106c：第三連接孔

106d：第四連接孔

【特徵化學式】無。

【發明說明書】

【中文發明名稱】半導體結構

【英文發明名稱】SEMICONDUCTOR STRUCTURE

【技術領域】

【0001】本發明是有關於一種半導體結構，且特別是有關於一種可避免導電層在化學機械研磨（chemical mechanical polishing，CMP）製程之後產生碟狀凹陷（dishing）的半導體結構。

【先前技術】

【0002】隨著半導體裝置的運作速度不斷提升，半導體裝置中元件的積集度也隨之提高。因此，半導體裝置中需要設置多層的導電層來提供更高密度的電路佈局。在半導體裝置的製造過程中，會進行化學機械研磨製程，以提高膜層的平整度。然而，對於元件密度較低的區域來說，在進行化學機械研磨製程時，上述的導電層會因所受的應力不平均而產生碟狀凹陷。特別是，對於堆疊設置的導電層來說，在進行化學機械研磨製程之後更容易產生碟狀凹陷。如此一來，半導體裝置的電性會受到嚴重影響。

【發明內容】

【0003】本發明提供一種半導體結構，其中相鄰的兩層導電層之間設置有一組具有特定架構的連接孔（via）。

【0004】 本發明的半導體結構包括第一導電層、第二導電層以及第一組連接孔。所述第一導電層設置於基底上。所述第二導電層設置於所述第一導電層上。所述第一組連接孔設置於所述第一導電層與所述第二導電層之間，並連接所述第一導電層與所述第二導電層。所述第一組連接孔包括第一連接孔、第二連接孔、第三連接孔與第四連接孔，所述第一連接孔與所述第二連接孔排列為第一行，且所述第三連接孔與所述第四連接孔排列為第二行。所述第一連接孔與所述第三連接孔相鄰，且所述第二連接孔與所述第四連接孔相鄰。自所述基底的上視方向來看，所述第一連接孔的延伸方向與所述第二連接孔的延伸方向垂直，所述第三連接孔的延伸方向與所述第四連接孔的延伸方向垂直，且所述第一連接孔的延伸方向與所述第三連接孔的延伸方向垂直。

【0005】 在本發明的半導體結構的一實施例中，所述第一連接孔、所述第二連接孔、所述第三連接孔與所述第四連接孔在所述第一導電層的平面上的投影形狀是相同的。

【0006】 在本發明的半導體結構的一實施例中，所述投影形狀為矩形。

【0007】 在本發明的半導體結構的一實施例中，所述投影形狀的長邊與短邊的長度比介於 1：2 至 1：3 之間。

【0008】 在本發明的半導體結構的一實施例中，所述投影形狀為橢圓形。

【0009】 在本發明的半導體結構的一實施例中，所述投影形狀的

長軸與短軸的長度比介於 1：2 至 1：3 之間。

【0010】 在本發明的半導體結構的一實施例中，所述第一導電層在所述基底的平面上的投影形狀是正方形，且所述第一連接孔、所述第二連接孔、所述第三連接孔與所述第四連接孔各自位於所述正方形的四個角落處。

【0011】 在本發明的半導體結構的一實施例中，所述第一連接孔包括平行排列的多個第一子連接孔 (sub-via)，所述第二連接孔包括平行排列的多個第二子連接孔，所述第三連接孔包括平行排列的多個第三子連接孔，所述第四連接孔包括平行排列的多個第四子連接孔，且所述多個第一子連接孔、所述多個第二子連接孔、所述多個第三子連接孔以及所述多個第四子連接孔的數量相同。

【0012】 在本發明的半導體結構的一實施例中，所述第一組連接孔為虛設連接孔 (dummy via)。

【0013】 在本發明的半導體結構的一實施例中，所述半導體結構包括多個所述第一組連接孔，設置於所述第一導電層與所述第二導電層之間，並連接所述第一導電層與所述第二導電層。

【0014】 在本發明的半導體結構的一實施例中，還包括第三導電層以及第二組連接孔，其中所述第三導電層設置於所述第二導電層上，所述第二組連接孔設置於所述第二導電層與所述第三導電層之間，並連接所述第二導電層與所述第三導電層，且所述第二組連接孔與所述第一組連接孔具有相同或相似的架構。

【0015】 在本發明的半導體結構的一實施例中，所述第一組連接

孔與所述第二組連接孔在垂直於所述第一導電層的平面的方向上對準。

【0016】 在本發明的半導體結構的一實施例中，所述第一組連接孔與所述第二組連接孔在垂直於所述第一導電層的平面的方向上不對準。

【0017】 在本發明的半導體結構的一實施例中，所述半導體結構包括多個所述第二組連接孔，設置於所述第二導電層與所述第三導電層之間，並連接所述第二導電層與所述第三導電層。

【0018】 在本發明的半導體結構的一實施例中，所述第二組連接孔為虛設連接孔。

【0019】 綜上所述，在本發明的半導體結構中，在相鄰的兩層導電層之間設置具有上述架構的一組連接孔，因此可有效地在化學機械研磨的過程中使應力更平均，以避免導電層在進行化學機械研磨製程之後產生碟狀凹陷。

【0020】 為讓本發明的上述特徵和優點能更明顯易懂，下文特舉實施例，並配合附圖作詳細說明如下。

【圖式簡單說明】

【0021】

圖 1A 為本發明實施例的半導體結構的剖面示意圖。

圖 1B 為圖 1A 的半導體結構的上視示意圖，其中省略了半導體結構中的第二導電層與介電層。

圖 2 為本發明另一實施例的半導體結構的上視示意圖，其中省略了半導體結構中的第二導電層與介電層。

圖 3 為本發明另一實施例的半導體結構的上視示意圖，其中省略了半導體結構中的第二導電層與介電層。

圖 4 為本發明另一實施例的半導體結構的上視示意圖，其中省略了半導體結構中的第二導電層與介電層。

圖 5A 為本發明另一實施例的半導體結構的剖面示意圖。

圖 5B 為圖 5A 的第二導電層以及第二組連接孔的上視示意圖。

圖 6 為本發明另一實施例的半導體結構的剖面示意圖。

【實施方式】

【0022】 下文列舉實施例並配合附圖來進行詳細地說明，但所提供的實施例並非用以限制本發明所涵蓋的範圍。此外，附圖僅以說明為目的，並未依照原尺寸作圖。為了方便理解，在下述說明中相同的元件將以相同的符號標示來說明。

【0023】 關於文中所使用「包含」、「包括」、「具有」等等用語，均為開放性的用語，也就是指「包含但不限於」。

【0024】 當以「第一」、「第二」等的用語來說明元件時，僅用於將這些元件彼此區分，並不限制這些元件的順序或重要性。因此，在一些情況下，第一元件亦可稱作第二元件，第二元件亦可稱作第一元件，且此不偏離本發明的範疇。

【0025】 此外，文中所提到的方向性用語，例如「上」、「下」等，

僅是用以參考圖式的方向，並非用來限制本發明。因此，應理解，「上」可與「下」互換使用，且當層或膜等元件放置於另一元件「上」時，所述元件可直接放置於所述另一元件上，或者可存在中間元件。另一方面，當稱元件「直接」放置於另一元件「上」時，則兩者之間不存在中間元件。

【0026】 另外，在本文中，由「一數值至另一數值」表示的範圍是一種避免在說明書中逐一系列所述範圍中的所有數值的概要性表示方式。因此，某一特定數值範圍的記載涵蓋了所述數值範圍內的任意數值，以及涵蓋由所述數值範圍內的任意數值界定出的較小數值範圍。

【0027】 圖 1A 為本發明實施例的半導體結構的剖面示意圖。圖 1B 為圖 1A 的半導體結構的上視示意圖，且圖 1A 為沿圖 1B 中的 A-A 剖面線的剖面示意圖。在圖 1B 中，為了清楚表示以及便於說明，省略了半導體結構中的第二導電層與第一介電層。

【0028】 請同時參照圖 1A 與圖 1B，在本實施例中，半導體結構 10 包括基底 100、第一介電層 101、第一導電層 102、第二導電層 104 以及第一組連接孔 106。在本實施例中，基底 100 為介電基底。基底 100 例如為形成於矽基底或絕緣體上覆矽（silicon on insulator, SOI）基底上的介電層。第一導電層 102 設置於基底 100 上。第一導電層 102 例如為金屬層。第二導電層 104 設置於第一導電層 102 上。第二導電層 104 例如為金屬層。第一介電層 101 設置於第一導電層 102 與第二導電層 104 之間，且覆蓋第一導電

層 102。第一導電層 102 與第二導電層 104 可以是基底 100 的元件區中的線路層，也可以是基底 100 的周邊區中的虛設層，本發明不對此進行限定。在第一導電層 102 與第二導電層 104 作為元件區中的線路層的情況下，第一導電層 102 可與第二導電層 104 電性連接。在第一導電層 102 與第二導電層 104 作為周邊區中的虛設層的情況下，第一導電層 102 可與第二導電層 104 電性分離，或者第一導電層 102 與第二導電層 104 可為浮置的 (floating)。在本實施例中，第一導電層 102 在基底 100 的平面上的投影形狀可以是正方形、矩形或其他多邊形，本發明不對此進行限定。第一導電層 102 在基底 100 的平面上的投影形狀較佳為正方形。

【0029】 第一組連接孔 106 設置於第一導電層 102 與第二導電層 104 之間的第一介電層 101 中，並連接第一導電層 102 與第二導電層 104。在第一導電層 102 與第二導電層 104 作為元件區中的線路層的情況下，第一組連接孔 106 可作為使第一導電層 102 與第二導電層 104 電性連接的導孔 (conductive via)。在第一導電層 102 與第二導電層 104 作為周邊區中的虛設層的情況下，第一組連接孔 106 僅作為連接第一導電層 102 與第二導電層 104 的虛設連接孔而不傳輸電信號。

【0030】 在本實施例中，如圖 1B 所示，第一組連接孔 106 包括第一連接孔 106a、第二連接孔 106b、第三連接孔 106c 與第四連接孔 106d。自基底 100 的上視方向來看，第一連接孔 106a 與第二連接孔 106b 排列為第一行，且第三連接孔 106c 與第四連接孔 106d

排列為第二行。在本實施例中，第一連接孔 106a、第二連接孔 106b、第三連接孔 106c 與第四連接孔 106d 在第一導電層 102 的平面上的投影形狀為矩形，且矩形的長邊與短邊的長度比可介於 1：2 至 1：3 之間，但本發明不限於此。在其他實施例中，第一連接孔 106a、第二連接孔 106b、第三連接孔 106c 與第四連接孔 106d 在第一導電層 102 的平面上的投影形狀可為橢圓形（如圖 2 所示），且橢圓形的長軸與短軸的長度比可介於 1：2 至 1：3 之間。

【0031】此外，第一連接孔 106a 與第三連接孔 106c 相鄰，且第二連接孔 106b 與第四連接孔 106d 相鄰。第一連接孔 106a 的延伸方向與第二連接孔 106b 的延伸方向垂直，第三連接孔 106c 的延伸方向與第四連接孔 106d 的延伸方向垂直，且第一連接孔 106a 的延伸方向與第三連接孔 106c 的延伸方向垂直。也就是說，在本實施例中，在基底 100（或第一導電層 102）的平面上，4 個連接孔大致呈「風扇（fan）」的樣式來排列。如此一來，在進行化學機械研磨製程時，由於第一導電層 102 與第二導電層 104 之間設置有第一組連接孔 106 且第一組連接孔 106 以上述方式來排列，因此在化學機械研磨的過程中可使應力平均，進而可避免第一導電層 102 和/或第二導電層 104 在進行化學機械研磨製程之後產生碟狀凹陷。

【0032】此外，為了在化學機械研磨的過程中使應力更平均，可視實際情況對第一組連接孔 106 的佈局（layout）進行調整。舉例來說，如同本實施例，第一導電層 102 在基底 100 的平面上的投

影形狀為正方形，且第一連接孔 106a、第二連接孔 106b、第三連接孔 106c 與第四連接孔 106d 各自位於正方形的四個角落處。或者，如同本實施例，第一連接孔 106a、第二連接孔 106b、第三連接孔 106c 與第四連接孔 106d 在第一導電層 102 的平面上的投影形狀是相同的。上述針對第一組連接孔 106 的各種佈局皆能夠有效地在化學機械研磨的過程中使應力更平均，以避免第一導電層 102 和/或第二導電層 104 在進行化學機械研磨製程之後產生碟狀凹陷。

【0033】 另外，取決於實際需求，每一個連接孔可各自包括多個子連接孔。如圖 3 所示，在此實施例中，第一連接孔 106a 包括平行排列的多個第一子連接孔 106a-1，第二連接孔 106b 包括平行排列的多個第二子連接孔 106b-1，第三連接孔 106c 包括平行排列的多個第三子連接孔 106c-1，第四連接孔 106d 包括平行排列的多個第四子連接孔 106d-1。在本實施例中，每一個連接孔各自包括 3 個子連接孔，但本發明不限於此。在其他實施例中，每一個連接孔所包括的子連接孔的數量可不同。在第一子連接孔 106a-1、第二子連接孔 106b-1、第三子連接孔 106c-1 與第四子連接孔 106d-1 的數量相同的情況下，可有效地在化學機械研磨的過程中使應力更平均，以避免第一導電層 102 和/或第二導電層 104 在進行化學機械研磨製程之後產生碟狀凹陷。

【0034】 在上述各實施例中，第一導電層 102 與第二導電層 104 之間僅設置一組第一組連接孔 106，但本發明不限於此。在其他實

施例中，第一導電層 102 與第二導電層 104 之間可設置多組連接孔。如圖 4 所示，在本實施例中，第一導電層 102 與第二導電層 104 之間設置有 4 組第一組連接孔 106，且 4 組第一組連接孔 106 具有相同的架構，但本發明不限於此。在其他實施例中，這些第一組連接孔 106 可具有不同的架構。此外，本發明不對這些第一組連接孔 106 的數量以及排列方式作限定。

【0035】 圖 5A 為本發明實施例的半導體結構的剖面示意圖。圖 5B 為圖 5A 的第二導電層以及第二組連接孔的上視示意圖。在本實施例中，與圖 1A 以及圖 1B 相同的元件將以相同的元件符號表示，且不再對其進行說明。

【0036】 請同時參照圖 5A 與圖 5B，在本實施例中，半導體結構 20 包括基底 100、第一介電層 101、第一導電層 102、第二導電層 104、第一組連接孔 106、第三導電層 500、第二介電層 501 以及第二組連接孔 502。第三導電層 500 設置於第二導電層 104 上。第三導電層 500 例如為金屬層。第二介電層 501 設置於第二導電層 104 與第三導電層 500 之間，且覆蓋第二導電層 104。第二組連接孔 502 設置於第二導電層 104 與第三導電層 500 之間的第二介電層 501 中，並連接第二導電層 104 與第三導電層 500。

【0037】 第二導電層 104 與第二組連接孔 502 的架構與功能可相同或類似於第一導電層 102 與第一組連接孔 106。如圖 5B 所示，第二組連接孔 502 包括第一連接孔 502a、第二連接孔 502b、第三連接孔 502c 與第四連接孔 502d。自基底 100 的上視方向來看，第

一連接孔 502a 與第二連接孔 502b 排列為第一行，且第三連接孔 502c 與第四連接孔 502d 排列為第二行。第一連接孔 502a 與第三連接孔 502c 相鄰，且第二連接孔 502b 與第四連接孔 502d 相鄰。第一連接孔 502a 的延伸方向與第二連接孔 502b 的延伸方向垂直，第三連接孔 502c 的延伸方向與第四連接孔 502d 的延伸方向垂直，且第一連接孔 502a 的延伸方向與第三連接孔 502c 的延伸方向垂直。

【0038】 在本實施例中，半導體結構 20 包括堆疊的 3 層導電層，且相鄰的兩層導電層之間設置有一組連接孔。如此一來，在進行化學機械研磨製程時，在化學機械研磨的過程中可使應力平均，避免第一導電層 102、第二導電層 104 和/或第三導電層 500 在進行化學機械研磨製程之後產生碟狀凹陷。此外，在半導體結構包括更多層的導電層的情況下，亦可通過在相鄰的兩層導電層之間設置至少一組連接孔來避免在進行化學機械研磨製程之後產生碟狀凹陷。

【0039】 在本實施例中，第一組連接孔 106 與第二組連接孔 502 在垂直於第一導電層 102 的平面的方向上不對準，但本發明不限於此。在其他實施例中，視實際情況，第一組連接孔 106 與第二組連接孔 502 可在垂直於第一導電層 102 的平面的方向上對準，如圖 6 的半導體結構 30 所示。此外，在一些實施例中，可如同圖 4 所示，在第二導電層 104 與第三導電層 500 之間可設置多組第二組連接孔 502。

【0040】 雖然本發明已以實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明的精神和範圍內，當可作些許的更動與潤飾，故本發明的保護範圍當視所附的申請專利範圍所界定者為準。

【符號說明】

【0041】

10、20、30：半導體結構

100：基底

101：第一介電層

102：第一導電層

104：第二導電層

106：第一組連接孔

106a、502a：第一連接孔

106a-1：第一子連接孔

106b、502b：第二連接孔

106b-1：第二子連接孔

106c、502c：第三連接孔

106c-1：第三子連接孔

106d、502d：第四連接孔

106d-1：第四子連接孔

500：第三導電層

501：第二介電層

502：第二組連接孔

【發明申請專利範圍】

【請求項1】一種半導體結構，包括：

第一導電層，設置於基底上；

第二導電層，設置於所述第一導電層上；以及

第一組連接孔，設置於所述第一導電層與所述第二導電層之間，並連接所述第一導電層與所述第二導電層，

其中所述第一組連接孔包括第一連接孔、第二連接孔、第三連接孔與第四連接孔，所述第一連接孔與所述第二連接孔排列為第一行，且所述第三連接孔與所述第四連接孔排列為第二行；

所述第一連接孔與所述第三連接孔相鄰，且所述第二連接孔與所述第四連接孔相鄰；以及

自所述基底的上視方向來看，所述第一連接孔的延伸方向與所述第二連接孔的延伸方向垂直，所述第三連接孔的延伸方向與所述第四連接孔的延伸方向垂直，且所述第一連接孔的延伸方向與所述第三連接孔的延伸方向垂直。

【請求項2】如請求項1所述的半導體結構，其中所述第一連接孔、所述第二連接孔、所述第三連接孔與所述第四連接孔在所述第一導電層的平面上的投影形狀是相同的。

【請求項3】如請求項2所述的半導體結構，其中所述投影形狀為矩形。

【請求項4】如請求項3所述的半導體結構，其中所述投影形狀的長邊與短邊的長度比介於1：2至1：3之間。

【請求項5】如請求項3所述的半導體結構，其中所述投影形狀為橢圓形。

【請求項6】如請求項1所述的半導體結構，其中所述投影形狀的長軸與短軸的長度比介於1：2至1：3之間。

【請求項7】如請求項1所述的半導體結構，其中所述第一導電層在所述基底的平面上的投影形狀是正方形，且所述第一連接孔、所述第二連接孔、所述第三連接孔與所述第四連接孔各自位於所述正方形的四個角落處。

【請求項8】如請求項1所述的半導體結構，其中所述第一連接孔包括平行排列的多個第一子連接孔，所述第二連接孔包括平行排列的多個第二子連接孔，所述第三連接孔包括平行排列的多個第三子連接孔，所述第四連接孔包括平行排列的多個第四子連接孔，且所述多個第一子連接孔、所述多個第二子連接孔、所述多個第三子連接孔以及所述多個第四子連接孔的數量相同。

【請求項9】如請求項1所述的半導體結構，其中所述第一組連接孔為虛設連接孔。

【請求項10】如請求項1所述的半導體結構，其中所述半導體結構包括多個所述第一組連接孔，設置於所述第一導電層與所述第二導電層之間，並連接所述第一導電層與所述第二導電層。

【請求項11】如請求項1所述的半導體結構，還包括第三導電層以及第二組連接孔，其中所述第三導電層設置於所述第二導電層上，所述第二組連接孔設置於所述第二導電層與所述第三導電層

之間，並連接所述第二導電層與所述第三導電層，且所述第二組連接孔與所述第一組連接孔具有相同或相似的架構。

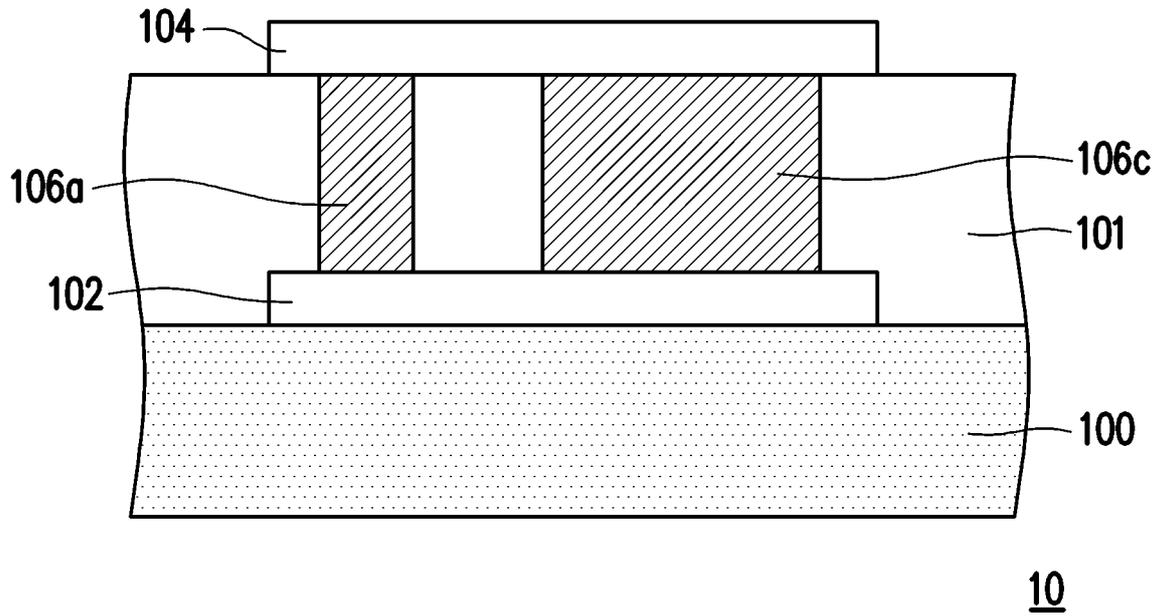
【請求項12】如請求項11所述的半導體結構，其中所述第一組連接孔與所述第二組連接孔在垂直於所述第一導電層的平面的方向上對準。

【請求項13】如請求項11所述的半導體結構，其中所述第一組連接孔與所述第二組連接孔在垂直於所述第一導電層的平面的方向上不對準。

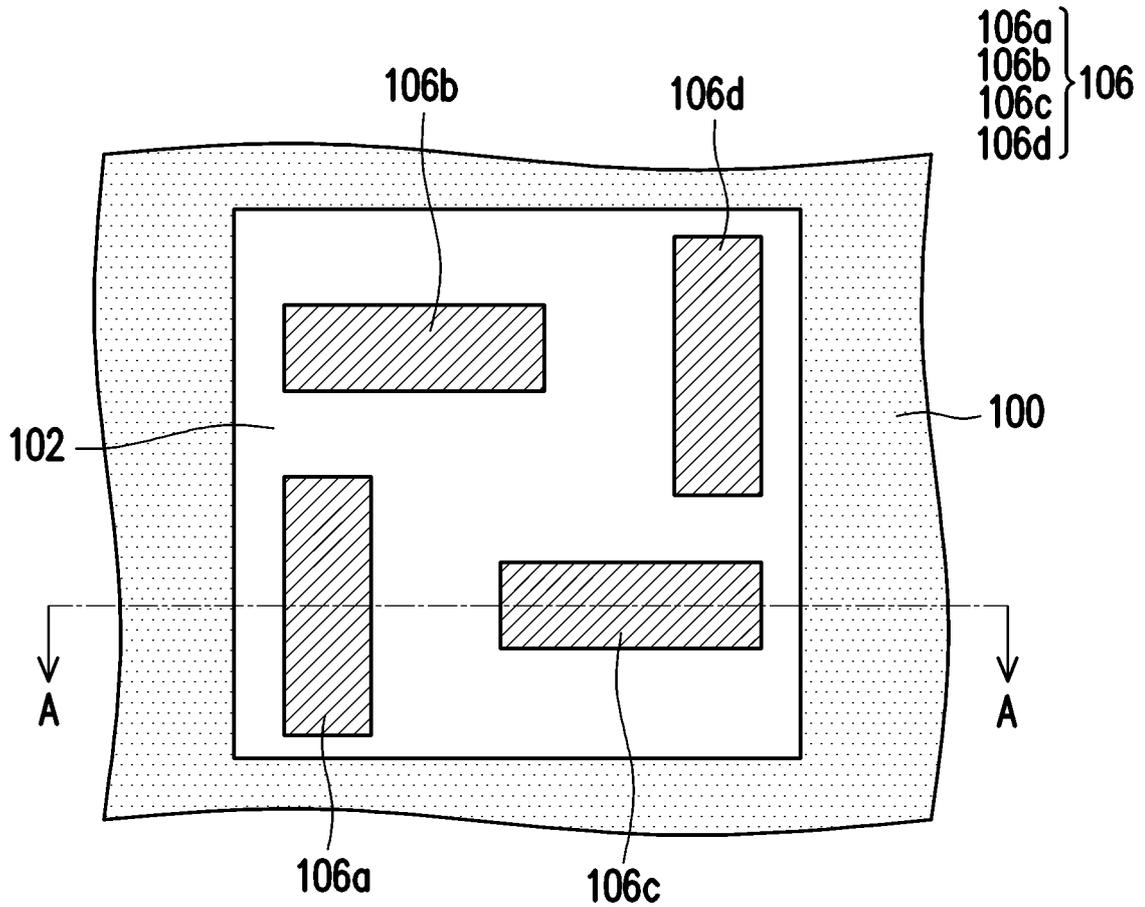
【請求項14】如請求項11所述的半導體結構，其中所述半導體結構包括多個所述第二組連接孔，設置於所述第二導電層與所述第三導電層之間，並連接所述第二導電層與所述第三導電層。

【請求項15】如請求項11所述的半導體結構，其中所述第二組連接孔為虛設連接孔。

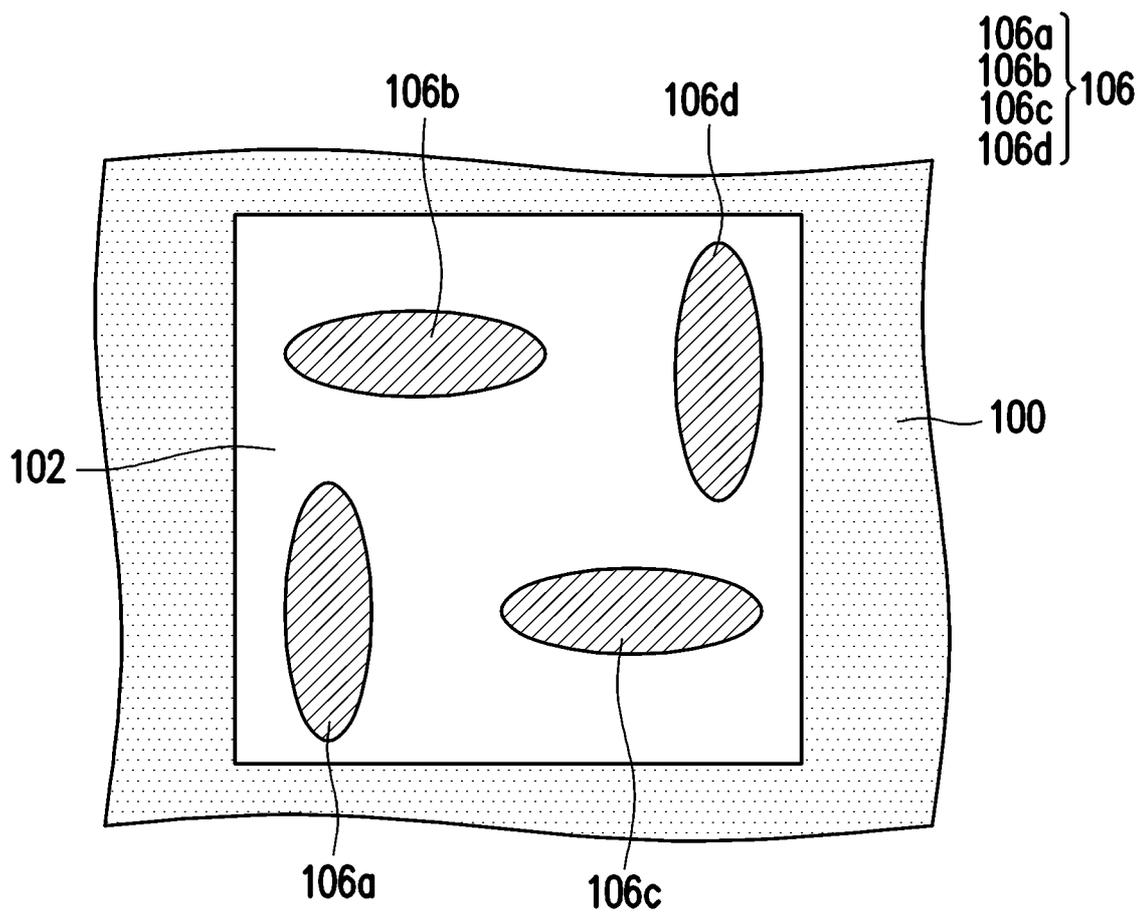
【發明圖式】



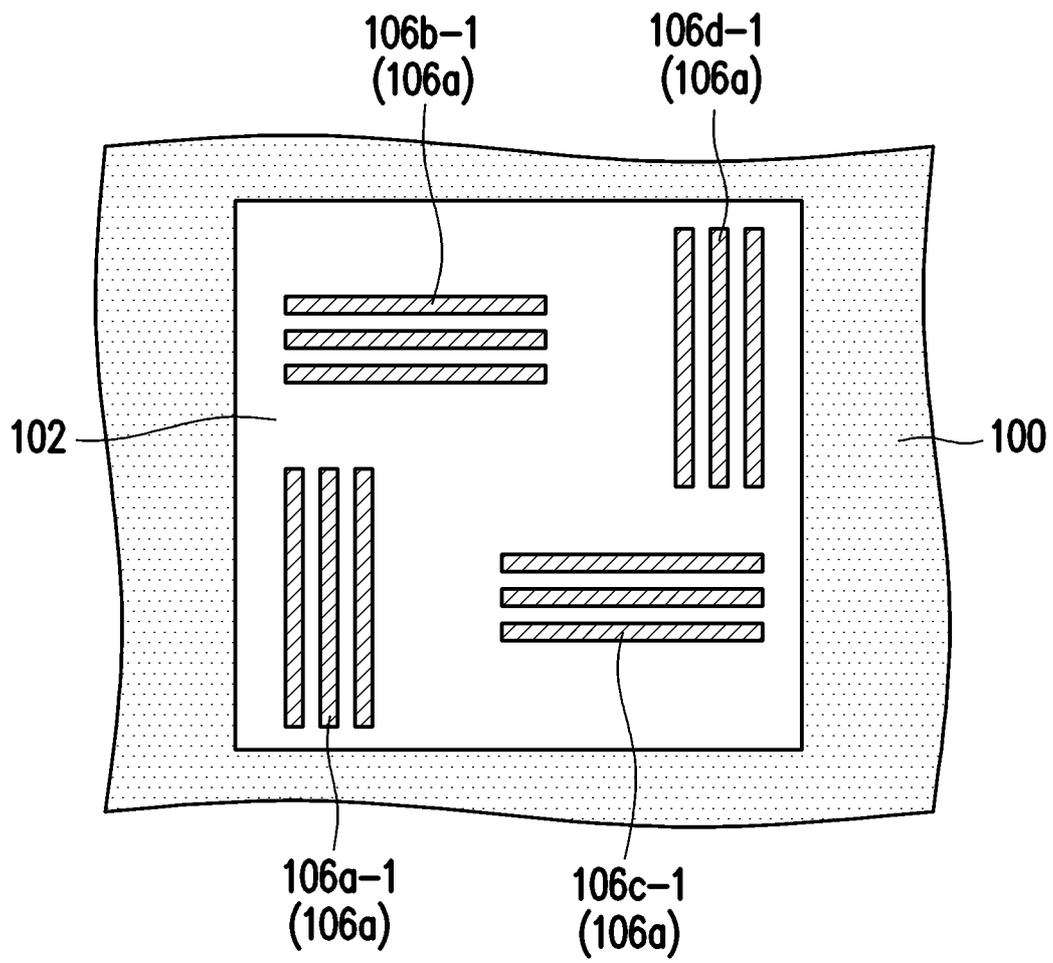
【圖1A】



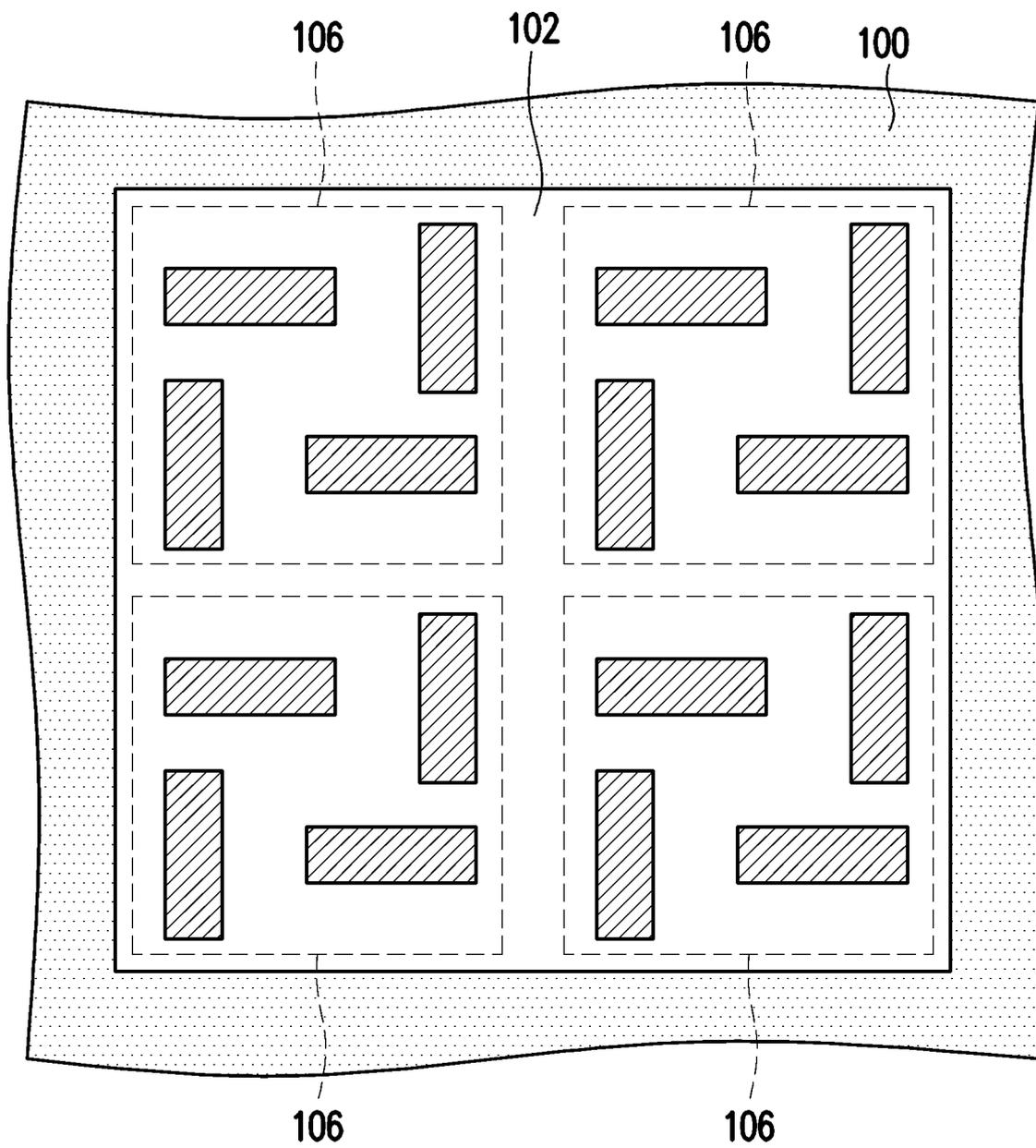
【圖1B】



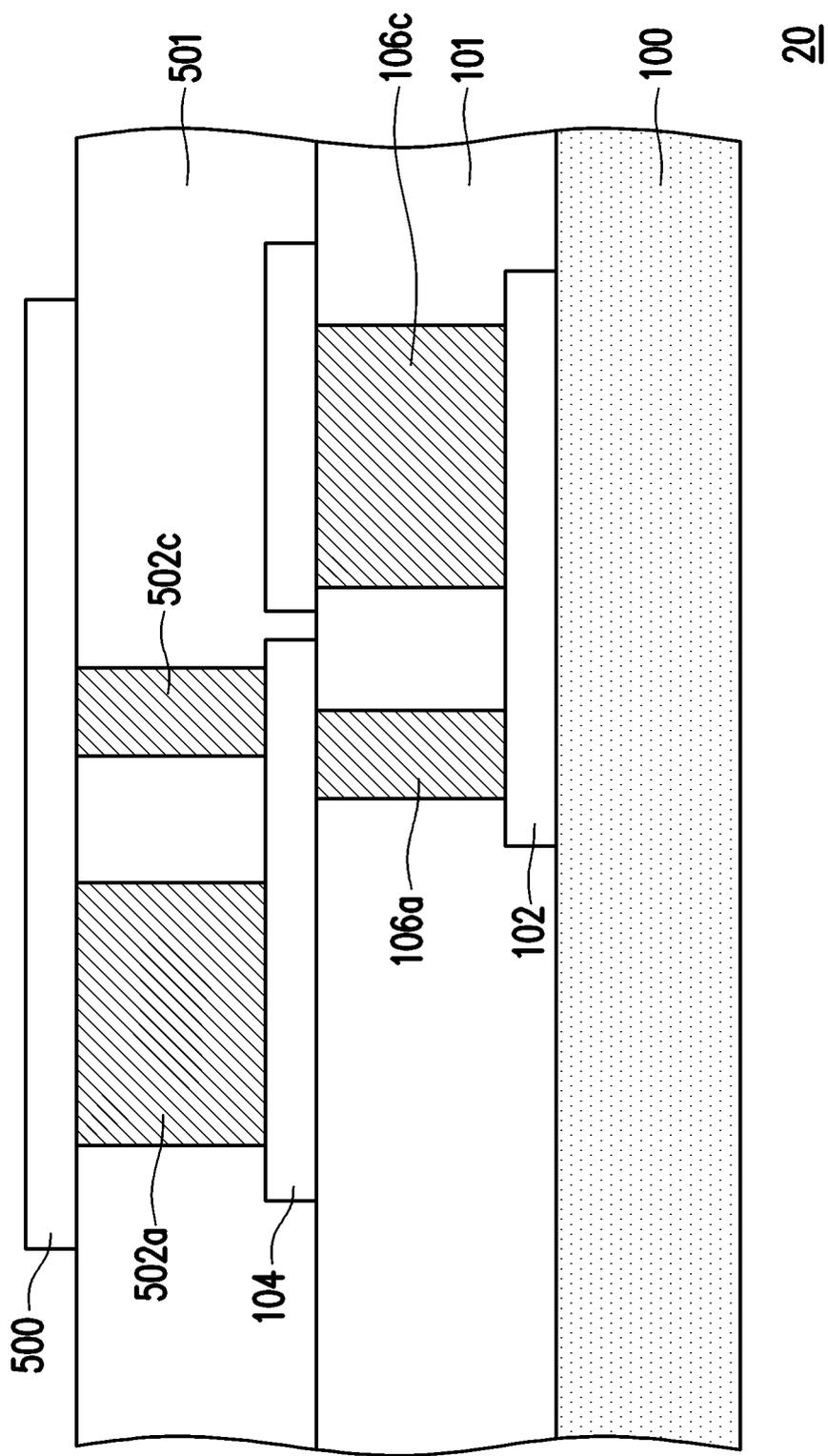
【圖2】



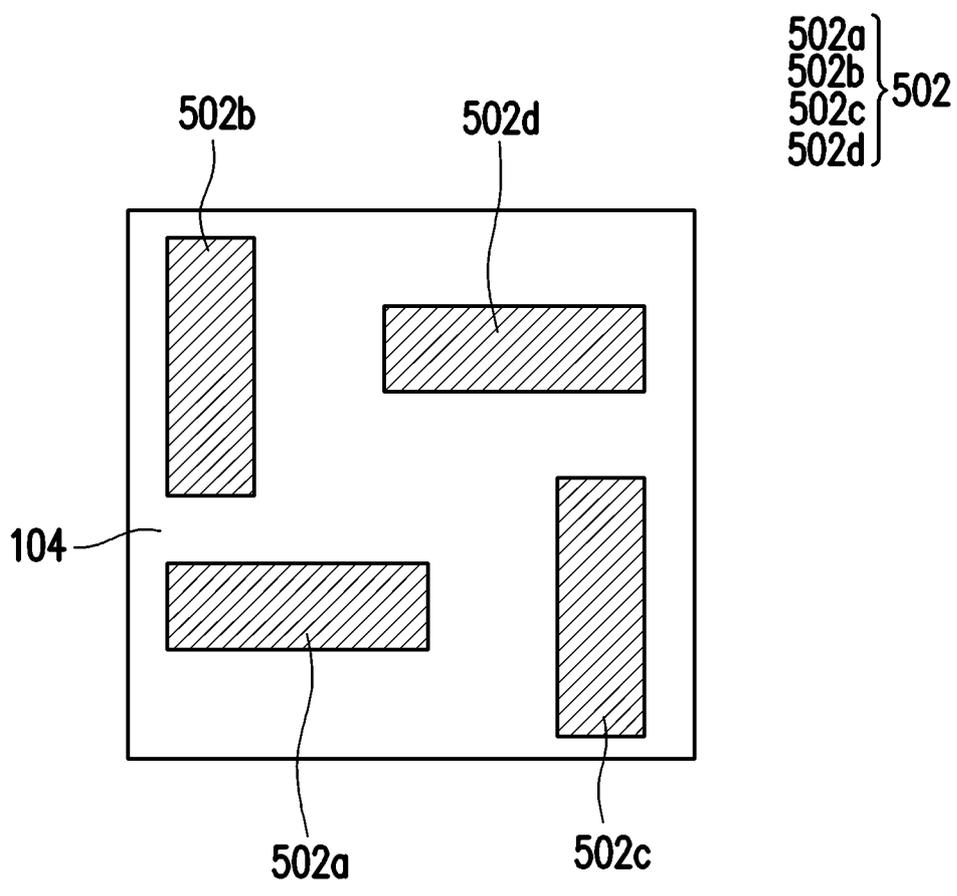
【圖3】



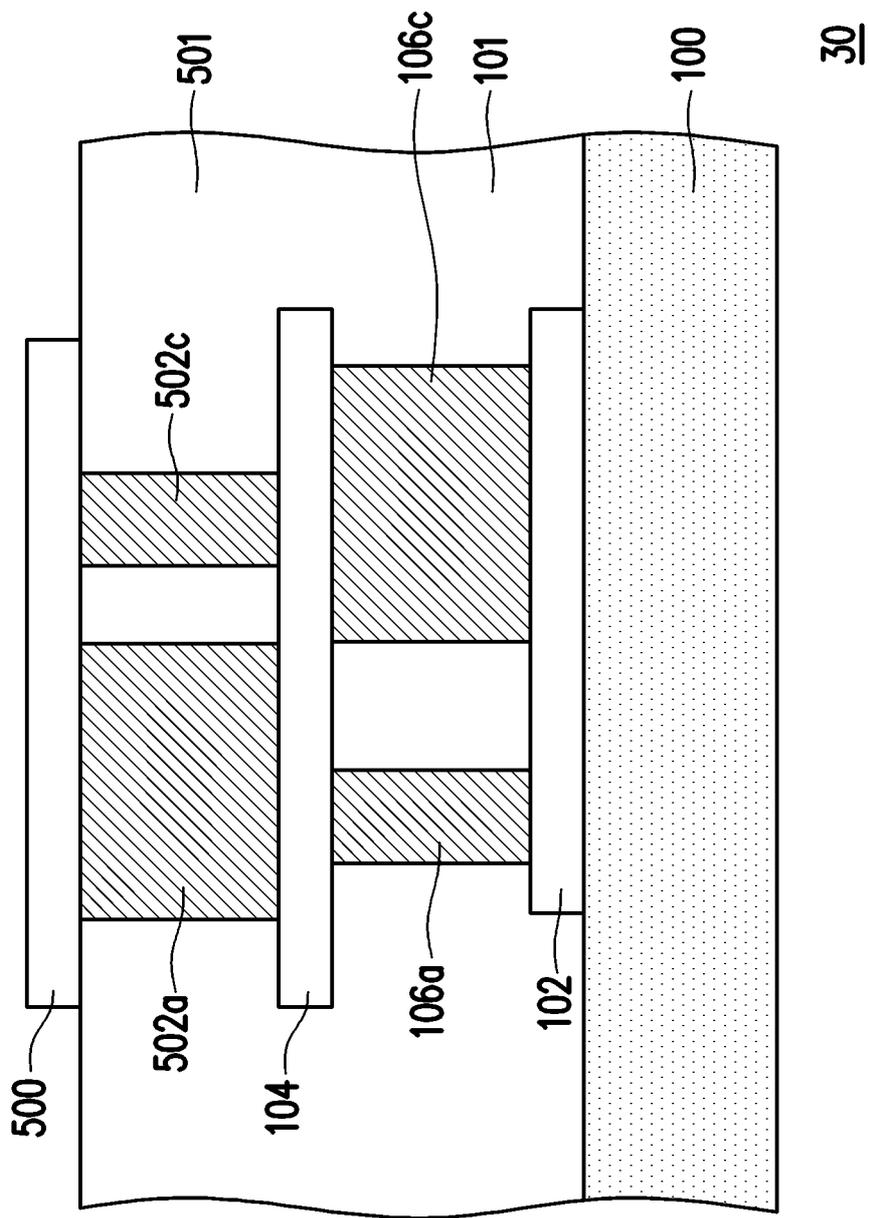
【圖4】



【圖5A】



【圖5B】



【圖6】