

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第4558234号  
(P4558234)

(45) 発行日 平成22年10月6日(2010.10.6)

(24) 登録日 平成22年7月30日(2010.7.30)

(51) Int.Cl.

H03K 19/173 (2006.01)  
H01L 21/82 (2006.01)

F 1

H03K 19/173 101  
H01L 21/82 A  
H01L 21/82 R

請求項の数 15 (全 22 頁)

(21) 出願番号 特願2001-129184 (P2001-129184)  
 (22) 出願日 平成13年4月26日 (2001.4.26)  
 (65) 公開番号 特開2002-33654 (P2002-33654A)  
 (43) 公開日 平成14年1月31日 (2002.1.31)  
 審査請求日 平成19年7月24日 (2007.7.24)  
 (31) 優先権主張番号 60/199751  
 (32) 優先日 平成12年4月26日 (2000.4.26)  
 (33) 優先権主張国 米国(US)

(73) 特許権者 597154922  
 アルテラ コーポレイション  
 Altera Corporation  
 アメリカ合衆国 95134 カリフォルニア州 サンホセ イノベーション ドライヴ 101  
 (74) 代理人 100064746  
 弁理士 深見 久郎  
 (74) 代理人 100085132  
 弁理士 森田 俊雄  
 (74) 代理人 100083703  
 弁理士 仲村 義平  
 (74) 代理人 100091409  
 弁理士 伊藤 英彦

最終頁に続く

(54) 【発明の名称】プログラマブルロジックデバイス

## (57) 【特許請求の範囲】

## 【請求項 1】

連続的に配置される第1の複数個の論理アレイブロックと、  
 前記第1の複数個の論理アレイブロックの側面に沿って連続的に配置される複数個のセグメンテーションバッファと、

第1の複数個の論理アレイブロックから離れており、かつ複数個のセグメンテーションバッファの側面に沿って連続的に配置される第2の複数個の論理アレイブロックと、

複数個のセグメンテーションバッファから離れており、かつ第2の複数個の論理アレイブロックの側面に沿って連続的に配置される複数個のステッチバッファと、

第2の複数個の論理アレイブロックから離れており、かつ複数個のステッチバッファの側面に沿って連続的に配置される第3の複数個の論理アレイブロックと、

複数個のステッチバッファから離れており、かつ第3の複数個の論理ゲートの側面に沿って連続的に配置される第4の複数個の論理アレイブロックと、

第1の複数個の論理アレイブロックにプログラム可能に結合されかつ複数個のセグメンテーションバッファに結合される第1の複数個の配線ラインと、

第2の複数個の論理アレイブロックにプログラム可能に結合されかつ複数個のセグメンテーションバッファおよび複数個のステッチバッファに結合される第2の複数個の配線ラインと、

第3の複数個の論理アレイブロックおよび第4の複数個の論理アレイブロックにプログラム可能に結合されかつ複数個のステッチバッファに結合される第3の複数個の配線ライ

10

20

ンとを含み、

複数個のセグメンテーションバッファは、第1の複数個の配線ラインから第2の複数個の配線ラインへ信号を駆動し、または第2の複数個の配線ラインから第1の複数個の配線ラインへ信号を駆動し、または第1の複数個の配線ラインと第2の複数個の配線ラインとの間に開回路を与えるよう構成可能である、プログラマブルロジックデバイス。

【請求項2】

複数個のステッチバッファは、第2の複数個の配線ラインから第3の複数個の配線ラインに結合され、または第2の複数個の配線ラインと第3の複数個の配線ラインとの間に開回路を与えるよう構成可能である、請求項1に記載のプログラマブルロジックデバイス。

【請求項3】

第1の複数個の論理アレイブロックは、第1の複数個の行に配置され、第3の複数個の論理アレイブロックは第2の複数個の行に配置される、請求項2に記載のプログラマブルロジックデバイス。

10

【請求項4】

第2の複数個の論理アレイブロックは、第1の行に配置され、第4の複数個の論理アレイブロックは、第2の行に配置される、請求項3に記載のプログラマブルロジックデバイス。

【請求項5】

論理アレイブロックの機能は、初期には第1の複数個の行、第2の複数個の行、第1の行の各々と関連付けられ、論理アレイブロックの機能は、初期には第2の行と関連付けられない、請求項4に記載のプログラマブルロジックデバイス。

20

【請求項6】

論理アレイブロックが機能しないのであれば、その行を含む行と初期に関連付けられた機能および論理ブロックのその行と論理ブロックの第2の行との間の機能は各々、第2の行の方向に1行分移動される、請求項5に記載のプログラマブルロジックデバイス。

【請求項7】

論理アレイブロックが機能しないのであれば、第1の複数個のセグメンテーションバッファの構成を変更することができる、請求項6に記載のプログラマブルロジックデバイス。

【請求項8】

論理アレイブロックが機能せず、かつ機能しない論理アレイブロックが第1の複数個の論理アレイブロック内にあれば、第1の複数個のセグメンテーションバッファの構成を変更することができる、請求項6に記載のプログラマブルロジックデバイス。

30

【請求項9】

制御回路をさらに含み、制御回路は、複数個のセグメンテーションバッファおよび複数個のステッチバッファの構成を決定する制御信号を発生する、請求項8に記載のプログラマブルロジックデバイス。

【請求項10】

請求項6のプログラマブルロジックデバイスを含む集積回路。

【請求項11】

セグメンテーションバッファと、複数個の冗長の論理アレイブロックと、セグメンテーションバッファの第1の側であってセグメンテーションバッファと複数個の冗長の論理アレイブロックとの間の第1の複数個の論理アレイブロックと、セグメンテーションバッファの第2の側であってセグメンテーションバッファと複数個の冗長の論理アレイブロックとの間にない第2の複数個の論理アレイブロックとを含むプログラマブルロジックデバイスにおけるプログラム可能な配線ラインをセグメント化する方法であって、前記方法は、

欠陥のある論理アレイブロックが存在するかどうかを決定するステップと、

欠陥のある論理アレイブロックが存在しなければ、セグメンテーションバッファに変更を加えないステップとを含み、欠陥のある論理アレイブロックが存在すれば、

欠陥のある論理アレイブロックの場所を決定するステップと、

40

50

欠陥のある論理アレイブロックの場所が第1の複数個の論理アレイブロックにあれば、セグメンテーションバッファに変更を加えないステップとを含み、欠陥のある論理アレイブロックの場所が第1の複数個の論理アレイブロックになければ、

セグメンテーションバッファに結合されたラインのための活性のラインドライバの場所を決定するステップと、

活性のラインドライバの場所がセグメンテーションバッファの第2の側の隣の論理アレイブロックにあれば、第1の複数個の論理アレイブロックから第2の複数個の論理アレイブロックへ信号を駆動するようセグメンテーションバッファを設定するステップとを含み、活性のラインドライバの場所がセグメンテーションバッファの第2の側の隣の論理アレイブロックになければ、

10

第2の複数個の論理アレイブロックから第1の複数個の論理アレイブロックに信号を駆動するようセグメンテーションバッファを設定するステップとを含む、方法。

#### 【請求項12】

第1および第2の複数個の論理アレイブロックは行に配置される、請求項11に記載の方法。

#### 【請求項13】

プログラマブルロジックデバイスは、ステッチバッファをさらに含み、ステッチバッファは、セグメンテーションバッファから論理アレイブロックの1行離れて、セグメンテーションバッファと論理アレイブロックの冗長の行との間に位置し、ステッチバッファは、開路または短絡回路として構成可能である、請求項12に記載の方法。

20

#### 【請求項14】

セグメンテーションバッファの初期構成を決定するステップと、

セグメンテーションバッファが初期には開路として構成されていれば、回路を与えるようステッチバッファを設定するステップと、セグメンテーションバッファが初期には開路として構成されていなければ、

短絡回路を与えるようステッチバッファを設定するステップとをさらに含む、請求項13に記載の方法。

#### 【請求項15】

プログラマブルロジックデバイスは制御回路をさらに含み、制御回路は、セグメンテーションバッファおよびステッチバッファの構成を決定する、請求項14に記載の方法。

30

#### 【発明の詳細な説明】

##### 【0001】

##### 【発明の背景】

本発明は、プログラム可能論理集積デバイス（PLD）に関し、より特定的には、冗長回路の使用と一致する態様で垂直ラインセグメンテーションを実現するための技術および回路構成（circuitry）に関する。

##### 【0002】

PLDは、この数年来で至る所で見られるようになっており、いくつか例を挙げると、電気通信、データ通信、コンピュータ周辺および産業を含むあらゆる主要なエレクトロニクス市場における機器に使用されている。それらは、バイオテクノロジー、ビデオ、自動車、パーソナルコンピュータ、ならびにネットワークスイッチおよびルータの分野における特化されたシステムの主要コンポーネントである。PLDの使用が増えると、市場における競争は厳しくなり、PLDが売れる価格は下がりつづけている。そのような環境における利益幅を向上しつつ維持するために、製造業者は、自らの製品のコストに寄与するあらゆる要素を低減するよう模索している。

40

##### 【0003】

ある主要な要素は、集積回路ダイのコストである。コスト変数は、ダイのサイズおよび歩留まりを含む。ダイが小さくなると、製造される各ウェハ上のダイの合計または総計は大きくなる。歩留まりが高くなるということは、廃棄される必要のあるダイの総計が減り、より多くのダイが売れるということを意味する。

50

## 【0004】

P L D のダイ面積の比較的大きい部分が、プログラム可能な配線などの経路付け資源に割当てられる。ある論理素子が別の素子に接続されるならば、少なくとも 1 つの経路付けライン (line)、またはトレース (trace) が使用される。トレースが必要とされるよりも長くなれば、余分なトレース長さが無駄なダイ面積をもたらすことになる。これが起きる場合、ダイのコストは不必要に増大する。

これらのトレースを短くする方法の 1 つは、それらを別個のライン部にセグメント化することである。各セグメント化された部分は異なった論理素子を互いに接続することができる。これにより 1 つのラインが 2 つ以上の信号を伝達することが可能になる。

## 【0005】

10

冗長回路は、良好なダイの製造の歩留まりを向上するために集積回路において使用される。集積回路が適性に機能しない特定の回路を有する場合、集積回路は廃棄される。しかし、もし冗長回路構成がオンチップで含まれれば、それが機能しない回路構成と置換可能である。このようにして、集積回路は適切に機能するようにされ、販売可能になる。

## 【0006】

したがって、歩留まりの向上を可能にしながらも、ダイのサイズが最小とされ得るように、冗長回路の使用と一致する態様で P L D 上のラインセグメンテーションを見込むことが望ましい。

## 【0007】

20

## 【発明の概要】

したがって、本発明のさまざまな実施例は、論理アレイブロックの冗長の行 (row) とともに主バッファおよびステッチバッファを提供する。セグメンテーションバッファとも言われる主バッファは、長いラインを駆動する支援をし、トレースに沿ったいすれかの方向に信号を送ることのできるドライバとして構成可能である。主バッファは、ラインのセグメント化された部分が別個の異なった信号を伝達可能であるように、開回路としてさらに構成可能である。冗長の行は、P L D における欠陥のある行の代わりになる。置換は、各行の機能が欠陥のあるものに始まって、ある行から冗長の位置へと移動する際に起きる。

## 【0008】

このシフトは、いくつかの場合において主バッファの構成の改変を必要とする。この改変は、主バッファの初期状態、欠陥のある行の場所、およびライン上の信号を駆動する回路構成の場所に依存する。ステッチバッファが、主バッファが開回路からドライバへ変わるような状況においてラインセグメンテーションを保つために、加えられる。

30

## 【0009】

欠陥のある行の場所の存在を補償するために P L D のプログラミングを変える必要がないことが非常に望ましい。すなわち、各デバイスは、それが欠陥のある行を有するかどうかにかかわらず、ユーザには同じように見えるべきである。したがって、本発明の実施例は、垂直ラインを駆動する回路の場所に関してデータをオンチップで記憶し、かつ冗長の目的のためにシフトすべきかどうかを行に告げる命令を記憶することに備える。この記憶されたデータを用いて、P L D プログラミングをオンチップで修正し、主バッファおよびステッチバッファに与えられる命令へ改変をもたらす。

40

## 【0010】

本発明のある例示的実施例は、第 1 の複数個の論理アレイブロックを含むプログラマブルロジックデバイスを提供する。第 1 の複数個の論理アレイブロックは、第 1 の論理アレイブロックおよび第 2 の論理アレイブロックと、セグメンテーションバッファに結合されかつ第 1 の論理アレイブロックにプログラム可能に結合される第 1 のプログラム可能な配線ライン (interconnect line) と、セグメンテーションバッファに結合されかつ第 2 の論理アレイブロックにプログラム可能に結合される第 2 のプログラム可能な配線ラインとを含む。セグメンテーションバッファは、第 1 のプログラム可能な配線ラインと第 2 のプログラム可能な配線ラインとの間に選択的に開回路を与えることができ、バッファは、第 1 のプログラム可能な配線ラインから第 2 のプログラム可能な配線ラインに信号を駆動し、

50

またはバッファは、第2のプログラム可能な配線ラインから第1のプログラム可能な配線ラインに信号を駆動する。

【0011】

実施例は、第2の複数個の論理アレイブロックをさらに含み得り、第2の複数個の論理アレイブロックは冗長であり、第1の複数個の論理アレイブロックの1つに欠陥があるとき第1の複数個の論理アレイブロックの少なくともいくつかと置換するために使用される。

【0012】

本発明のさらなる例示的実施例は、プログラマブルロジックデバイスであって、第1の複数個の論理アレイブロックの側に沿って連続的に配置される複数個のセグメンテーションバッファと連続的に配置される第1の複数個の論理アレイブロックと、第1の複数個の論理アレイブロックから離れる複数個のセグメンテーションバッファの側に沿って連続的に配置される第2の複数個の論理アレイブロックと、複数個のセグメンテーションバッファから離れる第2の複数個の論理アレイブロックの側に沿って連続的に配置される複数個のステッチバッファとを含むプログラマブルロジックデバイスを提供する。デバイスはまた、第2の複数個の論理アレイブロックから離れる複数個のステッチバッファの側に沿って連続的に配置される第3の複数個の論理アレイブロックと、複数個のステッチバッファから離れる第3の複数個の論理ゲートの側に沿って連続的に配置される第4の複数個の論理アレイブロックとを含む。

【0013】

配線、具体的には、第1の複数個の論理アレイブロックにプログラム可能に結合されかつ複数個のセグメンテーションバッファに結合される第1の複数個の配線ラインと、第2の複数個の論理アレイブロックにプログラム可能に結合されかつ複数個のセグメンテーションバッファおよび複数個のステッチバッファに結合される第2の複数個の配線ラインと、第3の複数個の論理アレイブロックおよび第4の複数個の論理アレイブロックにプログラム可能に結合されかつ複数個のステッチバッファに結合される第3の複数個の配線ラインとが提供される。複数個のセグメンテーションバッファは、第1の複数個の配線ラインから第2の複数個の配線ラインに信号を駆動し、または第2の複数個の配線ラインから第1の複数個の配線ラインに信号を駆動し、または第1の複数個の配線ラインと第2の複数個の配線ラインとの間に開回路を与えるよう構成可能である。

【0014】

本発明のさらなる例示的実施例は、プログラマブルロジックデバイスにおけるプログラム可能な配線ラインをセグメント化する方法を提供する。デバイスは、複数個の論理アレイブロックの行と、セグメンテーションバッファと、論理アレイブロックの冗長の行とを含む。前記方法は、欠陥のある論理アレイブロックが存在するかどうかを決定するステップを含み、欠陥のある論理アレイブロックが存在しなければ、セグメンテーションバッファを変更せず、さもなくば欠陥のある論理アレイブロックの場所が決定される。欠陥のある論理アレイブロックの場所がセグメンテーションバッファと論理アレイブロックの冗長の行との間にあるのであれば、セグメンテーションバッファに変更はなされず、さもなくば活性のラインドライバの場所が、セグメンテーションバッファに結合されるラインのために決定される。活性のラインドライバの場所が、セグメンテーションバッファと論理ブロックの冗長の行との間でないセグメンテーションバッファの隣の論理ブロックの行にあれば、セグメンテーションバッファは、セグメンテーションバッファと冗長の行との間の論理アレイブロックから、セグメンテーションバッファと冗長の行との間でない論理アレイブロックに信号を駆動するように設定され、さもなくばセグメンテーションバッファは、セグメンテーションバッファと冗長の行との間でない論理アレイブロックから、セグメンテーションバッファと冗長の行との間の論理アレイブロックに信号を駆動するように設定される。

【0015】

本発明の性質および利点は、以下のより詳細な説明および添付の図面を参照してよりよく理解されるであろう。

10

20

30

40

50

**【0016】****【詳細な説明】**

図1は、本発明が実施され得るデジタルシステムのブロック図を示す。システムは、単一のボード上、複数のボード上、または複数のエンクロージャ内にも設けられ得る。図1は、プログラマブルロジックデバイス121が利用され得るシステム101を例示する。プログラマブルロジックデバイスは、時に、PAL、PLA、FPLA、PLD、CPLD、EPLD、EEPPLD、LCA、またはFPGAと言われ、カスタム集積回路の柔軟性とともに固定集積回路の利点を提供する周知の集積回路である。そのようなデバイスは、ユーザが、ユーザの特定のニーズに合うように標準の既製の論理素子を電気的にプログラムすることを可能にする。たとえば、汎用のために引用により援用される米国特許番号第4,617,479号を参照されたい。プログラマブルロジックデバイスは、現在、たとえば、AlteraのMAX(R)、FLEX(R)、およびPLDのAPEX<sup>TM</sup>シリーズに代表される。これらは、たとえば、米国特許番号第4,871,930号、第5,241,224号、第5,258,668号、第5,260,610号、第5,260,611号、第5,436,575号、およびAltera Data Book (1999)に記載され、そのすべては、この出願において引用される他の文献とともに、汎用のために完全に引用により援用される。プログラム可能論理集積回路およびその動作は、当業者にはよく知られている。

10

**【0017】**

図1の特定の実施例において、処理装置101は、メモリ105およびI/O111に結合され、プログラマブルロジックデバイス(PLD)121を組込む。PLD121は、具体的には、接続131を介してメモリ105および接続135を介してI/O111に結合され得る。システムは、プログラムされたデジタルコンピュータシステム、デジタル信号処理システム、特殊デジタルスイッチングネットワーク、または他の処理システムであってもよい。さらに、そのようなシステムは、単に例として、電気通信システム、自動車システム、制御システム、消費者電子部品、パーソナルコンピュータなどの広範な用途のために設計され得る。

20

**【0018】**

処理装置101は、処理または記憶のために適切なシステムコンポーネントにデータを向け、メモリ105に記憶されたもしくはI/O111を用いて入力されたプログラム、または他の同様の機能を実行する。処理装置101は、中央処理装置(CPU)、マイクロプロセッサ、浮動小数点コプロセッサ、グラフィックスコプロセッサ、ハードウェアコントローラ、マイクロコントローラ、コントローラとしての使用のためにプログラムされたプログラマブルロジックデバイス、または他の処理装置であってもよい。さらに、多くの実施例において、しばしばCPUは必要とされない。たとえば、CPUの代わりに、1つ以上のPLD121がシステムの論理演算を制御してもよい。いくつかの実施例において、処理装置101は、コンピュータシステムであってもよい。メモリ105は、ランダムアクセスメモリ(RAM)、リードオンリメモリ(ROM)、固定もしくはフレキシブルディスク媒体、PCカードフラッシュディスクメモリ、テープ、またはいかなる他の記憶取出手段、またはこれらの記憶取出手段のいかなる組合せであってもよい。PLD121は、図1のシステム内で多くの異なった目的を果たし得る。PLD121は、処理装置101の論理的ビルディングブロックであってもよく、その内部動作および外部動作をサポートする。PLD121は、システム動作におけるその特定の役割を実行するのに必要な論理機能を実現するようにプログラムされる。

30

**【0019】**

図2は、図1のPLD121の全体的な内部アーキテクチャおよび編成の簡素化されたブロック図である。PLDのアーキテクチャ、編成および回路設計の多くの詳細は、本発明の理解のために不要であり、そのような詳細は図2に示されない。

40

**【0020】**

図2は、36個の論理アレイブロック(LAB)200の、6×6の2次元のアレイを示す。LAB200は、論理的機能を行なうよう構成またはプログラムされる論理的資源の

50

物理的にグループ化された組である。LABの内部アーキテクチャは、図3と関連して以下により詳細に記載される。PLDは、任意の数のLABを含んでもよく、図2のPLD121に示すよりも多くても少なくてもよい。一般的には、将来的に、技術が進歩し向上すると、論理アレイブロックの数がより大きいプログラマブルロジックデバイスが間違いなく作られるであろう。さらに、LAB200は、正方形のマトリックスまたはアレイに編成される必要はなく、たとえば、アレイは、5×7または20×70の、LABのマトリックスに編成されてもよい。

#### 【0021】

LAB200は、グローバル配線構造にプログラム可能に接続されてもされなくてもよい10  
入力および出力(図示せず)を有し、グローバル水平配線(GH)210とグローバル垂直配線(GV)220のアレイを含む。図2には単一の線として示されているが、各GH210およびGV220ラインは、複数個の信号導体を表わし得る。LAB200の入力および出力は、隣接するGH210および隣接するGV220にプログラム可能に接続可能である。GH210およびGV220配線を利用して、複数のLAB200は、単一のLAB200を使用して実現可能であるよりもより大きくより複雑な論理的機能を実現するよう接続および組合せ可能である。

#### 【0022】

ある実施例では、GH210導体およびGV220導体は、これらの導体の交差点225でプログラム可能に接続可能とされてもよいしされなくてもよい。さらに、GH210導体およびGV220導体は、他のGH210導体およびGV220導体への複数の接続をなしてもよい。さまざまなGH210導体およびGV220導体がプログラム可能に互いに接続されて、PLD121上のある場所のLAB200からPLD121上の別の場所の別のLAB200への信号経路を生成してもよい。信号は、複数個の交差点225を通過し得る。さらに、あるLAB200からの出力信号を1つ以上のLAB200の入力に向けることができる。また、グローバル配線を用いて、LAB200からの信号を同じLAB200へ戻すことができる。本発明の具体的実施例において、選択されたGH210導体のみが、GV220導体の選択されたものにプログラム可能に接続可能である。さらに、さらなる実施例において、GH210導体およびGV220導体は、特に、両方ではないが入力または出力などの、特定の方向に信号を送るために使用されてもよい。

#### 【0023】

他の実施例において、プログラム可能論理集積回路は、特定の数のLABに接続され、必ずしもLABの行または列全体ではない、特別のまたはセグメント化された配線を含み得る。たとえば、セグメント化された配線は、2つ、3つ、4つ、5つ、またはそれ以上のLABをプログラム可能に接続し得る。

#### 【0024】

図2のPLDアーキテクチャは、チップの周辺において入力出力ドライバ230をさらに示す。入力出力ドライバ230は、外部のオフチップ回路構成にPLDをインターフェイスさせるためのものである。図2は、32個の入力出力ドライバ230を示すが、PLDは、任意の数の入力出力ドライバを含んでもよく、図示される数よりも多くても少なくてもよい。各入力出力ドライバ230は、入力ドライバ、出力ドライバ、または双方向ドライバとして使用されるよう構成可能である。プログラマブル論理集積回路の他の実施例において、入力出力ドライバには集積回路コア自体が埋込まれてもよい。入力出力ドライバのこの埋込まれる配置はフリップチップパッケージングで使用され得、入力出力ドライバへの信号の経路付けの寄生を最小にする。

#### 【0025】

図3は、図2のLAB200の簡素化されたブロック図を示す。LAB200は、時に「論理セル」と呼ばれる可変数の論理素子(LE)300と、ローカル(または内部)配線構造310とから構成される。LAB200は、8個のLE300を有するが、LAB200は任意の数のLEを有してもよく、8個よりも多くても少なくてもよい。本発明のさらなる実施例において、LAB200は、合計で16個のLEになる、8個のLEの2つの

10

20

30

40

50

「バンク」を有し、各バンクは、別個の入力、出力、制御信号およびキャリーチェーン（carry chain）を有する。

【0026】

LE300の一般的な概略を、本発明の基本的理解に十分なほどにここに示す。LE300は、PLDの最小の論理的ビルディングブロックである。GH210およびGV220からなどの、LABの外部の信号は、ローカル配線構造310を介してLE300にプログラム可能に接続される。ある実施例では、本発明のLE300は、4変数ブール演算などの多数の変数の論理的関数を与えるよう構成可能である関数生成器を組込む。組合せ関数だけでなく、LE300は、たとえばDフリップフロップを用いて、順次関数およびレジスタ関数をサポートする。

10

【0027】

LE300は、LAB200の外に、GH210およびGV220に接続可能である組合せおよびレジスタ出力を与える。さらに、LE300からの出力は、ローカル配線構造310に内部で戻されてもよく、ローカル配線構造310を介して、あるLE300からの出力は、グローバル配線構造のGH210およびGV220を使用することなしに、他のLE300の入力にプログラム可能に接続されてもよい。ローカル配線構造310は、限られたグローバル資源GH210およびGV220を利用することなしに、LEの短距離の配線を可能にする。ローカル配線構造310およびローカルフィードバックを介して、LE300は、単一のLE300を使用して実現可能であるよりもより大きくより複雑な論理機能を形成するようプログラム可能に接続可能である。さらに、その低減されたサイズおよびより短い長さのために、ローカル配線構造310は、グローバル配線構造と比べて低減された寄生を有する。したがって、ローカル配線構造310により、一般的には、信号は、グローバル配線構造を介してよりもより高速に伝搬することが可能である。

20

【0028】

図4は、図2のものと同様のPLDアーキテクチャを示す。図4のアーキテクチャは、埋込アレイブロック（EAB）をさらに含む。EABは、ユーザメモリ、RAMのフレキシブルブロックを含む。このアーキテクチャの詳細は、FLEX(R)10Kプロダクトファミリーの記載においてAltera Data Book (1999) に見出され、米国特許番号第5,550,782号にも見出され得、それらは引用により援用される。

30

【0029】

入力／出力素子440、列相互接続バス（column interconnect bus）470、行相互接続バス（row interconnect bus）460および論理アレイ450も含まれる。論理アレイ450は、LAB200を含み、LAB200はLE300およびローカル配線310を含む。2つの行、具体的にはRow0\_410およびRow1\_420が示される。この発明に従うさまざまのPLDはより多くの行を有してもよい。たとえば、PLDが60個以上の行を有してもよい。この柔軟な配線構造は、PLDにわたる論理素子が互いに接続することを可能にする。たとえば、Row0\_410における論理素子300は、行相互接続バス460における行配線ラインによって、Row0\_410における他の論理素子300に接続し得る。Row0\_410における論理素子300は、列相互接続バス470における1つ以上のラインによって、または行相互接続バス460の1以上のラインと組合さって列相互接続バス470における1以上のラインによって、Row1\_420における論理素子300に接続し得る。

40

【0030】

図5は、プログラマブル論理集積回路アーキテクチャのさらなる実施例を示す。図5は、アーキテクチャの一部のみを示す。図5に示す特徴は、任意の所望のサイズのPLDを生成するために必要に応じて水平および垂直に繰返される。このアーキテクチャにおいて、多数のLABが合わさってメガLABにグループ化される。特定の実施例において、メガLABは16個のLABを有し、その各々が10個のLEを有する。PLDあたり任意の数のメガLABがあり得る。メガLABは、メガLAB配線を用いてプログラム可能に接続される。このメガLAB配線は、グローバル配線層とローカル配線層との間にある別の

50

配線層と考えられ得る。メガLAB配線は、GV、GHおよびメガLABの各LABのローカル配線にプログラム可能に接続可能である。図2のアーキテクチャと比べて、このアーキテクチャは、配線のさらなる層、メガLAB配線を有する。そのようなアーキテクチャは、引用により援用される、APEX 20K Programmable Logic Device Family Data Sheet (1999年8月)に詳細に記載されるAlteraのAPEX<sup>TM</sup>ファミリーのプロダクトに見出される。特定の実現化例において、メガLABは、CAM機能、RAM機能、デュアルポートRAM機能、ROM機能、および FIFO機能などのさまざまなメモリ機能を実現するために埋込システムブロック(ESB)をも含む。

#### 【0031】

図5は、LAB200におけるLE300およびプログラム可能な配線ラインへのそれらの可能性ある接続のより詳細な図である。論理素子300、垂直または列相互接続バス470、水平または行相互接続バス460、およびローカル相互接続バス310が含まれる。各LE300は、図示のように、2つのローカル相互接続バス310に接続し得る。各LE300は、2つの垂直または列相互接続バス470、ならびに少なくとも1つの行相互接続バス460およびメガLAB相互接続バス480にも接続し得る。この高度に柔軟な経路付け方式は、別個のLEが近傍のLEに、同じ行のLEに、または異なった行のLEに結合することを可能にする。

#### 【0032】

図6は、PLDの簡素化された部分600の図である。垂直(または列)相互接続バス470の1つのラインまたはGV(またはトレース)610が含まれる。さまざまなドライバ、受取回路、水平配線ラインGH、メガLAB配線などが、垂直ライン610にプログラム可能に結合され得る。簡素化するためにここにはドライバのみが示される。たとえば、Row0 685におけるドライバD0620は、素子M0 630を介して垂直トレース610に結合し得る。M11 670が導通すれば、信号はRow5 690における受取回路R5 680によって受取られる。同様の態様で、図示の6個の行のいずれかにおけるLEからの信号は、Row5 690を介してRow0 685の1つ以上の受取回路によって受取られ得る。

#### 【0033】

図7は、本発明のある実施例に従うPLDの簡素化された部分700の図である。垂直相互接続バス470のGVまたはある1つのライン710が含まれる。この例示の例では、駆動回路D2 740は、M4 750を介して、それぞれ素子M1 720および素子M11 770を介してRow0 701における受取回路R0 730およびRow5 708における受取回路R5 780に信号を与える。やはり垂直ラインが示されるが、ラインは代わりに水平であってもよく、またはラインは非直交であってもよい。また垂直のライン、水平のラインおよび非直交のラインの組合せが使用されてもよい。行も論じられる、代わりに、冗長の列が、本発明のさまざまな実施例によって使用され得る。

#### 【0034】

これらの垂直ラインの長さは、比較的長いものであり得る。行の数は、ここに示す代表の5つの行よりも大きくてよく、垂直ライン710は、それらのすべてを通り得る。たとえば、60個の行があってもよい。代わりに、60より多い行または60より少ない行があってもよい。いくつかの実施例においては、120以上の行があってもよい。この長いライン長さは、D2 740などのドライバによって駆動されるべき大量のキャパシタンスに変換する。これにより信号の遅延が増大してしまう。さらに、いくつかの場合においては、ラインの全長が必要でない。たとえば、Row2 703におけるドライバは、Row0 701におけるレシーバに接続されるだけでよい。その場合には、Row2 703より下の残りのラインは無駄になり、ドライバD2 740に不要な負荷をもたらしてしまう。

#### 【0035】

これらの問題を軽減するために、本発明のある実施例は、710および711としてここに示される、2つの部分に垂直ラインを分割する。これらの2つのライン部は、主バッフ

10

20

30

40

50

ア760によって互いに結合される。主バッファ760は、3つの異なったモードに構成可能である。主バッファ760は、ドライバD2 740が垂直トレース部711を駆動する支援をするように、下方向に駆動するよう構成されてもよい。主バッファ760は、代わりに、より下の行(主バッファ760より下)におけるドライバが垂直トレース部710を駆動し得、信号がレシーバR0 730に送られ得るように、上方向に駆動するよう構成されてもよい。主バッファ760は、開回路として構成されてもよい。この場合には、2つの別個のライン部を有する1つの垂直ラインを用いて2つの信号を2つの別個の宛先に運ぶことができる。ある例では、Row2 703におけるドライバD2 740は、Row0 701におけるレシーバR0 730を駆動し、一方でRow3 704におけるドライバが同時に、Row5 708におけるレシーバR5 780を駆動する。  
10。

#### 【0036】

構成可能な主バッファ760を加えることにより、垂直ラインの全体を駆動する回路は、主バッファからの支援を受ける。これは、駆動回路への容量性負荷を低減し、それらのAC性能を向上する。

#### 【0037】

図7の集積回路部700は、冗長Row712をも含む。普通には、行の回路構成を機能しないようにする欠陥がある場合、デバイス全体が廃棄される。しかし、余分の行が加えられれば、その行は欠陥のある行と置換することができ、完全に機能するデバイスになる。  
20。冗長の行は、機能しない行と直接置換し得る。代わりに、本発明の実施例によって用いられる方法は、欠陥のある行にあるまたはその下の各行と関連付けられる回路構成を、1行分下に移動することである。たとえば、製造欠陥が、Row2 703が使用不可能であるようなものである場合、Row2 703の機能は、Row3 704と表示される場所に移動する。すなわち、Row3 704は、Row2 703が欠陥について救済されてしまったかのように構成される。Row3 704は偏位されてしまうので、それはRow4 706に移動する。同様に、Row4 706の機能は、Row5 708に移動し、Row5 708は空きの冗長Row712に移動する。

#### 【0038】

行、この例では具体的には、Row2 703が主バッファ760の片側から他方へ移動するとき複雑なことになる。Row2 703において欠陥がなければ、Row2 703におけるドライバD2 740は、Row0におけるレシーバR0 730および主バッファ760を駆動し、主バッファ760がRow5におけるレシーバR5 780を駆動する。したがって、Row2 703における欠陥の不在下での主バッファ760のための適切な設定は、下方に駆動する構成である。  
30。

#### 【0039】

しかし、Row2 703に欠陥がある場合、Row2 703と関連付けられる回路構成は、Row3 704と表示される場所に移動する。これは、ドライバD2 740が、ライン部711、主バッファ760によって駆動されるのと同じライン部を今駆動していることを意味する。2つのラインドライバの出力が同じラインに活性して結合されることは非常に望ましくない。ライン上の信号レベルは、決定されておらず、ドライバD2 740および主バッファ760の相対強度の関数である。そのうえ、主バッファは他方向に信号を駆動するよう構成されるので、ドライバD2 740からの信号は、Row0における受取回路R0 730に達することができない。この例から、冗長回路が使用されれば、主バッファ760の構成が変更しなければならない可能性があるということがわかる。本発明のある実施例は、主バッファ760の極性を逆にすることによりこの問題を克服する。具体的には、この例では、主バッファ760は、ドライバD2 740がRow5 708におけるレシーバR5 780および主バッファ760を駆動し、主バッファ760がRow0 701におけるレシーバR0 730を駆動するように、上方駆動構成に方向を逆転する。構成、および置換される不良の行の場所に依存して、ステッチバッファ705が必要とされる。このステッチバッファ705は、主バッファ760よ  
40。  
50。

り下の行の下に位置する。ステッチバッファがなぜおよびいつ必要とされるかについての例は、以下の図面の説明に示される。

【0040】

各行について、その機能がシフトされ得る1つのみの行があれば、1つのみのステッチバッファが必要である。行の機能が近傍の行にシフトするならば、ステッチバッファは1行分だけ主バッファから分離されるべきである。しかし、所与の行の機能が移動され得る2つ以上の行があるならば、2つ以上のステッチバッファが必要である。たとえば、行の機能がシフトされる可能性のある2つの行があるならば、2つのステッチバッファが必要である。この場合には、機能は近傍の行にシフトされ、一方のステッチバッファは1行分主バッファから分離され、他方は2行分分離されるべきであり、分離はシフトの方向であるべきである。

10

【0041】

プログラマブルロジックのための冗長回路構成は、米国特許番号第4,899,067号、第5,369,314号、第5,434,514号、第5,592,102号、および第6,034,536号に記載され、これらは引用により援用される。

【0042】

AltearのAPEXデバイスファミリーのアーキテクチャにおいて、典型的には、セグメンテーションバッファが垂直ライン上に加えられるたびに、冗長回路構成が正しく働くために、さらなる冗長行が加えられる必要がある。これは、ダイのサイズを増大させ、これがコストを増大する。

20

【0043】

本発明において、垂直ラインセグメンテーションは、さらなる冗長行を加える必要なしに実現される。この発明は、不良部品にさらなる冗長行を使用する必要なしに、正常な部品および不良な部品において信号を適切に向けるためのさらなる論理を使用する。

【0044】

さらなる論理回路構成を用いて、この新しい冗長方式を実現する。それでも、この論理付加は、さらなる冗長行を付加するよりもはるかにより効率的である。

【0045】

垂直ラインセグメンテーションのこの新しい冗長方式の多くの利点の中には、(1)現在の制御論理への簡単な変更、および(2)さらなる冗長行の必要がなく、より小さいダイサイズで済むことがある。垂直ラインセグメンテーションのこの新しい冗長方式は、(1)冗長制御論理のためのさらなる構成ラム(ram)ビット、および(2)セグメンテーションバッファの既存の制御論理の変更を必要としない。

30

【0046】

図8は、集積回路上に形成され得るプログラマブルロジックデバイスの代表的部分800である。Row0 801、Row1 802、Row2 803、Row3 804、Row4 805、Row5 806および冗長Row807を含む、論理アレイブロックの行が含まれる。部分810および820を有する第1の垂直ラインと、部分830および850を有する第2の垂直ラインと、部分860および880を有する第3の垂直ラインと、部分890および895を有する第4の垂直ラインとを含む垂直ラインも含まれる。PLDは、多くの垂直ラインを含んでもよい。たとえば、PLDは、各行に多くのLABを有し得、LABに10個のLEがあり、各LEが1つ以上の垂直ラインにプログラム可能に結合される。主バッファ815、840、870および897は、開路として、下方向に駆動するバッファとして、または上方向に駆動するバッファとして構成され得る。

40

【0047】

さまざまな駆動および挙動の接続が、図8および図9における矢印として示されている。矢印は、論理素子へのプログラム可能な接続、トライステートバッファを介する論理回路へのプログラム可能な接続、垂直もしくは行ラインもしくはトレスへのプログラム可能な接続、または他のプログラム可能な接続を示し得る。簡素化のために、このおよび同様

50

の接続は論理素子へのものであるものとして記載されるが、それらはこれらの構造のいずれへのものであってもよい。たとえば、Row 2 803における論理素子は、垂直ライン部810に信号を与え、これはRow 0 801における受取回路によって受取られる。同様に、Row 3 804における駆動回路は、垂直ライン部820に信号を与え、これはRow 5 806における論理素子によって受取られる。さらに、Row 2 803における論理素子は、垂直ライン部830に信号を与え、これはRow 0 801における論理素子によって受けられ、主バッファ840によって垂直ライン部850に駆動され、ここでそれはRow 5 806における論理素子によって受けられる。Row 1 802における論理素子は、ライン部860に信号を与え、これはRow 2 803における論理素子によって受けられる。Row 3 804における論理素子は、垂直ライン部880に信号を与え、これはRow 5 806における論理素子によって受けられる。主バッファ870は、開回路として構成される。これは、第3の垂直ラインが、異なった論理素子300に配線される2つの部分にセグメント化されることを可能にする。また、Row 1における論理素子は、垂直ライン部890に信号を駆動し、これは主バッファ897によってバッファされ、垂直ライン部895へ下方向に駆動され、そこでこれはRow 5 806における論理素子によって受けられる。

#### 【0048】

欠陥がRow 0 801を動作不能にした場合、冗長Row 807が使用される。具体的には、本発明のある実施例は、Row 0 801の論理構成を下方向へRow 1 802位置に移動する。同様に、各行は、Row 5 806の機能が冗長Row 807に存在するように、1つ分下に下がる。やはり、主バッファの構成は、このシフトを補償するために改変される必要があり得る。

#### 【0049】

行を動作不能にし得る可能性ある欠陥の例は、半導体材料の結晶構造におけるピンホール、開路、短絡、または配線金属トレース間の橋絡などを含む。欠陥は、あるLEが機能しないことなどであり得る。代わりに、欠陥は、いくつかのLEが機能しないようになるとかもしれないし、LAB全体が機能しないようになることもあり、またはLABの行全体が機能しないようになることもある。

#### 【0050】

図9は、プログラマブルロジックデバイスの代表的な部分800をやはり示す。この図において、集積回路の部分800は、最上位の行における欠陥を補償するために再構成されてしまっている。欠陥のある行を有さないデバイスがプログラムされるならば、その結果は図8の構成となる。しかし、Row 0 801に欠陥があるならば、同じプログラミングは、図9の構成を生じる。すなわち、一方が欠陥のあるRow 0を有し、他方が有さない以外は同一の2つの集積回路が、それぞれ図8および図9に示す2つの構成をもたらす同じプログラミングを受ける。以下からわかるように、これは、情報のビットがオンチップに記憶され、プログラミングデータを修正するように働くからである。

#### 【0051】

やはり、Row 2 804における論理素子は、第1の垂直ラインを用いてRow 0 802における論理素子を駆動する。主バッファ815は、図8に示す開回路から、図9に示す上方に駆動する構成へ再構成される。このように、Row 2 804における論理素子は、行すべてが1つ分下にシフトされてしまったとしても、Row 0 802における論理素子を駆動し続ける。

#### 【0052】

しかし、Row 3 805における論理素子は、同じ垂直トレースを用いてRow 5 807における論理素子を駆動する。したがって、さらになければ、Row 2 804における論理素子およびRow 3 805における論理素子はどちらも、第1の垂直ラインを駆動しようとするだろう。したがって、スイッチバッファ905を、主バッファの真下にある行の下に加える。具体的には、ステッチバッファは、Row 2 804とRow 3 805との間に加えられる。各ステッチバッファは、開回路または短絡回路のいずれかと

して構成され得る。この具体的な例において、ステッチバッファは、開いており、Row 2 804における論理素子がRow 0 802における論理素子を駆動することを可能にしながら、同じ垂直ラインであるが異なったライン部が、Row 3 805における論理素子によってRow 5 807における論理素子を駆動するのに使用される。

#### 【0053】

PLDは、特定の機能を行なうよう構成されるように外部で生成される信号によってプログラムされる。この例では、主バッファ815は、開路であるようにプログラムされる。このプログラム可能性は、主バッファ815が上方向に駆動するよう命令されるようにオンチップで修正される。また、プログラムされないが、デフォルトでは短絡しているステッチバッファは、開路を形成するよう命令される。このように、ラインセグメントーション命令は、オンチップで修正され、欠陥のある行の存在および場所と関係なく、プログラミングシステムが同じプログラムを使用することを可能にする。

10

#### 【0054】

同様に、Row 2 804における論理素子は、第2の垂直ラインを用いてRow 0 802における論理素子を駆動する。したがって、第2の垂直ラインと関連付けられる主バッファ840は、図8に示す下方向への駆動から、図9に示す上方向への駆動へと再構成される。また、Row 2 804における論理素子は、Row 5 807における論理素子を駆動しているので、ステッチバッファ910は閉じたままである。このように、Row 2 804における論理素子は、機能していない最上位の行を補償するために1位置分、すべての行が下方にシフトされた後に、引続きRow 0 802における論理素子およびRow 5 807における論理素子を駆動する。

20

#### 【0055】

Row 1 803における論理素子およびRow 3 805における論理素子は第3の垂直ラインを用いて、それぞれ、Row 2 804における論理素子およびRow 5 807における論理素子を駆動する。したがって、主バッファ870は、図8に示す開いた状態から図9に示す下方向へ駆動する状態に再構成される。また、2つのドライバがこのラインを使用するので、ステッチバッファ920は開かれている。第4の垂直配線ラインは、Row 5 807における論理素子を駆動するためにRow 1 803における論理素子によって使用される。この場合には、主バッファ897またはステッチバッファ930への変更はない。

30

#### 【0056】

先行の段落によってわかるように、構成可能な主バッファおよびステッチバッファを使用することにより、実際の行が欠陥を補償するために移動してしまったとしても、PLD部800に示すような元々の配線構成が保たれる。このように、長い垂直ラインは、上述した冗長方式と一致する態様で、引続きバッファまたはセグメント化される。

#### 【0057】

図8および図9のPLD部800に示す行のパターンは、いくつかの集積開路において繰返され鏡映されてもよい。また、さらなるバッファリングおよびラインセグメント化が、2つの鏡映された部分間に加えられてもよい。図10は、そのような構成の一例である。Row 0 ~ 5、冗長Row 1025、主バッファ行1015、およびステッチバッファ行1020が含まれる。このパターンは、Row 11 ~ Row 6および冗長Row 1035をはじめとして、主バッファ行1045およびステッチバッファ行1040を含んで、鏡映される。セグメントーションバッファ1030の別個の行が、冗長Row 1025と1035との間に加えられる。この構成は、GVまたは垂直ラインの各々が4つの部分に分割されることを可能にする。具体的には、不良の行がなければ、各垂直ラインは、行0で始まり行2で終わる第1の部分と、行3で始まり冗長の行1025で終わる第2の部分と、冗長の行1035で始まり行8で終わる第3の部分と、行9で始まり行11で終わる第4の部分とに分割可能である。どの2つの連続する部分も、上または下に駆動する構成に設定された主バッファによって互いに結合され得る。

40

#### 【0058】

50

図11は、置換を必要とする不良の行の場所、および、主バッファの位置に対する垂直ライン上の活性駆動回路の場所に依存して、主バッファおよびステッチバッファの構成における変更を決定するための記号の真理値表である。活性駆動回路は、L E 3 0 0、水平またはG H ライン、または他のプログラム可能な接続であってもよい。主バッファのための元々のプログラミングは決定されており、列1110に列挙されている。最初に、すべてのステッチバッファは、列1120に示されるように閉じている（それらはプログラムされていない）。欠陥のある行の場所は決定されており1130に列挙される。欠陥のある行の可能性ある場所は2つあり、すなわち欠陥のある行は、列1130のU1によって示されるように主バッファの上にあるか、U2によって示されるように主バッファの下にあるかのいずれかである。この値は、主バッファの上の行を検査し、その機能がそれより上の行からシフトされたかどうかを決定することによって発見可能である。次に、垂直ラインドライバが主バッファの真上の行において活性であるかどうかが決定される。この情報は、R A M、P R O Mまたは他のメモリ回路においてなど、オンチップでプログラム可能に記憶可能である。主バッファの真上の行に活性の垂直ラインドライバがあれば、列1140に列挙するように、ドライバ場所は「近い」(near)という。そうでなければ、ドライバの場所は「遠い」(far)という。この情報から、主バッファおよびステッチバッファの更新された設定は、それぞれ列1150および1160に与えられる。更新された設定は、オンチップデータU1およびN e F aによって修正された、列1110における元々の設定である。

#### 【0059】

R o w 1 1 7 0 は、図8および図9の第1の垂直ラインとして与えられた例の代表例である。その場合には、主バッファは開かれているまたはセグメント化されていた。列1130におけるU1として表わされるように、不良の行は最上位の行であった。R o w 2 8 0 3における論理素子は、第1の垂直ラインを駆動しており、そのためドライバの場所は近いといわれる。したがって、更新された設定は、主バッファが上方向に駆動するように構成されるべきであり、ステッチバッファが開かれるかまたはセグメント化されるようにする。

#### 【0060】

図8および図9の第2の垂直トレースの例は、真理値表1100の行1180に対応する。主バッファの元々の設定は、それを下方向に駆動させる。不良の行はやはり、1130におけるU1として示される部分800の最上位であった。また、R o w 2 8 0 3における論理素子は、第2の垂直トレースを駆動する。R o w 2 8 0 3は、図8に示すように主バッファの真上にあるので、ドライバの場所は、近いといわれる。したがって、主バッファの設定は、上方向に駆動するよう更新され、一方ステッチバッファはステッチされるかまたは閉じられたままである。

#### 【0061】

図8の例における第3の垂直ラインは、真理値表1100の行1190によって表わされる。元々の設定は、セグメント化するために主バッファを必要とする。不良の行は主バッファの上にあり、ドライバの場所は主バッファの真上の行にはなく、したがってそれは遠い。それにより、列1150および1160によって示されるように、主バッファが下方向に駆動し、ステッチバッファが開かれるかセグメント化されるように、構成は変更される。図8の第4の垂直ラインは、図11の真理値表1100に行1195によって表わされる。元々の構成は、下方向に駆動するために主バッファを、閉じるためにステッチバッファを必要とする。置換されるべき不良の行は主バッファより上にあり、ドライバの場所は遠い。したがって主バッファ構成およびステッチバッファ構成は変わらない。

#### 【0062】

このように、セグメンテーションまたは主バッファのためのプログラムされたデータ、およびその対応するステッチバッファのためのデフォルト設定は、欠陥のある行の存在および場所、ならびに垂直ラインドライバの場所に従って修正される。次に、欠陥のある行の場所および存在と関係なしに、同じプログラミングデータが見えないような態様で同じ結

10

20

30

40

50

果を生ずるように、修正されたデータを用いて主バッファおよびステッチバッファを制御する。これは、不良の行を有する集積回路、および欠陥なしのものが、あわせて区別なしに販売されプログラムされることを可能にする。

#### 【0063】

図12は、本発明の実施例に従うPLDにおける主バッファおよびステッチバッファのための制御論理回路構成を設計するのに使用され得る真理値表である。入力RLTRT1212、RRRTLTT1214、NeFa1216およびU1 1218、ならびに出力RLT<sub>L</sub>TRTx1222、RRRTLTTx1224およびSub\_Buf1226が含まれる。この図はまた、論理出力のためのブール等式1270を提供する。入力信号RLTRT1212についてのハイまたは1は、主バッファを介して左から右へ信号が送られ、その後に不良の行を補償するための何らかがなされるということを示す。なお、左から右へ送られる信号は、信号がGVまたは垂直トレースの上方へ送られるということを意味し、右から左への信号は、垂直トレースを下方に送られるということを意味する。上記のように、上方、下方、左および右の方向は、例示の目的のためにのみ与えられる。信号は、上方もしくは下方または左もしくは右、または非直交の方向に伝わるであろう。入力信号RRRTLTT1214についてのハイまたは1は、主バッファが信号を右から左へ送るということを示す。NeFa1216信号についての1は、主バッファの真上にある行に位置する活性ドライバがあり、その後に欠陥のある行を補償するためのシフトが生じることを示す。やはり、活性ドライバは、LE300、水平配線もしくはGHライン、または他のプログラム可能な接続であってもよい。入力信号U1 1218についてのハイまたは1は、不良の行が主バッファの上にあることを示す。

#### 【0064】

出力信号RLTRT<sub>L</sub>TRTx1222についてのハイは、いかなる行シフトが起こるよりも前に、主バッファが信号を左から右に送るべきであるということを示す。「X」は、特定の状態が生じ得ないことを示す。具体的には、上方向に駆動するバッファが主バッファの真上の行におけるドライバと競合しないであろうから、行1230は発生しない。回路構成は2つの競合するドライバで構成されるべきでないので、この状態は起こらない。主バッファは同時に左から右へかつ右から左へとデータを送ることはできないので、状態1240も起こらない。

#### 【0065】

出力信号RRRTLTTx1224のハイまたは1は、行シフトが行なわれた後に、主バッファが右から左へデータを送るべきことを示す。出力信号Sub\_Buf1226のハイまたは1は、ステッチバッファがステッチまたは閉じられた位置にあるということを意味し、ローまたは0は、ステッチバッファがセグメント化されているかまたは開かれているということを示す。等式1270は、入力信号1210の関数として出力信号1220を定義する。

#### 【0066】

NeFa1216の値は、たとえばRAM、PROM、フラッシュメモリ、フリップフロップまたは他の記憶回路においてなど、チップ上に記憶可能である。行の機能がそれがあるところに留まっているのか、または1行分シフトしているのかを示す、各行ごとの1ビットを記憶することもできる。この情報は、外部からの一般的なプログラミングデータが、チップ上で修正され、不良の行の存在を適切に補償することを可能にする。したがって、U1の値は、シフトすべきかどうか、セグメンテーションの真上の行に命令するビットを検査することによって決定可能である。

#### 【0067】

図13は、図12に示す真理値表1200を実現するよう設計された論理ブロックの概略である。入力ライン1312、1314、1318および1316にそれぞれ与えられる入力信号RLTRT1212、RRRTLTT1214、U1 1218、およびNeFa1216が含まれる。各入力信号は、それぞれインバータ1370、1360、1350および1340によって反転される。入力信号およびそれらの反転されたバージョンは、入

10

20

30

40

50

力として、論理ゲート組合せ 1310、1320 および 1330 に与えられる。これらの論理ゲート組合せは、結果として得られる出力信号 RLT RT<sub>x</sub>1222、RR TLT<sub>x</sub>1224、および Sub\_Buf 1226 を、それぞれライン 1322、1324 および 1326 に与える。図示の論理実現化例は、前述のインバータとともに、AND ゲートおよび OR ゲートを使用する。他の論理構成を用いて同じまたは同様の論理機能を実現することができることは当業者には明らかである。たとえば、論理ゲート組合せ 1310、1320 および 1330 を実現するために NAND ゲートおよび NOR ゲートが使用されてもよい。

#### 【0068】

図 14 は、本発明の実施例に従う主バッファおよびステッチバッファを設定するための意思決定プロセスを示すフローチャートである。アクト 1410 において、主バッファの上に欠陥のある行があるかどうかが決定される。不良の行が主バッファより下にあるかまたは欠陥のある行が存在しないかのいずれかのために、その答えが否であれば、アクト 1430 において主バッファおよびステッチバッファに変更はなされない。不良の行があり、それが主バッファの上であれば、アクト 1420 において、主バッファの真上の行において活性垂直ドライバがあるかどうかが決定される。答えが否であれば、アクト 1450 において主バッファは下方向に駆動するように設定される。主バッファの真上の行に活性垂直ラインドライバがあれば、アクト 1440 において主バッファは上方に駆動するように設定される。アクト 1460 において、垂直ラインが問題の主バッファによってセグメント化されるかどうかを決定する。されていないならば、アクト 1480 においてステッチバッファは閉じられたままである。垂直ラインが主バッファによってセグメント化されるのであれば、アクト 1470 においてステッチバッファは、セグメント化タスクを担い、開かれる。

#### 【0069】

図 15 は、本発明の実施例に従う主バッファの概略である。入力 RLT RT<sub>x</sub>1222、RR TLT<sub>x</sub>1224、ライン 1501 上の垂直ライン接続 LINE および ライン 1502 上の垂直ライン接続 LINE、ならびに ライン 1535 上のイネーブル信号 NFR XDRV が含まれる。ライン 1535 上のイネーブル信号 NFR XDRV がハイであれば、ライン 1522 の信号 RLT RT<sub>x</sub>1222 のハイが、ライン 1577 の信号 LTRT をハイに駆動する。これは、素子 M3 1585 を介して ライン 1501 を ライン 1545 に結合する。また、ライン 1565 は素子 M2 1552 を介して ライン 1502 に結合される。したがって、ライン 1501 の信号 LINE は、インバータ 1570 および 1560 を駆動し、ライン 1502 の信号 LINE をもたらす。

#### 【0070】

反対に、ライン 1535 のイネーブル信号 NFR XDRV がハイであれば、ライン 1524 の信号 RR TLT<sub>x</sub>1224 のハイが、ライン 1575 の信号 RTLT をハイに駆動する。これは、素子 M4 1595 を介して ライン 1502 を ライン 1545 に結合する。また、ライン 1565 は素子 M1 1550 を介して ライン 1501 に結合される。したがって、ライン 1502 の信号 LINE は、インバータ 1570 および 1560 を駆動し、ライン 1501 の信号 LINE をもたらす。ライン 1535 のイネーブル信号 NFR XDRV がローであるか、信号 RLT RT<sub>x</sub>1222 または RR TLT<sub>x</sub>1224 のいずれもがハイでないかのいずれかであれば、素子 M1 1550、M2 1550、M3 1585 および M4 1595 はすべて開き非導通状態である。この条件において、ライン 1501 と ライン 1502 との間に高インピーダンスが見られ、主バッファはセグメント化される。

#### 【0071】

図 16 は、本発明のある実施例に従うステッチバッファ 1600 の概略である。素子 M1 1620 が含まれる。素子 M1 1620 のドレン領域およびソース領域は、それぞれ入力ノード 1640 および出力ノード 1630 を形成する。素子 M1 1620 のゲートまたは制御電極は、論理ブロック 1300 または他の制御論理ブロックから ライン 16

10

20

30

40

50

10 の S u b \_ B u f 信号を受ける。ライン 1610 の S u b \_ B u f 信号がハイであれば、バッファはステッチまたは短絡の構成にされるが、これはステッチバッファのデフォルト状態である。ライン 1610 の S u b \_ B u f 信号がローであれば、バッファは開いているまたはセグメント化される。

【 0 0 7 2 】

この発明の特定の実施例の前の記載は、例示および説明のために提示された。

この発明を記載された正確な形に限定したりまたは余すところのないものではなく、多くの修正および変形が上記の教示に鑑みて可能である。実施例は、この発明の原理およびその実際の用途を最もよく説明するために選択され記載されたものであって、それにより当業者が企図される特定の使用に適するさまざまな実施例およびさまざまな変形でこの発明を最もよく利用することを可能にするものである。この発明の範囲は、前掲の特許請求の範囲によって定義されることが意図される。

10

【図面の簡単な説明】

【図 1】 プログラム可能論理集積回路を備えるデジタルシステムの図である。

【図 2】 プログラム可能論理集積回路のアーキテクチャの図である。

【図 3】 論理アレイブロック ( L A B ) の簡素化されたブロック図である。

【図 4】 埋込アレイブロック ( E A B ) を備えるプログラム可能論理集積回路のアーキテクチャの図である。

【図 5】 メガ L A B を備えるプログラム可能論理集積回路のアーキテクチャの図である。  
。

20

【図 6】 垂直トレースを含む P L D の一部の図である。

【図 7】 主バッファおよびステッチバッファを備える冗長の行および垂直トレースを含む P L D の一部の図である。

【図 8】 主バッファおよびステッチバッファを備える冗長の行および 4 つの垂直トレースを含む P L D の一部の図である。

【図 9】 不良の行を補償するための回路変更が生じた後の図 8 に示す P L D の一部の図である。

【図 10】 本発明の実施例に従う態様で設計および配置される P L D の一般化された配置の図である。

【図 11】 本発明のある実施例における主バッファおよびステッチバッファのための更新された制御設定を決定するための記号的真理値表の図である。  
30

【図 12】 図 11 の記号的真理値表を実現するブール真理値表の図である。

【図 13】 図 12 の制御論理回路構成の実現化例の図である。

【図 14】 欠陥のある行およびラインドライバの場所の関数として主バッファおよびステッチバッファの制御論理の状態を変更するための流れ図である。

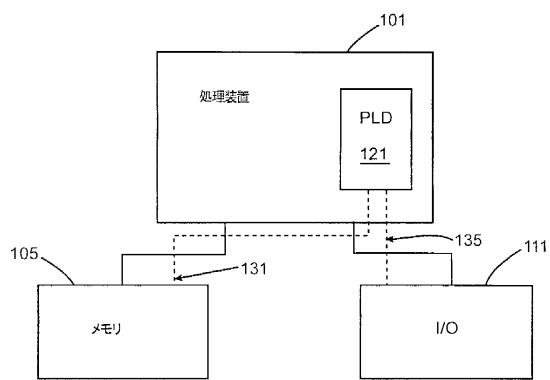
【図 15】 主バッファの概略図である。

【図 16】 ステッチバッファの概略図である。

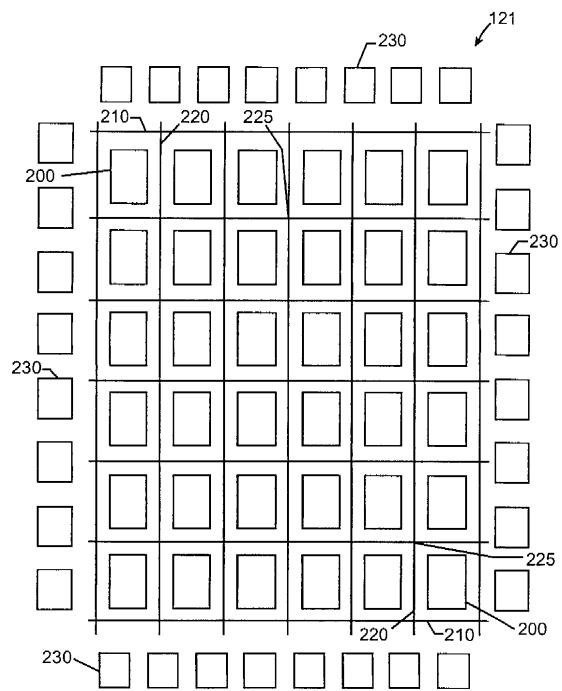
【符号の説明】

200 論理アレイブロック、300 論理素子、310 ローカル配線、450 論理アレイ、460 行配線、470 列配線  
40

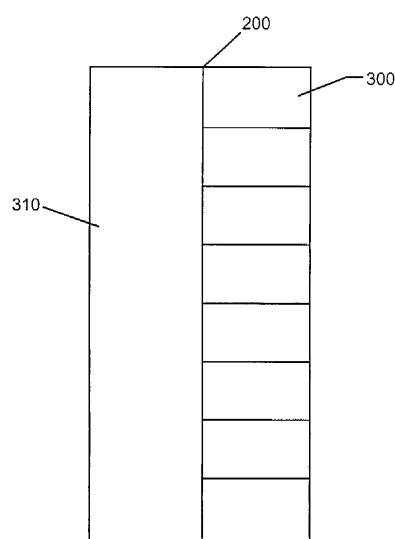
【 义 1 】



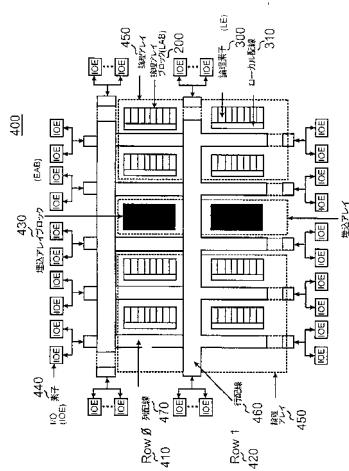
【 図 2 】



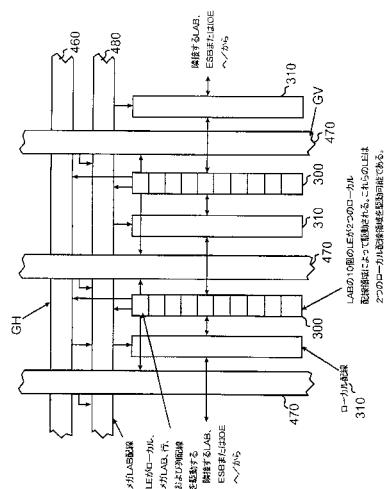
【 四 3 】



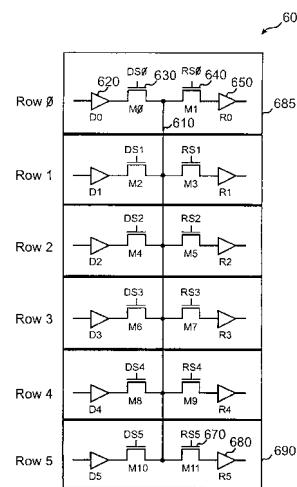
【 図 4 】



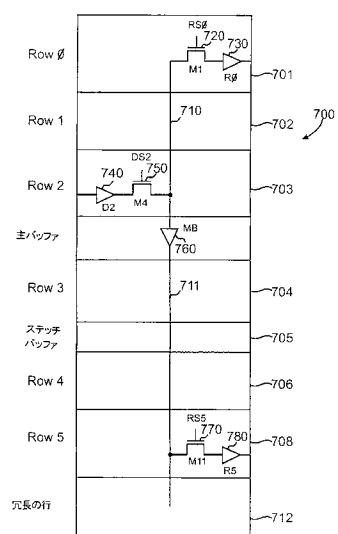
【図5】



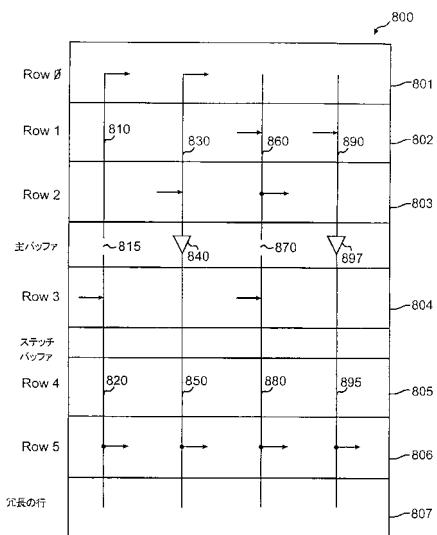
【図6】



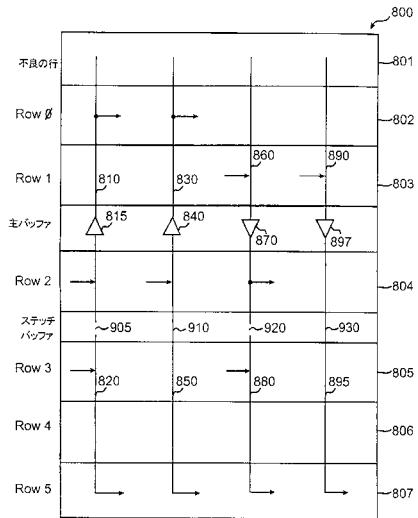
【図7】



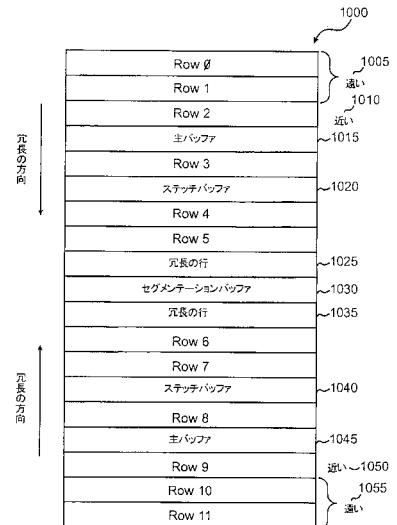
【図8】



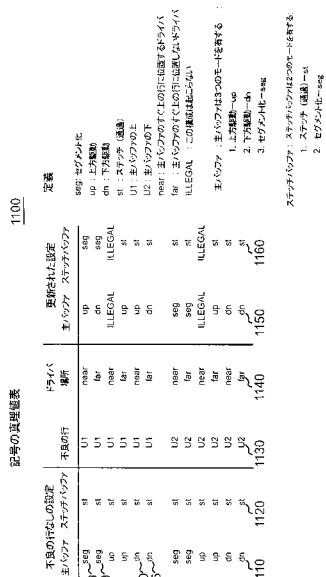
【図9】



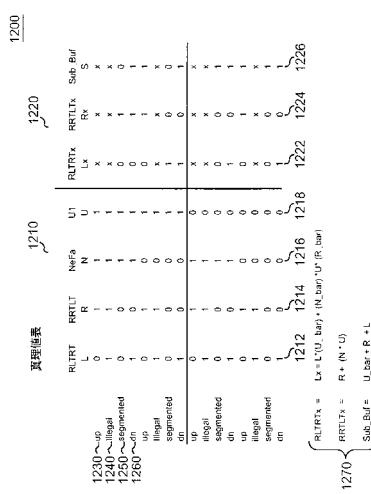
【図10】



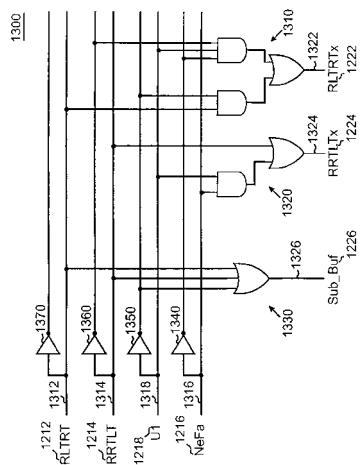
【図11】



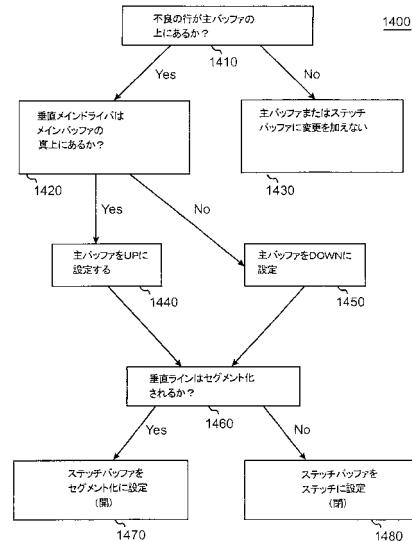
【図12】



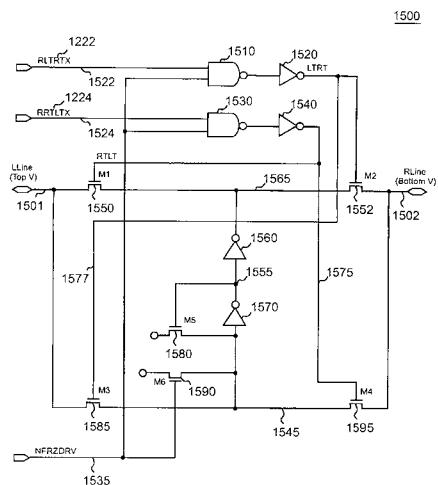
【図13】



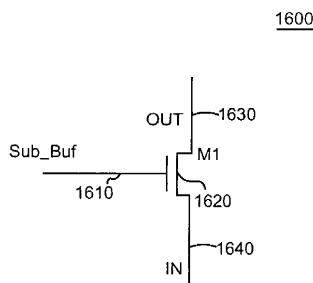
【 図 1 4 】



【図15】



【 16 】



---

フロントページの続き

(74)代理人 100096781

弁理士 堀井 豊

(74)代理人 100096792

弁理士 森下 八郎

(72)発明者 トウリエット・ニューアイエン

アメリカ合衆国、95117 カリフォルニア州、サン・ノゼ、ウィリアムズ・ロード、3675  
、ナンバー・9

(72)発明者 シャンソン・ツアン

アメリカ合衆国、95117 カリフォルニア州、サン・ノゼ、ノースレイク・ドライブ、489  
、ナンバー・210

(72)発明者 デイビッド・ジェファーソン

アメリカ合衆国、95037 カリフォルニア州、モーガン・ヒル、ウィロウ・クリーク・ドライブ、16711

審査官 宮島 郁美

(56)参考文献 特開平03-171573(JP, A)

特開平06-216757(JP, A)

特開平10-313061(JP, A)

特開平10-233676(JP, A)

特開平09-181600(JP, A)

英国特許出願公開第02321989(GB, A)

特表2001-526866(JP, A)

(58)調査した分野(Int.Cl., DB名)

H03K19/00, 19/01-19/082, 19/092-19/096

G06F5/01, 7/00, 7/57-7/575, 7/74-7/78

H01L21/82