(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.
G02F 1/136 (2006.01)

(45) 공고일자 2006년03월09일
(11) 등록번호 10-0532783
(24) 등록일자 2005년11월25일

(21) 출원번호 10-1997-0048019
(22) 출원일자 1997년09월22일

(65) 공개번호 10-1998-0024844
(43) 공개일자 1998년07월06일

(30) 우선권주장 96-271461 1996년09월21일 일본(JP)

(73) 특허권자 가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398

샤프 가부시키가이샤
일본 오사까후 오사까시 아베노꾸 나가이께쪼 22방 22고

(72) 발명자 시부야 츠카사
일본 나라켄 텐리시 스기모토쵸 276-3 멘션 포푸리 205 고우

요시노우치 아츠시
일본 나라켄 가시바시 하타 5-1610-1

장홍용
일본 가나가와켄 아쓰기시 하세 398 한도타이 에네루기 겐큐쇼 가부시키가이샤 내

구보 노부오
일본 가나가와켄 아쓰기시 하세 398 한도타이 에네루기 겐큐쇼 가부시키가이샤 내

(74) 대리인 정상구
이병호
신현문
이범래

심사관 : 임동재

(54) 액티브매트릭스디스플레이장치및그제조방법

요약

본 발명은 주변 구동 회로가 일체화된 액티브 매트릭스 LCD 장치를 제공한다. 본 발명의 LCD 장치에서 박막 트랜지스터들은 액티브 매트릭스 LCD 장치의 개별 회로들에 대해 최적화된 상이한 특성들을 갖는다. 픽셀 매트릭스부는 비-자기정렬 방식으로 제조된 오프셋 게이트 영역들(134, 136)을 각각 갖는 박막 트랜지스터들을 포함하고, n-채널 구동부는 비-자

기 정렬 방식 및 자기 정렬 방식을 조합하여 제조된 저농도-도핑 영역들(128, 130)을 각각 갖는 박막 트랜지스터들을 포함하고, p-채널 구동부는 자기 정렬 방식으로 제조된 박막 트랜지스터들을 포함한다. 이러한 구성에 의해 개별 회로들에 의해 요구되는 특성들을 갖는 박막 트랜지스터들을 배열하는 것이 가능하게 된다.

대표도

도 1

명세서

도면의 간단한 설명

도 1A 내지 도 1C는 본 발명의 제 1 실시예에 따른 박막 트랜지스터들을 제조하는 공정을 도시하는 도면.

도 2A 내지 도 2C는 본 발명의 제 1 실시예에 따른 박막 트랜지스터들을 제조하는 공정을 도시하는 도면.

도 3A 및 도 3B는 본 발명의 제 1 실시예에 따른 박막 트랜지스터들을 제조하는 공정을 도시하는 도면.

도 4A 및 도 4B는 본 발명의 제 1 실시예에 따른 박막 트랜지스터들을 제조하는 공정을 도시하는 도면.

도 5A 및 도 5B는 본 발명의 제 1 실시예에 따른 박막 트랜지스터들을 제조하는 공정을 도시하는 도면.

도 6은 본 발명의 제 1 실시예에 따른 박막 트랜지스터들을 제조하는 최종 공정을 도시하는 도면.

도 7A 내지 도 7C는 본 발명의 제 2 실시예에 따른 박막 트랜지스터들을 제조하는 공정들을 도시하는 도면.

도 8A 및 도 8B는 본 발명의 제 2 실시예에 따른 박막 트랜지스터들을 제조하는 공정을 도시하는 도면.

도 9A 및 도 9B는 본 발명의 제 2 실시예에 따른 박막 트랜지스터들을 제조하는 공정을 도시하는 도면.

※도면의 주요부분에 대한 부호의 설명※

10 : 픽셀 매트릭스부 11 : 주변 구동 회로

12 : n-채널 구동부 13 : p-채널 구동부

101 : 유리 기판

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 일반적으로 액티브 매트릭스 액정 디스플레이(LCD) 장치들의 구조에 관한 것으로, 특히, 주변 구동 회로를 일체로 하여 포함하는 액티브 매트릭스 LCD 장치들에 관한 것이다.

본 발명과 관련된 종래 기술은 기존에 공지된 액티브 매트릭스 LCD 장치를 포함하며, 이 장치에는 수백 x 수백 픽셀의 전극들이 매트릭스 형태로 배열되어 있고 박막 트랜지스터들이 픽셀 전극들과 함께 개별 픽셀들에 배열되어 있다. 이러한 종류의 LCD 장치에서, 개별 픽셀들 내에 위치된 박막 트랜지스터들은 개별 픽셀들에 입력되고 그로부터 출력되는 전하들을 제어한다.

종래의 기술은 또한 주변 구동 회로가 일체화된 형태로서 공지된 최근에 개발된 구조를 포함한다. 이 구조에서, 픽셀 매트릭스 및 주변 구동 회로부들 모두는 하나의 유기 기판 상에 일체로 형성된다. 주변 구동 회로가 일체화된 구조는 제조 비용이 감소되고 개별 장치들을 콤팩트하게 할 수 있는 이점이 있다.

일반적으로, p-채널 또는 n-채널 박막 트랜지스터들은 스위칭 소자들로서 픽셀 매트릭스 회로에 배열되며, 주변 구동 회로는 p-채널 및 n-채널 박막 트랜지스터들로 구성된 회로이다.

발명이 이루고자 하는 기술적 과제

상술된 주변 구동 회로가 일체화된 형태의 액티브 매트릭스 LCD 장치의 제조에 있어서, 이 장치의 픽셀 매트릭스 회로 및 주변 구동 회로에 배열될 박막 트랜지스터들은 단일 기판 상에서 동시에 제조된다.

그러나, 픽셀 매트릭스 회로 및 주변 구동 회로는 일반적으로 상이한 트랜지스터 특성들을 필요로 한다. 예를 들면, 픽셀 매트릭스 회로에 배열된 박막 트랜지스터들이 고속으로 동작할 필요는 없다고 하더라도, 개별 픽셀들에 대해 전하들을 보유할 수 있어야 하기 때문에 극히 낮은 오프-상태 전류를 가져야 한다. 이와는 달리, 주변 구동 회로에 배열된 박막 트랜지스터들에 있어서 가장 중요한 것은 고속 동작 능력 및/또는 고전류 유입 능력이다. 이들 중에서, 버퍼 회로를 형성하기 위해 사용되는 박막 트랜지스터들은 고속 동작 능력 및 고전류 유입 능력을 모두 갖추고 있어야 한다.

주변 구동 회로에 배열된 박막 트랜지스터들은 또한 그들의 특성들의 열화에 쉽게 영향을 받지 않아야 한다. 그 이유는 동작 속도가 높을수록, 특성들의 열화가 일어나기 쉽기 때문이다.

n-채널 박막 트랜지스터들은 p-채널 박막 트랜지스터들보다 2 내지 3배 높은 이동도를 갖고 있어, 캐리어 이동도의 차를 보상할 어떤 것을 발명할 필요가 있다.

상술한 바에 비추어, 본 발명의 목적은, 상술된 요건들을 만족하면서, 제대로 동작하는, 주변 구동 회로가 일체화된 액티브 매트릭스 LCD 장치들을 제공하는 것이다.

발명의 구성 및 작용

본 발명의 제 1 양상에서, 도 4A 및 도 4B에 도시된 바와 같이, 액티브 매트릭스 디스플레이 장치는 픽셀 매트릭스부(10) 및 n-채널 구동부(12)와 P-채널 구동부(13)를 포함하는 주변 구동 회로(11)가 배열된 기판을 포함한다. 액티브 매트릭스 디스플레이 장치의 보다 상세한 구조는 픽셀 매트릭스부(10)가 오프셋 게이트 영역(136)을 각각 갖는 n-채널 박막 트랜지스터들을 포함하고, 주변 구동 회로(11)의 n-채널 구동부(12)가, 채널 영역(138), 드레인 영역(113) 및 채널 영역(138)과 드레인 영역(113) 사이에 형성된 저농도-도핑(lightly doped) 영역을 각각 갖는 n-채널 박막 트랜지스터들을 포함하고, 저농도-도핑 영역은 드레인 영역보다 낮은 도우즈(dose)로 n-형 도전성을 부여하는 불순물들로 도핑되며, 채널 영역(135)이 오프셋 게이트 영역(136)의 한 측에 인접하게 형성되고 드레인 영역(110)이 오프셋 게이트 영역(136)의 다른 측에 인접하게 형성되도록 구성된다.

도 4A 및 도 4B에 도시된 바와 같이, 주변 구동 회로(11)는 n-채널 구동부(12) 및 p-채널 구동부(13)를 포함한다. 일반적으로, "주변 구동 회로"라는 표현은, 픽셀 매트릭스부뿐만 아니라 시프트 레지스터 회로, 여러 정보 처리 회로들 및 메모리 회로들을 직접 구동하는 회로(일반적으로, 구동기 회로라고 함)를 포함하는 것으로서 사용된다. 그러나, 본 명세서에서, 주변 구동 회로는 주로 구동기 회로를 지칭한다. 그러므로, 본 명세서에 개시된 주변 구동 회로는 상술된 모든 회로소자들 모두를 반드시 포함할 필요는 없는 것이다.

본 발명의 제 2 양상에서, 도 4A 및 도 4B에 도시된 바와 같이, 액티브 매트릭스 디스플레이 장치는 픽셀 매트릭스부(10) 및 n-채널 구동부(12)와 P-채널 구동부(13)를 포함하는 주변 구동 회로(11)가 배열된 기판을 포함하며, 픽셀 매트릭스부(10)는 오프셋 게이트 영역(136)을 각각 갖는 n-채널 박막 트랜지스터들을 포함하고, 주변 구동 회로(11)의 n-채널 구동부(12)는 n-채널 박막 트랜지스터들을 포함하고, 이 트랜지스터들 각각은 채널 영역(138), 드레인 영역(113), 및 채널 영역(138)과 드레인 영역(113) 사이에 형성된 저농도-도핑 영역(130)을 가지며, 이 저농도-도핑 영역(130)은 드레인 영역(113)보다 낮은 도우즈로 n-형 도전성을 부여하는 불순물들로 도핑되며, 주변 구동 회로(11)의 p-채널 구동부(13)는 어떠한 저농도-도핑 영역도 설치되지 않은 p-채널 박막 트랜지스터들을 포함하고, 오프셋 게이트 영역(136)의 한 측에 인접하게 채널 영역(135)이 형성되고 드레인 영역(110)이 오프셋 게이트 영역(136)의 다른 측에 인접하게 형성된다.

이 구조는 주변 구동 회로를 구성하는 n-채널 및 p-채널 구동부들(12, 13)에 배열된 박막 트랜지스터들이 도 4A 및 도 4B에 명백히 도시된 바와 같이 상이한 구조들을 갖는 것을 특징으로 한다. 특히, 높은 신뢰성을 달성하기 위해 저농도-도핑 영역(130)이 각각 설치된 n-채널 박막 트랜지스터들은 n-채널 구동부(12)에 배열되고, 저농도-도핑 영역이 설치되어 있지 않은 p-채널 박막 트랜지스터들은 n-채널 구동부의 구동 능력에 가까운 능력을 달성하기 위해 p-채널 구동부(13)에 배열된다. 이 구조는 주변 구동 회로의 구동 능력(픽셀 매트릭스부를 구동하는 능력을 의미함)을 전체적으로 증가시킬 수 있으며 또한 높은 신뢰성을 달성할 수 있다.

본 발명의 제 2 양상에 따른 구성에서, 픽셀 매트릭스부 및 n-채널 구동부 모두는 n-채널 박막 트랜지스터들을 일체로 한다. 그러나, 이들은 이들의 게이트 전극 영역들에 포함된 인 원소들의 밀도가 다르다.

픽셀 매트릭스부는 도 4B에 도시된 바와 같이 제 1 도핑 공정에서만 인으로 도핑된다. 게이트 전극들은 이 도핑 공정에서는 아직 활성되지 않지만, 도 2C에 도시된 이후 공정에서 형성된다. 이것은 픽셀 매트릭스부 내의 게이트 전극 영역들이 인으로 도핑되지 않음을 의미한다.

반대로, n-채널 구동부는 도 1B에 도시된 제 1 도핑 공정에서뿐만 아니라 도 3B에 도시된 제 2 도핑 공정에서 인으로 도핑된다. 제 2 도핑 공정에서, 게이트 전극들(122) 및 게이트 전극들 주변에 제조된 양극 산화막들(32)의 게이트 전극 영역들에 인이 주입된다.

픽셀 매트릭스부에 형성된 n-채널 박막 트랜지스터들의 게이트 전극 영역들은 인으로 도핑되지 않기 때문에, 인 원소들은 이 게이트 전극 영역들에 (적어도 기본 레벨(background level)을 초과하는 밀도로) 존재하지 않는다.

한편, 도 3B의 제 2 도핑 공정에서 주입된 인 원소들은 n-채널 구동부에 형성된 n-채널 박막 트랜지스터들의 게이트 전극 영역들에 존재한다.

픽셀 매트릭스부 및 n-채널 구동부 모두의 n-채널 박막 트랜지스터들이 공통적으로 이들의 게이트 전극 영역들에 인 원소들을 포함하고 있을지라도, 상술된 두 영역들간의 인 원소들의 밀도들은 다르다. n-채널 구동부의 게이트 전극 영역들에 포함된 인 원소들의 밀도는 도 3B의 제 2 도핑 공정에서의 도핑 조건들에 의해 결정된다.

양극 산화막들이 게이트 전극들 주위에 형성되기 때문에, 전술한 논의에서 "게이트 전극 영역"이라는 표현이 사용된다. 이러한 양극 산화막들이 형성되지 않고, 불순물들이 주입될 때 게이트 전극들이 노출될 경우, 게이트 전극들은 게이트전극 영역들이 된다.

도 4A 및 도 4B의 발명의 구성에 따라, 주변 구동 회로에 배열된 각 n-채널 박막 트랜지스터의 소스 영역(111) 및 드레인 영역(113)에 주입된 불순물들(이 경우에는 인)의 밀도는 픽셀 매트릭스부에 배열된 각 n-채널 박막 트랜지스터의 소스 영역(108) 및 드레인 영역(110)보다 높다.

픽셀 매트릭스부의 소스 및 드레인 영역들(108, 110)은 도 1B의 상술된 제 1 도핑 공정에서만 인으로 도핑된다. 반대로, n-채널 구동부의 소스 및 드레인 영역들(111, 113)은, 도 1B 및 도 3B에 도시된 바와 같이, 제 1 및 제 2 도핑 공정들에서 인으로 도핑된다. 이것은 주변 구동 회로의 n-채널 구동부에 배열된 n-채널 박막 트랜지스터들의 소스 및 드레인 영역들이 도 3B의 공정으로 인해 고밀도로 인 원소들을 포함함을 의미한다.

본 발명은 또한, 도 1A 내지 도 4B에 도시된 바와 같이, 픽셀 매트릭스부(10) 및 (n-채널 구동부(12) 및 p-채널 구동부(13)를 포함하는) 주변 구동 회로(11)가 단일 기판(101) 상에 제조되는 액티브 매트릭스 디스플레이 장치를 제조하는 방법을 제공한다.

이 방법은, 픽셀 매트릭스부(10)에 배열되는 n-채널 박막 트랜지스터들의 소스 및 드레인 영역들(108, 110)과 도 1B에 도시된 마스크를 사용하여 비-자기 정렬공정으로 주변 구동 회로(11)에 배열되는 n-채널 박막 트랜지스터들의 소스 및 드레인 영역들(111, 113)을 형성하는 단계, 이와 동시에, n-채널 박막 트랜지스터들의 소스 및 드레인 영역들과, 소스 및 드레인 영역들 사이에 존재하는 진성 또는 실질적으로 진성인 영역들(109, 112)을 레이저광으로 조사하는 단계, 도 2에 도시된 바와 같이 개별 n-채널 박막 트랜지스터들의 게이트 전극들을 형성하는 단계, 및 도 3B에 도시된 바와 같이 게이트 전극(122)을 사용하여 자기 정렬 공정으로 주변 구동 회로(11)에 배열된 n-채널 박막 트랜지스터들에 저농도-도핑 영역들(128, 130)을 형성하는 단계를 포함한다.

상기 제조 방법은 또한, 도 2에 도시된 바와 같이 게이트 전극을 형성한 후에, 자기 정렬 공정을 통해 저농도-도핑 영역들(128, 130)을 형성하는 단계를 더 포함하며, 이 공정에서, 주변 구동 회로에 배열된 각 n-채널 박막 트랜지스터를 형성하는 활성층은, 소스 및 드레인 영역들을 형성하는데 사용된 것보다 낮은 도우즈의 n-형 도전성을 부여하는, 도 3B에 도시된 바와 같은 불순물들로 도핑된다.

이 제조 방법에 따라, 도 4A 및 도 4B에 도시된 바와 같이, 상이한 구조들을 갖는 n-채널 박막 트랜지스터들은 원하는 특성들을 얻기 위해 픽셀 매트릭스부 및 주변 구동부에 형성될 수 있다.

상술된 설명에 요약된 바와 같이, 픽셀 매트릭스부, n-채널 구동부 및 p-채널 구동부에 형성된 박막 트랜지스터들은 구조들이 상이하다.

즉, 픽셀 매트릭스부에 배열된 n-채널 박막 트랜지스터들 각각은 도 1B에 도시된 바와 같이 비-자기 정렬 공정으로 형성된 소스 및 드레인 영역들(108, 110), 및 도 2의 공정에서 형성된 게이트 전극(120)과 레지스트 마스크(105)간의 위치 관계에 따라 제조된 오프셋 게이트 영역들(134, 136)을 포함한다.

픽셀 매트릭스부에 이와 같이 하여 제조된 n-채널 박막 트랜지스터들은 낮은 오프-상태 전류 특성을 갖는다.

n-채널 구동부에 배열된 n-채널 박막 트랜지스터들 각각은 게이트 전극(122)을 사용하여 자기 정렬 공정으로 형성된 저농도-도핑 영역들(128, 130)을 포함한다(도 3B).

n-채널 구동부에 이와 같이 하여 제조된 n-채널 박막 트랜지스터들은 충분히 높은 구동 능력 및 높은 신뢰성을 갖는다.

p-채널 구동부에 배열된 p-채널 박막 트랜지스터들 각각은 간단히 높은 구동 능력을 얻기 위해 양극 산화막(33)을 사용하여 형성된 오프셋 게이트 영역들(140, 142)을 포함한다.

상술된 구성은 p-채널 구동부에 배열된 p-채널 박막 트랜지스터들과 n-채널 구동부에 배열된 n-채널 박막 트랜지스터들 간의 특성상 균형을 달성하도록 하도록 작용한다.

도 1A 내지 도 1C, 도 2A 내지 도 2C, 도 3A 및 도 3B, 도 4A 및 도 4B, 도 5A 및 도 5B, 및 도 6은 본 발명의 제 1 실시예에 따른 제조 공정들을 도시한 것으로, 픽셀 매트릭스부(10)에 배열될 n-채널 박막 트랜지스터들, 및 픽셀 매트릭스부를 구동하는 주변 구동 회로(11)(버퍼 회로)를 구성하는 p-채널 및 n-채널 박막 트랜지스터들은 단일 유리 기판(101) 상에 동시에 제조된다.

이 도면들에서, n-채널 구동부(12)는 주변 구동 회로(11)의 일부를 형성하는 n-채널 박막 트랜지스터 회로를 지칭하며, p-채널 구동부(13)는 주변 구동 회로(11)의 또 다른 부분을 형성하는 p-채널 박막 트랜지스터 회로를 지칭한다.

이 실시예에서, 각 박막 트랜지스터는 게이트 전극이 활성층 위에 형성되는 탑 게이트형이다.

실시예에서는 도 1A에 도시된 바와 같은 유리 기판(101)을 사용하지만, 대안으로서 석영 기판을 채용할 수도 있다.

먼저, 도시되지 않은 기저막이 유리 기판(101) 상에 형성된다. 더 상세하게, 기저막은 스퍼터링 공정에 의해 형성된 2000Å 두께의 이산화실리콘막이다.

다음에, 도시되지 않은 비정질 실리콘막이 플라즈마 화학 기상 증착(CVD) 공정에 의해 500Å의 두께로 형성된다. 저압 열 CVD 공정을 플라즈마 CVD 공정 대신으로 사용할 수도 있다. 이 실시예에서, 진성 또는 실질적으로 진성(도전성이 부가되지 않은 것을 의미함)인 비정질 실리콘막이 형성된다.

도시되지 않은 비정질 실리콘막을 형성한 후에, 도 1A에서 102, 103 및 104로 표시 활성층 패턴들이 패터닝 공정에 의해 형성된다. 이 패턴들(102 내지 104)은 개별 박막 트랜지스터들의 활성층들로서 작용한다. 특히, 활성층 패턴(102)은 픽셀 매트릭스부(10)에 배열된 각 박막 트랜지스터의 활성층을 형성하고, 활성층 패턴(103)은 n-채널 구동부(12)에 배열된 각 박막 트랜지스터의 활성층을 형성하고, 활성층 패턴(104)은 p-채널 구동부(13)에 배열된 각 박막 트랜지스터의 활성층을 형성한다. 도 1A에 도시된 제조 공정중의 공정물은 상술된 방식으로 얻어진 것이다.

다음에, 레지스트 마스크들(105, 106, 107)은 도 1B에 도시된 바와 같이 형성된다. 공정물은 이어서 각 n-채널 박막 트랜지스터의 소스 및 드레인 영역들을 형성하는데 적합한 조건들 하에서 인으로 도핑된다.

플라즈마 도핑 공정 또는 이온 도핑 공정 중 어느 하나가 불순물들을 첨가하는데 사용될 수 있다. 플라즈마 도핑 공정은 인 수산화물(PH_3) 또는 디보란(B_2H_6)과 같은 불순물 원소를 포함하는 가스를 고주파 전기를 사용하여 플라즈마가 되도록 하고, 전기장을 인가함으로써 불순물 이온들이 플라즈마로부터 얻어지는 공정으로, 불순물 이온들을 가속하여 원하는 영역에 주입한다.

이온 도핑 공정은, PH_3 또는 B_2H_6과 같은 불순물 원소를 포함하는 가스를 플라즈마가 되게 하고, 불순물 이온들이 자기장을 사용하여 질량 분리 방법에 의해 플라즈마로부터 분리되는 공정이다. 이와 같이 하여 분리된 불순물 이온들은 가속되어 원하는 영역에 주입된다.

본 실시예에서는 플라즈마 도핑 공정이 사용된다. 도 1B는 인으로 "고농도 도핑(heavy doping)"된 상태를 도시한 것이다. 이것은 이후 설명될 제 2 도핑 공정에 비하여 상대적으로 높은 도우즈로 인이 주입되기 때문이다. 도 1B의 도핑 공정에서 인으로 고농도 도핑된 영역들은 N^+ 영역들로 표시된다.

도 1B로부터 알 수 있는 바와 같이, 활성층 패턴(104)이 레지스트 마스크(107)로 덮여있기 때문에 이 도핑 공정에서는 활성층 패턴(104)에 인 이온들이 주입되지 않는다. 레지스트 마스크들(105, 106, 107)에 의해 각각 차폐된 영역들(109, 112)은 인으로 도핑되지 않는다. 따라서, 영역들(109, 112)은 진성(i-형) 영역들로서 남아있다. 영역들(108, 110, 111, 113)은 인으로 도핑되어 N^+형 영역들이 된다. (엄격히 말하여, 이 영역들은 이후의 활성화 공정에서 N^+형 영역이 된다.)

마스크 정렬 정확도는 비-자기 정렬 공정에서와 같이 도 1B의 도핑 공정에서 중요하다.

도 1B의 공정이 완료되었을 때, 레지스트 마스크들(105, 106, 107)이 제거된다. 이 때, 활성층 패턴들(102, 103, 104)은 여전히 비정질 상태에 있다.

공정물은 이어서 도 1C에 도시된 바와 같이 레이저광으로 조사된다. 이 레이저광 조사 공정은 다음과 같은 효과들을 제공한다.

- 개별 활성층 패턴들의 결정화;

- 도핑 공정에서 주입된 인의 활성화; 및

- 인 도핑에 의해 손상된 영역들의 어닐링(손상들은 이온들과의 충돌들에 의해 야기된다).

레이저광 조사는 픽셀 매트릭스부에서 i-형 영역(109)의 결정화 및 N^+형 영역들(108, 110)의 결정화 및 활성화를 동시에 발생시킨다. n-채널 구동부에서, 레이저광 조사는 i-형 영역(112)의 결정화 및 N^+형 영역들(111, 113)의 결정화 및 활성화를 동시에 발생시킨다. p-채널 구동부에서, 레이저광 조사는 활성층 패턴(104)을 결정화시키는데, 이는 이 영역이 어떠한 불순물 이온들로도 도핑되어 있지 않기 때문이다.

도 1C에 도시된 공정에서 중요한 것은 픽셀 매트릭스부 및 n-채널 구동부에서 N^+형 및 i-형 영역들간의 개별 접합부들(경계 영역들) 및 이들의 근접 지대들이 레이저광에 의해 조사된다는 것이다. 이것은 접합부들에서 및 그 근처에서의 결함들의 밀도를 감소시키는데 매우 효과적이다.

이후 상세히 설명하겠지만, 픽셀 매트릭스부에 배열된 박막 트랜지스터들은 상술된 효과들이 얻어지기 때문에 우수한 낮은 오프-상태 전류 특성을 나타낸다.

다음에, 게이트 전극들을 제조하는데 사용될 알루미늄막(115)이 도 2A에 도시된 바와 같이 스퍼터링 공정에 의해 4000Å의 두께로 형성된다.

알루미늄막(115)을 형성한 후에, 양극 산화막(116)이 양극 산화 방법에 의해 100Å의 두께로 형성된다. 이와 같이 하여 제조된 양극 산화막(116)은 이후 공정들에서 힐오크들(hillocks) 및 휘스커들(whiskers)의 형성을 방지하도록 작용한다. 양극 산화막(116)은 또한 게이트 전극들로부터 확장하는 게이트 라인들과 게이트 라인들 위에 놓여진 다른 배선들간의 단락을 방지하도록 작용한다. 힐오크들 및 휘스커들은 섬유모양의 가시가 많은 돌기들로서, 이들은 알루미늄이 비정상적으로 성장하는 것에 기인하여 형성된다. 힐오크들 및 휘스커들은 가열, 레이지광 조사, 또는 불순물 원소로 도핑하는 것과 같은 공정들 동안 성장될 수도 있다.

도 2A에 도시된 공정물 구조가 상술된 방식으로 제조되었을 때, 레지스트 마스크들(117, 118, 119)이 도 2B에 도시된 바와 같이 형성된다. 이 레지스트 마스크들(117 내지 119)은 게이트 전극들을 형성하기 위한 것이다.

공정물의 표면은 레지스트 마스크들(117 내지 119)을 사용하여 패터닝되어 도 2C에 도시된 구조를 얻는다. 이어서, 레지스트 마스크들(117 내지 119)을 제거하여 도 3A에 도시된 구조를 얻는다.

도 3A에 도시된 구조에서, 120으로 표시된 것은 픽셀 매트릭스부에 형성된 박막 트랜지스터들의 게이트 전극들 중 하나이며, 121로 표시된 것은 상기 게이트 전극(120)의 상부 위에 남겨진 단편적인 양극 산화막이다. 도시되지는 않았지만, 개별 게이트 전극들(120)로부터 게이트 라인들이 확장하여, 소스 라인들과 함께 격자형 패턴을 형성한다.

도 3A에서 122로 표시된 것은 n-채널 구동부(12)에 형성된 박막 트랜지스터들의 게이트 전극들 중 하나이며, 123으로 표시된 것은 상기 게이트 전극(122)의 상부 위에 남겨진 단편적인 양극 산화막이다.

124로 표시된 것은 p-채널 구동부(13)에 형성된 박막 트랜지스터들의 게이트 전극들 중 하나이며, 125로 표시된 것은 상기 게이트 전극(124)의 상부 위에 남겨진 단편적인 양극 산화막이다.

도 3A에 도시된 구조를 상술된 방법으로 제조하였을 때, 공정물은 다시 양극 산화되어 도 3B에 31, 32, 33으로 표시한 바와 같이 1000Å 두께의 양극 산화막들을 형성하게 된다. 이 양극 산화막들(31 내지 33)은 도 3A에 도시된 양극 산화막들(121, 123, 125)을 다 없애거나 또는 양극 산화막들(121, 123, 125)과 일체로 결합되게 된다.

다음에, 레지스트 마스크들(126, 127)이 도 3B에 도시된 바와 같이 형성되고, 공정물에 저농도 도핑 공정이 행해지는데, 이 공정에서 인 이온들이 다시 주입되지만 도 1B에 도시된 도핑 공정에 비하여 낮은 도우즈로 주입된다. 이 저농도 도핑 공정에서, 영역들(128, 130)은 영역들(111, 113)보다 낮은 밀도로 인으로 도핑된다. 영역들(128, 130)을 N^-형이라 한다. 저농도 도핑 공정에서 인이 부가적으로 도핑된 N^+형 영역들(111, 113)은 N^+형 영역들로서 남게된다.

도 3B에 도시된 저농도 도핑 공정은 게이트 전극들(122)의 패턴을 이용하므로, 자기 정렬 공정으로서 언급된다. 자기 정렬 공정의 주요 특징은 어떠한 전용 마스크 없이도 수행될 수 있다는 것이다. 자기 정렬 공정의 또다른 특징은 마스크 패턴을 배열할 필요가 없기 때문에 마스크 정렬 정확도의 영향으로부터 자유롭다는 것이다.

N^+형 영역들(111, 113) 및 N^-형 영역들(128, 130)은 상술된 바와 같이 형성되며, N^-형 영역들(128, 130)은 자기 정렬 공정을 사용하여 형성된다. 도 3B의 저농도 도핑 공정의 결과로서, 영역(111)은 소스 영역이 되고 영역(113)은 드레인 영역이 된다. 또한, 영역들(128, 130)은 저농도-도핑 영역들이 된다. 이들 중에서, 드레인 영역(113)에 인접한 영역(130)은 저농도-도핑 드레인(LDD) 영역으로서 공지된 영역이 된다. 129로 표시된 영역은 저농도 도핑 공정에서 인 이온들이 주입되지 않기 때문에 i-형 영역으로서 남아있다.

도 3B에 도시된 공정물 구조를 상술된 방법으로 얻었을 때, 레지스트 마스크들(126, 127)이 제거된다. 이어서, 픽셀 매트릭스 및 n-채널 구동부들은 도 4A에 도시된 바와 같이 각각 레지스트 마스크들(221, 222)로 덮인다.

공정물은 이 상태에서 불소(B)로 도핑된다. 이 도핑 공정에서, 영역들(131,133)이 각각 소스 및 드레인 영역들로 되는 조건들 하에서 붕소 이온들이 영역들(131, 133)에 주입된다. 도 4A는 상술된 인 이온 도핑 조건들과 유사하게 붕소로 '고농도 도핑'된 상태를 도시한다. 도 4A의 도핑 공정에서, 영역들(131, 133)은 이들이 붕소로 도핑되기 때문에 N+ 형 영역들이 된다. 한편, 영역(132)은 이 공정에서 붕소로 도핑되지 않기 때문에 i-형인 채로 남아있다.

도 4A에 도시된 공정물의 구조를 상술된 방법으로 얻었을 때, 레지스트 마스크들(221, 222)을 제거하여 도 4B에 도시된 구조를 얻는다.

도 4B에 도시된 구조를 얻었을 때, 공정물은 다시 레이저광으로 조사되어 주입된 불순물들을 활성화시켜 도핑 공정에서 야기된 공정물의 결정 구조의 결함들을 제거하도록 한다.

양극 산화막들(31 내지 33)은 본 실시예의 구조에서 게이트 전극들(120, 122, 124) 주위에 형성되기 때문에, 오프셋 게이트 영역들은 양극 산화막들(31 내지 33) 아래에 형성된다. 채널 영역과 소스 영역 사이, 및 채널 영역과 드레인 영역 사이에 위치된 오프셋 게이트 영역들은 고저항 영역들로 작용한다. 이 오프셋 게이트 영역들은 개별 채널 영역들과 같이 진성 또는 실질적으로 진성의 도전성을 갖는다. 오프셋 게이트 영역들은, 박막 트랜지스터들이 동작되고 있을 때, 채널, 소스 또는 드레인 영역들로서 작용하지 않는 고저항 영역들이다.

도 4B는 양극 산화막들(32, 33)과 동일한 두께를 갖는 오프셋 게이트 영역들(고저항 영역들)을 도시한다. 보다 상세하게, 137 및 139로 표시된 것은 양극 산화막(32)과 동일한 두께로 성장된 오프셋 게이트 영역들이며, 140 및 142로 표시된 것은 양극 산화막(33)과 동일한 두께로 성장된 오프셋 게이트 영역들이다. 또한, 134 및 136으로 표시된 영역들은 오프셋 게이트 영역들(고저항 영역들)로서 작용한다. 이 영역들(134, 136)은, 양극 산화막(31)의 두께 외에도, 도 1B의 공정에서의 레지스트 마스크(105)와 도 2C의 공정에서의 레지스트 마스크(117)간 치수 차이 및 위치 관계에 의해 결정되는 물리적 치수들을 갖는다.

도 4B에 도시된 공정물 구조를 얻었을 때, 제 1 층간 절연막(143)이 도 5A에 도시된 바와 같이 형성된다. 이 실시예에서, 제 1 층간 절연막(143)은 플라즈마 CVD 공정에 의해 제조된 3000Å 두께의 질화 실리콘막으로 형성된다. 이어서, 접촉홀들이 공정물에 만들어지고 접촉 전극들을 만들기 위한 도시되지 않은 금속막이 제조된다. 보다 상세하게, 금속막은 스퍼터링 공정에 의해 3층 구조의 티타늄막, 알루미늄막, 및 또다른 티타늄막을 증착함으로써 제조된다. 다층 금속막은 패터닝되어 도 5A에 도시된 전극들(144 내지 149)을 형성한다.

도 5A에서, 144는 픽셀 매트릭스부(10)에 배열된 박막 트랜지스터들(이 실시 예에서는, n-채널 박막 트랜지스터들) 중 하나의 소스 영역에 접속된 소스 전극을 나타내며, 145는 픽셀 매트릭스부(10)에 배열된 박막 트랜지스터들 중 하나의 드레인 영역에 접속된 드레인 전극을 나타낸다.

146은 n-채널 구동부(12)에 배열된 박막 트랜지스터들 중 하나의 소스 영역에 접속된 소스 전극을 나타내며, 147은 n-채널 구동부(12)에 배열된 박막 트랜지스터들 중 하나의 드레인 영역에 접속된 드레인 전극을 나타낸다.

148은 p-채널 구동부(13)에 배열된 박막 트랜지스터들 중 하나의 소스 영역에 접속된 소스 전극을 나타내며, 149는 p-채널 구동부(13)에 배열된 박막 트랜지스터들 중 하나의 드레인 영역에 접속된 드레인 전극을 나타낸다.

도 5A에 도시된 공정물 구조를 얻었을 때, 제 2 층간 절연막(150)이 플라즈마 CVD 공정에 의해 2000Å 두께의 질화 실리콘막을 다시 형성함으로써 만들어진다. 이어서, 제 3 층간 절연막(151)이 스핀 코팅 공정을 수행함으로써 폴리이미드로 형성된다.

도 5B에 도시된 공정물 구조는 상술된 방법으로 제조된다. 이어서, 접촉홀들이 공정물에 만들어지며, 픽셀 전극들(152)이 도 6에 도시된 바와 같이 제조된다. 픽셀 전극들(152)은 스퍼터링 공정에 의해 1000Å 두께로 인듐 틴 산화물(ITO)막을 형성하고 이를 원하는 형태로 패터닝하여 만들어진다.

마지막으로, 공정물은 각 반도체층의 결함들을 제거하기 위해 1시간 동안 350℃로 수소 분위기에서 열처리된다.

LCD 패널의 한 쌍의 기판 조립체들 중 하나는 상술된 공정들을 통해 제조된다. 이와 같이 하여 제조된 기판 조립체를 TFT 기판이라고 한다. 이어서, 액정분자들을 정렬시키기 위한 러빙(rubbing) 라인들을 소유하는 정렬층 및 밀봉(sealing) 물질이 TFT 기판 상에 형성되고, 이어서 개별적으로 제조되는 대향 기판에 본딩된다. LCD 패널은 TFT 기판과 대향 기판 사이에 액정을 주입함으로써 완성된다.

본 실시예에서, 상이한 구조의 박막 트랜지스터들이 픽셀 매트릭스부(10), n-채널 구동부(12) 및 p-채널 구동부(13)에 배열된다.

픽셀 매트릭스부(10)에서, 낮은 오프-상태 전류 특성을 갖는 박막 트랜지스터들이 도 1C에 도시된 바와 같이 레이저 어닐링에 의해 제조된다. 보다 상세하게, 도 1C에 도시된 레이저 어닐링 공정을 수행함으로써 채널 영역들(135)과 오프셋 게이트 영역들(136)간의 접합부들에서 고밀도의 결함들이 없는 구조물을 제조하는 것이 가능하다. 이것은 낮은 오프-상태 전류 특성을 달성하도록 작용한다.

채널 영역(135)과 드레인 영역(110) 사이에 형성된 높은 전계로 인해, 채널영역(135)과 드레인 영역(110) 사이의 경계 영역 근처에 존재하는 결함들을 지나 전하 캐리어들이 이동하기 때문에, 픽셀 매트릭스부(10)에 배열된 각 박막 트랜지스터에서 상당히 중요한 오프-상태 전류가 흐른다. 상술된 제 1 실시예에 따라, 새로운 레이저 어닐링 공정을 사용하여 각 박막 트랜지스터의 채널 영역과 드레인 영역간의 경계 영역(이 실시예에서는 오프셋 게이트 영역(136)이 존재하는 영역) 근처의 고밀도 결함들을 방지하는 것이 가능하다.

또한, 각 박막 트랜지스터의 채널 영역(135)과 드레인 영역(110) 사이에 형성된 오프셋 게이트 영역(136)은 후자의 두 영역들 사이에 형성된 전계의 강도를 감소시킨다. 이것은 보다 낮은 오프-상태 전류를 이끌어 내는 박막 트랜지스티들을 제조할 수 있도록 한다.

상술된 바로부터, 픽셀 매트릭스부(10)에 배열된 박막 트랜지스터들은 두가지 방식으로 오프-상태 전류를 감소시키는 새로운 구성을 갖는다는 것을 알아야 한다.

n-채널 구동부(12)에서, 저농도-도핑 영역들(128, 130)을 형성함으로써 높은 신뢰성을 얻을 수 있다. 보다 상세하게, 저농도-도핑 영역들(128, 130)(특히, 영역(130))이 제공됨으로써 채널 영역(138)과 드레인 영역(113) 사이에 형성된 전계의 강도를 감소시키도록 작용하여, 핫 캐리어 효과로 인한 열화를 억제한다. (열화 억제는 이 경우 오프-상태 전류를 감소시키는 것보다 더 중요하다.)

저농도-도핑 영역들(128, 130)은 오프셋 게이트 영역들과 동일한 기능을 갖는다. 그러나, 저농도-도핑 영역들(128, 130)은, 이 영역들(128, 130)이 오프셋 게이트 영역들보다 낮은 시트 저항을 갖기 때문에, 각 박막 트랜지스터의 구동 능력을 그만큼 감소시키지 못한다. 이것은 본 발명이 구동 능력을 크게 감소시키지 않고 신뢰성이 증가되는 것으로 특징되는 구성을 제공한다는 것을 의미한다.

주변 구동 회로(11)는 높은 구동 능력(이것은 높은 전류를 끌어내는 능력을 의미함) 뿐만 아니라 고속 동작 능력을 가질 필요가 있다. 따라서, 소스 및 드레인 영역들(111, 113)간 저항을 증가시켜 구동 능력을 감소시키는(그럼으로써 온-전류가 감소됨) 오프셋 게이트 영역들을 제공하는 것에 견줄만한 저농도-도핑 영역들(128, 130)을 형성하는 것이 바람직하다.

p-채널 구동부(13)는 각 박막 트랜지스터의 구동 능력이 감소하지 않도록 양극 산화막(33)을 사용하여 오프셋 게이트 영역들(140, 142)만이 형성(저농도-도핑영역들은 형성하지 않음)되도록 구성된다.

일반적으로, p-채널 박막 트랜지스터는 n-채널 박막 트랜지스터보다 낮은 구동 능력을 갖는다. 따라서, p-채널 박막 트랜지스터들과 n-채널 박막 트랜지스터들간의 특성들이 서로 균형을 이룰 수 있는 상술된 구조를 채용하는 것이 바람직하다.

오프-상태 전류량은 주변 구동 회로에서는 크게 중요하지 않으며, p-채널 박막 트랜지스터들은 핫 캐리어 효과로 인한 열화의 영향으로부터 자유롭다. 따라서, p-채널 구동부는, 픽셀 매트릭스부에 제공되는 어떠한 오프셋 게이트 구조도, 또는 n-채널 구동부에 제공되는 어떠한 저농도-도핑 영역들도 필요로 하지 않는다.

상술된 설명으로부터 알 수 있는 바와 같이, 본 발명의 제 1 실시예에 따른 구성은 동일한 유리 기판(101) 상에 다음과 같은 회로 소자들을 일체적으로 형성할수 있게 한다.

- 낮은 오프-상태 특성으로 특징되는 픽셀 매트릭스부,

- 고속 동작에 적합하며 높은 신뢰성을 갖는 n-채널 구동부, 및

- 고속 동작에 적합하며 n-채널 구동부에 양호한 특성 균형을 제공하는 p-채널 구동부.

제 2 실시예

이하 기술되는 본 발명의 제 2 실시예는 제 1 실시예를 수정한 형태이다. 도 3B에서 알 수 있는 바와 같이, 동일한 물리적 치수를 갖는 저농도-도핑 영역들(128, 130)이 제 1 실시예의 구성으로 n-채널 구동부(12)에 형성된다. 이 저농도-도핑 영역들(128, 130)은 고주파 특성들 및 구동 능력의 최소의 열화로 신뢰성을 향상시키도록 형성된다. 그러나, 이러한 효과(즉, 열화 방지 효과)는 드레인 영역(113)에 가까이 위치된 저농도-도핑 영역(130)에 의해 발휘된다. 따라서, 저농도-도핑 영역(128)은 실제로는 필요없다는 것은 말할 나위도 없다.

저농도-도핑 영역(128)이 실제로 각 n-채널 박막 트랜지스터의 성능 열화를 방지하지 못한다면, 이 영역은 단순히 고주파 특성들 및 구동 능력에 악영향을 미치는 요소가 될 수도 있다.

제 2 실시예의 특징은 n-채널 구동부(12)의 구조로서, 이 구조에서 드레인 영역에 가까이 위치된 저농도-도핑 영역의 길이는 각 n-채널 박막 트랜지스터의 소스 영역에 가까이 위치된 저농도-도핑 영역의 길이보다(소스, 채널 및 드레인 영역들을 접속하는 방향에서 측정된 길이) 크게 만들어진다. 보다 상세하게, 소스 영역에 가까이 위치된 저농도-도핑 영역(128)은, 게이트 전극들을 형성할 때 발생하게 되는 마스크 정렬 오차들을 흡수하기에 충분한 길이로 성장된다. 이 구성은 각 저농도-도핑 영역이, 각 n-채널 박막 트랜지스터의 구동 능력 및 고주파 특성에 미치는 영향과, 마스크 정렬 오차들이 트랜지스터 특성들에 미치는 영향을 감소시키는데 일조한다.

도 7A 및 도 7B, 도 8A 및 도 8B, 도 9A 및 도 9B는 제 2 실시예에 따른 제조 공정을 도시한 것으로, 이 도면에서 도 1A 내지 도 1C, 도 2A 내지 도 2C, 도 3A 및 도 3B, 도 4A 및 도 4B, 도 5A 및 5B, 및 도 6에 도시된 것과 동일하거나 등가인 소자들에는 동일 참조부호를 병기하였다. 부가하여, 개별 소자들의 제조시 제 2 실시예에서 사용된 공정들은 특별히 언급하지 않는 한 제 1 실시예에서 사용된 것과 동일한 것이다.

먼저, 비정질 실리콘막들로 형성된 활성층 패턴들(102, 103, 104)이 도 7A에 도시된 바와 같이 유리 기판(101) 상에 제조되고, 도 7B에 도시된 바와 같은 공정물을 얻기 위해 레지스트 마스크들(105, 106, 107)을 활성층 패턴들(102, 103, 104)의 상부 위에 형성한다. 이어서, 레지스트 마스크들(105, 106, 107)을 사용하여, 공정물이 인으로 도핑되어 108, 110, 111, 113으로 표시한 N^+형 영역들을 형성한다.

다음에, 레지스트 마스크들(105, 106)을 제거하고, 도 7C에 도시된 바와 같이 공정물을 레이저 어닐링함으로써, 활성층 패턴들(102, 103, 104)이 결정화되고 도 7B의 공정에서 주입된 인 이온들이 활성화된다.

이어서, 게이트 전극들(120, 122, 124)이 도 8A에 도시된 바와 같이 형성된다. 이 게이트 전극들(120, 122, 124)은 기본적으로 도 2A 내지 도 2C에 도시된 공정과 동일한 공정을 사용하여 제조된다. 제 1 실시예와 다른 것은 게이트 전극(122)의 위치이다. 도 8A에서 알 수 있는 바와 같이, 게이트 전극(122)은 제 2 실시예에서 소스 영역(111) 쪽으로 약간 변위된다. 이러한 구성에 의해, 이후 공정에서 드레인 영역(113)에 가까이 위치된 저농도-도핑 영역(130)의 길이를 소스 영역(111)에 가까이 위치된 저농도-도핑 영역(128)의 길이보다 크게 만드는 것이 가능하게 된다.

도 8B에 도시된 구조를 얻었을 때, 공정물에는 도 7B 도시된 도핑 공정에 비해 낮은 도우즈로 인 이온들이 주입되는 저농도-도핑 공정이 행해진다. 저농도-도핑 영역들(128, 130)은 이러한 저농도 도핑 공정을 통해 형성된다.

이 실시예에서, 드레인 영역(113)에 가까이 위치된 저농도-도핑 영역들(130)의 길이는 소스 영역(111)에 가까이 위치된 저농도-도핑 영역들(128)의 길이보다 크게 된다(소스 및 드레인 영역들(111, 113)을 접속하는 방향에서 측정된 길이). 또한, 저농도-도핑 영역(128)의 길이는 게이트 전극(122)이 형성에 적용된 마스크 정렬 정확도에 대응하는 치수보다 크게 만들어진다. 이러한 구성은 어떤 마스크 정렬 오차들이라도, 이들 오차들이 발생해도 이들 오차가 n-채널 박막 트랜지스터들의 특성들에 미치는 영향을 회필 수 있도록 한다.

이어서, 레지스트 마스크들(221, 222)을 형성하고, 도 9A에 도시된 바와 같이 공정물을 붕소로 도핑한다. 이 도핑 공정에서, 붕소 이온들이 p-채널 구동부(13)에 주입되고, 이에 따라 소스 영역(131) 및 드레인 영역(133)이 p-채널 구동부(13)에 제조된다.

레지스트 마스크들(221, 222)을 제거하여 도 9B에 도시된 구조를 얻는다. 그후, 픽셀 매트릭스부(10), n-채널 구동부(12) 및 p-채널 구동부(13)가 동일한 유리 기판(101) 상에 일체로 형성되는 구조를 완성하기 위해 공정물에 대해 제 1 실시예를 참조하여 설명된 것과 유사한 후속 공정들이 행해진다.

본 실시예의 구조에 따라, 저농도-도핑 드레인(LDD) 영역이 요구되는 드레인영역(113)에 가까운 충분한 물리적 치수를 갖는 LDD 영역(130)을 제조하는 것이 가능하다. 이 구조는 n-채널 구동부(12)에 높은 신뢰성을 부가하도록 작용한다. 또한, 높은 신뢰성을 달성하는데 전혀 특별히 기여하지 않는, 소스 영역(111)에 가까운 저농도-도핑 드레인 영역(128)의 물리적 치수를 감소시킴으로써 n-채널 구동부(12)의 각 n-채널 박막 트랜지스터의 구동 능력의 열화를 최소화할 수 있다.

본 발명은 각 부분마다 특성들이 다른 박막 트랜지스터들을 일체로 제조할 필요가 있는 주변 구동 회로가 일체화된 액티브 매트릭스 LCD 장치를 제공하는 것을 가능하게 한다.

픽셀 매트릭스부에, 낮은 오프 전류 특성들을 갖는 박막 트랜지스터를 형성할 수 있다.

n-채널 구동부에, 높은 신뢰성 및 높은 구동 능력을 갖는 또 다른 박막 트랜지스터를 형성할 수 있다.

p-채널 구동부에서, n-채널 구동부의 박막 트랜지스터에 따라 높은 구동 능력을 갖는 또다른 박막 트랜지스터를 얻을 수 있다.

본 발명은 액티브 매트릭스 LCD 패널들에 적용할 수 있을 뿐만 아니라, 전계 발광 디스플레이 장치들을 채용하는 액티브 매트릭스 디스플레이들과 같은 다른 형태의 액티브 매트릭스 평면 디스플레이들에도 적용할 수 있다.

발명의 효과

본 발명은 주변 구동 회로가 일체화된 액티브 매트릭스 LCD 장치를 제공하며, 본 발명의 LCD 장치에서 박막 트랜지스터들은 액티브 매트릭스 LCD 장치의 개별 회로들에 대해 최적화된 상이한 특성들을 갖는다.

(57) 청구의 범위

청구항 1.

단일 기판 상에 형성된 픽셀 매트릭스부 및 주변 구동 회로를 포함하는 액티브 매트릭스 디스플레이 장치에 있어서:

상기 픽셀 매트릭스부에 형성되고, 제 1 채널 형성 영역, 제 1 소스 및 드레인 영역들을 갖는 제 1 n-채널 박막 트랜지스터; 및

상기 주변 구동 회로에 형성되는 제 2 n-채널 박막 트랜지스터로서, 제 2 채널 형성 영역, 제 2 소스 및 드레인 영역들, 상기 제 2 소스 영역과 상기 제 2 채널 형성 영역 사이의 제 1 저농도-도핑(lightly-doped) 영역, 및 상기 제 2 채널 형성 영역과 상기 제 2 드레인 영역 사이의 제 2 저농도-도핑 영역을 가지며, 상기 제 1 및 제 2 저농도-도핑 영역들은 상기 제 2 드레인 영역보다 낮은 농도로 n-형 불순물을 포함하고, 상기 제 2 저농도-도핑 영역은 상기 제 1 저농도 도핑 영역보다 긴 길이를 갖는, 상기 제 2 n-채널 박막 트랜지스터를 포함하는, 액티브 매트릭스 디스플레이 장치.

청구항 2.

단일 기판 상에 형성된 픽셀 매트릭스부 및 주변 구동 회로를 포함하는 액티브 매트릭스 디스플레이 장치에 있어서:

상기 픽셀 매트릭스부에 형성되고, 제 1채널 형성 영역, 제 1 소스 및 드레인 영역들을 갖는 제 1 n-채널 박막 트랜지스터;

상기 주변 구동 회로에 형성되는 제 2 n-채널 박막 트랜지스터로서, 제 2 채널 형성 영역, 제 2 소스 및 드레인 영역들, 상기 제 2 소스 영역과 상기 제 2 채널 형성 영역 사이의 제 1 저농도-도핑 영역, 상기 제 2 채널 형성 영역과 상기 제 2 드레인 영역 사이의 제 2 저농도-도핑 영역을 가지며, 상기 제 1 및 제 2 저농도-도핑 영역은 상기 제 2 드레인 영역보다 낮은 농도로 n-형 불순물을 포함하고, 상기 제 2 저농도-도핑 영역은 상기 제 1 저농도-도핑 영역보다 긴 길이를 갖는, 상기 제 2 n-채널 박막 트랜지스터; 및

상기 주변 구동 회로에 형성되고 저농도-도핑 영역을 갖지 않는 p-채널 박막 트랜지스터를 포함하는, 액티브 매트릭스 디스플레이 장치.

청구항 3.

제 1 항에 있어서,

상기 제 1 및 제 2 n-채널 박막 트랜지스터들은 탑(top) 게이트 형 박막 트랜지스터이고,

상기 픽셀 매트릭스부의 상기 제 1 n-채널 박막 트랜지스터의 제 1 게이트 전극부는, 상기 주변 구동 회로의 상기 제 2 n-채널 박막 트랜지스터의 제 2 게이트 전극부와는 다른 함유량의 인을 포함하는, 액티브 매트릭스 디스플레이 장치.

청구항 4.

제 1 항에 있어서,

상기 제 1 및 제 2 n-채널 박막 트랜지스터들은 탑 게이트형 박막 트랜지스터이고,

상기 픽셀 매트릭스부의 상기 제 1 n-채널 박막트랜지스터의 제 1 게이트 전극부는 인으로 도핑되지 않고, 상기 주변 구동 회로의 상기 제 2 n-채널 박막 트랜지스터의 제 2 게이트 전극부는 인으로 도핑되는, 액티브 매트릭스 디스플레이 장치.

청구항 5.

제 1 항에 있어서,

상기 픽셀 매트릭스부의 상기 제 1 n-채널 박막 트랜지스터의 상기 제 1 소스 및 드레인 영역들은, 상기 주변 구동 회로의 상기 제 2 n-채널 박막 트랜지스터의 상기 제 2 소스 및 드레인 영역들보다 낮은 농도의 n-형 불순물을 포함하는, 액티브 매트릭스 디스플레이 장치.

청구항 6.

단일 기판 상에 형성된 픽셀 매트릭스부 및 주변 구동 회로를 포함하는 액티브 매트릭스 디스플레이 장치를 제조하는 방법에 있어서,

상기 픽셀 매트릭스부의 제 1 n-채널 박막 트랜지스터의 적어도 제 1 소스 및 드레인 영역들과, 상기 주변 구동 회로의 제 2 n-채널 박막 트랜지스터의 적어도 제 2 소스 및 드레인 영역들을 마스크를 사용하여 비-자기 정렬 방식(non-self-alignment manner)으로 형성하는 단계;

상기 제 1 n-채널 박막 트랜지스터의 상기 제 1 소스 및 드레인 영역들과 이들 사이에 형성된 진성 또는 실질적으로 진성인 제 1 채널 영역, 및 상기 제 2 n-채널 박막 트랜지스터의 상기 제 2 소스 및 드레인 영역들과 이들 사이에 형성된 진성 또는 실질적으로 진성인 제 2 채널 영역을 레이저광으로 조사하는 단계;

상기 제 1 n-채널 박막 트랜지스터의 제 1 게이트 전극 및 상기 제 2 n-채널 박막 트랜지스터의 제 2 게이트 전극을 형성하는 단계; 및

상기 주변 구동 회로의 상기 제 2 n-채널 박막 트랜지스터의 적어도 저농도-도핑 영역을, 상기 제 2 게이트 전극을 사용하여 자기 정렬 방식으로 형성하는 단계를 포함하며,

상기 저농도-도핑 영역은 상기 제 2 드레인 영역보다 낮은 농도의 n-형 불순물로 도핑되는, 액티브 매트릭스 디스플레이 장치 제조 방법.

청구항 7.

제 6 항에 있어서,

상기 저농도-도핑 영역은, 상기 제 2 게이트 전극을 형성한 후, 상기 제 2 소스 및 드레인 영역들보다 낮은 도우즈의 상기 n-형 불순물을 자기 정렬 방식으로 상기 제 2 박막 트랜지스터의 제 2 활성층에 도입함으로써 형성되는, 액티브 매트릭스 디스플레이 장치 제조 방법.

청구항 8.

제 2 항에 있어서,

상기 제 1 및 제 2 n-채널 박막 트랜지스터들 각각 및 상기 p-채널 박막트랜지스터는 탑 게이트형 박막 트랜지스터이고,

상기 픽셀 매트릭스부의 상기 제 1 n-채널 박막 트랜지스터의 제 1 게이트 전극부는, 상기 주변 구동 회로의 상기 제 2 n-채널 박막 트랜지스터의 제 2 게이트 전극부와는 다른 함유량의 인을 포함하는, 액티브 매트릭스 디스플레이 장치.

청구항 9.

제 2 항에 있어서,

상기 제 1 및 제 2 n-채널 박막 트랜지스터들 각각 및 상기 p-채널 박막 트랜지스터는 탑 게이트형 박막 트랜지스터이고,

상기 픽셀 매트릭스부의 상기 제 1 n-채널 박막 트랜지스터의 제 1 게이트 전극부는 인으로 도핑되지 않고, 상기 주변 구동 회로의 상기 제 2 n-채널 박막 트랜지스터의 제 2 게이트 전극부는 인으로 도핑되는, 액티브 매트릭스 디스플레이 장치.

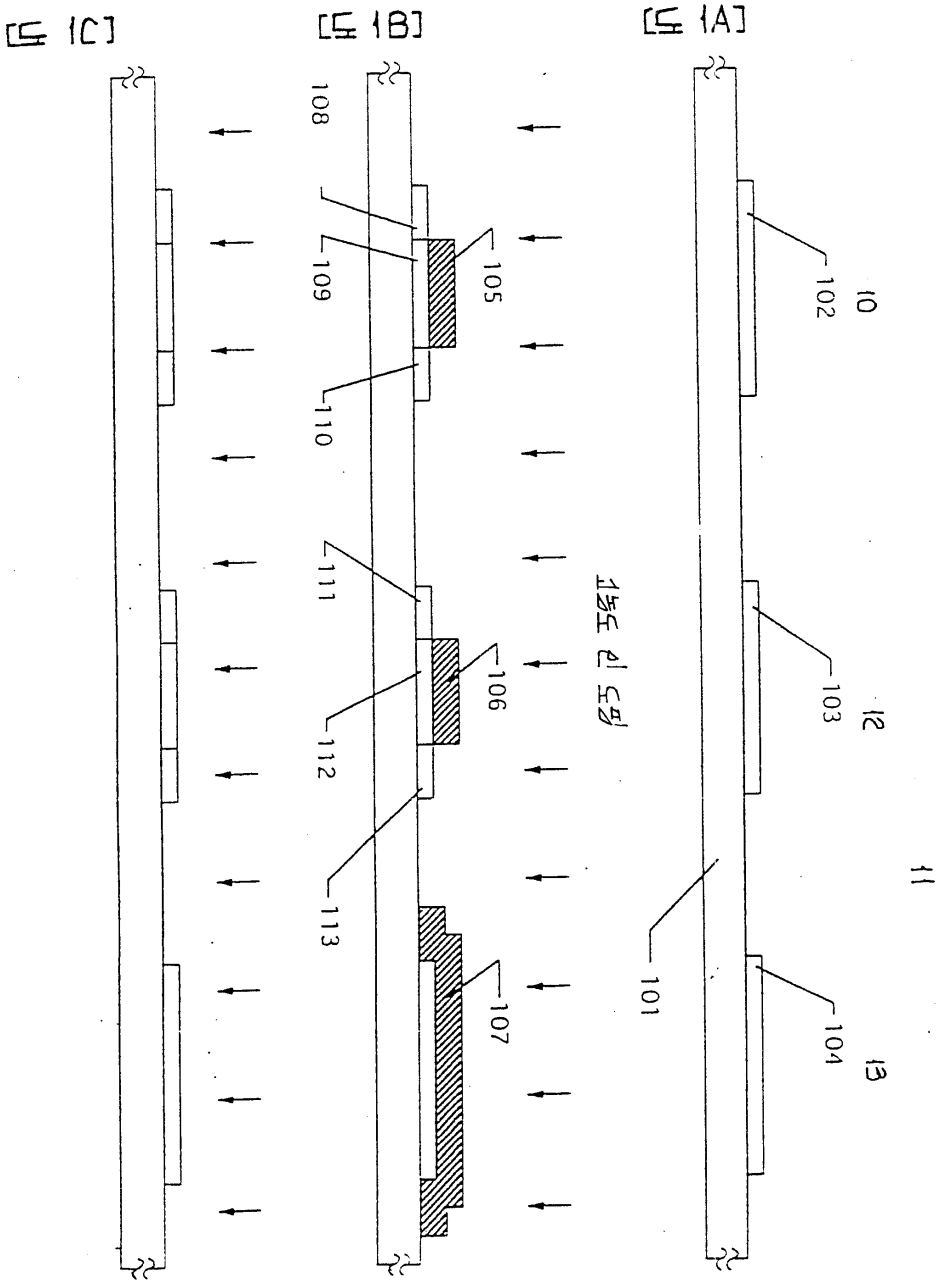
청구항 10.

제 2 항에 있어서,

상기 픽셀 매트릭스부의 상기 제 1 n-채널 박막 트랜지스터의 상기 제 1 소스 및 드레인 영역들은, 상기 주변 구동 회로의 상기 제 2 n-채널 박막 트랜지스터의 상기 제 2 소스 및 드레인 영역들보다 낮은 농도의 n-형 불순물을 포함하는, 액티브 매트릭스 디스플레이 장치.

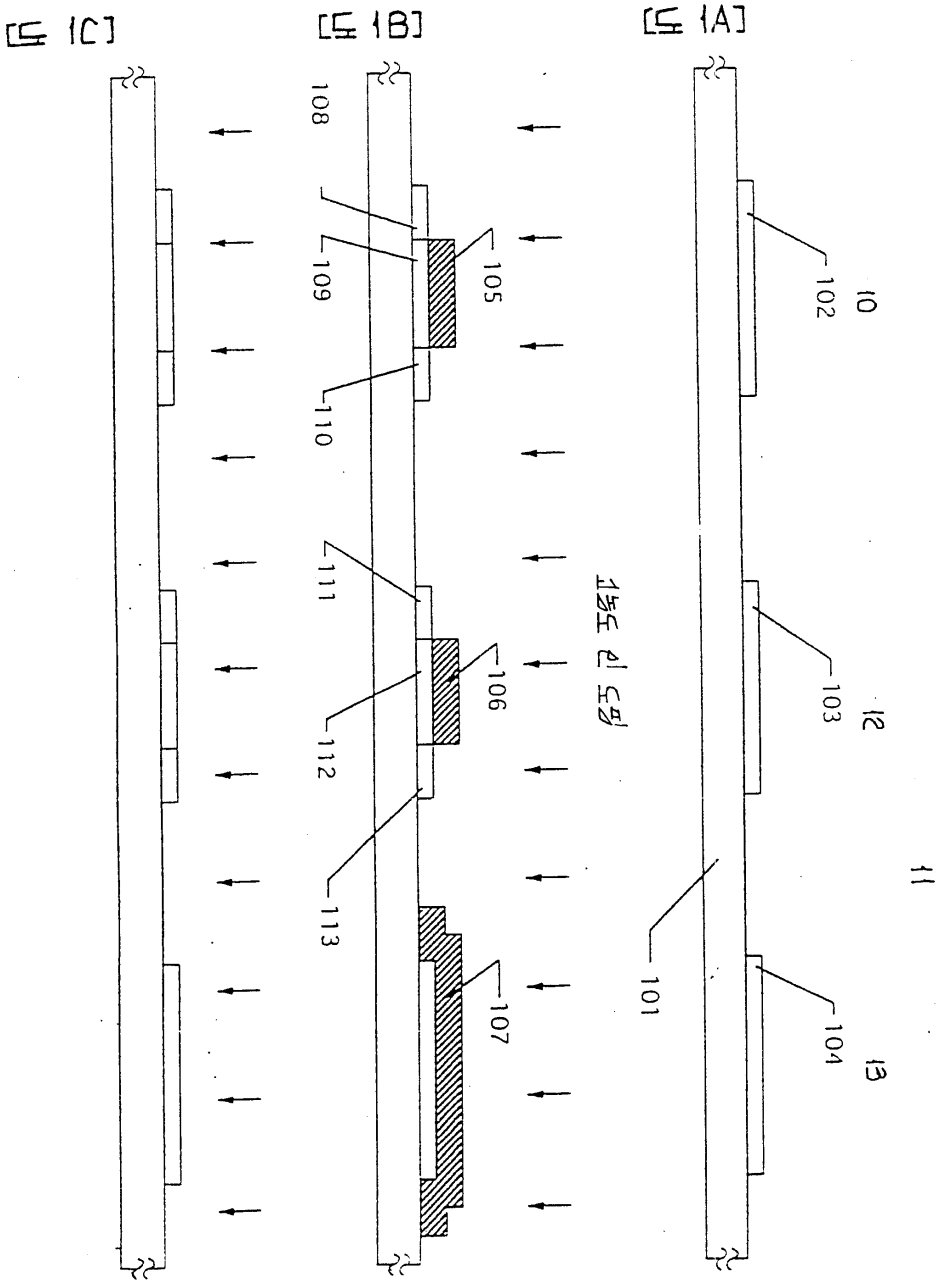
도면

도면1a


도 1A
도 1B
도 1C
10
11
12
13
101
102
103
104
105
106
107
108
109
110
111
112
113

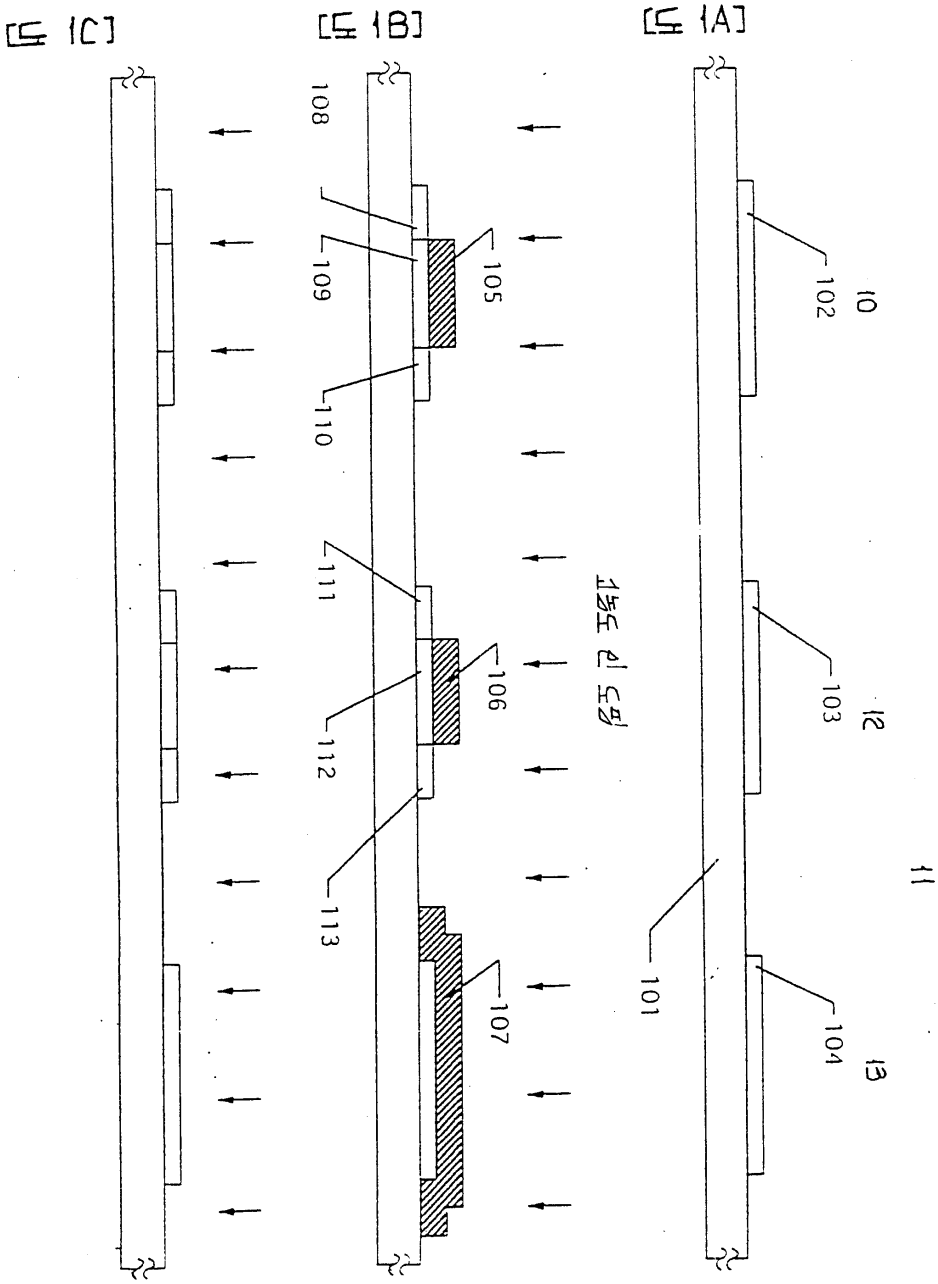
종래의 도면

도면1b


도 1A
도 1B
도 1C
10
11
12
13
101
102
103
104
105
106
107
108
109
110
111
112
113

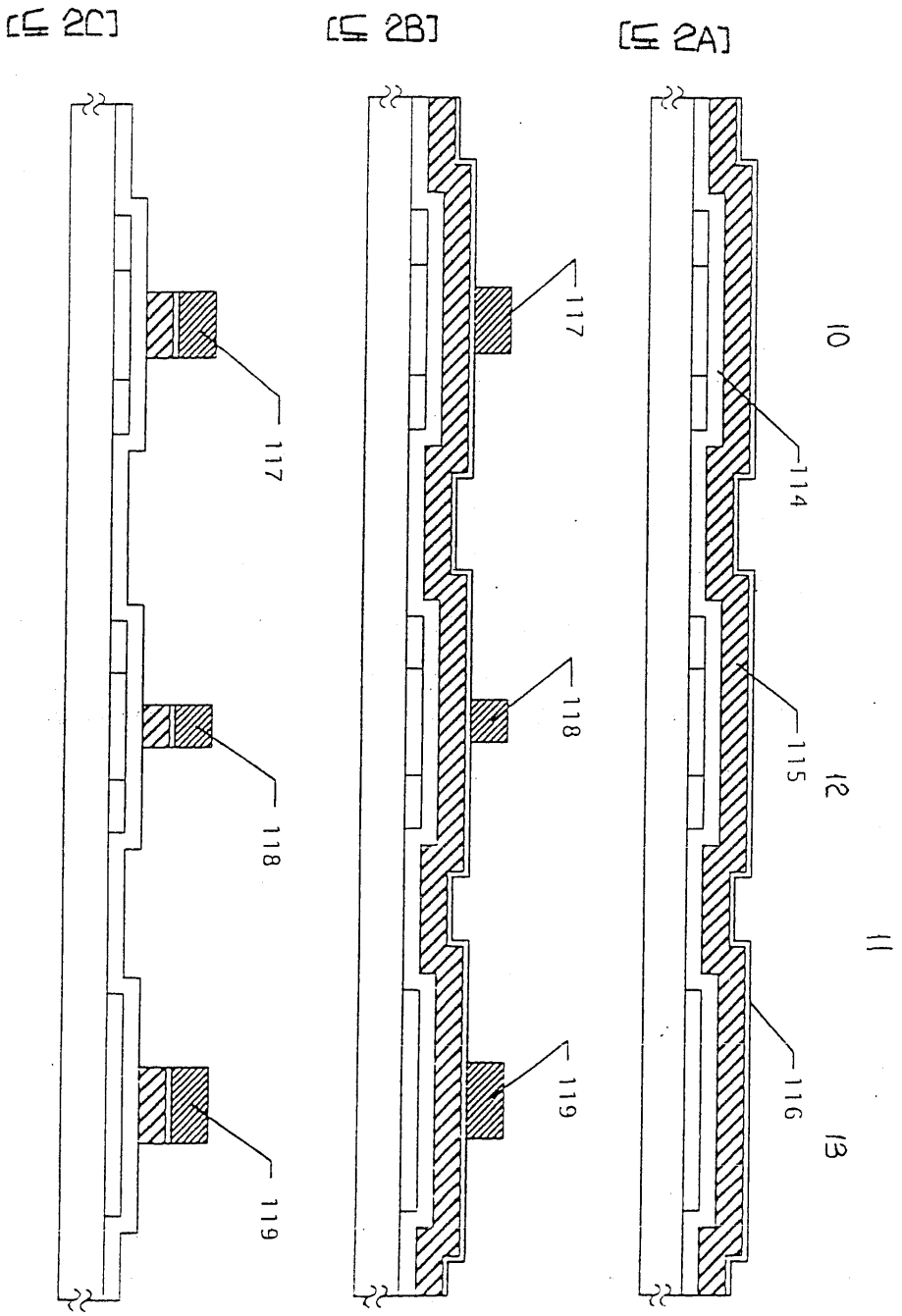
종래 기술 도면

도면1c

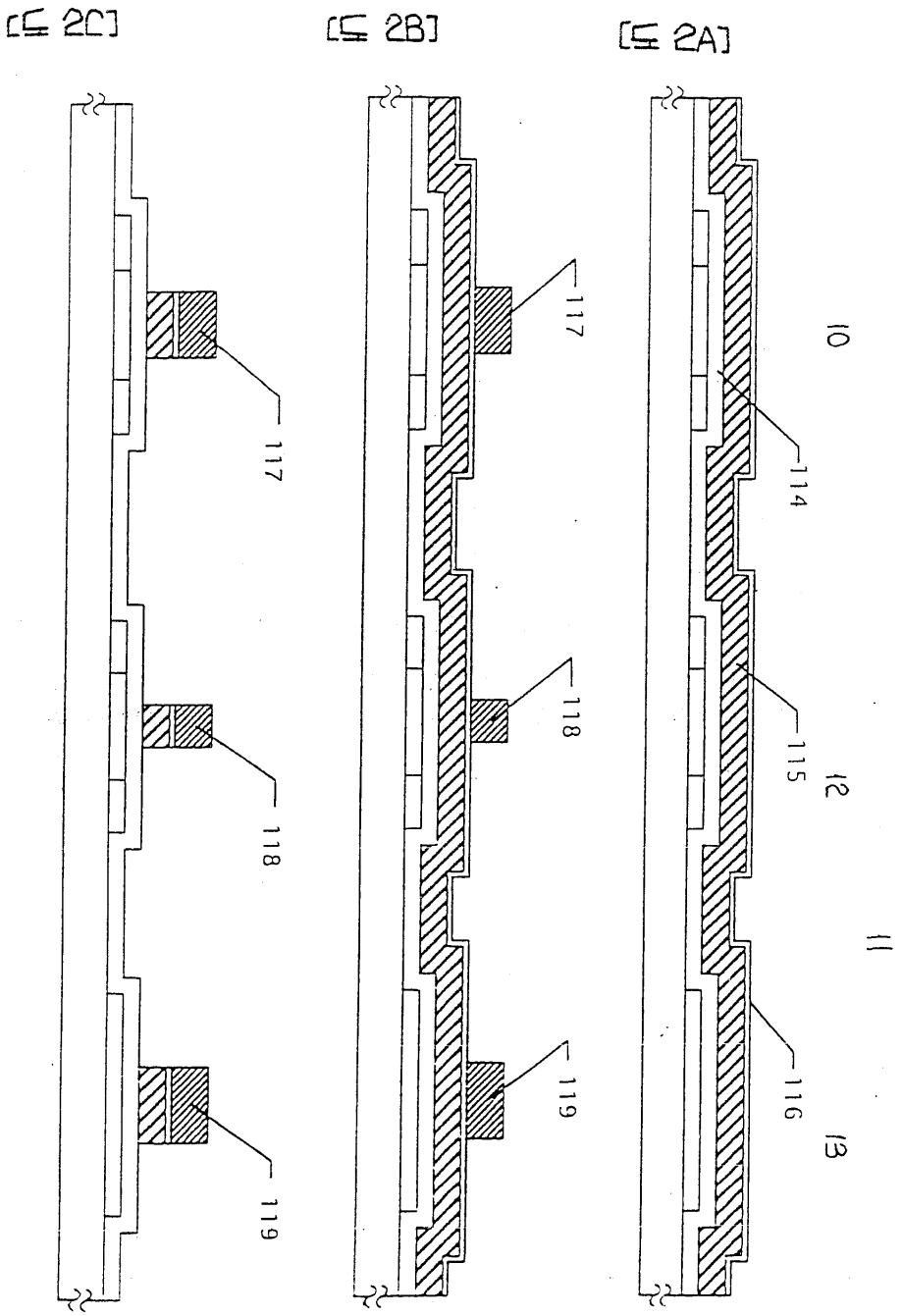

도 1A
도 1B
도 1C
10
11
12
13
101
102
103
104
105
106
107
108
109
110
111
112
113

종래 기술 도면

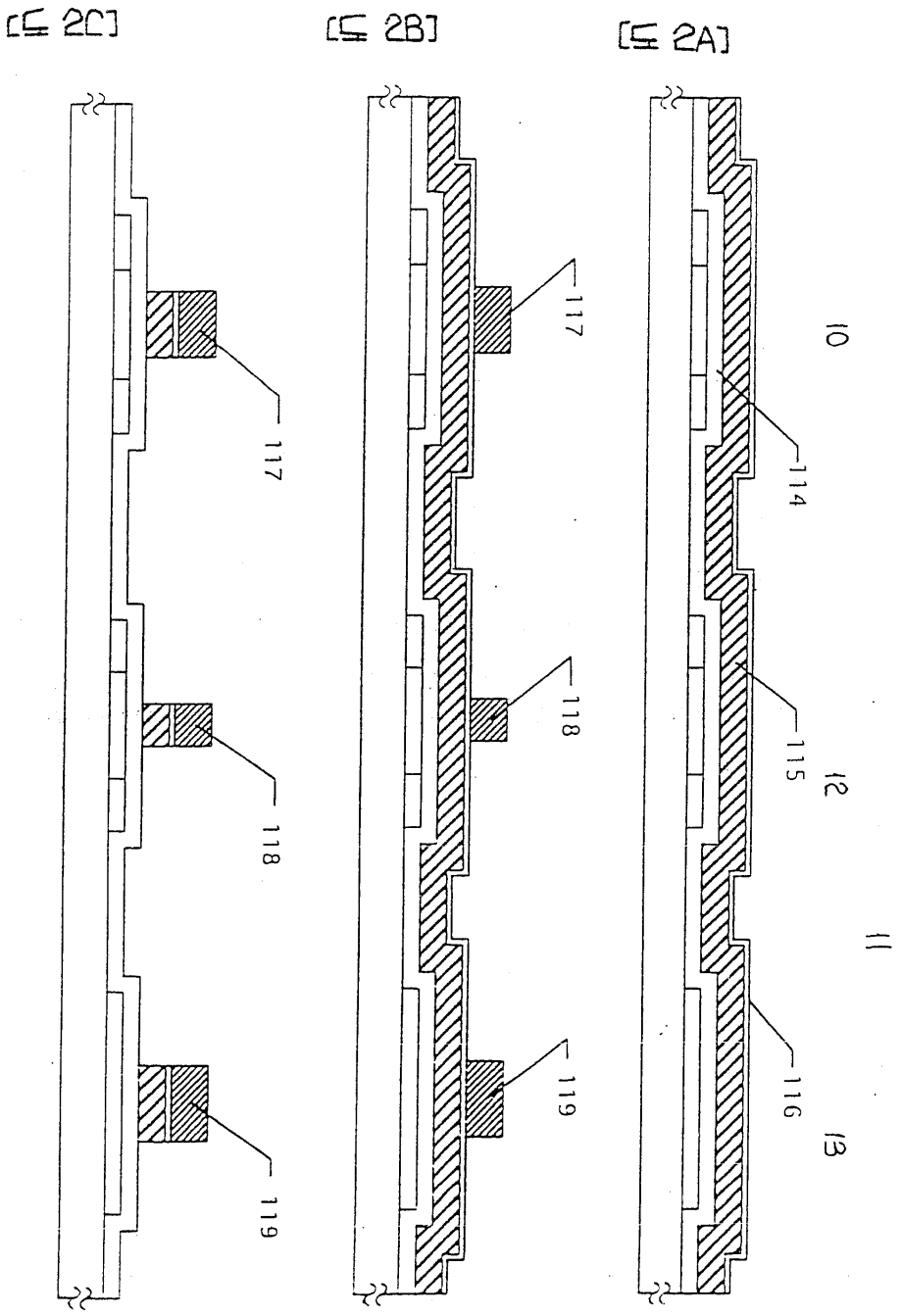
도면2a



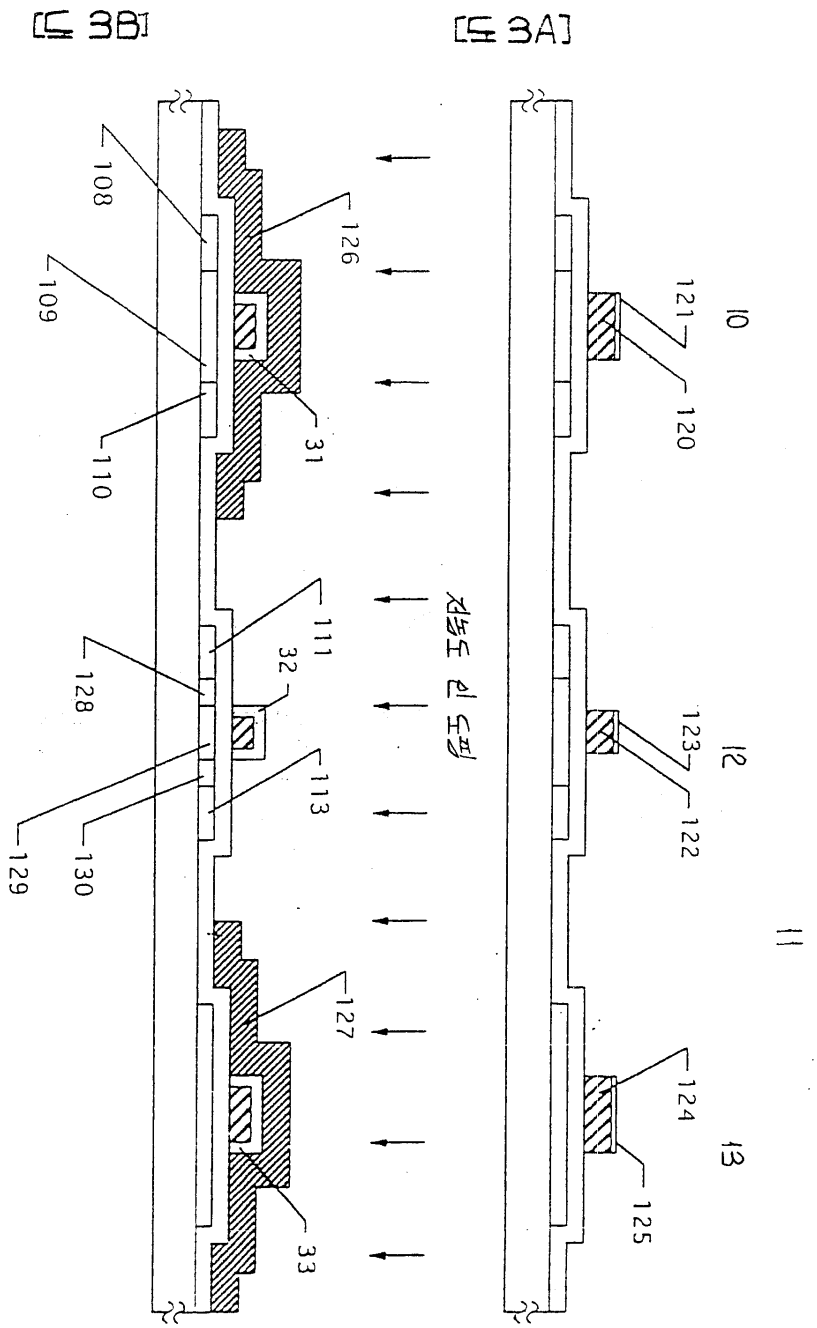
도면2b



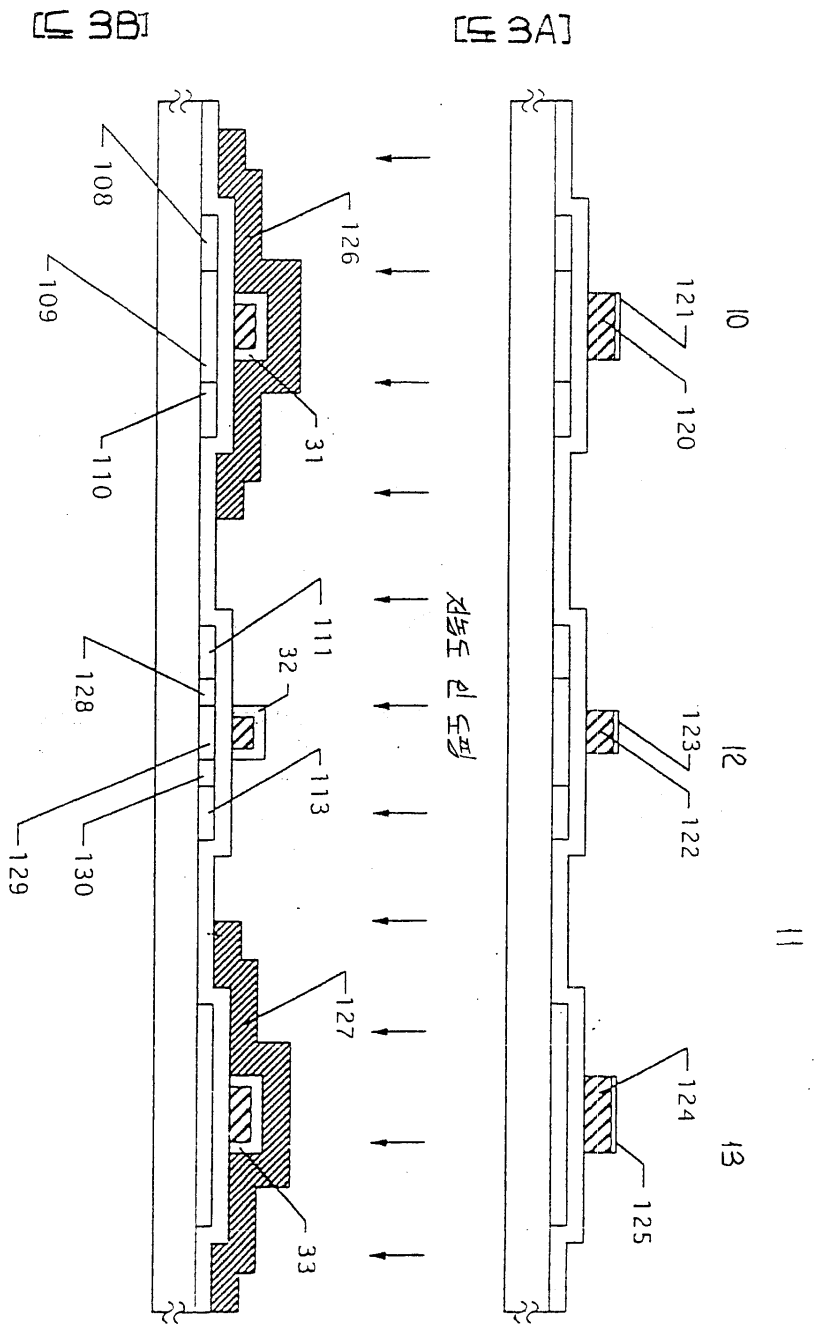
도면2c



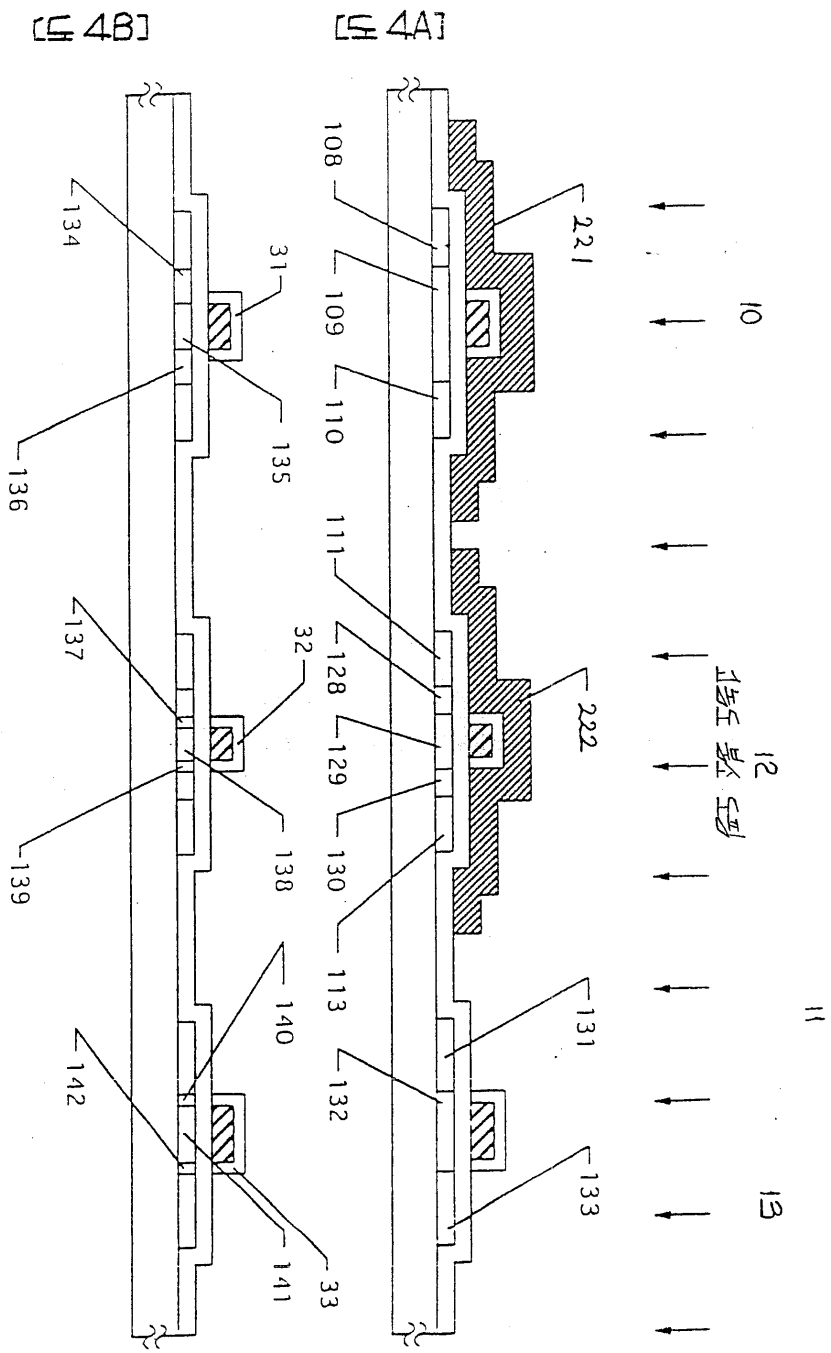
도면3a


[도 3B]
[도 3A]
108
109
110
126
31
111
32
128
113
129
130
127
33
121
120
123
122
124
125
10
12
13
11

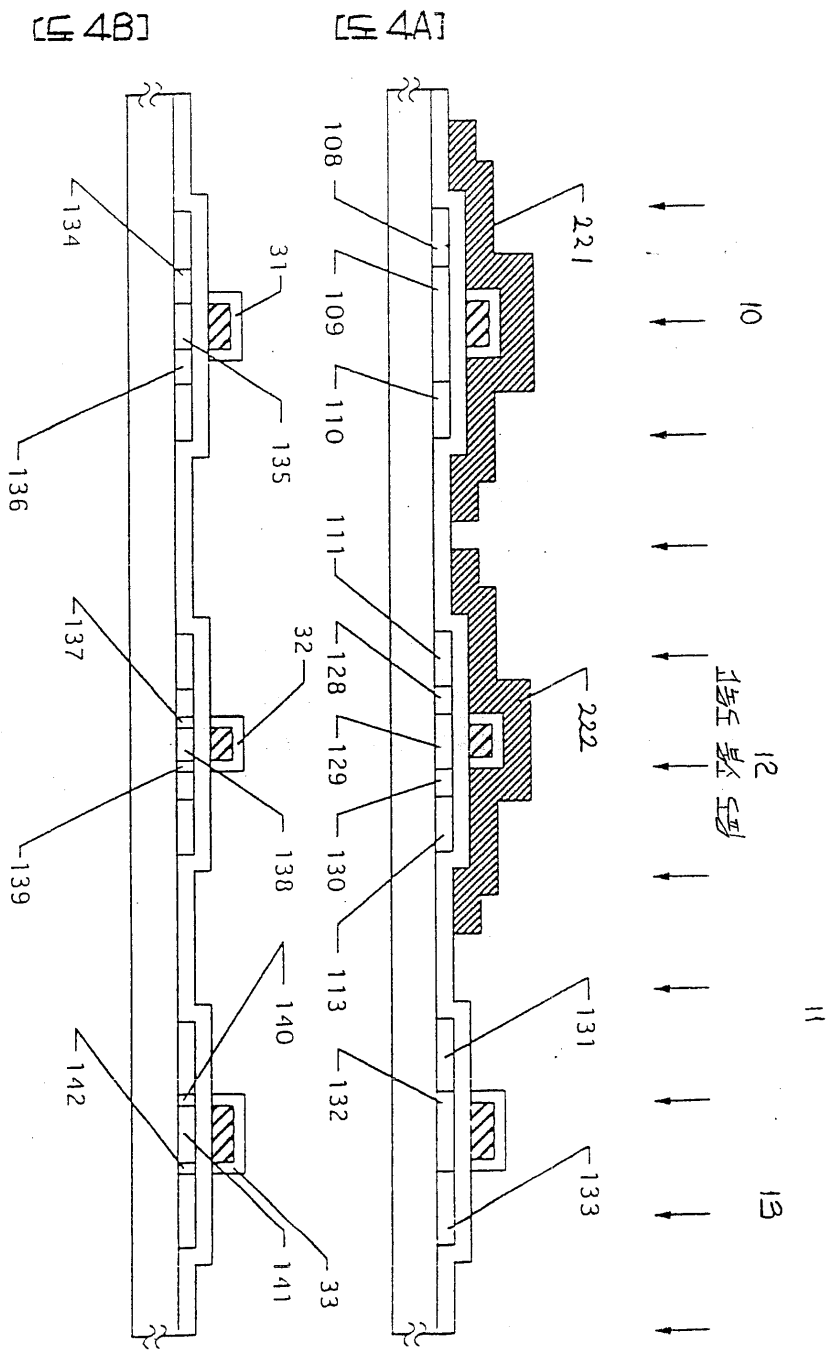
도면3b


[도 3B]
[도 3A]
108
109
110
126
31
111
32
128
113
129
130
127
33
121
120
123
122
124
125
10
12
13
11
전도선 도핑

도면4a

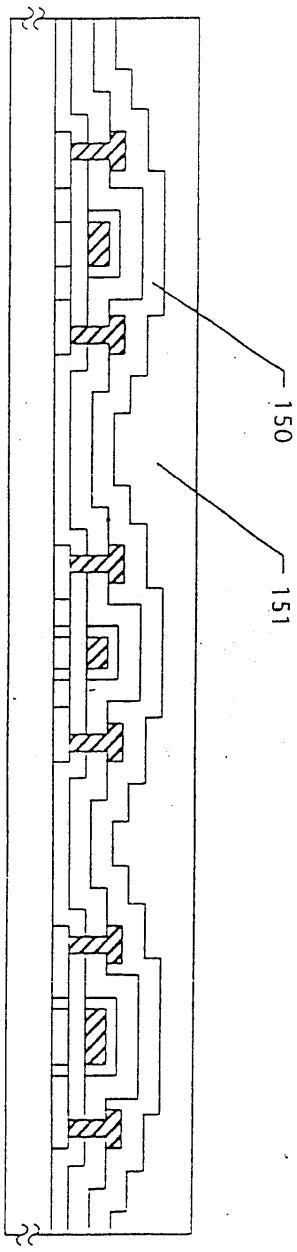

[도 4B]
[도 4A]
134
31
135
136
137
32
138
139
140
142
141
33
108
109
110
111
128
129
130
113
132
221
222
131
133
10
12
11
13

도면4b

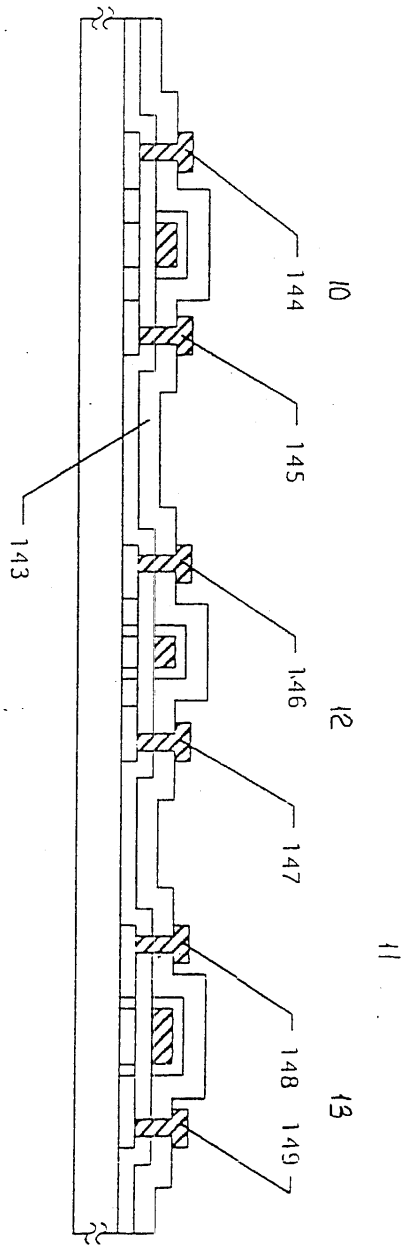

[도 4B]
[도 4A]
134
31
135
136
137
32
138
139
140
142
141
33
108
109
110
111
128
129
130
113
132
221
222
131
133
10
12
11
13

도면5a

[도 5B]

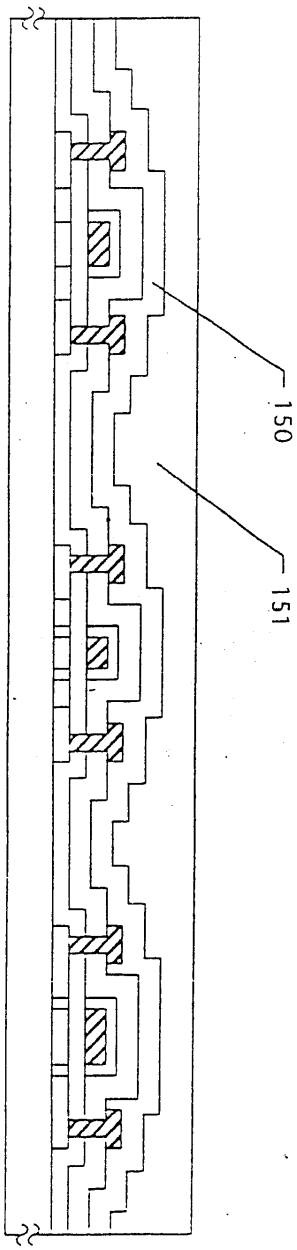


[도 5A]

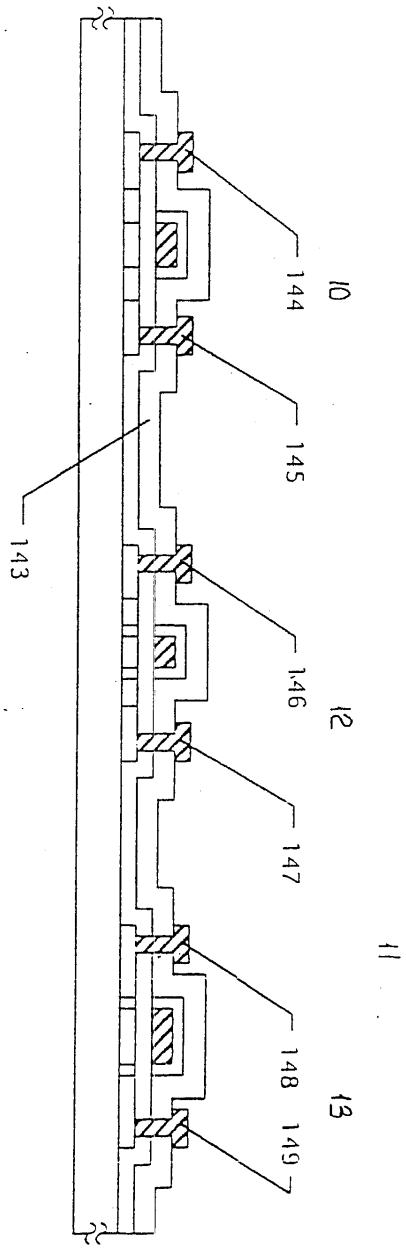


도면5b

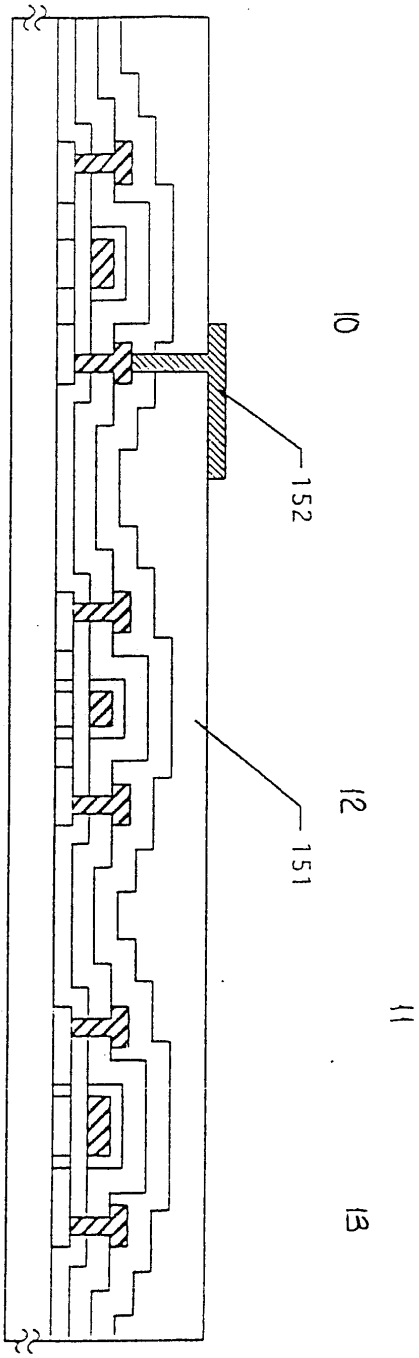
[도 5B]



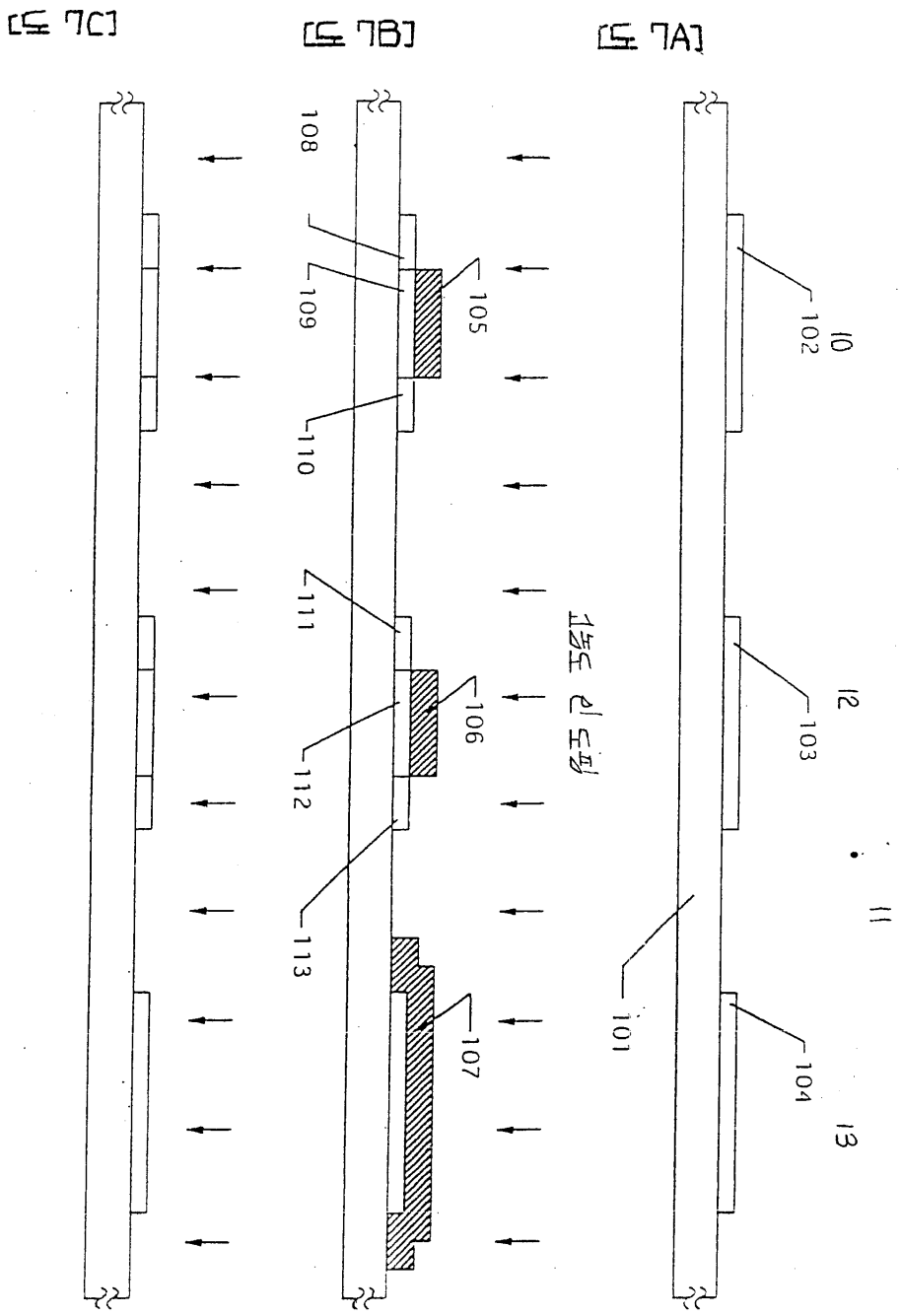
[도 5A]



도면6

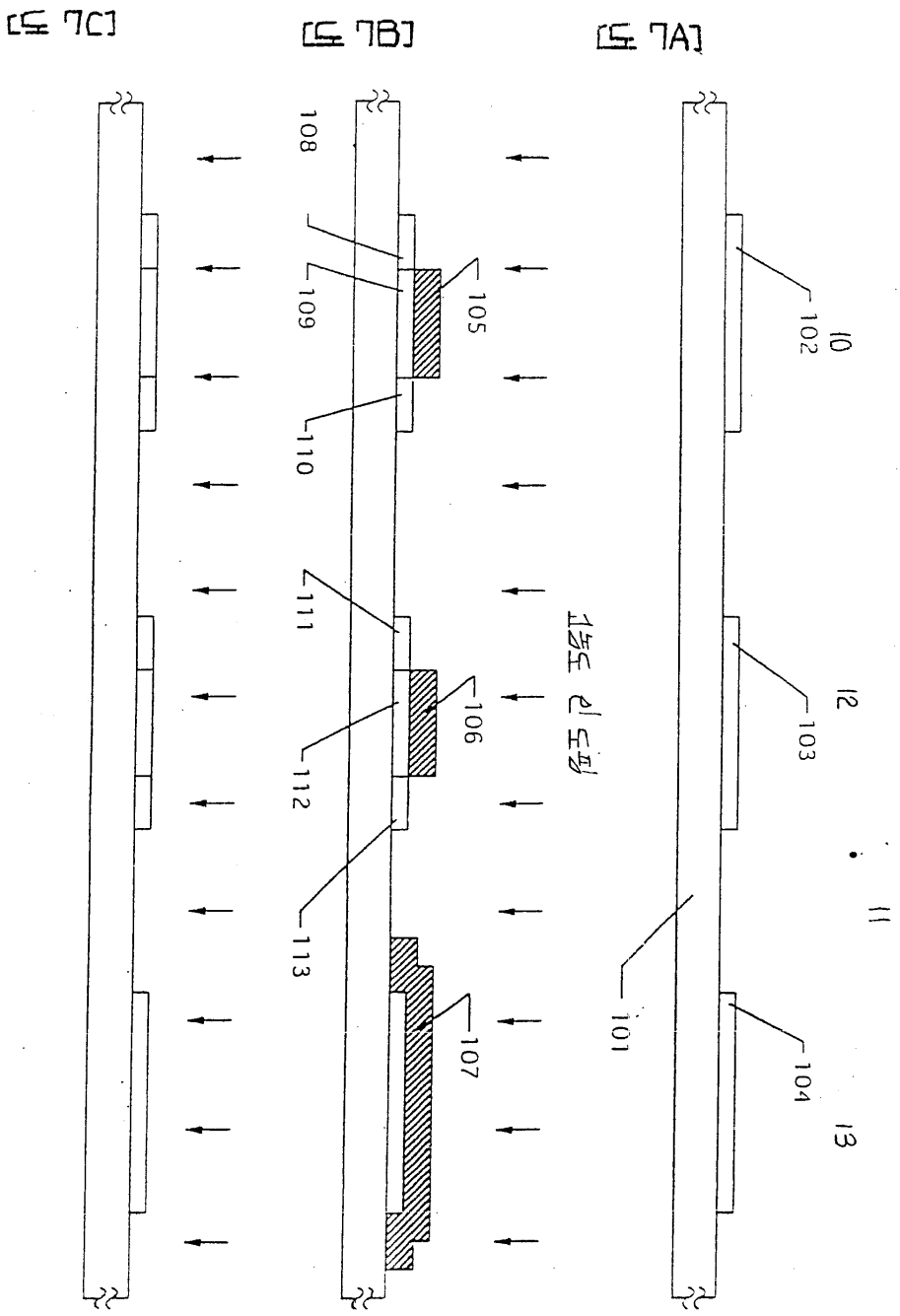


도면7a


도 7C
도 7B
도 7A
108
109
105
110
111
106
112
113
107
101
102
103
104
10
11
12
13

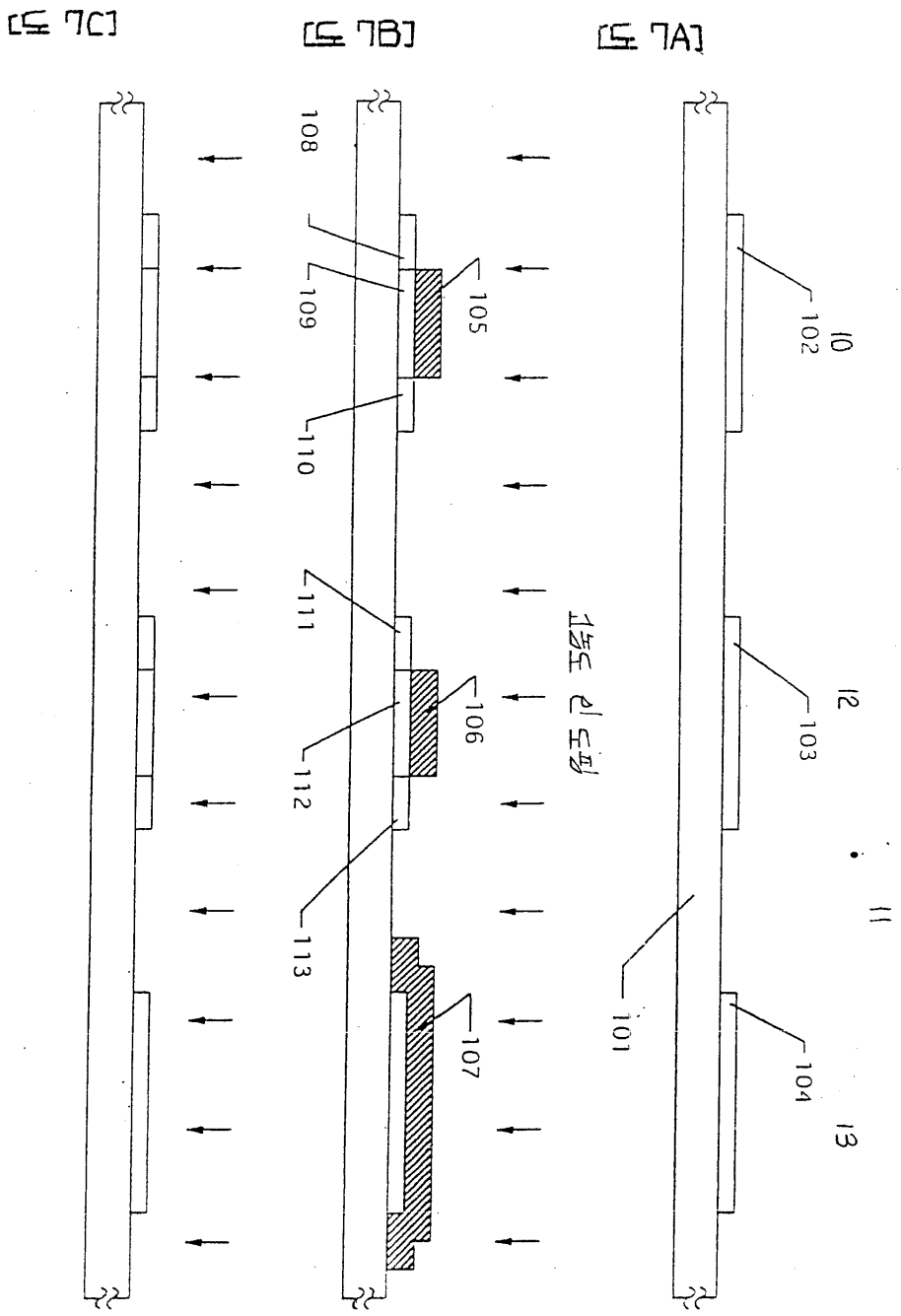
종래 도면

도면7b


도 7C
도 7B
도 7A
108
109
105
110
111
106
112
113
107
101
102
103
104
10
11
12
13

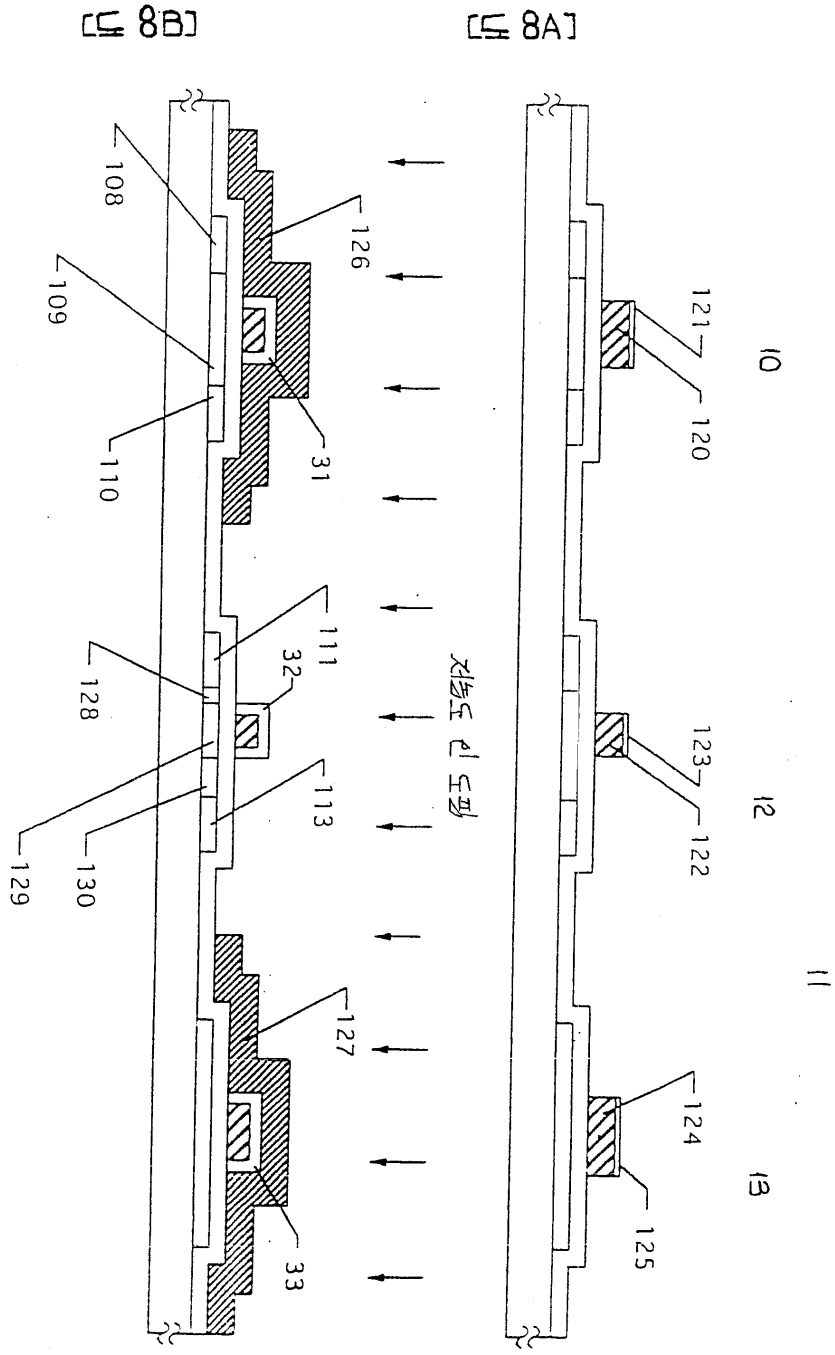
종래 도면

도면7c

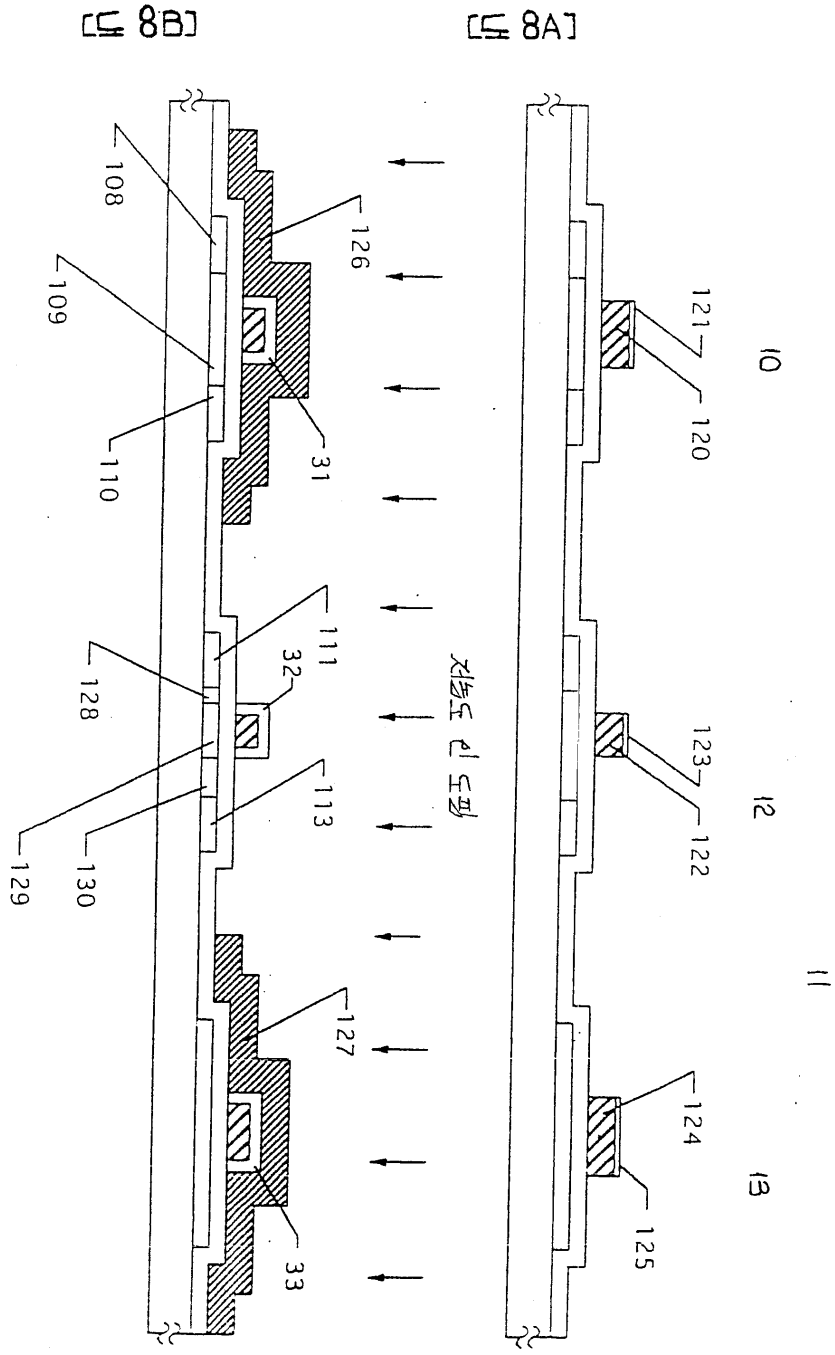

도 7C
도 7B
도 7A
108
109
105
110
111
106
112
113
107
101
102
103
104
10
11
12
13

종래 도면

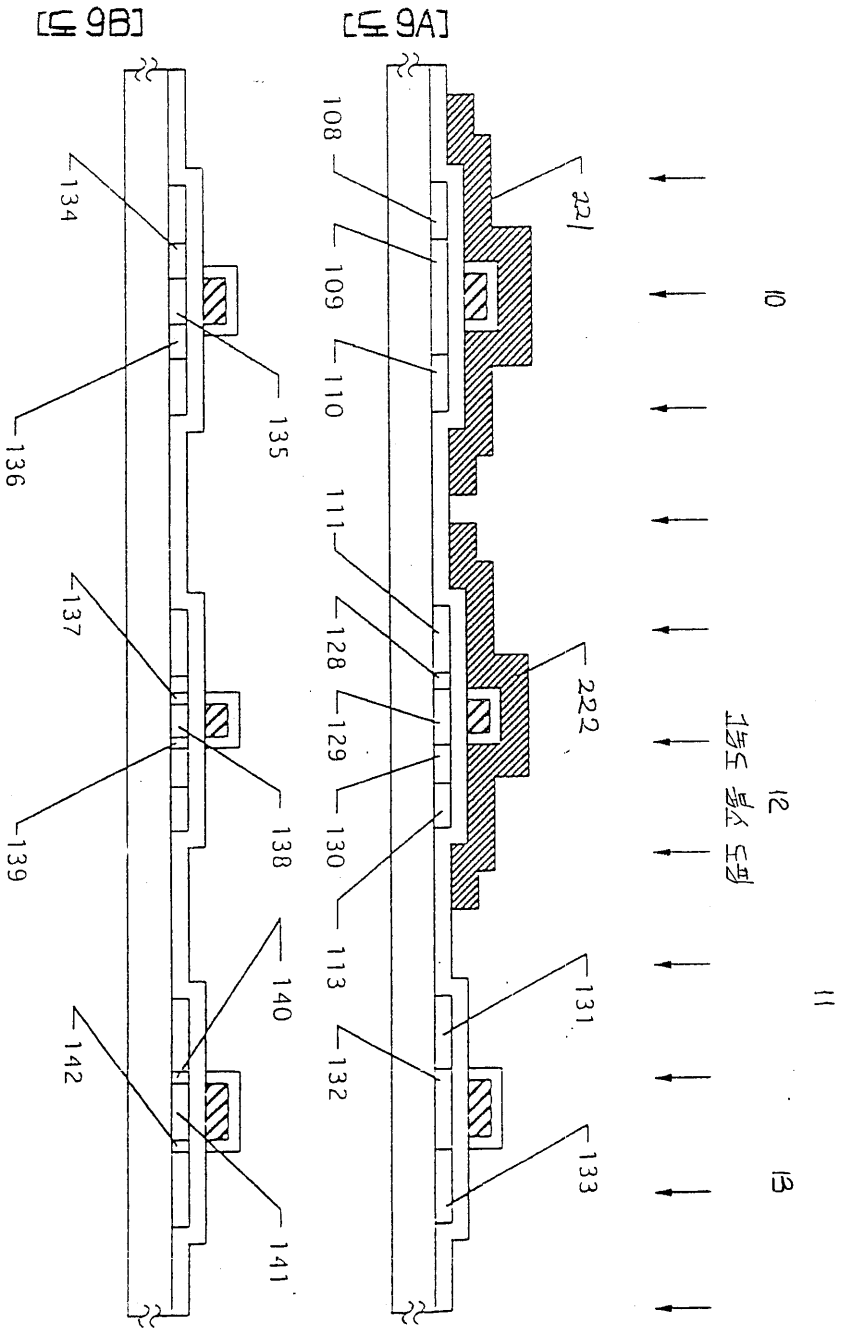
도면8a


[도 8B]
[도 8A]
108
109
110
111
113
126
127
128
129
130
31
32
33
121
120
123
122
124
125
10
11
12
13
지능도 인 도형

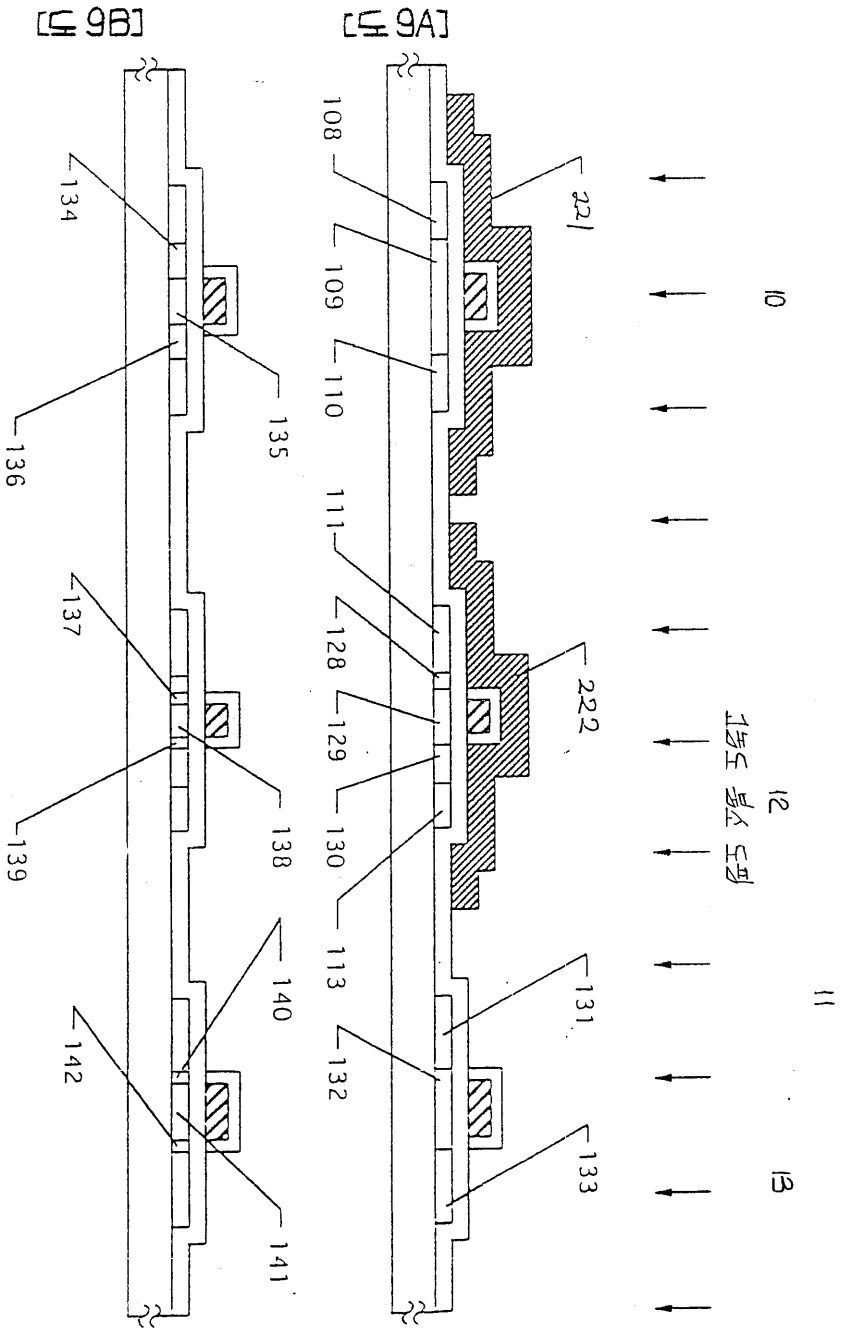
도면8b


[도 8B]
[도 8A]
108
109
110
111
113
126
127
128
129
130
31
32
33
121
120
123
122
124
125
10
11
12
13
자동도 인 도형

도면9a


[도 9A]
[도 9B]
108
109
110
111
128
129
130
113
131
132
133
221
222
10
11
12
13
134
135
136
137
138
139
140
141
142

도면9b


[도 9B]
[도 9A]
134
135
136
137
138
139
140
141
142
108
109
110
111
128
129
130
113
131
132
133
221
222
10
11
12
13
1층도 및 도면