

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.⁵
H03L 7/08

(45) 공고일자 1990년 10월 29일
(11) 공고번호 90-008026

(21) 출원번호	특1987-0010361	(65) 공개번호	특1988-0004648
(22) 출원일자	1987년 09월 18일	(43) 공개일자	1988년 06월 07일
(30) 우선권 주장	221181 1986년 09월 19일 일본(JP)		
(71) 출원인	도오쿄오 가부시기가이샤 도이다 마꼬또 일본국 도오쿄오 오오다꾸 히가시유키가야 2조메 1반 17고		
(72) 발명자	다니가와 히로시 일본국 사이다마깡 이루마군 쓰루가시마마찌 오아자고미가야 18반지 도 오꼬오 가부시기가이샤 사이다마찌고쇼나이		
(74) 대리인	이병호, 최달용		

심사관 : 이택수 (책자공보 제2087호)

(54) 위상 비교기

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

위상 비교기

[도면의 간단한 설명]

제1도는 본 발명의 위상 비교기의 일 실시예를 도시하는 도면.

제2도 내지 제4도는, 위상 비교기의 동작을 설명하기 위한 도면.

제5도는 종래의 위상 회로를 설명하기 위한 도면.

* 도면의 주요부분에 대한 부호의 설명

1 : 입력 단자	2 : 출력 단자
3 : 기준 전압원이 부가되는 입력 단자	4 : 기준 전압원
5 : 접지 단자	6,7 : 입력 단자
8 내지 16 : 전류 미러 회로	Q1 내지 Q18 : 트랜지스터

[발명의 상세한 설명]

본 발명은, PLL(위상 고정 루프) 회로등에 사용되는 저전압에 적합한 위상 비교기에 관한 것이다.

제5도는, 일반적인 위상 비교기이며, 2개의 차동 증폭기로 조립이 되어 있으며, 그 구성은, 트랜지스터 차동쌍 Q30, Q31과 전류원용 트랜지스터 Q32, 및 트랜지스터 차동쌍 Q33, Q34과 전류원용 트랜지스터 Q35와 트랜지스터 Q36, Q37로 형성된 정전류원 회로(20) 및 부하 저항 R5, R6으로 되어 있다.

입력 신호는, 트랜지스터 Q32, Q35의 베이스(입력 단자(25),(26)에 가해져, 양 트랜지스터의 바이어스 전류의 배분을 제어한다. 2개의 트랜지스터 차동쌍(Q30, Q31), (Q33, Q34)의 각 베이스는, 단자(23), (24)에서 전압 제어 발진기(VCO)등의 발진 출력이 인가되어, 트랜지스터 차동쌍(Q30, Q31), (Q33, Q34)이 교대로 작동하여, 출력 단자(21), (22)에서 위상차에 의해 출력된다. 출력 단자(21), (22)로 부터의 출력을 평활하게 하므로써, 위상차가 직류 출력으로서 출력된다. 예를들면, 전압 제어 발진기(VCO)로 부터의 출력에 대해서, 입력 신호의 위상차가 0도인때는 정의 직류출력이 출력되며, 위상차가 90도인때에는 영이며, 위상차가 180도인때는 부의 직류 출력이 출력된다.

근래에, 휴대용 라디오 수신기 등에서는, 저전압으로 작동시키는 것이 일반적이며, 따라서, 1V 이하의 전원 전압으로 안정한 동작이 보증되지 않으면 아니된다. 그러나, 제5도에 도시한 종래의 위상

비교기는, 트랜지스터 차동쌍(Q30,Q31) 및 (Q33,Q34)이 그 전류원용 트랜지스터 Q32, Q35를 교대로 스위칭하오로서, 위상차를 검출하고 있으나, 트랜지스터 Q30 내지 Q36의 베이스에 인가되는 바이어스 전압은, 최소한 트랜지스터 Q30의 베이스, 에미터간 전압 V_{BE} 와 트랜지스터 Q32,Q36의 콜렉터, 에미터간 포화 전압 $V_{CE(sat)}$ 의 총합($V_{BE}+2V_{CE(sat)}$) 이상의 전압이 필요하며, 즉, V_{BE} 가 0.7V로 하여, $V_{CE(sat)}$ 를 0.2V이면, 약 1.1V로 되어, 1V이하의 전압원으로 작동시키는 것은 곤란했었다.

본 발명은, 상술하는 바와같은 문제점을 해소하기 위해서 행해진 것으로, 그것의 주목적은, 전원 전압 V_{CC} 이 1V이하의 저전압이라도 작동하는 위상 비교기를 제공하는 것이다.

본 발명의 위상 비교기는, 차동 증폭기와, 그 차동 증폭기의 위상 반전원 출력을 각각 도출하는 전류 미러 회로로 되는 제1과 제2의 능동 부하 회로와, 각각의 능동 부하 회로로 부터의 출력을 다른 전류 미러회로를 거쳐서 중첩하여, 위상 반전한 방형파의 신호에 의해 교대로 출력을 얻는 것으로서, 그 출력신호를 평활하게 하오로서 입력 신호 위상의 벗어남에 의한 직류 출력이 얻어지는 것이다. 이와같은 위상비교기는 캐스코드 접속된 트랜지스터와 다이오드와의 조합에 의해 구성되어 있으며, 1V 이하의 정전압으로 작동하는 것이다.

본 발명의 위상 비교기에 대해서, 제1도 내지 제4도에 의거하여 설명한다.

제1도에 있어서,(1)은 입력 신호가 입력 되는 입력단자, (2)는 출력단자, (3)은 기준 전압이 입력되는 입력단자, (4)는 기준 전압원, (5)는 접지 단자, (6),(7)은 전압 제어 발전기(VCO)에서 서로 위상 반전된 방형파의 신호가 입력되는 입력단자(8 내지 16)은 전류 미러 회로이다.

차동 증폭기는, 트랜지스터 차동쌍 Q1,Q2과 각각의 에미터가 저항 R1에 접속되어, 트랜지스터 Q3 내지 Q6 및 트랜지스터 Q7 내지 Q10로 형성된 전류 미러 회로(8 및 9)로 되는 능동 부하 회로에 의해 형성된다. 또한, 트랜지스터 Q1의 베이스는, 트랜지스터 Q8와 Q22의 콜렉터에 접속되어 차동 증폭 회로가 부가된 회로를 형성하고 있다. 또한, 트랜지스터 Q5의 콜렉터는, 다이오드 접속된 트랜지스터 Q21의 콜렉터, 베이스에 접속되어, 트랜지스터 Q21,Q22는, 전류 미러 회로(12)를 형성하고 있다.

차동 증폭기의 능동 부하 회로인 전류 미러회로(8)의 출력단은 3개의 트랜지스터를 구비하고, 그중의 트랜지스터 Q3 및 Q4의 콜렉터는, 전류 미러 회로(10),(11)의 다이오드 접속된 트랜지스터 Q15 및 Q18에 접속되어, 전류 미러 회로(8)에서 미러 전류가 공급되도록 되어 있다. 전류 미러 회로(10)의 출력단의 트랜지스터 Q16의 콜렉터는, 전류 미러 회로(15)의 다이오드 접속된 트랜지스터 Q11에 접속된다. 전류 미러 회로(11)의 출력단의 트랜지스터 Q19의 콜렉터는, 전류 미러 회로(15),(16)의 출력단의 트랜지스터 Q12,Q13의 콜렉터에 접속된다.

한편, 다른쪽의 능동 부하 회로인 전류 미러 회로(9)는, 출력단이 3개의 트랜지스터 Q8,Q9 및 Q10로 형성되어, 그 출력단의 트랜지스터 Q9, Q10의 콜렉터는, 전류 미러 회로(13),(14)의 다이오드 접속된 트랜지스터 Q23, Q26의 베이스 콜렉터에 접속된다. 또한, 전류 미러 회로(13), (14)의 출력단의 트랜지스터 Q24, Q27의 콜렉터는, 전류 미러 회로(16)를 형성하는 트랜지스터 Q13와 다이오드 접속된 트랜지스터 Q14에 각각 접속된다. 그래서, 전류 미러 회로(15),(16)의 각 출력단의 트랜지스터 Q12,Q13의 콜렉터는, 출력단자(2)에 접속된다.

전류 미러 회로(10), (11), (13), (14)는 그들을 형성하는 트랜지스터의 베이스에 각각 스위칭용의 트랜지스터 Q17, Q20, Q25 및 Q28의 콜렉터가 접속되고, 트랜지스터 Q17, Q25의 베이스는 각각 저항 R2, R4을 거쳐서 입력 단자(7)에 접속되며, 트랜지스터 Q20, Q28의 베이스는 각각 저항 R3, R5를 거쳐서 입력단자(6)에 접속된다.

제1도의 실시예의 동작에 대해서, 제2도의 동작 형을 도시하는 도면에 의거하여 설명한다. 입력 단자(1)에는 제2도의 (a)에 도시하는 바와같은 교류가 입력되어, 입력 단자(6),(7)에 서로 반전된 방형파의 스위칭 신호가 입력된다. 제2도의 (b)는 입력 단자(7)에 입력되는 신호의 파형을 도시하고 있다. 입력단자(7)에 「0」 레벨의 전압의 방형파의 신호가 입력되면, 스위칭용의 트랜지스터 Q17, Q25는 오프 상태로 되므로 전류 미러 회로(10),(13)는 동작 상태로 된다. 이때, 입력 단자(6)에는, 「1」 레벨의 전압이 입력되어, 스위칭용의 트랜지스터 Q20와 Q28는 온 상태로 되어, 따라서, 전류 미러 회로(11),(14)는 차단 상태로 되어 있다. 이 상태에서 입력 단자(1)를 거쳐 입력 신호 I_{IN} 가 차동 증폭기에 입력되면, 트랜지스터 Q1에 콜렉터 전류(부하 전류)로서 ($I_0+I_{HN/2}$)의 전류가 흘러, 트랜지스터 Q2의 콜렉터 전류(부하 전류)로서($I_0-I_{HN/2}$)의 전류가 흐른다. 스위칭용의 트랜지스터 Q20가 동작 상태로 있으므로, 전류 미러 회로(11)는 차단되어 있으며, 트랜지스터 Q4로 부터의 미러 전류는 트랜지스터 Q18로 흘러들어 가지 않으나, 전류 미러 회로(10),(12)의 각각 다이오드 접속된 트랜지스터 Q15와 Q21의 콜렉터, 베이스에 ($I_0+I_{HN/2}$)의 미러 전류가 흐른다. 따라서, 전류 미러 회로(10)의 출력단의 트랜지스터 Q16는, 전류 미러 회로(15)의 다이오드 접속된 트랜지스터 Q11의 콜렉터, 베이스에서 ($I_0+I_{IN/2}$)의 전류를 끈다. 전류 미러 회로(15)의 출력단의 트랜지스터 Q12의 콜렉터로 부터는 ($I_0+I_{IN/2}$)의 미러 전류가 흐른다.

한편, 전류 미러 회로(15)의 트랜지스터 Q12의 콜렉터는, 전류 미러 회로(13)의 트랜지스터 Q24의 콜렉터에 접속되어 있으며, 또한, 전류 미러 회로(13)의 바이어스측의 트랜지스터 Q23이 콜렉터, 베이스는 전류 미러 회로(9)의 출력단의 트랜지스터 Q9의 콜렉터에 접속되어 있다. 전류미러 회로(13)의 다이오드 접속된 트랜지스터 Q23에는, ($I_0-I_{IN/2}$)의 미러 전류가 흐르고 있으므로, 트랜지스터 Q24의 콜렉터에는, ($I_0-I_{IN/2}$)의 미러 전류가 흐른다. 그러나, 전류 미러 회로(15)의 트랜지스터 Q12의 콜렉터에서 ($I_0 ; I_{IN/2}$)의 미러 전류가 흐르므로, 입력 신호 성분인 I_{IN} 잉여 전류로서 제2도의 (c)와 같이 출력단자(2)에 흐른다.

다음으로, 앞의 상태와 반전된 스위칭 신호가, 입력단자(6),(7)에 각각 「0」 「1」 레벨의 전압이 입력되면, 전류 미러 회로(11),(14)는 동작 상태로 되어, 전류 미러 회로(10),(13)는 차단 상태로 된

다. 입력 단자(1)에는 제2도의 (a)의 부의 교류 신호가 입력되었다면, 능동부가 회로에는 도시하는 바와 반대의 전류가 흐른다. 즉, 차동 증폭 회로의 부하 전류는, 차단된 전류 미러 회로(10),(13)의 트랜지스터 Q15, Q23의 콜렉터 베이스에는 흐르지 않으나, 전류 미러 회로(11),(14)의 각각 다이오드 접속된 트랜지스터 Q18와 Q26의 베이스·콜렉터에 $(I_0 - I_{IN/2})(I_0 + I_{IN/2})$ 의 미러 전류가 흐른다. 따라서, 전류 미러 회로(14)는, 전류 미러회로(16)의 다이오드 접속된 트랜지스터 Q14의 콜렉터·베이스에서 $(I_0 + I_{IN/2})$ 의 미러 전류를 끌어 당긴다. 전류 미러 회로(16)의 출력단의 트랜지스터 Q13의 콜렉터로 부터에서는 $(I_0 + I_{IN/2})$ 의 전류가 흐른다. 한편, 트랜지스터 Q4의 콜렉터는, 전류 미러 회로(11)의 트랜지스터 Q18의 베이스 콜렉터에 접속되어 있으며, 다이오드 접속된 트랜지스터 Q18의 콜렉터·베이스에 $(I_0 - I_{IN/2})$ 의 미러 전류가 흐른다. 트랜지스터 Q19의 콜렉터에는, $(I_0 - I_{IN/2})$ 의 미러 전류가 흐른다. 따라서, 전류 미러 회로(16)에서 $(I_0 - I_{IN/2})$ 의 미러 전류를 끌어 들이도록 된다.

그러나, 전류 미러 회로(16)의 트랜지스터 Q13의 콜렉터에서 $(I_0 + I_{IN/2})$ 의 전류가 흐르므로, 출력 단자(2)에서 제2도의 (C)에 도시하는 바와같이 정의 출력 전류 I_{IN} 가 흐른다.

상술한 바와같이, 본 발명의 위상 비교기는, 출력 단자(2)가, 전류 미러 회로(15),(16)의 출력단의 트랜지스터 Q12, Q13의 콜렉터가 공동 접속되어 있으므로, 입력 단자(6),(7)로 부터의 스위칭 신호에 의거하여 전류 미러 회로(15),(16)가 교대로 작동하여, 각각의 출력 전류가 출력 단자(2)에서 중첩된 출력으로서 얻어진다. 이 출력을 평활하게 하므로서, 스위칭 신호에 대해서 입력 신호의 위상의 어긋남에 의한 직류 출력을 얻을 수가 있게 된다. 또 다시 상세히 설명하면, 제2도 내지 제4도에 도시하는 바와같이, 제2도 내지 제4도를 통해서, (a)는 입력 단자(1)에서 입력되는 신호이며, (b)는 단자(6)에 공급되는 방형파의 스위칭신호이다. 또한, (c)는 출력 단자(2)로 부터의 출력을 표시하고, (d)는 출력을 평활하게 한 직류 출력을 표시하고 있다. 즉, 입력 신호가, 입력 단자(6),(7)에 공급되는 신호에 대해서 위상차가 0도이면, 제2도의(d)와 같이 정의 직류 출력이 출력되어, 제3도와 같이 위상차가 90도의 경우, 제3도의 (c)와 같이 출력을 평활하게 하면 직류 출력은, 제3도의 (d)와 같이 출력이 영이며, 또한, 제4도와 같이 위상차가 180도인때는, 제4도의 (d)에 도시하는 바와같이 부의 직류 출력이 출력된다.

또한, 이와같은 위상 비교기는, 다이오드 접속된 트랜지스터와 트랜지스터가 캐스코드 접속되어 조립된 구성으로 되어 있으며, 베이스, 에미터간 전압 V_{BE} 과 트랜지스터의 콜렉터, 에미터간 포화전압 $V_{CE(Sat)}$ 의 총합($V_{BE} + V_{CE(Sat)}$) 즉, 약 0.9V로 작동하는 것으로, 지전압으로 극히 유효한 것이다.

본 발명의 위상 비교기는, 상술하는 바와같이 전원 전압이 1V이하일지라도 작동하는 것이며, PLL 회로등의 위상 비교기로서 극히 유효한 것이다.

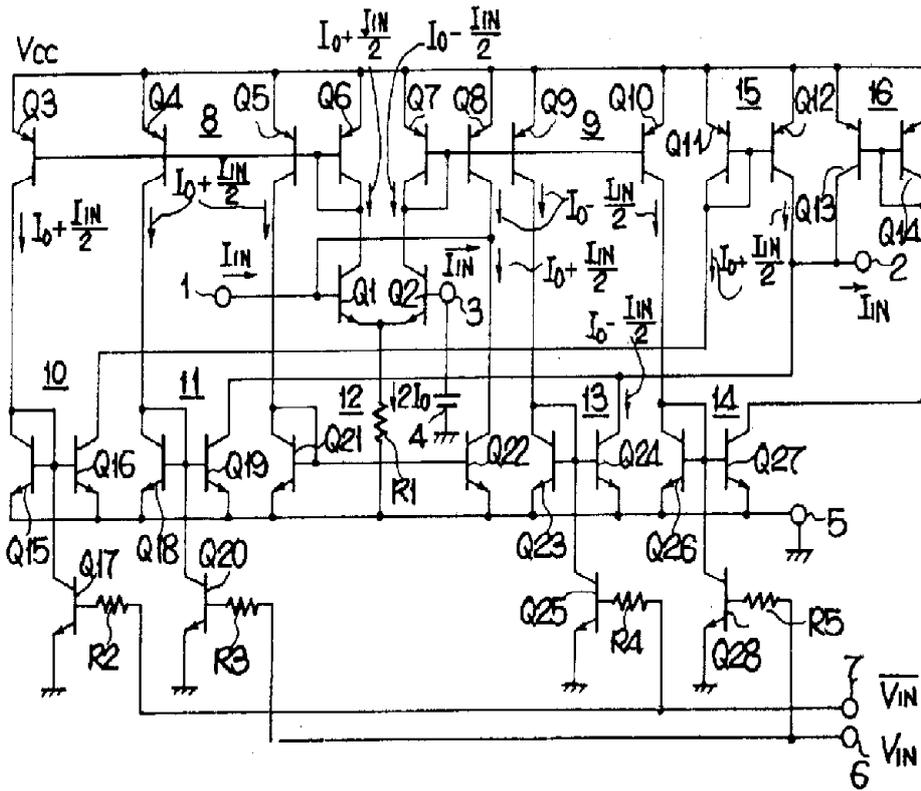
(57) 청구의 범위

청구항 1

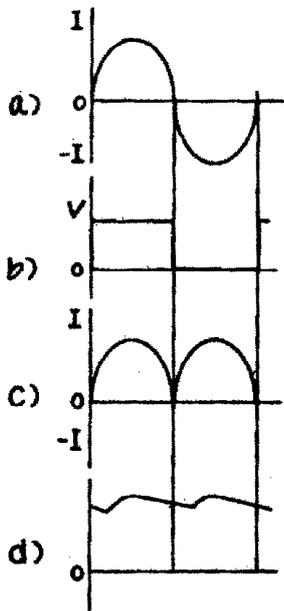
위상비교기에 있어서, 입력신호와 기준 전압이 입력되는 제1과 제2의 입력 단자를 구비한 차동 증폭기와, 이 차동증폭기에서 서로 위상 반전된 출력을 도출하는 전류 미러 회로로된 제1과 제2의 능동 부하 회로와, 이 제1의 능동 부하 회로의 제1과 제2출력단의 트랜지스터와, 이 제2능동 부하 회로의 제3과 제4출력단의 트랜지스터와, 상기 제1 내지 제4 출력단의 트랜지스터의 콜렉터에 접속되는 제1 내지 제4의 전류 미러 회로와, 이 제1과 제3의 전류 미러 회로의 출력단의 트랜지스터가 접속된 제5의 전류 미러 회로와, 이 제2와 이 제4의 전류 미러 회로의 출력단의 트랜지스터가 접속된 제6의 전류 미러 회로와, 이 제5와 이 제6의 전류 미러 회로의 출력단의 트랜지스터의 콜렉터의 공통 접속점에 접속된 출력단자와, 이 제1과 제3 및 제2와 제3의 전류 미러회로를 교대로 작동시키므로서, 이 출력 단자로 부터의 위상차에 의한 출력을 얻는 것을 특징으로 하는 위상 비교기.

도면

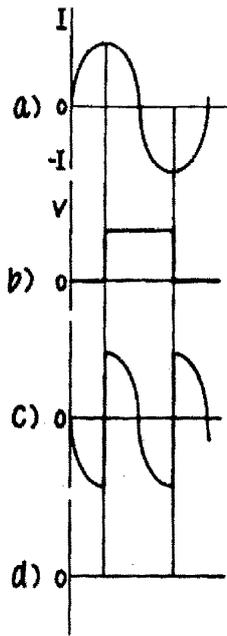
도면1



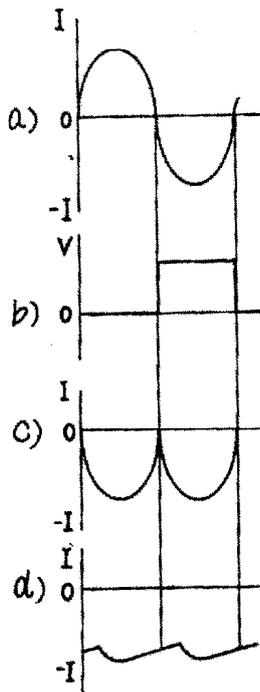
도면2



도면3



도면4



도면5

