

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 3 区分

【発行日】平成 29 年 1 月 19 日 (2017.1.19)

【公開番号】特開 2016-174395 (P2016-174395A)

【公開日】平成 28 年 9 月 29 日 (2016.9.29)

【年通号数】公開・登録公報 2016-057

【出願番号】特願 2016-98756 (P2016-98756)

【国際特許分類】

H 0 3 K 19/017 (2006.01)

H 0 1 L 29/786 (2006.01)

【F I】

H 0 3 K 19/017

H 0 1 L 29/78 6 1 3 Z

【手続補正書】

【提出日】平成 28 年 12 月 2 日 (2016.12.2)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

第 1 乃至第 4 のトランジスタと、容量素子と、  
 前記第 1 のトランジスタのソース又はドレインの一方は、第 1 の配線と電氣的に接続され、  
 前記第 1 のトランジスタのソース又はドレインの他方は、第 2 の配線と電氣的に接続され、  
 前記第 2 のトランジスタのソース又はドレインの一方は、第 3 の配線と電氣的に接続され、  
 前記第 2 のトランジスタのソース又はドレインの他方は、前記第 1 のトランジスタのゲートと電氣的に接続され、  
 前記第 3 のトランジスタのソース又はドレインの一方は、第 4 の配線と電氣的に接続され、  
 前記第 3 のトランジスタのソース又はドレインの他方は、前記第 2 のトランジスタのゲートと電氣的に接続され、  
 前記第 4 のトランジスタのソース又はドレインの一方は、前記第 4 の配線と電氣的に接続され、  
 前記第 4 のトランジスタのソース又はドレインの他方は、前記第 2 のトランジスタのゲートと電氣的に接続され、  
 前記容量素子の第 1 の端子は、前記第 2 の配線と電氣的に接続され、  
 前記容量素子の第 2 の端子は、前記第 1 のトランジスタのゲートと電氣的に接続され、  
 前記容量素子の第 1 の端子となる領域を有する第 1 の導電層は、第 1 の開口部を有し、  
 前記容量素子の第 2 の端子となる領域を有する第 2 の導電層は、第 2 の開口部を有することを特徴とする半導体装置。

【請求項 2】

第 1 乃至第 4 のトランジスタと、容量素子と、  
 前記第 1 のトランジスタのソース又はドレインの一方は、第 1 の配線と電氣的に接続され、

前記第 1 のトランジスタのソース又はドレインの他方は、第 2 の配線と電氣的に接続され、

前記第 2 のトランジスタのソース又はドレインの一方は、第 3 の配線と電氣的に接続され、

前記第 2 のトランジスタのソース又はドレインの他方は、前記第 1 のトランジスタのゲートと電氣的に接続され、

前記第 3 のトランジスタのソース又はドレインの一方は、第 4 の配線と電氣的に接続され、

前記第 3 のトランジスタのソース又はドレインの他方は、前記第 2 のトランジスタのゲートと電氣的に接続され、

前記第 4 のトランジスタのソース又はドレインの一方は、前記第 4 の配線と電氣的に接続され、

前記第 4 のトランジスタのソース又はドレインの他方は、前記第 2 のトランジスタのゲートと電氣的に接続され、

前記第 4 のトランジスタのゲートは、前記第 1 の配線と電氣的に接続され、

前記容量素子の第 1 の端子は、前記第 2 の配線と電氣的に接続され、

前記容量素子の第 2 の端子は、前記第 1 のトランジスタのゲートと電氣的に接続され、

前記容量素子の第 1 の端子となる領域を有する第 1 の導電層は、第 1 の開口部を有し、

前記容量素子の第 2 の端子となる領域を有する第 2 の導電層は、第 2 の開口部を有することを特徴とする半導体装置。

【請求項 3】

第 1 乃至第 5 のトランジスタと、容量素子と、

前記第 1 のトランジスタのソース又はドレインの一方は、第 1 の配線と電氣的に接続され、

前記第 1 のトランジスタのソース又はドレインの他方は、第 2 の配線と電氣的に接続され、

前記第 2 のトランジスタのソース又はドレインの一方は、第 3 の配線と電氣的に接続され、

前記第 2 のトランジスタのソース又はドレインの他方は、前記第 1 のトランジスタのゲートと電氣的に接続され、

前記第 3 のトランジスタのソース又はドレインの一方は、第 4 の配線と電氣的に接続され、

前記第 3 のトランジスタのソース又はドレインの他方は、前記第 2 のトランジスタのゲートと電氣的に接続され、

前記第 4 のトランジスタのソース又はドレインの一方は、前記第 4 の配線と電氣的に接続され、

前記第 4 のトランジスタのソース又はドレインの他方は、前記第 2 のトランジスタのゲートと電氣的に接続され、

前記第 5 のトランジスタのソース又はドレインの一方は、前記第 1 のトランジスタのゲートと電氣的に接続され、

前記第 5 のトランジスタのソース又はドレインの他方は、前記第 2 の配線と電氣的に接続され、

前記第 5 のトランジスタのゲートは、前記第 1 の配線と電氣的に接続され、

前記容量素子の第 1 の端子は、前記第 2 の配線と電氣的に接続され、

前記容量素子の第 2 の端子は、前記第 1 のトランジスタのゲートと電氣的に接続され、

前記容量素子の第 1 の端子となる領域を有する第 1 の導電層は、第 1 の開口部を有し、

前記容量素子の第 2 の端子となる領域を有する第 2 の導電層は、第 2 の開口部を有することを特徴とする半導体装置。

【請求項 4】

第 1 乃至第 5 のトランジスタと、容量素子と、

前記第 1 のトランジスタのソース又はドレインの一方は、第 1 の配線と電氣的に接続され、

前記第 1 のトランジスタのソース又はドレインの他方は、第 2 の配線と電氣的に接続され、

前記第 2 のトランジスタのソース又はドレインの一方は、第 3 の配線と電氣的に接続され、

前記第 2 のトランジスタのソース又はドレインの他方は、前記第 1 のトランジスタのゲートと電氣的に接続され、

前記第 3 のトランジスタのソース又はドレインの一方は、第 4 の配線と電氣的に接続され、

前記第 3 のトランジスタのソース又はドレインの他方は、前記第 2 のトランジスタのゲートと電氣的に接続され、

前記第 4 のトランジスタのソース又はドレインの一方は、前記第 4 の配線と電氣的に接続され、

前記第 4 のトランジスタのソース又はドレインの他方は、前記第 2 のトランジスタのゲートと電氣的に接続され、

前記第 4 のトランジスタのゲートは、前記第 1 の配線と電氣的に接続され、

前記第 5 のトランジスタのソース又はドレインの一方は、前記第 1 のトランジスタのゲートと電氣的に接続され、

前記第 5 のトランジスタのソース又はドレインの他方は、前記第 2 の配線と電氣的に接続され、

前記第 5 のトランジスタのゲートは、前記第 1 の配線と電氣的に接続され、

前記容量素子の第 1 の端子は、前記第 2 の配線と電氣的に接続され、

前記容量素子の第 2 の端子は、前記第 1 のトランジスタのゲートと電氣的に接続され、

前記容量素子の第 1 の端子となる領域を有する第 1 の導電層は、第 1 の開口部を有し、  
前記容量素子の第 2 の端子となる領域を有する第 2 の導電層は、第 2 の開口部を有することを特徴とする半導体装置。

#### 【請求項 5】

第 1 乃至第 4 のトランジスタと、容量素子と、

前記第 1 のトランジスタのソース又はドレインの一方は、第 1 の配線と電氣的に接続され、

前記第 1 のトランジスタのソース又はドレインの他方は、第 2 の配線と電氣的に接続され、

前記第 2 のトランジスタのソース又はドレインの一方は、第 3 の配線と電氣的に接続され、

前記第 2 のトランジスタのソース又はドレインの他方は、前記第 1 のトランジスタのゲートと電氣的に接続され、

前記第 3 のトランジスタのソース又はドレインの一方は、第 4 の配線と電氣的に接続され、

前記第 3 のトランジスタのソース又はドレインの他方は、前記第 2 のトランジスタのゲートと電氣的に接続され、

前記第 4 のトランジスタのソース又はドレインの一方は、前記第 4 の配線と電氣的に接続され、

前記第 4 のトランジスタのソース又はドレインの他方は、前記第 2 のトランジスタのゲートと電氣的に接続され、

前記容量素子の第 1 の端子は、前記第 2 の配線と電氣的に接続され、

前記容量素子の第 2 の端子は、前記第 1 のトランジスタのゲートと電氣的に接続され、

前記容量素子の第 1 の端子となる領域を有する第 1 の導電層は、第 1 の開口部を有し、

前記容量素子の第 2 の端子となる領域を有する第 2 の導電層は、第 2 の開口部を有し、

前記第 1 の開口部は、前記第 2 の開口部と重なる領域を有することを特徴とする半導体

装置。

【請求項 6】

第 1 乃至第 4 のトランジスタと、容量素子と、

前記第 1 のトランジスタのソース又はドレインの一方は、第 1 の配線と電氣的に接続され、

前記第 1 のトランジスタのソース又はドレインの他方は、第 2 の配線と電氣的に接続され、

前記第 2 のトランジスタのソース又はドレインの一方は、第 3 の配線と電氣的に接続され、

前記第 2 のトランジスタのソース又はドレインの他方は、前記第 1 のトランジスタのゲートと電氣的に接続され、

前記第 3 のトランジスタのソース又はドレインの一方は、第 4 の配線と電氣的に接続され、

前記第 3 のトランジスタのソース又はドレインの他方は、前記第 2 のトランジスタのゲートと電氣的に接続され、

前記第 4 のトランジスタのソース又はドレインの一方は、前記第 4 の配線と電氣的に接続され、

前記第 4 のトランジスタのソース又はドレインの他方は、前記第 2 のトランジスタのゲートと電氣的に接続され、

前記第 4 のトランジスタのゲートは、前記第 1 の配線と電氣的に接続され、

前記容量素子の第 1 の端子は、前記第 2 の配線と電氣的に接続され、

前記容量素子の第 2 の端子は、前記第 1 のトランジスタのゲートと電氣的に接続され、

前記容量素子の第 1 の端子となる領域を有する第 1 の導電層は、第 1 の開口部を有し、

前記容量素子の第 2 の端子となる領域を有する第 2 の導電層は、第 2 の開口部を有し、

前記第 1 の開口部は、前記第 2 の開口部と重なる領域を有することを特徴とする半導体装置。

【請求項 7】

第 1 乃至第 5 のトランジスタと、容量素子と、

前記第 1 のトランジスタのソース又はドレインの一方は、第 1 の配線と電氣的に接続され、

前記第 1 のトランジスタのソース又はドレインの他方は、第 2 の配線と電氣的に接続され、

前記第 2 のトランジスタのソース又はドレインの一方は、第 3 の配線と電氣的に接続され、

前記第 2 のトランジスタのソース又はドレインの他方は、前記第 1 のトランジスタのゲートと電氣的に接続され、

前記第 3 のトランジスタのソース又はドレインの一方は、第 4 の配線と電氣的に接続され、

前記第 3 のトランジスタのソース又はドレインの他方は、前記第 2 のトランジスタのゲートと電氣的に接続され、

前記第 4 のトランジスタのソース又はドレインの一方は、前記第 4 の配線と電氣的に接続され、

前記第 4 のトランジスタのソース又はドレインの他方は、前記第 2 のトランジスタのゲートと電氣的に接続され、

前記第 5 のトランジスタのソース又はドレインの一方は、前記第 1 のトランジスタのゲートと電氣的に接続され、

前記第 5 のトランジスタのソース又はドレインの他方は、前記第 2 の配線と電氣的に接続され、

前記第 5 のトランジスタのゲートは、前記第 1 の配線と電氣的に接続され、

前記容量素子の第 1 の端子は、前記第 2 の配線と電氣的に接続され、

前記容量素子の第2の端子は、前記第1のトランジスタのゲートと電氣的に接続され、  
前記容量素子の第1の端子となる領域を有する第1の導電層は、第1の開口部を有し、  
前記容量素子の第2の端子となる領域を有する第2の導電層は、第2の開口部を有し、  
前記第1の開口部は、前記第2の開口部と重なる領域を有することを特徴とする半導体装置。

【請求項8】

第1乃至第5のトランジスタと、容量素子と、

前記第1のトランジスタのソース又はドレインの一方は、第1の配線と電氣的に接続され、

前記第1のトランジスタのソース又はドレインの他方は、第2の配線と電氣的に接続され、

前記第2のトランジスタのソース又はドレインの一方は、第3の配線と電氣的に接続され、

前記第2のトランジスタのソース又はドレインの他方は、前記第1のトランジスタのゲートと電氣的に接続され、

前記第3のトランジスタのソース又はドレインの一方は、第4の配線と電氣的に接続され、

前記第3のトランジスタのソース又はドレインの他方は、前記第2のトランジスタのゲートと電氣的に接続され、

前記第4のトランジスタのソース又はドレインの一方は、前記第4の配線と電氣的に接続され、

前記第4のトランジスタのソース又はドレインの他方は、前記第2のトランジスタのゲートと電氣的に接続され、

前記第4のトランジスタのゲートは、前記第1の配線と電氣的に接続され、

前記第5のトランジスタのソース又はドレインの一方は、前記第1のトランジスタのゲートと電氣的に接続され、

前記第5のトランジスタのソース又はドレインの他方は、前記第2の配線と電氣的に接続され、

前記第5のトランジスタのゲートは、前記第1の配線と電氣的に接続され、

前記容量素子の第1の端子は、前記第2の配線と電氣的に接続され、

前記容量素子の第2の端子は、前記第1のトランジスタのゲートと電氣的に接続され、

前記容量素子の第1の端子となる領域を有する第1の導電層は、第1の開口部を有し、

前記容量素子の第2の端子となる領域を有する第2の導電層は、第2の開口部を有し、

前記第1の開口部は、前記第2の開口部と重なる領域を有することを特徴とする半導体装置。