

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4920335号
(P4920335)

(45) 発行日 平成24年4月18日(2012.4.18)

(24) 登録日 平成24年2月10日(2012.2.10)

(51) Int. Cl. F I
 HO 1 L 23/12 (2006.01) HO 1 L 23/12 B
 HO 1 L 23/32 (2006.01) HO 1 L 23/32 D

請求項の数 10 (全 19 頁)

<p>(21) 出願番号 特願2006-214205 (P2006-214205) (22) 出願日 平成18年8月7日(2006.8.7) (65) 公開番号 特開2008-41930 (P2008-41930A) (43) 公開日 平成20年2月21日(2008.2.21) 審査請求日 平成21年6月15日(2009.6.15)</p>	<p>(73) 特許権者 000190688 新光電気工業株式会社 長野県長野市小島田町80番地 (74) 代理人 100091672 弁理士 岡本 啓三 (72) 発明者 真篠 直寛 長野県長野市小島田町80番地 新光電気 工業株式会社内 審査官 越本 秀幸</p>
---	--

最終頁に続く

(54) 【発明の名称】 キャパシタ内蔵インターポーザ及びその製造方法と電子部品装置

(57) 【特許請求の範囲】

【請求項1】

厚み方向に貫通する開口部を備えたベース樹脂層と、

前記ベース樹脂層を貫通して設けられて前記開口部に埋め込まれ、前記開口部から上側及び下側に突出する突出部をそれぞれ備え、前記ベース樹脂層の一方の面側の前記突出部が接続部となるキャパシタ用の第1電極と、

前記ベース樹脂層の他方の面側の前記第1電極の前記突出部を被覆する前記キャパシタ用の誘電体層と、

前記誘電体層を被覆する前記キャパシタ用の第2電極とを有し、

前記第1電極、前記誘電体層及び前記第2電極から構成される複数の前記キャパシタが前記ベース樹脂層を貫通した状態で横方向に並んで配置されていることを特徴とするキャパシタ内蔵インターポーザ。

10

【請求項2】

前記ベース樹脂層を貫通して設けられ、前記ベース樹脂層の両面側から突出する突出部をそれぞれ備えた貫通電極をさらに有することを特徴とする請求項1に記載のキャパシタ内蔵インターポーザ。

【請求項3】

前記ベース樹脂層を貫通して設けられ、前記ベース樹脂層の両面側から突出する突出部をそれぞれ備え、前記ベース樹脂層の一方の面側の前記突出部が接続部となる第1電極と、前記ベース樹脂層の他方の面側の前記第1電極を被覆する絶縁層と、前記絶縁層を被覆

20

する第 2 電極とにより構成される抵抗部をさらに有することを特徴とする請求項 1 又は 2 に記載のキャパシタ内蔵インターポーザ。

【請求項 4】

前記ベース樹脂層の前記第 2 電極が形成された面側の前記突出部は、先端部が凸状曲面となっていることを特徴とする請求項 1 乃至 3 のいずれか一項に記載のキャパシタ内蔵インターポーザ。

【請求項 5】

配線層を備えた配線基板と、

前記配線基板の上に配置され、前記第 2 電極と前記貫通電極の一端側が前記配線基板の前記配線層に電氣的に接続された請求項 1 乃至 4 のいずれかに記載のキャパシタ内蔵インターポーザと、

前記キャパシタ内蔵インターポーザの上に配置され、前記第 1 電極の前記接続部と前記貫通電極の他端側とに電氣的に接続された半導体チップとを有することを特徴とする電子部品装置。

【請求項 6】

一方の面に複数の金属ポストが立設されたベース樹脂層と、一方の面に柔軟金属層が形成された金属支持体とを用意する工程と、

前記金属支持体上の前記柔軟金属層に、前記ベース樹脂層上の前記金属ポストを押し込んで前記金属支持体と前記ベース樹脂層とを貼り合わせることにより、前記金属ポストを前記柔軟金属層に埋め込む工程と、

所要の前記金属ポスト上の前記ベース樹脂層の部分に第 1 めっき用開口部を形成する工程と、

前記金属支持体、前記柔軟金属層及び前記金属ポストをめっき給電経路に利用する電解めっきにより、前記第 1 めっき開口部に前記ベース樹脂層の上面から突出する金属バンプを形成して前記金属ポスト及び前記金属バンプから構成される第 1 電極を得る工程と、

前記第 1 電極を被覆する誘電体層を形成する工程と、

前記誘電体層を被覆する第 2 電極を形成してキャパシタを得る工程と、

前記金属支持体及び前記柔軟金属層を除去して前記金属ポストを露出させる工程とを有することを特徴とするキャパシタ内蔵インターポーザの製造方法。

【請求項 7】

一方の面側に複数の金属ポストが立設されたベース樹脂層と、前記金属ポストに対応する部分に凹部が形成され、前記凹部に柔軟金属層が埋め込まれた金属支持体とを用意する工程と、

前記金属支持体に形成された前記柔軟金属層に、前記ベース樹脂層上の前記金属ポストを押し込んで前記金属支持体と前記ベース樹脂層とを貼り合わせることにより、前記金属ポストを前記柔軟金属層に埋め込む工程と、

所要の前記金属ポスト上の前記ベース樹脂層の部分に第 1 めっき用開口部を形成する工程と、

前記金属支持体、前記柔軟金属層及び前記金属ポストをめっき給電経路に利用する電解めっきにより、前記第 1 めっき開口部に前記ベース樹脂層の上面から突出する金属バンプを形成して前記金属ポスト及び前記金属バンプから構成される第 1 電極を得る工程と、

前記第 1 電極を被覆する誘電体層を形成する工程と、

前記誘電体層を被覆する第 2 電極を形成してキャパシタを得る工程と、

前記金属支持体を除去して前記柔軟金属層で被覆された前記金属ポストを露出させる工程とを有することを特徴とするキャパシタ内蔵インターポーザの製造方法。

【請求項 8】

前記複数の金属ポスト上の前記ベース樹脂層の各部分には前記キャパシタの形成領域の他に貫通電極の形成領域が画定されており、

前記キャパシタを得る工程の後であって、金属支持体を除去する工程の前に、

所要の前記金属ポスト上の前記ベース樹脂層の部分に前記貫通電極形成用の第 2 めっき

10

20

30

40

50

用開口部を形成する工程と、

前記第 2 めっき用開口部を含む領域に開口部が設けられたレジストを形成して前記キャパシタを前記レジストで被覆する工程と、

前記金属支持体、前記柔軟金属層及び前記金属ポストをめっき給電経路に利用する電解めっきにより、前記第 2 めっき用開口部に前記ベース樹脂層の上面から突出する金属バンプを形成して前記金属ポスト及び前記金属バンプから構成される前記貫通電極を得る工程と、

前記レジストを除去する工程とをさらに有することを特徴とする請求項 6 又は 7 に記載のキャパシタ内蔵インターポーザの製造方法。

【請求項 9】

前記金属支持体は銅からなって、前記柔軟金属層は錫からなり、

前記金属支持体及び前記柔軟金属層を除去する工程の後に、露出する前記金属ポストを被覆するはんだ層を形成する工程をさらに有することを特徴とする請求項 6 に記載のキャパシタ内蔵インターポーザの製造方法。

【請求項 10】

前記金属支持体は銅からなり、前記柔軟金属層ははんだからなることを特徴とする請求項 7 に記載のキャパシタ内蔵インターポーザの製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明はキャパシタ内蔵インターポーザ及びその製造方法と電子部品装置に係り、さらに詳しくは、半導体チップと配線基板とを接続するためのインターポーザに適用できるキャパシタ内蔵インターポーザ及びその製造方法とそれを利用した電子部品装置に関する。

【背景技術】

【0002】

従来、デカップリングキャパシタが内蔵された配線基板に半導体チップが実装されて構成される電子部品装置がある。図 1 に示すように、そのような電子部品装置の一例では、第 1 配線層 100 がその下面が露出した状態で第 1 層間絶縁層 200 に埋設されており、第 1 層間絶縁層 200 の上にはそれに設けられた第 1 ピアホール V H 1 を介して第 1 配線層 100 に接続された第 2 配線層 120 が形成されている。

【0003】

第 2 配線層 120 上には、支持体 350 の下に第 1 電極 310、誘電体 320 及び第 2 電極 330 が形成されて構成されるキャパシタ部品 300 の接続端子 340 が接続されており、キャパシタ部品 300 の下部にはダイアタッチテープ 400 が配置されている。さらに、キャパシタ部品 300 の上には第 2 層間絶縁層 220 が形成されており、キャパシタ部品 300 が第 2 層間絶縁層 220 に埋設されている。

【0004】

さらに、第 2 層間絶縁層 220 の上にはそれに形成された第 2 ピアホール V H 2 を介して第 2 配線層 120 に接続された第 3 配線層 140 が形成されている。第 3 配線層 140 の上にはその接続部に開口部 500 x が設けられたソルダレジスト 500 が形成されている。そして、第 3 配線層 140 の接続部に半導体チップ 600 のバンプ 600 a がフリップチップ接続されている。

【0005】

特許文献 1 には、球状のコアの表面に第 1 電極、誘電体及び第 2 電極が積層して形成され、第 1 電極の電極部が露出した構造の球状キャパシタを配線基板の電線回路に接続して設けることが記載されている。

【0006】

また、特許文献 2 には、内面から外面にかけて複数の気泡が設けられたポーラス金属層からなる内部電極と、気泡の内面及び内部電極の外面に設けられた誘電体層と、誘電体層に接触して形成された外部電極とによって構成されるキャパシタが作り込まれた回路基板

10

20

30

40

50

に半導体チップを実装することが記載されている。

【特許文献1】特開2001-291637号公報

【特許文献2】特開2006-120696号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

上記した図1の従来技術の電子部品装置では、下側に接続端子340が設けられたキャパシタ部品300が配線基板に平面実装される。このため、キャパシタ部品300に半導体チップ600を接続するには、キャパシタ部品300の接続端子340を第2配線層120に接続し、第2層間絶縁層220で埋め込んだ後に、第2ビアホールVH2を介して上方の第3配線層140までもち上げる必要があり、キャパシタ部品300から半導体チップ600までの配線経路が比較的長くなってしまふ。

10

【0008】

従って、キャパシタ部品300と半導体チップ600のリード間では比較的大きなインダクタンスが存在することになり、デカップリングコンデンサの効果を十分に奏することができない場合がある。

【0009】

また、従来技術では、キャパシタ部品の接続端子の位置が限定されているため、配線経路を変更することは困難であると共に、ダイアタッチテープを使用する必要があることなどから、設計デザインが制約されて設計の自由度が低いといった問題もある。

20

【0010】

さらに、側面側に接続端子を備える2端子型の積層セラミックキャパシタを配線基板に内蔵させる場合も同様に配線の引き回しが必要になり、同様な問題が発生する。

【0011】

本発明は以上の課題を鑑みて創作されたものであり、キャパシタを半導体チップからより近い位置に配置してそれに接続できると共に、設計の自由度が高い電子部品装置を構成できるキャパシタ内蔵インターポーザ及びその製造方法とそれを利用した電子部品装置を提供することを目的とする。

【課題を解決するための手段】

【0012】

上記課題を解決するため、本発明はキャパシタ内蔵インターポーザに係り、ベース樹脂層と、前記ベース樹脂層を貫通して設けられ、前記ベース樹脂層の両面側から突出する突出部をそれぞれ備え、前記ベース樹脂層の一方の面側の前記突出部が接続部となるキャパシタ用の第1電極と、前記ベース樹脂層の他方の面側の前記第1電極の前記突出部を被覆する前記キャパシタ用の誘電体層と、前記誘電体層を被覆する前記キャパシタ用の第2電極とを有し、前記第1電極、前記誘電体層及び前記第2電極から構成される複数の前記キャパシタが前記ベース樹脂層を貫通した状態で横方向に並んで配置されていることを特徴とする。

30

【0013】

本発明のキャパシタ内蔵インターポーザでは、複数のキャパシタがベース樹脂層を貫通した状態で横方向に並んで配置されて構成される。キャパシタの第1電極はベース樹脂層を貫通して形成され、第1電極はベース樹脂層の両面側から突出する突出部それぞれ備えている。ベース樹脂層の一方の面側の突出部が第1電極の接続部となっている。そして、ベース樹脂層の他方の面側の突出部の上に誘電体層と第2電極が順に形成されてキャパシタが構成されている。

40

【0014】

本発明の好適な態様では、キャパシタ内蔵インターポーザは、キャパシタの他に、キャパシタの第1電極と同様な構造からなる貫通電極が内蔵されており、上下を導通させる導通経路を備えている。そして、本発明のキャパシタ内蔵インターポーザは配線基板と半導体チップとの間に配置されて、両者を接続するためのインターポーザとして機能する。

50

【0015】

この態様の場合、キャパシタ内蔵インターポーザのキャパシタの第2電極の接続部と貫通電極の一端側が配線基板に直接接続され、キャパシタの第1電極と貫通電極の他端側が半導体チップに直接接続されて電子部品装置が構成される。貫通電極は、半導体チップと配線基板と間の信号ラインなどの導通経路として使用される。

【0016】

このように、本発明のキャパシタ内蔵インターポーザは、ベース樹脂層を貫通して設けられたキャパシタの第1、第2電極を配線基板と半導体チップに直接接続できるので、従来技術と違って、キャパシタに接続される配線を配線基板内で引き回して半導体チップに接続する必要はない。従って、キャパシタと半導体チップとの間のインダクタンスを低減することができるので、高速動作する半導体チップに対してのデカップリングキャパシタとして十分な性能を奏するようになる。しかも、導通経路となる貫通電極を備えているので、一般的なインターポーザと同等に使用することが可能である。

10

【0017】

また、配線基板にキャパシタ部品を実装したり、キャパシタを作りこんで内蔵させる必要がないので、電子部品装置を簡易な構造とすることができると共に、電子部品装置の設計の自由度を広くすることができる。

【0018】

さらに、本発明の好適な態様では、ベース樹脂層のキャパシタが構成される側の面の第1電極の突起部の先端部が凸状曲面となっている。このため、第1電極の凸状曲面に誘電体層と第2電極を被覆してキャパシタを構成するので、平面状にキャパシタを構成する場合よりも、同じ設置面積において容量の大きなキャパシタを形成することができる。

20

【0019】

また、上記課題を解決するため、本発明はキャパシタ内蔵インターポーザの製造方法に係り、一方の面に複数の金属ポストが立設されたベース樹脂層と、一方の面に柔軟金属層が形成された金属支持体とを用意する工程と、前記金属支持体上の前記柔軟金属層に、前記ベース樹脂層上の前記金属ポストを押し込んで前記金属支持体と前記ベース樹脂層とを貼り合わせることにより、前記金属ポストを前記柔軟金属層に埋め込む工程と、所要の前記金属ポスト上の前記ベース樹脂層の部分にキャパシタ形成用の第1めっき用開口部を形成する工程と、前記金属支持体、前記柔軟金属層及び前記金属ポストをめっき給電経路に利用する電解めっきにより、前記第1めっき開口部に前記ベース樹脂層の上側から突出する金属バンプを形成して第1電極を得る工程と、前記第1電極を被覆する誘電体層を形成する工程と、前記誘電体層を被覆する第2電極を形成して前記キャパシタを得る工程と、前記金属支持体及び前記柔軟金属層を除去して前記金属ポストを露出させる工程とを有することを特徴とする。

30

【0020】

本発明では、まず、金属支持体（銅など）上の柔軟金属層（錫など）に、ベース樹脂層上の金属ポストを押し込んで金属ポストを柔軟金属層に埋め込む。次いで、所要の金属ポスト上のベース樹脂層の部分に第1めっき用開口部を形成し、電解めっきにより第1めっき開口部の底からベース樹脂層の上側に突出して金属ポストに接続される金属バンプを形成してキャパシタ用の第1電極を得る。このとき、金属バンプの先端部が凸状曲面となって形成される。さらに、第1電極を被覆する誘電体層と第2電極を形成してキャパシタを得る。その後、金属支持体及び柔軟金属層を除去して第1電極の接続部となる金属ポストを露出させる。

40

【0021】

以上のような製造方法を使用することにより、上記した発明のキャパシタ内蔵インターポーザを容易に製造することができる。また、キャパシタを形成した後に、別の金属ポスト上の部分にめっき開口部を形成し、金属バンプを形成することに基づいて、キャパシタの他に、貫通電極及び抵抗部を容易に内蔵させることができる。

【発明の効果】

50

【0022】

以上説明したように、本発明では、半導体チップからより近い位置にキャパシタを配置して接続できると共に、設計の自由度が高い電子部品装置を構成できるようになる。

【発明を実施するための最良の形態】

【0023】

以下、本発明の実施の形態について、添付の図面を参照して説明する。

【0024】

(第1の実施の形態)

図2～図4は本発明の第1実施形態のキャパシタ内蔵インターポータの製造方法を示す断面図、図5は同じくキャパシタ内蔵インターポータを示す断面図である。

10

【0025】

本実施形態のキャパシタ内蔵インターポータの製造方法では、図2(a)に示すように、まず、金属支持体としての銅板10を用意し、銅板10の上に錫めっきを施して柔軟金属層として機能する錫層12を形成する。銅板10の厚みは0.3～0.4mmであり、錫層12の膜厚は60μm程度である。

【0026】

その後、図2(b)に示すような径が5～200μm程度の球状導体20xを用意する。球状導体20xは、銅ボール20aの外面に金属20bが被覆されて構成される。球状導体20xは、銅ボール20aの他に42アロイなどの各種の金属ボールの外面に金などの導電層が被覆されたものであってもよい。あるいは、プラスチック、ガラス、又はセラミックなどの絶縁性ボールの外面に導電層が被覆されたものを使用してもよい。つまり、ボールの外面に導電層が被覆されたものであれば各種のものを使用できる。

20

【0027】

次いで、同じく図2(b)に示すように、球状導体20xを吸着配置して搬送する搬送板(不図示)に複数の球状導体20xを配置して固定する。そして、搬送板に吸着された複数の球状導体20xを銅板10上の錫層12に対向させた状態で押し込んだ後に、球状導体20xから搬送板を取り外すことにより、複数の球状導体20xの一端側を錫層12の中に部分的に埋設して配置する。

【0028】

複数の球状導体20xは、その一端側が錫層12内に部分的に埋設された状態で銅板10上に格子状のエリアアレイ型となって配置される。錫層12は、柔軟性のある金属で展延性が高いので、球状導体20xを容易に押し込んで配置することができる。後述するように、球状導体20xはキャパシタ用の第1電極として機能する。

30

【0029】

次いで、図2(c)に示すように、球状導体20x及び錫層12の上に誘電体層22を形成して球状導体20xの露出球面を誘電体層22で被覆する。誘電体層22としては、BST((Ba,Sr)TiO₃)、STO(SrTiO₃)、PZT(Pb(Zr,Ti)O₃)、BTO(BaTiO₃)、AlO_x(アルミナ)、SiO_x(酸化シリコン)、SiN(窒化シリコン)、NbO_x(酸化ニオブ)、又はTiO_x(酸化チタン)などの金属酸化物層、もしくはそれらの金属酸化物のフィラーを含有する樹脂が使用される。これらの誘電体層は、スパッタ法、MOCVD(有機金属CVD)法などによって成膜される。

40

【0030】

続いて、図2(d)に示すように、フォトリソグラフィによって複数の球状導体20xの間の領域にレジストをパターンニングし、それを硬化させることにより、中間樹脂層14を形成する。

【0031】

次いで、図2(e)に示すように、各球状導体20xを露出させる開口部19xを備えたドライフィルムレジスト19をフォトリソグラフィによって中間樹脂層14の上に形成する。さらに、図3(a)に示すように、図2(e)の構造体の上面側に金をスパッタリングすることにより、球状導体20x上の誘電体層22を被覆する金属24aを形成する

50

。さらに、図3(b)に示すように、スクリーン印刷などにより、球状導体20x上の金属層24aを被覆するはんだ層24bを形成する。その後、ドライフィルムレジスト19がウェット処理によって除去される。このとき、ドライフィルムレジスト19の上に形成された金属層はリフトオフによってドライフィルムレジスト19と一緒に除去される。

【0032】

なお、銅板10、錫層12及び球状導体20xをめっき給電経路に利用するパルスタイプの電解めっきによって、球状導体20x上の誘電体層22の上に金属層24a及びはんだ層24bを選択的に形成することも可能である。

【0033】

これにより、図3(c)に示すように、球状導体20xが第1電極20となり、第1電極20と、誘電体層22と、金属層24a及びはんだ層24bから形成される第2電極24とによって構成されるキャパシタCが得られる。

10

【0034】

次いで、図3(d)に示すように、図3(c)の構造体の上に、ポリイミドやエポキシなどの感光性樹脂を塗布して樹脂塗布層40aを形成し、フォトマスクを介して樹脂塗布層40aを露光する。例えば、ネガ型の感光性樹脂を使用する場合は、キャパシタCの間の樹脂塗布層40aの部分が露光された後に現像されてキャパシタCの間の領域に樹脂塗布層40aが残される。

【0035】

その後、図4(a)に示すように、樹脂塗布層40aを熱処理して硬化させることにより、複数のキャパシタCをシート状に一体化するベース樹脂層40を得る。あるいは、上面が平坦になるようにポリイミドフィルムなどを貼着し、プラズマエッチングによって第2電極24が露出するまでエッチングしてベース樹脂層40を残してもよい。

20

【0036】

さらに、図4(b)に示すように、銅板10をアンモニア系アルカリエッチング液によってエッチングして除去することにより錫層12を露出させる。その後、露出した錫層12を硝酸系エッチング液によって第1電極20(球状導体20x)及び誘電体層22に対して選択的に除去する。なお、一つの基板から複数のインターポーザを得る場合は、所定のタイミングで基板が切断される。

【0037】

30

これにより、図5に示すように、第1実施形態のキャパシタ内蔵インターポーザ1が得られる。第1実施形態のキャパシタ内蔵インターポーザ1では、エリアアレイ型に配置された複数の球状のキャパシタCがベース樹脂層40によって支持された状態でシート状に一体化されている。つまり、複数のキャパシタCがベース樹脂層40を介して繋がって一つのシート状のインターポーザとなっている。

【0038】

キャパシタCは、球状導体20xからなる第1電極20と、誘電体層22と、第2電極24(金属24a及びはんだ層24b)とによって構成されている。第1電極20はベース樹脂層40を貫通して設けられ、ベース樹脂層40の両面側からその球面(凸状曲面)が突出した状態となっている。第1実施形態では、ベース樹脂層40の両面側から突出する球面部が突出部となっている。ベース樹脂層40の上面から突出する第1電極20の球面には誘電体層22が被覆されており、誘電体層22上に第2電極24が被覆されて形成されている。そして、ベース樹脂層40の下面側から突出する球面が第1電極20の接続部21となっている。

40

【0039】

また、各キャパシタCの間の領域には中間樹脂層14が形成されており、各キャパシタCの間に誘電体層22が存在しない構造とする場合であっても第1電極20と第2電極24との電氣的なショートが防止されるようになっている。

【0040】

図6には、配線基板と半導体チップとが本実施形態のキャパシタ内蔵インターポーザを

50

介して接続されて構成される電子部品装置の例が示されている。電子部品装置5は、半導体チップ45が本実施形態のキャパシタ内蔵インターポーザ1を介して配線基板30に接続されて構成されている。配線基板30では、第1配線層32がその下面が露出した状態で第1層間絶縁層34に埋設されており、第1層間絶縁層34の上にはそれに設けられた第1ビアホールVH1を介して第1配線層32に接続される第2配線層32aが形成されている。また、第2配線層32aの上に第2層間絶縁層34aを介して第3配線層32bが形成されており、第3配線層32bは2層間絶縁層34aに設けられた第2ビアホールVH2を介して第2配線層32aに接続されている。

【0041】

そして、配線基板30の上に本実施形態のキャパシタ内蔵インターポーザ1が配置されており、配線基板30の第2配線層32bのキャパシタ用の共通電極部にキャパシタ内蔵インターポーザ1の各キャパシタCの第1電極20(球状導体20x)の接続部21が一括して接続されている。さらに、キャパシタ内蔵インターポーザ1の上にはMPUなどの半導体チップ45が実装されており、半導体チップ45のキャパシタ用の共通電極部(不図示)にキャパシタ内蔵インターポーザ1の各キャパシタCの第2電極24が一括して接続されている。

10

【0042】

このようにして、キャパシタ内蔵インターポーザ1は、配線基板30と半導体チップ45の間に配置され、複数のキャパシタCが電気的に並列に接続されて構成されるデカップリングキャパシタとして機能する。さらに、半導体チップ40の信号ラインなどは別途配置されたパンプ45aを介して配線基板30の第3配線層32bに接続されている。

20

【0043】

本実施形態のキャパシタ内蔵インターポーザ1では、複数のキャパシタCの球状導体20xからなる第1電極20の接続部21が配線基板30の第3配線層32bの共通電極部に直接接続され、第1電極20の接続部21と反対側の第2電極24が半導体チップ45の共通電極部に直接接続される。

【0044】

このようにすることにより、従来技術と違って、キャパシタCと半導体チップ45とを配線基板30内で配線を引き回して接続する必要がないので、キャパシタCと半導体チップ45との電気経路を最短にすることができる。従って、キャパシタCと半導体チップ45との間に発生するインダクタンスを減少させることができるので、高速動作する半導体チップに対してのデカップリングキャパシタとして十分な性能を奏するようになる。

30

【0045】

また、球状導体20xからなる第1電極20の球面に誘電体層22と第2電極24を被覆してキャパシタCを構成するので、平面状にキャパシタを構成する場合よりも、同じ設置面積において容量の大きなキャパシタを形成することができる。

【0046】

図7には、半導体チップが実装された配線基板の中に本実施形態のキャパシタ内蔵インターポーザがキャパシタ部品として内蔵されて構成される電子部品装置の例が示されている。図7に示すように、電子部品装置6の配線基板30は、第1～第3ビアホールVH1～VH3を介して相互接続された4層のビルドアップ配線(第1～第4配線層32～32c、第1～第3層間絶縁層34～34b)から構成され、本実施形態のキャパシタ内蔵インターポーザ1が配線基板30の第2層間絶縁層34aに埋設されている。

40

【0047】

キャパシタ内蔵インターポーザ1の各キャパシタCの球状導体20xからなる第1電極20の接続部21が第2配線層32aの共通電極部に一括して接続され、第2電極24が第3配線層32bの共通電極部の下面に一括して接続されている(キャパシタCの各符号は図5参照)。そして、半導体チップ45のパンプ45aが配線基板30の第4配線層32cに接続されて実装されている。このように、本実施形態のキャパシタ内蔵インターポーザ1はキャパシタ部品としても使用することができ、配線基板30の所要の層間絶縁層

50

に埋め込んでデカップリングキャパシタを構成するようにしてもよい。

【0048】

(第2の実施の形態)

図8～図11は本発明の第2実施形態のキャパシタ内蔵インターポーザの製造方法を示す断面図、図12は同じくキャパシタ内蔵インターポーザを示す断面図である。前述した第1実施形態では、複数の球状導体20xを銅板10上の錫層12にエリアレイ型で配置することに基づいて、全ての球状導体20xから球状のキャパシタCを形成している。通常、半導体チップ45は信号ラインなどを備えているので、第1実施形態では、半導体チップ45と配線基板30の間にバンプ45aを別途配置することによって半導体チップ45の信号ラインなどの導通経路を確保している。

10

【0049】

第2実施形態の特徴は、キャパシタ内蔵インターポーザに、キャパシタの他に信号ラインなどの導通経路となる貫通電極や抵抗部を内蔵させることにある。

【0050】

第2実施形態のキャパシタ内蔵インターポーザの製造方法は、図8(a)に示すように、まず、ポリイミドフィルムやアラミドフィルムなどの高靱性弾性体からなる膜厚が50μm程度のベース樹脂層50を用意する。ベース樹脂層50は、最終的に複数のキャパシタなどを支持するための弾性基板となる。その後、図8(b)に示すように、ベース樹脂層50の上(図8(b)では下)に、銅などからなるシード層52をスパッタリングによって形成する。

20

【0051】

次いで、銅ポストを形成する部分に開口部が設けられたレジスト膜(不図示)を形成し、シード層52をめっき給電経路として利用する電解めっきによってレジスト膜の開口部に銅層を形成する。その後、レジスト膜が除去される。これにより、ベース樹脂層50上のシード層52の上(図8(b)では下)に銅ポスト54(金属ポスト)が形成される。続いて、図8(c)に示すように、銅ポスト54をマスクにしてシード層52をエッチングすることにより、各銅ポスト54を電氣的に分離する。例えば、銅ポスト54の高さは20μm程度であり、銅ポスト54の配置間隔は120μm程度である。なお、銅ポスト54の表面に無電解めっきなどによって金層を形成してもよい。

【0052】

さらに、図8(d)に示すように、第1実施形態と同様な柔軟金属層として機能する錫層12が一方の面に形成された銅板10を用意し、図8(c)の構造体の銅ポスト54を銅板10上の錫層12に対向させて押し込むことにより、両者を貼り合わせる。これにより、図9(a)に示すように、ベース樹脂層50上の銅ポスト54が銅板10上の錫層12の中に埋め込まれた状態となる。

30

【0053】

第2実施形態では、インターポーザにキャパシタ、信号ラインなどに利用される貫通電極及び抵抗部を内蔵させるので、複数の銅ポスト54上には、キャパシタ、貫通電極及び抵抗部の形成領域がそれぞれ画定されている。

【0054】

そして、図9(b)に示すように、複数の銅ポスト54上のベース樹脂層50のうちのキャパシタが形成されるベース樹脂層50の部分をレーザ、又はフォトリソグラフィ及びプラズマエッチングによって加工することにより、第1のめっき用開口部50xを形成する。続いて、図9(c)に示すように、銅板10、錫層12及び銅ポスト54をめっき給電経路とする電解めっきによって、第1のめっき用開口部50xの底部から上側にかけて銅めっきを施すことにより、第1のめっき開口部50x内に充填されてベース樹脂層50の上面から突出する第1銅バンプ56(金属バンプ(突出部))を形成する。

40

【0055】

第1銅バンプ56の先端部は凸状曲面(半球面など)となって形成され、ベース樹脂層50の上面からの第1銅バンプ56の高さは例えば30μm程度に設定される。この工程

50

で形成される複数の第1銅パンプ56は、銅ポスト54に接続されてキャパシタの第1電極を構成するものであり、エリアアレイ型で配置された銅ポスト54に対してジグザグ状の千鳥配置となって所定の銅ポスト54の上に形成される。

【0056】

次いで、図9(d)に示すように、ベース樹脂層50及び第1銅パンプ56の上に誘電体層22を形成して第1銅パンプ56の凸状曲面を誘電体層22で被覆する。誘電体層22としては、第1実施形態で説明したような各種の誘電体材料を使用することができる。続いて、同じく図9(d)に示すように、第1実施形態と同様に、第1銅パンプ56の間の領域にレジストをパターンングして残し、それを硬化させることによって中間樹脂層14を形成する。

10

【0057】

さらに、図10(a)に示すように、電解めっきによって第1銅パンプ56上の誘電体層22の上に金属層24a及びはんだ層24bを順次形成して第2電極24を得る。このとき、電解めっきのめっき給電経路に誘電体層22が介在するので、誘電体層22に影響されないパルスタイプの電解めっきが採用される。これにより、銅ポスト54及び第1銅パンプ56からなる第1電極20と、誘電体層22と、金属層24a及びはんだ層24bからなる第2電極24とにより基本構成されるキャパシタCが銅板10の上に形成される。

【0058】

次いで、図10(b)に示すように、複数の銅ポスト54上の領域のうちの信号ラインなどに利用される貫通電極が形成されるベース樹脂層50、誘電体層22及び中間樹脂14の部分を加工することにより第2のめっき用開口部50yを形成する。さらに、図10(c)に示すように、第2のめっき用開口部50yからその周辺部に開口部59xが設けられたドライフィルムレジスト59を形成する。

20

【0059】

続いて、図11(a)に示すように、銅板10、錫層12及び銅ポスト54をめっき給電経路とする電解めっきによって、第2のめっき用開口部50yの底部から上側にかけて銅めっきを施すことにより、第2のめっき用開口部50yに充填されてベース樹脂層50の上面から突出する第2銅パンプ56aを得る。第2銅パンプ56aもその先端部が凸状曲面となって形成される。このとき、キャパシタCはドライフィルムレジスト59で被覆されているので、第2のめっき用開口部50yのみに銅めっきが選択的に施される。

30

【0060】

次いで、同じく図11(a)に示すように、電解めっきにより、第2銅パンプ56aの上に金属及びはんだ層を順次成膜してコンタクト層60を形成し、その先端部を第1接続部61aとする。これにより、銅ポスト54とそれに接続された第2銅パンプ56aとコンタクト層60によって基本構成される貫通電極Tが銅板10の上に形成される。その後、図11(b)に示すように、ドライフィルムレジスト59が除去される。

【0061】

このように、複数の銅ポスト54のうちの所定の銅ポスト54の上にめっき用開口部を形成した後に、銅パンプ56、56aを形成することに基づいて、キャパシタCや貫通電極Tを作り込むことができる。さらには、後の変形例で説明するように、別の銅ポスト54の上にめっき用開口部を形成することに基づいて抵抗部を形成することも可能である。

40

【0062】

次いで、図11(c)に示すように、図11(b)の構造体の銅板10をアンモニア系アルカリエッチング液でエッチングすることにより、銅板10を錫層12に対して選択的に除去する。さらに、図11(d)に示すように、露出した錫層12を硝酸系エッチング液によってエッチングすることにより、錫層12を銅ポスト54及びベース樹脂層50に対して選択的に除去する。これによって、下面側にベース樹脂層50と銅ポスト54が露出する。

【0063】

続いて、図12に示すように、図11(c)の構造体を上下反転させ、キャパシタC及

50

び貫通電極 T の各銅ポスト 5 4 にフラックスを塗布し、はんだを粉体塗布によって銅ポスト 5 4 に選択的に付着させ、リフロー加熱することにより、銅ポスト 5 4 を被覆するはんだ層 6 2 を形成する。銅ポスト 5 4 の表面に金層が形成されている方が、粉体塗布によってはんだ層 6 2 を銅ポスト 5 4 に安定して付着させることができる。

【 0 0 6 4 】

これにより、キャパシタ C では、銅ポスト 5 4 がはんだ層 6 2 で被覆されてその先端部が第 1 電極 2 0 の接続部 2 1 となる。また、貫通電極 T では、銅ポスト 5 4 がはんだ層 6 2 で被覆されてその先端部が第 2 接続部 6 1 b となる。なお、一つの基板から複数のインターポーザを得る場合は、所定のタイミングで基板が切断される。

【 0 0 6 5 】

以上により、第 2 実施形態のキャパシタ内蔵インターポーザ 2 が得られる。

【 0 0 6 6 】

図 1 2 に示すように、第 2 実施形態のキャパシタ内蔵インターポーザ 2 は、ベース樹脂層 5 0 の中に複数のキャパシタ C と貫通電極 T とが貫通した状態で横方向に並んで配置されて構成されている。つまり、複数のキャパシタ C 及び貫通電極 T がベース樹脂層 5 0 を介して繋がって一体化されたシート状のインターポーザとなっている。

【 0 0 6 7 】

キャパシタ C は、銅ポスト 5 4 及び第 1 銅バンプ 5 6 から形成された第 1 電極 2 0 と、誘電体層 2 2 と、金層 2 4 a 及びはんだ層 2 4 b から形成された第 2 電極とによって基本構成されている。第 1 電極 2 0 を構成する銅ポスト 5 4 (突出部) はベース樹脂層 5 0 の上面から突出して形成され、その上にはんだ層 6 2 が被覆されてその先端部が第 1 電極 2 0 の接続部 2 1 となっている。

【 0 0 6 8 】

また、銅ポスト 5 4 に接続された第 1 銅バンプ 5 6 (突出部) はベース樹脂層 5 0 を貫通して形成され、ベース樹脂層 5 0 の下面から突出してその先端部が凸状曲面 (半球面など) となっている。このように、キャパシタ C の第 1 電極 2 0 は、ベース樹脂層 5 0 の上面から突出する接続部 2 1 と、接続部 2 1 に接続されてベース樹脂層 5 0 の下面から突出し、先端部が凸状曲面となった第 1 銅バンプ 5 6 とにより構成される。また、第 1 電極 2 0 の凸状曲面を被覆する誘電体層 2 2 が形成され、さらに誘電体層 2 2 を被覆する金層 2 4 a 及びはんだ層 2 4 b からなる第 2 電極 2 4 が形成されている。

【 0 0 6 9 】

また、ベース樹脂層 5 0 にはキャパシタ C の他に貫通電極 T が設けられている。貫通電極 T は、ベース樹脂層 5 0 の上面から突出する銅ポスト 5 4 とそれに接続されてベース樹脂層 5 0 を貫通してベース樹脂層 5 0 の下面から突出して先端部が凸状曲面となった第 2 銅バンプ 5 6 a とによって基本構成される。第 2 銅バンプ 5 6 a は金層及びはんだ層から形成されたコンタクト層 6 0 で被覆されており、その先端部が第 1 接続部 6 1 a となっている。また、銅ポスト 5 4 ははんだ層 6 0 で被覆されており、その先端部が第 2 接続部 6 1 b となっている。

【 0 0 7 0 】

第 2 実施形態のキャパシタ内蔵インターポーザ 2 では、キャパシタ C だけではなく、信号ラインなどの導通経路となる貫通電極 T を内蔵させることができるので、第 1 実施形態と違って、信号ライン用のバンプを別途配置することなくキャパシタ内蔵インターポーザ 2 のみで半導体チップと配線基板とを接続することが可能になる。必要に応じて電源ラインやグラウンドラインの導通経路となる貫通電極を内蔵させることも可能である。

【 0 0 7 1 】

図 1 3 には、第 2 実施形態の変形例のキャパシタ内蔵インターポーザ 3 が示されている。図 1 3 に示すように、変形例のキャパシタ内蔵インターポーザ 3 では、複数のキャパシタ C 及び貫通電極 T の他に、抵抗部 R が内蔵されている。図 1 3 の例では、図 1 2 の右側の貫通電極 T が抵抗部 R となっている。抵抗部 R は、キャパシタ C の第 1 電極 2 0 と同一構造の第 1 電極 2 0 と、第 1 電極 2 0 の凸状曲面の上に形成されたアルミナ層、窒化シリ

10

20

30

40

50

コン層又は窒化チタンなどの絶縁層 6 4 と、絶縁層 6 4 の上に形成された金などからなる第 2 電極 6 6 とにより構成される。さらに、キャパシタ C と同様に、銅ポスト 5 4 がはんだ層 6 2 で被覆されており、その先端部が第 1 電極 2 0 の接続部 2 1 となっている。

【 0 0 7 2 】

変形例のキャパシタ内蔵インターポーザ 3 の抵抗部 R を形成するには、前述した図 1 1 (a) の工程において、抵抗部を形成する部分に第 2 銅バンプ 5 6 a を形成した後に、スパッタリングによってアルミナなどの絶縁層と金属を順次形成した後に、ドライフィルムレジスト 5 9 を除去して銅バンプ 5 6 上に絶縁層と金属を部分的に形成して抵抗部 R とすればよい。

【 0 0 7 3 】

次に、本実施形態のキャパシタ内蔵インターポーザ 2 を配線基板と半導体チップとを接続するためにインターポーザに適用した例について説明する。図 1 4 は、半導体チップと配線基板とが本実施形態のキャパシタ内蔵インターポーザを介して接続されて構成される電子部品装置の例を示す断面図である。

【 0 0 7 4 】

図 1 4 に示すように、電子部品装置 7 の配線基板 3 0 では、第 1 配線層 3 2 の上に第 1 層間絶縁層 3 4 を介して第 2 配線層 3 2 a が形成されており、第 2 配線層 3 2 a は第 1 層間絶縁層 3 4 に設けられた第 1 ピアホール V H 1 を介して第 1 配線層 3 2 に接続されている。

【 0 0 7 5 】

また、第 2 配線層 3 2 a の上に第 2 層間絶縁層 3 4 a を介して第 3 配線層 3 2 b が形成されており、第 3 配線層 3 2 b は 2 層間絶縁層 3 4 a に設けられた第 2 ピアホール V H 2 を介して第 2 配線層 3 2 a に接続されている。また、配線基板 3 0 の両面側には、第 1、第 3 配線層 3 2 , 3 2 b の接続部に開口部 3 6 x が設けられたソルダレジスト膜 3 6 がそれぞれ形成されている。さらに、配線基板 3 0 の下面側には、第 1 配線層 3 2 に接続された外部接続端子 3 8 が設けられている。

【 0 0 7 6 】

そして、配線基板 3 0 の上に本実施形態のキャパシタ内蔵インターポーザ 2 が配置されている。キャパシタ内蔵インターポーザ 2 の各キャパシタ C の第 2 電極 2 4 が配線基板 3 0 の第 2 配線層 3 2 a のキャパシタ用の共通電極部に接続されていると共に、貫通電極 T の第 2 銅バンプ 5 6 a 側の第 1 接続部 6 1 a が第 3 配線層 3 2 b に接続されている。

【 0 0 7 7 】

さらに、キャパシタ内蔵インターポーザ 2 の上には M P U などの半導体チップ 4 5 が実装されている。キャパシタ内蔵インターポーザ 1 の各キャパシタ C の第 1 電極 2 0 の接続部 2 1 が半導体チップ 4 5 のキャパシタ用の電極に接続されていると共に、貫通電極 T の銅ポスト 5 4 側の第 2 接続部 6 1 b が半導体チップ 4 5 の信号ラインなどの電極に接続されている。

【 0 0 7 8 】

キャパシタ内蔵インターポーザ 2 の複数のキャパシタ C は、配線基板 3 0 と半導体チップ 4 5 との間に電氣的に並列に接続されて配置されてデカップリングキャパシタとして機能する。さらに、半導体チップ 4 5 の信号ラインなどの電極が貫通電極 T を介して配線基板 3 0 の第 3 配線層 3 2 b に接続されている。

【 0 0 7 9 】

本実施形態のキャパシタ内蔵インターポーザ 2 では、キャパシタ C の他に、信号ラインなどの導通経路となる貫通電極 T を内蔵しているので、第 1 実施形態と違って、キャパシタ内蔵インターポーザ 2 のみで配線基板 3 0 と半導体チップ 4 5 とを接続することができる。また、前述した変形例のキャパシタ内蔵インターポーザ 3 を使用する場合は、配線基板 3 0 と半導体チップ 4 5 との間にキャパシタ C 、貫通電極 T 及び抵抗部 R を設けることができる。

【 0 0 8 0 】

10

20

30

40

50

第2実施形態のキャパシタ内蔵インターポーザ2では、第1実施形態と同様に、各キャパシタCに接続される配線層を引き回して半導体チップ45に接続する必要がないので、キャパシタCと半導体チップ45との電気経路が最短になり、インダクタンスを減少させることができる。これにより、高速動作する半導体チップに対してのデカップリングキャパシタとして十分な性能を奏するようになる。

【0081】

また、凸状曲面をもつ第1銅バンプ56の上に誘電体層22と第2電極24を被覆してキャパシタCを構成するので、平面状にキャパシタを構成する場合よりも、同じ設置面積において容量の大きなキャパシタを形成することができる。

【0082】

また、キャパシタCや抵抗部Rの他に信号ラインなどになる貫通電極を内蔵させることで、半導体チップと配線基板とを接続する従来のはんだバンプ（はんだボール）と置き換えて使用することができるため、配線基板にキャパシタや抵抗部の実装領域を設ける必要がなくなり、配線基板を簡易な構造とすることができる。

【0083】

しかも、第2実施形態のキャパシタ内蔵インターポーザ2では、半導体チップ45がフリップチップ接続されるバンプとして、キャパシタ内蔵インターポーザ2の銅ポスト54が使用される。本実施形態のキャパシタ内蔵インターポーザ2の銅ポスト54は、レジストの開口部に電解めっきで形成されるので、一般的なはんだバンプを使用する場合よりも狭小ピッチ（100μm以下）でその高さを高く形成することができる。

【0084】

従って、狭小ピッチの電極をもつ半導体チップのインターポーザとして使用できるようになる。さらには、高靱性弾性体であるベース樹脂層50に高さの高い銅ポストを設けるようにしたことから、キャパシタ内蔵インターポーザ2が半導体チップ45をフリップチップ接続する際の応力緩和層として機能するので、電子部品装置の信頼性を向上させることができる。

【0085】

（第3の実施の形態）

図15及び図16は本発明の第3実施形態のキャパシタ内蔵インターポーザの製造方法を示す断面図である。第3実施形態の特徴は、銅板に設けた凹部にはんだ層を充填しておき、はんだ層に銅ポストを埋め込むことに基づいて、最終的にはんだ層を銅ポストの被覆層として利用することにある。第3実施形態では、第2実施形態と同一工程においてはその詳しい説明を省略する。

【0086】

第3実施形態の製造方法では、図15(a)及び(b)に示すように、金属支持体としての銅板10を用意し、銅板10の上に開口部11xを備えたレジスト11を形成する。次いで、レジスト11の開口部11xを通して銅板10をウェットエッチングすることにより、銅板10に凹部10xを形成する。さらに、図15(c)に示すように、銅板10をめっき給電経路として利用する電解めっきにより、銅板10の凹部10xにはんだ層62を形成する。その後に、レジスト11が除去される。

【0087】

次いで、図15(d)に示すように、第2実施形態と同様に、銅ポスト54が立設するベース樹脂層50を用意し、銅ポスト54を銅板10の凹部10x内に形成されたはんだ層62に押し込む。銅板10の凹部10xに充填されたはんだ層62は、銅ポスト54に対応する部分に配置されている。これにより、図16(a)に示すように、銅板10の凹部10x内のはんだ層62内に銅ポスト54が埋め込まれた状態で、銅板10の上にベース樹脂層50が貼り付けられる。

【0088】

次いで、図16(b)に示すように、第2実施形態の図9(b)の工程から図11(b)までの工程を遂行することにより、銅板10の上にキャパシタCと貫通電極Tを形成す

10

20

30

40

50

る。

【0089】

続いて、図16(c)に示すように、図16(b)の構造体から銅板10をアンモニア系アルカリエッチング液ではんだ層62及びベース樹脂層50に対して選択的にエッチングして除去する。これにより、銅ポスト54を被覆するはんだ層62が露出してキャパシタCの第1電極20の接続部21と貫通電極Tの第2接続部61bが得られる。

【0090】

以上により、第3実施形態のキャパシタ内蔵インターポータ4が得られる。第3実施形態の製造方法では、銅板10の凹部10xに充填されたはんだ層62が銅ポスト54を被覆するはんだ層62となるので、銅ポスト54を露出させてからはんだ層62で被覆する必要がない。また、第2実施形態と違って錫層12の形成工程と除去工程が不要なので、コスト的に有利になる。

【0091】

第3実施形態のキャパシタ内蔵インターポータ4は、第2実施形態と同様に配線基板と半導体チップを接続するためのインターポータとして適用され、第2実施形態と同様な効果を奏する。

【図面の簡単な説明】

【0092】

【図1】図1は従来技術のキャパシタが内蔵された電子部品装置の一例を示す断面図である。

【図2】図2(a)~(e)は本発明の第1実施形態のキャパシタ内蔵インターポータの製造方法を示す断面図(その1)である。

【図3】図3(a)~(d)は本発明の第1実施形態のキャパシタ内蔵インターポータの製造方法を示す断面図(その2)である。

【図4】図4(a)及び(b)は本発明の第1実施形態のキャパシタ内蔵インターポータの製造方法を示す断面図(その3)である。

【図5】図5は本発明の第1実施形態のキャパシタ内蔵インターポータを示す断面図である。

【図6】図6は本発明の第1実施形態のキャパシタ内蔵インターポータを使用した電子部品装置を示す断面図(その1)である。

【図7】図7は本発明の第1実施形態のキャパシタ内蔵インターポータを使用した電子部品装置を示す断面図(その2)である。

【図8】図8(a)~(d)は本発明の第2実施形態のキャパシタ内蔵インターポータの製造方法を示す断面図(その1)である。

【図9】図9(a)~(d)は本発明の第2実施形態のキャパシタ内蔵インターポータの製造方法を示す断面図(その2)である。

【図10】図10(a)~(c)は本発明の第2実施形態のキャパシタ内蔵インターポータの製造方法を示す断面図(その3)である。

【図11】図11(a)~(d)は本発明の第2実施形態のキャパシタ内蔵インターポータの製造方法を示す断面図(その4)である。

【図12】図12は本発明の第2実施形態のキャパシタ内蔵インターポータを示す断面図である。

【図13】図13は本発明の第2実施形態の変形例のキャパシタ内蔵インターポータを示す断面図である。

【図14】図14は本発明の第2実施形態のキャパシタ内蔵インターポータを使用した電子部品装置を示す断面図である。

【図15】図15(a)~(d)は本発明の第3実施形態のキャパシタ内蔵インターポータの製造方法を示す断面図(その1)である。

【図16】図16(a)~(c)は本発明の第3実施形態のキャパシタ内蔵インターポータの製造方法を示す断面図(その2)である。

10

20

30

40

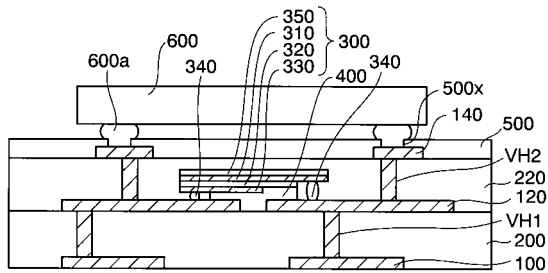
50

【符号の説明】

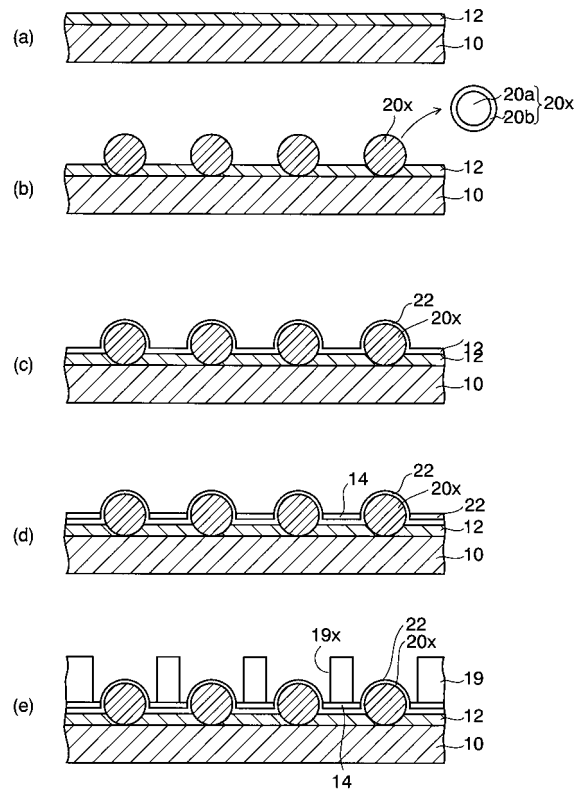
【0093】

1 ~ 4 ... キャパシタ内蔵インターポータ、5 ~ 7 ... 電子部品装置、10 ... 銅板、10x ... 凹部、12 ... 錫層、14 ... 中間樹脂層、19, 59 ... ドライフィルムレジスト、19x, 59x ... 開口部、20x ... 球状導体、20 ... 第1電極、21, 61a, 61b ... 接続部、22 ... 誘電体層、24 ... 第2電極、24a ... 金属、24b, 62 ... はんだ層、30 ... 配線基板、32 ~ 32c ... 配線層、34 ~ 34b ... 層間絶縁層、40a ... 樹脂塗布層、40, 50 ... ベース樹脂層、45 ... 半導体チップ、45a ... バンプ、50x, 50y ... めっき用開口部、54 ... 銅ポスト、56, 56a ... 銅バンプ、60 ... コンタクト層、C ... キャパシタ、T ... 貫通電極、R ... 抵抗部。

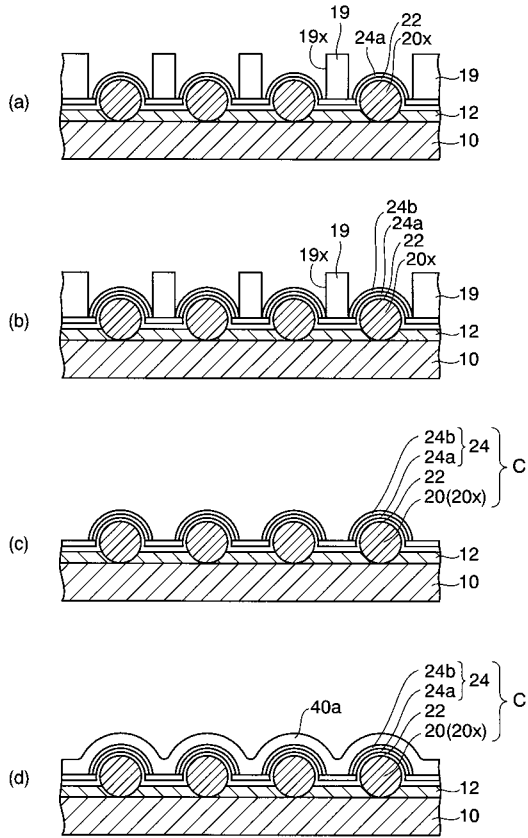
【図1】



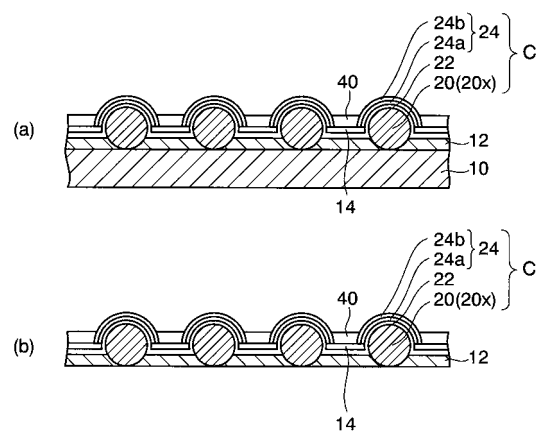
【図2】



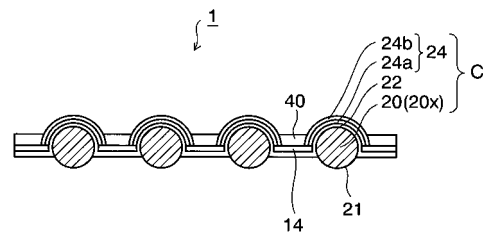
【 図 3 】



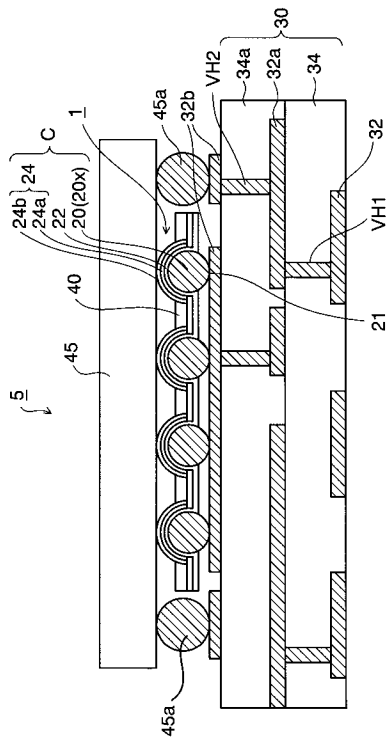
【 図 4 】



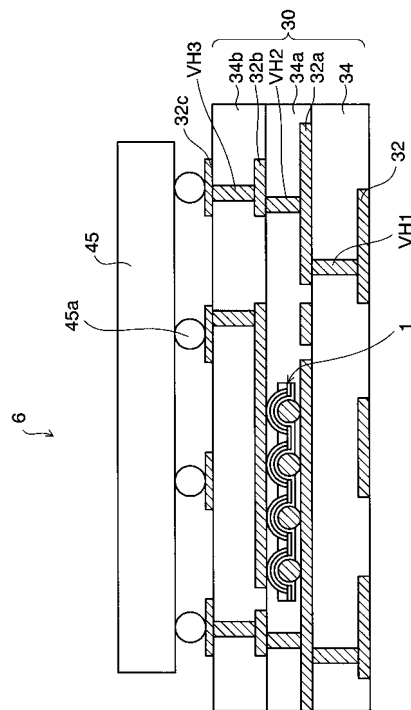
【 図 5 】



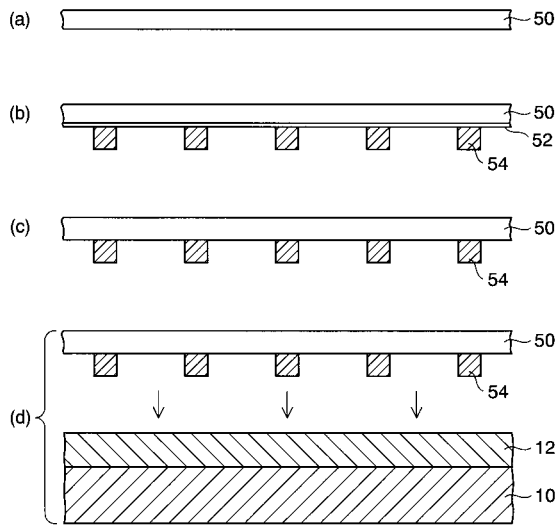
【 図 6 】



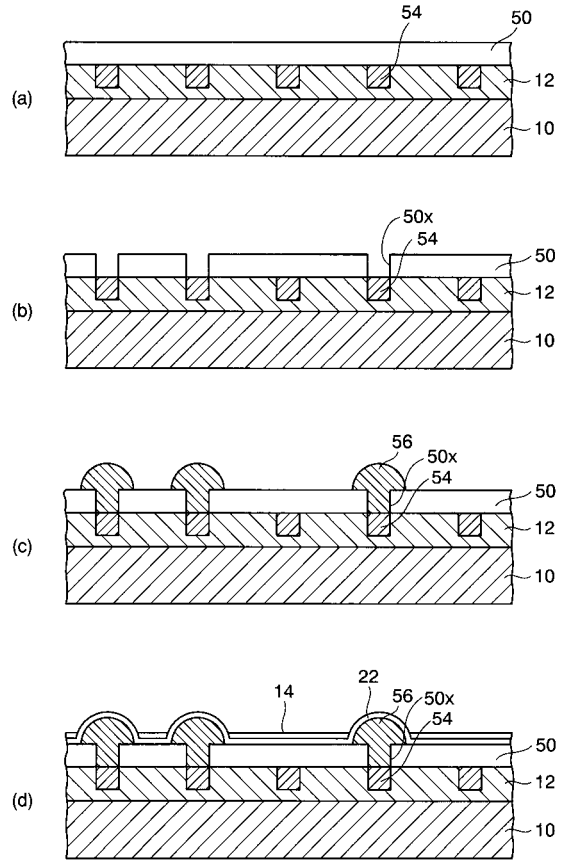
【 図 7 】



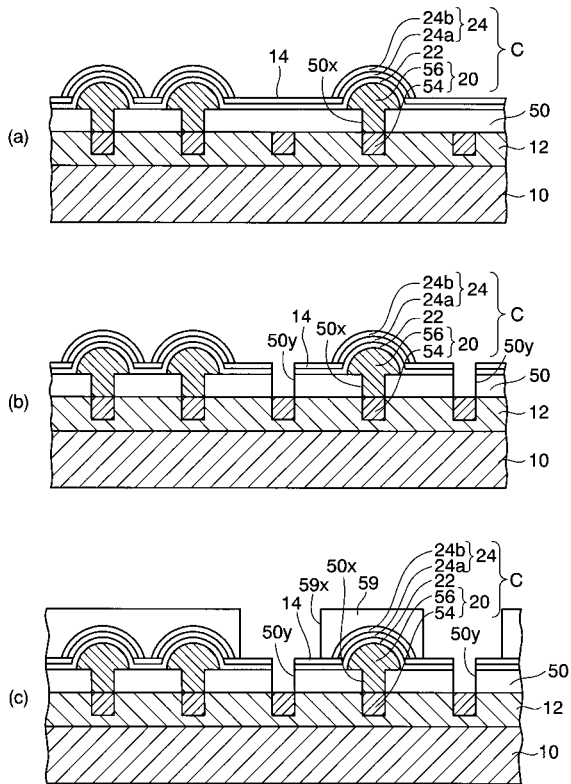
【図 8】



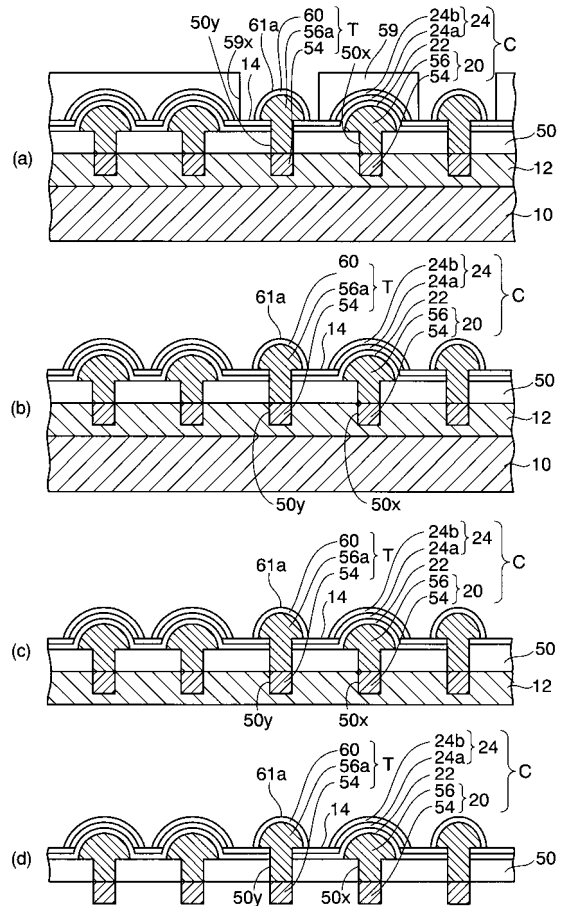
【図 9】



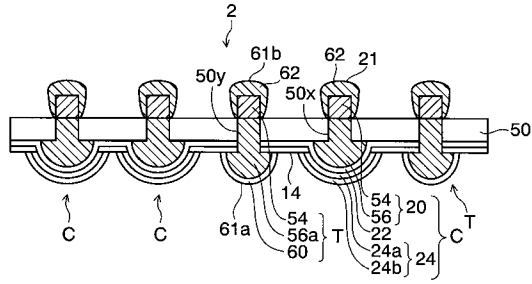
【図 10】



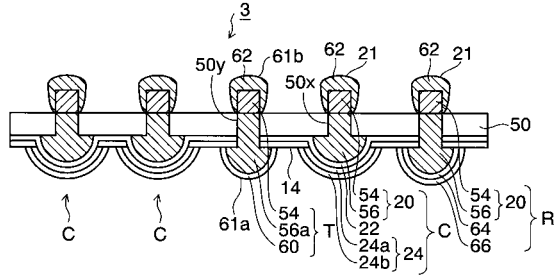
【図 11】



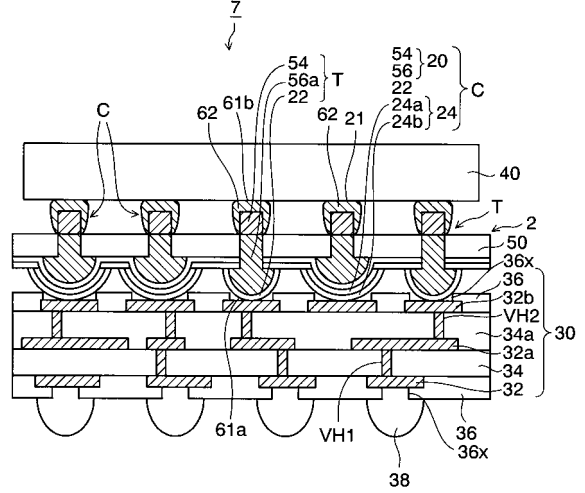
【図12】



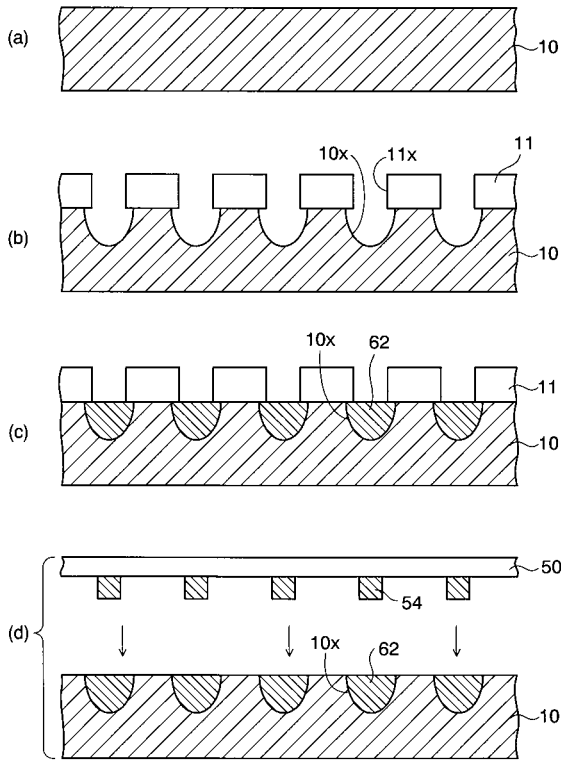
【図13】



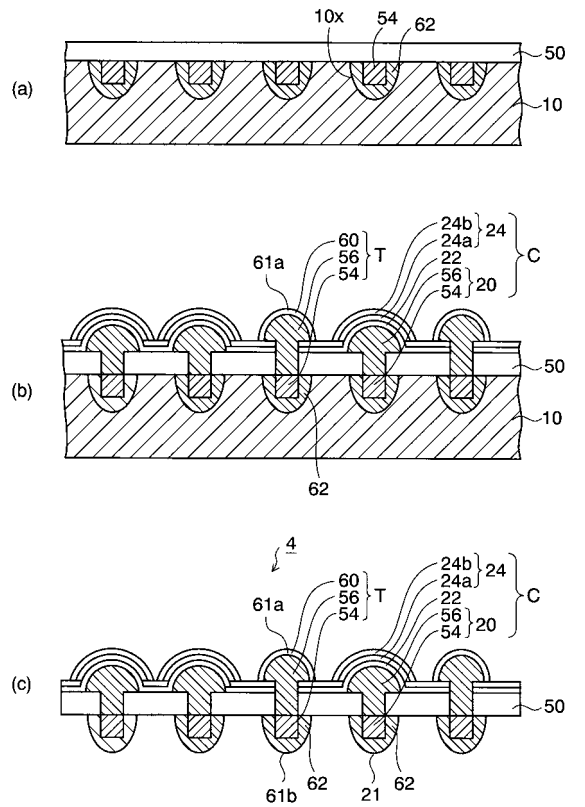
【図14】



【図15】



【図16】



フロントページの続き

- (56)参考文献 特開2004 - 140353 (JP, A)
特開2004 - 152883 (JP, A)
特開2006 - 253631 (JP, A)
特開2004 - 304159 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 23/12

H01L 23/32