PCT

世界知的所有権機関
国 際 事 務 局

特許協力条約に基づいて公開された国際出願

(51) 国際特許分類 4
G06F 15/64, 12/00

A1

(11) 国際公開番号 WO 89/ 06401

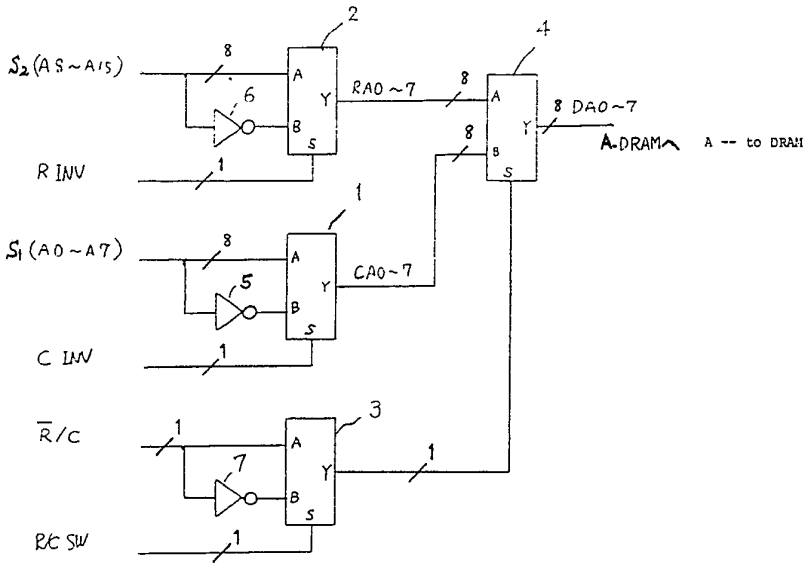
(43) 国際公開日 1989年7月13日(13.07.89)

(21) 国際出願番号 PCT/JP88/01282
(22) 国際出願日 1988年12月19日 (19. 12. 88)
(31) 優先権主張番号 特願昭62-330905
(32) 優先日 1987年12月26日 (26. 12. 87)
(33) 優先権主張国 JP

(71) 出願人 (米国を除くすべての指定国について)
ファナック株式会社 (FANUC LTD)〔JP/JP〕
〒401-05 山梨県南都留郡忍野村忍草字古馬場3580番地
Yamanashi, (JP)
(72) 発明者 ; および
(75) 発明者/出願人 (米国についてのみ)
大塚昭一 (OTSUKA, Shoichi)〔JP/JP〕
〒401-05 山梨県南都留郡忍野村忍草3539-1
ファナックマンションハリモミ7-302 Yamanashi, (JP)
村岡 豊 (MURAOKA, Yutaka)〔JP/JP〕
〒401-05 山梨県南都留郡忍野村忍草3527-1
ファナック第3ヴィラカラマツ Yamanashi, (JP)
(74) 代理人
弁理士 辻 實 (TSUJI, Minoru)
〒101 東京都千代田区神田小川町3丁目14番地 第一万水ビル
辻 特許事務所 Tokyo, (JP)

(81) 指定国
DE (欧州特許), FR (欧州特許), GB (欧州特許), US.
添付公開書類 国際調査報告書

(54) Title: ADDRESS CONVERSION CIRCUIT
(54) 発明の名称 アドレス変換回路




(57) Abstract

An address conversion circuit quickly designates an address for making access to a memory from a CPU when the data specified by an n-dimensional address is to be processed. In order to make access to, for example, predetermined two-dimensional image data by specifying two-dimensional addresses from an arithmetic unit having an inherent scanning direction, the circuit includes two conversion means (1, 2) each for converting an address of a particular dimension into an inverse logic, exchange means (3) for exchanging addresses among addresses of said dimensions, and scanning direction determining means (4) for determining the scanning direction at the time of making access to said predetermined data, wherein the scanning direction can be arbitrarily determined for the two-dimensional addresses in the memory.

(57)要約

本発明によるアドレス変換回路は、n次元アドレスにより特定されるデータに対して演算処理を施す際に、CPUからメモリにアクセスするアドレスデータの指定を迅速に行ない得るものであって、例えば2次元の画像データを装置固有の走査方向を有する演算処理装置から2次元のアドレスを特定してメモリ内の所定データにアクセスするとき、特定次元のアドレスを裏論理に変換する2個の変換手段（1，2）、前記各次元のアドレス間でアドレス交換する交換手段（3）、前記所定データのアクセス時の走査方向を決定する走査方向決定手段（4）を有し、メモリ内の2次元のアドレスに対する走査方向を任意に決定することができる。

情報としての用途のみ

PCTに基づいて公開される国際出願のパンフレット第1頁にPCT加盟国を同定するために使用されるコード

AT オーストリア
AU オーストラリア
BB バルバドス
BE ベルギー
BG ブルガリア
BJ ベナン
BR ブラジル
CF 中央アフリカ共和国
CG コンゴー
CH スイス
CM カメルーン
DE 西ドイツ
DK デンマーク
FI フィンランド
FR フランス
GA ガボン
GB イギリス
HU ハンガリー
IT イタリー
JP 日本
KP 朝鮮民主主義人民共和国
KR 大韓民国
LI リヒテンシュタイン
LK スリランカ
LU ルクセンブルグ
MC モナコ
MG マダガスカル
ML マリー
MR モーリタニア
MW マラウイ
NL オランダ
NO ノルウエー
RO ルーマニア
SD スーダン
SE スウエーデン
SN セネガル
SU ソビエト連邦
TD チャード
TG トーゴ
US 米国

# 明　細　書

## アドレス変換回路

## 技　術　分　野

本発明は、メモリ内の多次元のアドレス空間についてのアドレス変換機能を有するアドレス変換回路に関する。

## 背　景　技　術

通常の画像メモリ等にアクセスして、２次元配列により記憶している画像データをＣＰＵのアドレス空間にマッピングする場合、メモリ空間での画素配列がｎ行×ｎ列であるとすると、そのｉ行ｊ列の要素は、ＣＰＵのアドレス線から指定される先頭要素のアドレス$a_{11}$＋ｎ（ｉ－１）＋ｊ－１に対応するように配置される。こうしたマッピングの方法は、ＣＰＵが装置固有の走査方向を有するときには、行方向つまりパラメータｊを変えることにより配列要素を走査することができるが、ＣＰＵのアドレスモードの一つである例えばポストインクリメント機能を使用すると高速に順次アクセスできる。しかし、こうしたＣＰＵで列方向の配列要素を走査する場合には、ＣＰＵによりアドレス演算を行う必要があり、その処理速度はかなり低下してしまう。またＣＰＵによっては正逆走査でスピードが変るものもある。

このような従来のアドレス変換方式では、産業用ロボットにより組立加工を行なうとき、ロボットアイとしてのカメラから画像をメモリに入力し、その画像データ

に特徴抽出などの演算処理を施してロボットコントロールに利用する場合には、処理速度が遅いという難点があった。

つまり画像等の2次元配列されたデータに対し、特徴抽出を目的としてＣＰＵでその内容を走査する場合、ある方向は比較的簡単に速く行えるが、別の方向について走査を行うときにその速度が遅くなる。従来からそうした場合に、複数のメモリを用意しておき、画像の処理内容に応じて事前にデータの格納形式を変換してから演算を開始することも考えられる。その場合でもＣＰＵによる事前の処理の速度は、ロボットの動作に十分に対応できないという問題があった。

## 発明の開示

本発明は、こうした問題点を解決すべくなされたもので、n次元の直交するメモリ空間のどの方向のアドレスデータについても一様な速度で順次走査を行なえるようにして、ＣＰＵからの画像処理の際のアクセスに融通性をもたせ、データ処理速度を向上できるアドレス変換回路を提供することを目的としている。

本発明によれば、装置固有の走査方向を有する演算処理装置からn次元のアドレスを特定してメモリ内の所定データにアクセスするために、アドレス信号線とメモリとの間に配置されるアドレス変換回路において、特定次元のアドレスを裏論理に変換する変換手段と、前記各次元のアドレス間でアドレス交換する交換手段と、前記所

定データのアクセス時の走査方向を決定する走査方向決定手段とを具備することを特徴とするアドレス変換回路が提供できる。

従って本発明のアドレス変換回路は、本発明のアドレス変換回路では、演算処理装置から、その固有な走査方向を指定することにより、メモリ内のｎ次元のアドレスに対する走査方向を任意に決定することができる。

## 図面の簡単な説明

第１図は、本発明の一実施例を示すブロック図、第２図は、第２の実施例を示すブロック図、第３図（ａ），（ｂ）は、記憶領域に格納されたデータの原画像と、走査方向の設定により想定される８種類のイメージを示す図である。

## 発明を実施するための最良の形態

以下、図面を用いて本発明の一実施例について詳細に説明する。

第１図は、１６ビットのアドレスによりダイナミックＲＡＭ（以下、ＤＲＡＭという）のアドレス空間に記憶されている画像データにアクセスする際のアドレス変換回路の一例を示すブロック図である。１～４はいずれもセレクタ回路で、ＣＰＵのアドレスバスのアドレス線Ａ０～１５から、それぞれ最初の８ビットＡ０～７のアドレスデータ$S_1$が第１のセレクタ回路１に入力され、次の８ビットＡ８～１５のアドレスデータ$S_2$が第２のセレクタ回路２に入力される。このアドレス線Ａ０～１５

は、それを介してＣＰＵはメモリ内の画像データの所定の要素（ピクセル）を一意に特定することができるものである。ここでは上記セレクタ回路１、２のセレクト端子Ｓにそれぞれ列走査方向変換指令ＣINV と行走査方向変換指令ＲINV とが供給され、かつセレクタ回路１、２のＢ入力端子にはそれぞれ８ビットのアドレスデータ$S_1$，$S_2$を反転するために、インバータ５、６を介してアドレス線が接続されている。

また、セレクタ回路３のＡ入力端子には、アドレス線Ａ０～１５の行アドレスデータ$S_1$と列アドレスデータ$S_2$とを指定するセレクト指令$\overline{R}$／Ｃが、Ｂ入力端子にはインバータ７を介してセレクト指令$\overline{R}$／Ｃがそれぞれ供給され、かつそれら$S_1$と$S_2$との交換を指令するＲＣスワップ指令Ｒ／ＣSWがセレクト端子Ｓに供給されている。なお、前記各指令ＲINV,ＣINV,Ｒ／ＣSWとして供給される各制御信号は、それぞれＣＰＵより出力された１ビットデータ（いわゆるディジタルアウトプット）により実現でき、あるいはまた、メモリのアドレスの上位アドレス（ビット１６～１８）を使うことによっても実現できる。

こうしたセレクタ回路１、２、３は、いずれもその出力Ｙとして、

$$Y = A\overline{S} + BS$$

という排他的論理和出力が得られる。したがって、セレクタ回路１の出力信号ＣＡ０～７について見れば、変換

指令ＣＩＮＶ＝０ならば、行アドレスデータ$S_1$がそのまま出力され、変換指令ＣＩＮＶ＝１ならば行アドレス線Ａ０～７のデータ$S_1$が反転して出力される。

セレクタ回路４は、それぞれＡ，Ｂ入力端子に８ビット行アドレスＲＡ０～７と列アドレスＣＡ０～７のアドレス信号が供給され、セレクト端子Ｓには、セレクタ回路３からのセレクト指令$\overline{R}$／Ｃが入力されている。その結果、セレクタ回路４からは、ＲＣスワップ指令Ｒ／ＣＳＷ＝０のときには、セレクト指令$\overline{R}$／Ｃ＝０のタイミングで第１、第２のセレクタ回路１，２の出力のうち行アドレスＲＡ０～７が、セレクト指令$\overline{R}$／Ｃ＝１のタイミングで列アドレスＣＡ０～７が、それぞれ時分割されたアドレス信号ＤＡ０～７としてＤＲＡＭに出力される。そして、ＲＣスワップ指令Ｒ／ＣＳＷ＝１のときには、第１、第２のセレクタ回路１，２の出力が入れ換えられ、Ｒ／ＣＳＷ＝０のときと逆のタイミングでＤＲＡＭへのアドレス信号ＤＡ０～７が出力されることになる。

第２図は、本発明の第２実施例を示すブロック図である。ここでは、上記構成のアドレス変換回路がＤＲＡＭをアドレス指定する場合のものであるのに対し、スタティックＲＡＭに対して使用されるアドレス変換回路の一例を示している。この場合には、ＤＲＡＭと違って、セレクト指令$\overline{R}$／Ｃは使用されないため、セレクタ回路４１、４２としてセレクタ回路４を２つに分け、１６ビットのアドレス信号ＣＡ０～１５を形成するようにし

ている。

第３図は、記憶領域に格納されたデータ、例えばアルファベット「Ｆ」についての画像データが、ＲＩＮＶ，ＣＩＮＶ，Ｒ／ＣＳＷの３ビットのコントロールデータにより変換して読み出される様子を示している。同図（ａ）は、原画像の実際の格納状態を示し、同図（ｂ）には、８種類の出力されるデータイメージを示している。

いま、ＣＰＵの最適走査方向が行方向では上から下、列方向では左から右であるとすると、８種類の変換されたイメージでＲＡＭアドレスを構成することにより、原画像の格納形態を変更することなく、列方向に対しても行方向と同じ走査スピードでＣＰＵからのアクセスが可能になる。また更に、上記行、列の２方向については、正方向と等しい速度で逆方向走査を可能とさせる。

このように画像の要素を行方向、列方向さらにその正逆に走査するいずれの場合であっても、メモリアドレスの指定をする上では、ＣＰＵは常に例えば順次昇順の走査をすることによりアクセスできるので、こうした変換回路のない場合の最速かつ最容易な走査方向（例えば、行方向順走査）について得られるＣＰＵの性能が、本回路を適用することにより、残りの３つの走査方向についても得られる。

なお、図示した２つの実施例に関連して本発明を２次元のデータの場合について説明したが、本発明は特許請求の範囲に示される主旨と精神の下で多様な構成をとり

得るものであって、特段の事情のない限り、本発明をその詳細に説明した枠内に限定する意図はない。

すなわち本発明はｎ次元配列（ｎ≧３）されたメモリの物理アドレスを指定する場合についても同様の効果をもつ。

## 産業上の利用可能性

本発明のアドレス変換回路は、例えばＣＰＵのアドレスバスの上半分、下半分をメモリのアドレス入力に接続する前段でアドレス交換することにより、行、列の等速処理が容易になり、上半分、下半分を各々独自に裏論理に変換することにより、正逆方向での等速処理も容易になるようにデータのアクセス時に走査方向を決定できる。

# 請 求 の 範 囲

（１） 装置固有の走査方向を有する演算処理装置からｎ次元のアドレスを特定してメモリ内の所定データにアクセスするために、アドレス信号線とメモリとの間に配置されるアドレス変換回路は、次を含む：

特定次元のアドレスを裏論理に変換するｎ個の変換手段；

前記各次元のアドレス間でアドレス交換する交換手段；

前記所定データのアクセス時の走査方向を決定する走査方向決定手段。

（２） 前記変換手段は、対応するアドレス信号線のそれぞれと走査方向変換指令との間での排他的論理和演算を行なうものであるを特徴とする請求の範囲第（１）項記載のアドレス変換回路。

（３） 前記交換手段は、２つのアドレス間での交換を指令するスワップ指令によりアドレス交換を行なうことを特徴とする請求の範囲第（１）項記載のアドレス変換回路。

（４） 前記走査方向決定手段は、画像データの内容に応じて決定された最適方向に従って走査方向を決定するようにしたことを特徴とする請求の範囲第（１）項記載

のアドレス変換回路。

Fig. 1

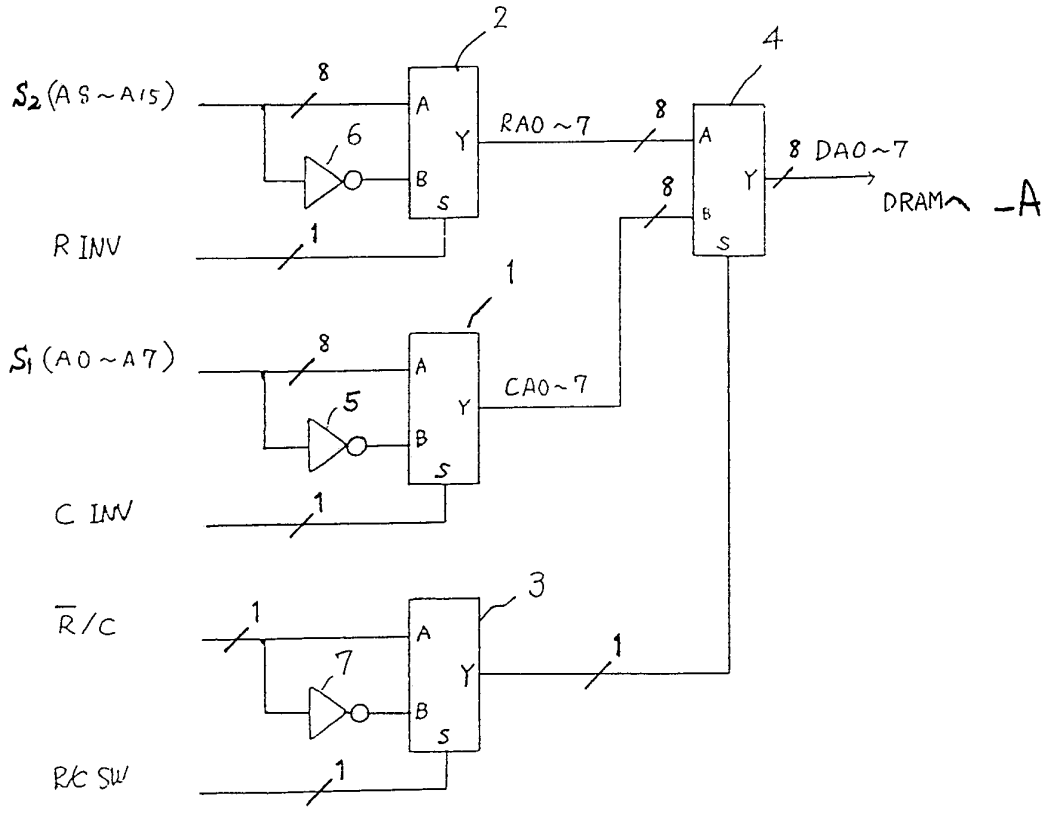

2
4
$S_2$ (A8~A15)
8
A
Y
B
S
6
RA0~7
8
8 DA0~7
DRAM
A
R INV
1
1
$S_1$ (A0~A7)
8
CA0~7
5
C INV
1
3
$\overline{R}/C$
1
7
R/C SW
1

Fig. 2

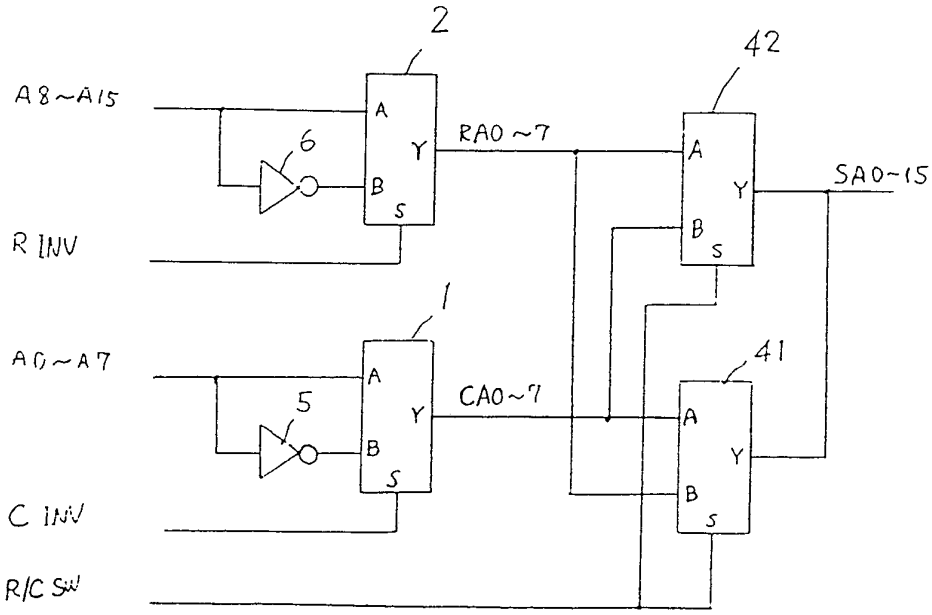
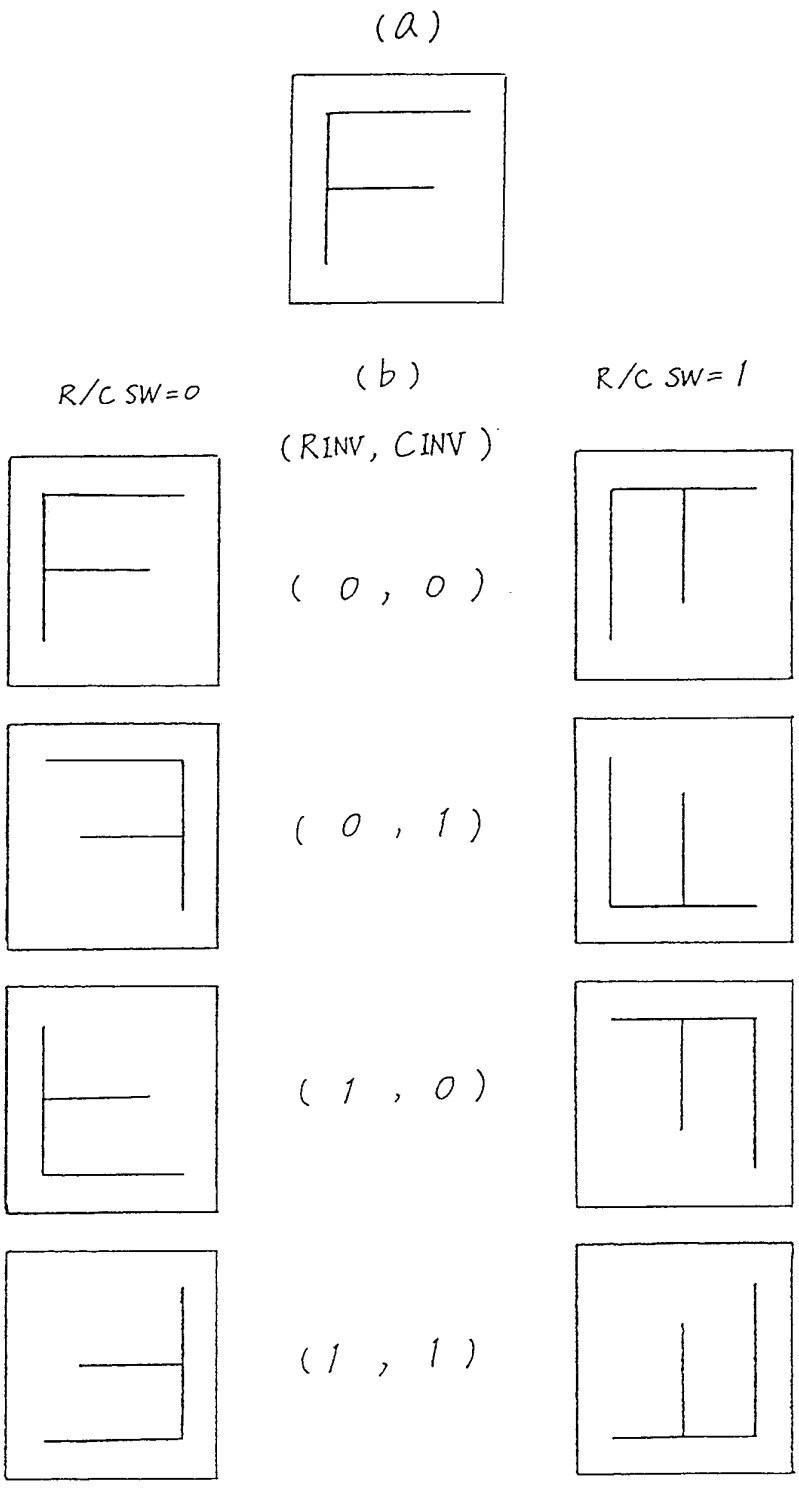

2
42
A8~A15
6
RA0~7
SA0~15
R INV
1
41
A0~A7
5
CA0~7
C INV
R/C SW

Fig. 3



# INTERNATIONAL SEARCH REPORT

International Application No PCT/JP88/01282

**I. CLASSIFICATION OF SUBJECT MATTER** (if several classification symbols apply, indicate all) [6]

According to International Patent Classification (IPC) or to both National Classification and IPC

Int. Cl[4] G06F15/64, 12/00

**II. FIELDS SEARCHED**

Minimum Documentation Searched [7]

| Classification System | Classification Symbols |
|---|---|
| IPC | G06F15/64, 15/66, 12/00 |

Documentation Searched other than Minimum Documentation to the Extent that such Documents are Included in the Fields Searched [8]

| | |
|---|---|
| Jitsuyo Shinan Koho | 1971 - 1988 |
| Kokai Jitsuyo Shinan Koho | 1971 - 1988 |

**III. DOCUMENTS CONSIDERED TO BE RELEVANT** [9]

| Category * | Citation of Document, [11] with indication, where appropriate, of the relevant passages [12] | Relevant to Claim No. [13] |
|---|---|---|
| X | JP, A, 62-249283 (Casio Computer Co., Ltd., Casio Denshi Kogyo Kabushiki Kaisha) 30 October 1987 (30. 10. 87) (Family: none) | 1-4 |

* Special categories of cited documents: [10]

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

**IV. CERTIFICATION**

| Date of the Actual Completion of the International Search | Date of Mailing of this International Search Report |
|---|---|
| January 23, 1989 (23. 01. 89) | February 6, 1989 (06. 02. 89) |
| **International Searching Authority** | **Signature of Authorized Officer** |
| Japanese Patent Office | |

# 国　際　調　査　報　告

国際出願番号PCT/JP88/01282

## Ⅰ. 発明の属する分野の分類

国際特許分類（IPC）Int. Cl⁴

G06F15/64, 12/00

## Ⅱ. 国際調査を行った分野

調　査　を　行　っ　た　最　小　限　資　料

| 分類体系 | 分類記号 |
|---|---|
| IPC | G06F15/64, 15/66, 12/00 |

最小限資料以外の資料で調査を行ったもの

日本国実用新案公報　　1971－1988年
日本国公開実用新案公報　　1971－1988年

## Ⅲ. 関連する技術に関する文献

| 引用文献のカテゴリー※ | 引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示 | 請求の範囲の番号 |
|---|---|---|
| X | JP, A, 62－249283（カシオ計算機株式会社, カシオ電子工業株式会社）<br>30. 10月. 1987（30. 10. 87）（ファミリーなし） | 1－4 |

※引用文献のカテゴリー
「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」先行文献ではあるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「T」国際出願日又は優先日の後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリーの文献

## Ⅳ. 認　　証

| 国際調査を完了した日 | 国際調査報告の発送日 |
|---|---|
| 23. 01. 89 | 02.89 |

| 国際調査機関 | 権限のある職員 |
|---|---|
| 日本国特許庁（ISA/JP） | 特許庁審査官　柳澤正夫　㊞　5B8419 |