

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6306160号
(P6306160)

(45) 発行日 平成30年4月4日(2018.4.4)

(24) 登録日 平成30年3月16日(2018.3.16)

(51) Int.Cl.

G06F 12/00 (2006.01)

F 1

G06F 12/00 564D
G06F 12/00 597D

請求項の数 14 (全 27 頁)

(21) 出願番号 特願2016-515324 (P2016-515324)
 (86) (22) 出願日 平成26年6月2日 (2014.6.2)
 (65) 公表番号 特表2016-522499 (P2016-522499A)
 (43) 公表日 平成28年7月28日 (2016.7.28)
 (86) 國際出願番号 PCT/US2014/000141
 (87) 國際公開番号 WO2014/189551
 (87) 國際公開日 平成26年11月27日 (2014.11.27)
 審査請求日 平成29年5月11日 (2017.5.11)

(73) 特許権者 595020643
 クアアルコム・インコーポレイテッド
 QUALCOMM INCORPORATED
 アメリカ合衆国、カリフォルニア州 92
 121-1714、サン・ディエゴ、モア
 ハウス・ドライブ 5775
 (74) 代理人 100108855
 弁理士 蔵田 昌俊
 (74) 代理人 100109830
 弁理士 福原 淑弘
 (74) 代理人 100158805
 弁理士 井関 守三
 (74) 代理人 100194814
 弁理士 奥村 元宏

最終頁に続く

(54) 【発明の名称】メソクロナスDDRシステムのための低レイテンシ同期スキーム

(57) 【特許請求の範囲】

【請求項1】

データ同期のための方法であって、
 基準クロック信号に基づいてクリーン・クロック信号を生成することと、
 データおよびデータ・クロック信号をメモリ・コントローラから受け取ることと、
 前記受け取ったデータ・クロック信号を用いて前記受け取ったデータをサンプルすることと、

前記サンプルされたデータを、前記クリーン・クロック信号と同期させることと、
 を備える方法。

【請求項2】

前記メモリ・コントローラは、チップのほぼ中心に配置され、前記サンプルされたデータを、前記クリーン・クロックと同期させることは、前記チップの周辺部の付近で実行される、請求項1に記載の方法。

【請求項3】

前記基準クロック信号および前記データ・クロック信号はともに、共通のクロックから導出される、請求項2に記載の方法。

【請求項4】

前記クリーン・クロック信号を生成することは、フェーズ・ロック・ループ(PLL)を用いて、前記基準クロック信号におけるジッタを減衰させることを備える、請求項1に記載の方法。

10

20

【請求項 5】

前記サンプルされたデータを、前記クリーン・クロックと同期させることは、

前記クリーン・クロック信号の立ち上がりエッジにおいて、前記サンプルされたデータをサンプルして、サンプルされた立ち上がりエッジ(RE)データを生成することと、

前記クリーン・クロック信号の立ち下がりエッジにおいて、前記サンプルされたデータをサンプルして、サンプルされた立ち下がりエッジ(FE)データを生成することと、

前記データ・クロック信号と、前記クリーン・クロック信号との間の位相差を決定することと、

前記サンプルされた RE データまたは前記サンプルされた FE データを、前記決定された位相差に基づいて選択することと、

をさらに備える、請求項 1に記載の方法。

【請求項 6】

前記サンプルされた RE データまたは前記サンプルされた FE データを選択することは

、前記データ・クロック信号のサンプリング・エッジが、前記クリーン・クロック信号の立ち上がりエッジにより近いか、前記クリーン・クロック信号の立ち下がりエッジにより近いかを、前記決定された位相差に基づいて決定することと、

前記データ・クロックのサンプリング・エッジが、前記クリーン・クロック信号の立ち下がりエッジにより近い場合、前記サンプルされた RE データを選択することと、

前記データ・クロック信号のサンプリング・エッジが、前記クリーン・クロック信号の立ち上がりエッジにより近い場合、前記サンプルされた FE データを選択することと、
を備える、請求項 5に記載の方法。

【請求項 7】

前記データ・クロック信号と前記クリーン・クロック信号との間の前記位相差を決定することは、前記データ・クロック信号を用いて、較正信号をサンプルすることと、

前記サンプルされた較正信号と、前記クリーン・クロック信号との間の位相差を決定することと、

を備える、請求項 5に記載の方法。

【請求項 8】

前記サンプルされたデータを、前記クリーン・クロックと同期させることは、

前記サンプルされたデータを、前記クリーン・クロック信号を用いて、複数の異なるサンプル・ポイントにおいてサンプルして、サンプルされたクリーン・クロック・データを生成することと、

前記データ・クロック信号と、前記クリーン・クロック信号との間の位相差を決定することと、

前記複数のサンプル・ポイントのうちの 1 つに対応する、前記サンプルされたクリーン・クロック・データを、前記決定された位相差に基づいて選択することと、
をさらに備える、請求項 1に記載の方法。

【請求項 9】

データ同期のための装置であって、

基準クロック信号に基づいてクリーン・クロック信号を生成するための手段と、

データおよびデータ・クロック信号をメモリ・コントローラから受け取るための手段と

、前記受け取ったデータ・クロック信号を用いて前記受け取ったデータをサンプルするための手段と、

前記サンプルされたデータを、前記クリーン・クロック信号と同期させるための手段と、
を備える装置。

【請求項 10】

前記メモリ・コントローラは、チップのほぼ中心に配置され、前記同期させるための手段は、前記チップの周辺部の付近に配置される、請求項 9に記載の装置。

【請求項 1 1】

前記基準クロック信号および前記データ・クロック信号はともに、共通のクロック信号から導出される、請求項1 0に記載の装置。

【請求項 1 2】

前記同期させるための手段は、

前記クリーン・クロック信号の立ち上がりエッジにおいて、前記サンプルされたデータをサンプルして、サンプルされた立ち上がりエッジ(R E)データを生成するための手段と、

前記クリーン・クロック信号の立ち下がりエッジにおいて、前記サンプルされたデータをサンプルして、サンプルされた立ち下がりエッジ(F E)データを生成するための手段と、10

前記データ・クロック信号と、前記クリーン・クロック信号との間の位相差を決定するための手段と、

前記サンプルされた R E データまたは前記サンプルされた F E データを、前記決定された位相差に基づいて選択するための手段と、

をさらに備える、請求項 9に記載の装置。

【請求項 1 3】

前記選択するための手段はさらに、前記データ・クロック信号のサンプリング・エッジが、前記クリーン・クロック信号の立ち上がりエッジにより近いか、前記クリーン・クロック信号の立ち下がりエッジにより近いかを、前記決定された位相差に基づいて決定するための手段と、20

前記データ・クロックのサンプリング・エッジが、前記クリーン・クロック信号の立ち下がりエッジにより近い場合、前記サンプルされた R E データを選択するための手段と、

前記データ・クロック信号のサンプリング・エッジが、前記クリーン・クロック信号の立ち上がりエッジにより近い場合、前記サンプルされた F E データを選択するための手段と、

を備える、請求項1 2に記載の装置。

【請求項 1 4】

前記同期させるための手段は、

前記サンプルされたデータを、前記クリーン・クロック信号を用いて、複数の異なるサンプル・ポイントにおいてサンプルして、サンプルされた複数のクリーン・クロック・データを生成するための手段と、30

前記データ・クロック信号と、前記クリーン・クロック信号との間の位相差を決定するための手段と、

前記複数のサンプル・ポイントのうちの 1 つに対応する、前記サンプルされたクリーン・クロック・データを、前記決定された位相差に基づいて選択するための手段と、

をさらに備える、請求項 9に記載の装置。

【発明の詳細な説明】**【技術分野】****【0 0 0 1】**

[0001] 本開示の態様は、一般に、メモリ・インターフェースに関し、さらに詳しくは、メモリ・インターフェースのための同期システムおよび方法に関する。

【背景技術】**【0 0 0 2】**

[0002] システム・オン・チップ(S o C)は、S o C 上の 1 または複数のブロック(例えば、C P U 、G P U 等)を、外部メモリ・デバイスとインターフェースするためのメモリ・インターフェースを含みうる。メモリ・インターフェースは、中央に配置されたメモリ・コントローラと、S o C の周辺に沿って配置された複数の物理(P H Y)ブロックとを備えうる。メモリ・コントローラは、外部メモリ・デバイスにアクセスする必要のある S o C 上のブロックと外部メモリ・デバイスとの間のデータのフローを管理する。S o C50

上のブロックが、外部メモリ・デバイスへデータを書き込む必要がある場合、メモリ・コントローラは、クロック信号およびコマンド／アドレス（C A）信号とともに、P H Y ブロックのうちの 1 または複数へとデータを送信する。1 または複数の P H Y ブロックは、適用可能なメモリ規格に従って、外部メモリ・デバイスへ出力するために、データ、クロック信号、および C A 信号を調整する。

【発明の概要】

【0 0 0 3】

[0003]以下は、1 または複数の実施形態の基本的な理解を与えるために、このような実施形態の簡略化された概要を示す。この概要是、考えられるすべての実施形態の広範囲な概観ではなく、すべての実施形態の重要要素や決定的要素を特定することも、いずれかまたはすべての実施形態の範囲を線引きすることも意図されていない。その唯一の目的は、後述されるより詳細な記載に対する前置きとして、簡略化された形式で 1 または複数の実施形態のいくつかの概念を表すことである。10

【0 0 0 4】

[0004]本明細書では、態様に従って、メモリ・インターフェースが記載される。メモリ・インターフェースは、基準クロック信号を受け取り、基準クロック信号に基づいて、クリーン・クロック信号を生成するように構成されたクリーンアップ・フェーズ・ロック・ループ（P L L）を備える。メモリ・インターフェースはまた、データ、データ・クロック信号、およびクリーン・クロック信号を受け取るように構成された同期回路を備え、この同期回路はさらに、データ・クロック信号を用いてデータをサンプルし、サンプルされたデータを、クリーン・クロック信号と同期させるように構成される。20

【0 0 0 5】

[0005]第 2 の態様は、データ同期のための方法に関する。この方法は、基準クロック信号に基づいてクリーン・クロック信号を生成することと、データ・クロック信号を用いてデータをサンプルすることと、サンプルされたデータを、クリーン・クロック信号と同期させることと、を備える。

【0 0 0 6】

[0006]第 3 の態様は、データを同期させるための装置に関する。この装置は、基準クロック信号に基づいてクリーン・クロック信号を生成するための手段と、データ・クロック信号を用いてデータをサンプルするための手段と、サンプルされたデータを、クリーン・クロック信号と同期させるための手段と、を備える。30

【0 0 0 7】

[0007]前述した目的および関連する目的を達成するために、1 または複数の実施形態は、以下に十分説明され、特に特許請求の範囲で指摘される特徴を備える。次の記載および添付図面は、1 または複数の実施形態のある実例となる態様を詳細に記載する。しかしながら、これらの態様は、さまざまな実施形態の原理が適用されるさまざまな方法のうちの僅かしか示しておらず、記載された実施形態は、このようなすべての局面およびそれらの均等物を示すことが意図されている。

【図面の簡単な説明】

【0 0 0 8】

【図 1】[0008]図 1 は、メモリ・インターフェースを備えたシステム・オン・チップ（S o C）の例を図示する。

【図 2】[0009]図 2 は、本開示の実施形態に従うメモリ・インターフェースを図示する。

【図 3】[0010]図 3 は、本開示の実施形態に従う同期回路を図示する。

【図 4】[0011]図 4 は、本開示の実施形態に従ってクウェアドラントに分割されたクリーン・クロック信号を図示する。

【図 5】[0012]図 5 は、本開示の別の実施形態に従う同期回路を図示する。

【図 6】[0013]図 6 は、本開示の実施形態に従う位相検出器を図示する。

【図 7】[0014]図 7 は、本開示の実施形態に従って、クリーン・クロック信号の異なるクウェアドラントにおいて揃えられた 4 つの較正信号の例を図示する。50

【図8】[0015]図8は、本開示の実施形態に従って、サイクル・スリップを阻止することが可能な同期回路を図示する。

【図9】[0016]図9は、本開示の実施形態に従う真理値表を図示する。

【図10】[0017]図10は、メモリ・インターフェース内の物理(PHY)ブロック間の遅延ミスマッチの例を図示する。

【図11】図11は、メモリ・インターフェース内の物理(PHY)ブロック間の遅延ミスマッチの例を図示する。

【図12】[0018]図12は、スタティックなサイクル・スリップに至るPHYブロック間の遅延ミスマッチの例を図示する。

【図13】[0019]図13は、本開示の実施形態に従って、デフォルト・エントリおよびプッシュ・アウト・エントリを備える真理値表を図示する。 10

【図14】[0020]図14は、スタティックなサイクル・スリップに至るPHYブロック間の遅延ミスマッチの別の例を図示する。

【図15】[0021]図15は、本開示の別の実施形態に従って、デフォルト・エントリおよびプッシュ・アウト・エントリを備える真理値表を図示する。

【図16】[0022]図16は、本開示の実施形態に従ってデータを同期させる方法のフローチャートである。

【発明を実施するための形態】

【0009】

[0023]添付図面とともに以下に説明する詳細な説明は、さまざまな構成の説明として意図されており、本明細書に記載された概念が実現される唯一の構成を表すことは意図されていない。この詳細な説明は、さまざまな概念の完全な理解を提供することを目的とした具体的な詳細を含んでいる。しかしながら、これらの概念は、これら具体的な詳細無しで実現されうることが当業者に明らかになるであろう。いくつかの事例では、周知の構成および構成要素が、このような概念を曖昧にすることを避けるために、ブロック図形式で示されている。 20

【0010】

[0024]図1は、SoC 110上の1または複数のブロック(例えば、CPU、GPU等)を、外部メモリ・デバイス(例えば、ダブル・データ・レート・シンクロナス・ダイナミック・ランダム・アクセス・メモリDDR SDRAM)とインターフェースするためのメモリ・インターフェースを備えたシステム・オン・チップ(SoC)110の例を図示する。簡略のために、外部メモリ・デバイスと、メモリ・インターフェースを用いて外部メモリ・デバイスにアクセスするSoC 110上のブロックとは、図1に図示されていない。メモリ・インターフェースは、外部DDR SDRAMの例を用いて以下に記載されているが、本開示は、この例に限定されず、その他のタイプのメモリ・デバイスに適用されうることが認識されるべきである。 30

【0011】

[0025]メモリ・インターフェースは、中央に配置されたメモリ・コントローラ115と、SoC 110の周辺に沿って配置された複数の物理(PHY)ブロック120a-120eおよび125a-125eと、を備えうる。メモリ・コントローラ115は、外部DDR SDRAMにアクセスする必要のあるSoC 110上のブロックと外部DDR SDRAMとの間のデータのフローを管理する。メモリ・アクセスは、外部DDR SDRAMへデータを書き込むことと、外部DDR SDRAMからデータを読み取ることとを含みうる。例えば、SoC 110上のブロックが、外部DDR SDRAMへデータを書き込む必要がある場合、メモリ・コントローラ115は、対応するDDRデータ、クロック信号、およびコマンド/アドレス(CA)信号を生成し、PHYブロック120a-120eおよび125a-125eのうちの1または複数へ送信する。1または複数のPHYブロック120a-120eおよび125a-125eは、適用可能なメモリ規格に従って、外部DDR SDRAMへ出力するために、DDRデータ、クロック信号、およびCA信号を調整する。 40

【0012】

[0026] DDRデータは、4バイトのデータ・ワードに対応する4バイトの幅を有しうる。この例において、メモリ・コントローラ115は、4つのPHYブロック（例えば、PHYブロック120a - 120d）に並行して、4バイトのDDRデータを送信し、ここで、各バイトは、4つのPHYブロックのうちの異なる1つに送信される。メモリ・コントローラ115はまた、4つのPHYブロックの各々へ、クロック信号を送信する。したがって、4つのPHYブロックの各々は、クロック信号およびDDRデータのそれぞれのバイトを受け取る。メモリ・コントローラ115はまた、外部DDR SDRAMへの出力のために、PHYブロックのうちの5番目のPHYブロック（例えば、PHYブロック120e）へCA信号を送信する。

10

【0013】

[0027]図1に図示される例において、SOC 110は、DDRデータと同じメモリ・デバイスまたは別のメモリ・デバイスへ転送するために、(CH0およびCH1と示される)2つのメモリ・チャネルを有する。例えば、メモリ・コントローラ115は、チャネルCH0のためのDDRデータおよびCA信号を、PHYブロック120a - 120eへ送信しうる。チャネルCH0に関するDDRデータは、(DQ0、DQ1、DQ2およびDQ3と示される)4バイトの幅を有し得、ここで、各バイトは、PHYブロック120a - 120dの各1つに送信される。チャネルCH0に関するCA信号は、PHYブロック120eに送信される。メモリ・コントローラ115は、チャネルCH1に関するCA信号およびDDRデータを、PHYブロック125a - 125eへ送信しうる。CH1に関するDDRデータは、(DQ0、DQ1、DQ2およびDQ3と示される)4バイトの幅を有し得、ここで、各バイトは、PHYブロック125a - 125dの各1つに送信される。チャネルCH0に関するCA信号は、PHYブロック125eに送信される。

20

【0014】

[0028] DDR SDRAMとインターフェースすることは、高速であることから、究極的なチャレンジであり得、これは、SOCとDDR SDRAMとの間で満たされる必要のある厳しいタイミング要求につながる。1つのチャレンジは、SOC上の周辺部にある対応するPHYブロックへの全ての経路に、異なるバイトに関する中央で生成されたDDRデータおよびクロック信号を分配することである。さらに、PHYブロックは、SOCの周辺に沿って、離れた間隔で配置されうる。その結果、異なるバイトのDDRデータおよびクロック信号が、比較的長い距離（例えば、10 ~ 20ミリメートル）にわたって、SOCの周辺への異なる経路を通過する必要がある。

30

【0015】

[0029]上記問題に対処するための1つのアプローチは、中央に配置されたメモリ・コントローラから、ソース同期(source synchronous)インターフェースを経由して、SOCの周辺へとDDRデータを送信することである。しかしながら、このアプローチは、クロック速度が、ギガヘルツ範囲に達した場合、極端に冗長となり、ほとんど達成されなくなる。DDR SDRAMに達するクロックはまた、厳しいジッタ(Tjitt)要求およびデューティ・サイクル(Tduty)要求を満たさねばならず、これは、電圧および温度によって、SOCのさまざまな部分においてジッタを誘発されるので、SOCの周辺部に分配される中央で生成されたクロックについて、達成することが困難である。

40

【0016】

[0030] SOC内でデータを送信するための別のアプローチは、ファースト・イン・ファースト・アウト(FIFO)デバイスのような標準的な非同期クロック領域を越える回路を用いることである。このアプローチは、領域を越えるためのいくつかの追加のクロック・サイクルを必要とし、これは、レイテンシに影響を受け易いシステムのための大きなペナルティでありうる。このアプローチはまた、DDRデータが外部DDR SDRAMへ出力される場合、DDRデータの同じワードに対応するバイトが、揃えられることを確実にするために、PHYブロック間の調整を必要とする。

【0017】

50

[0031]図2は、本開示の態様に従うメモリ・インターフェース205を図示する。メモリ・インターフェース205は、メモリ・コントローラ115およびクリーン・フェーズ・ロック・ループ(PLL)210を備える。これらは両方とも、SoC110の中央に配置されうる。メモリ・インターフェース205はまた、クリーンアップPLL225および同期回路230を備え、これらは両方とも、SoC110の周辺部の付近に配置され、図1に図示されたPHYブロックのうちの1つに含まれうる。メモリ・インターフェース205はまた、分周器212を備えうる。

【0018】

[0032]動作時において、クロックPLL210は、水晶発振器(図示せず)から入力クロック信号を受け取り、入力クロック信号に基づいて、出力クロック信号を生成する。
メモリ・コントローラ115は、外部DDRSDRAMにアクセスしているSoC110におけるブロック(図示せず)からのデータに基づいて、DDRデータを生成する。
メモリ・コントローラ115はまた、クロックPLL210からの出力クロック信号に基づいて、データ・クロック信号を生成する。高速データ転送のために、データ・クロック信号は、約1ギガ・ヘルツ以上の周波数を有しうる。メモリ・コントローラ115は、同期回路230にDDRデータおよびデータ・クロック信号を出力する。DDRデータは、メモリ・コントローラ115において、データ・クロック信号の立ち上がりエッジと揃えられうる。DDRデータおよびデータ・クロック信号は、SoC110のほぼ中央から、SoC110の周辺部の付近に位置している同期回路230へと、SoC110内を比較的長い距離(例えば、10~20ミリメートル)を移動しうる。

10

【0019】

[0033]分周器212はまた、クロックPLL210から出力クロック信号を受け取り、出力クロック信号の周波数をNで除することによって、低周波数の基準クロック信号が生成される。これは、クリーンアップPLL225へ出力される。低周波数のクロック信号は、少ない電力しか消費しないので、電力消費を減少させるために、周波数低減がなされる。基準クロック信号は、SoC110のほぼ中央から、SoC110の周辺部の付近に位置しているクリーンアップPLL225へと、SoC110内を比較的長い距離(例えば、10~20ミリメートル)移動する。その結果、基準クロック信号は、基準クロック信号がクリーンアップPLL225に達する時間まで、SoCのさまざまな部分からのジッタを蓄積する。

20

【0020】

[0034]クリーンアップPLL225は、基準クロック信号内のジッタを低減し、基準クロック信号の周波数にNを乗じることによって、クリーン・クロック信号を生成する。クリーン・クロック信号は、データ・クロック信号と同じ周波数を有しうるが、必ずしも同じ位相を有する必要はない。クリーンアップPLL225は、ジッタを減衰させるループ・フィルタ(例えば、ロウ・バス・ループ・フィルタ)を用いてジッタを低減する。クリーン・クロック信号は、外部DDRSDRAMへ出力されるDDR出力クロック信号のために使用されうる。なぜなら、(SoC110の周辺部の付近で生成された)クリーン・クロック信号は、単に、外部DDRSDRAMへの出力のためにSoC110のI/Oピンに到着するために短い距離しか移動しなくてよく、したがって、低いジッタしか有さない。クリーン・クロック信号はまた、DDRデータをサンプル(キャプチャ)するためにDDRSDRAMが使用しうる、DDRSDRAMへのデータ・ストローブ信号を生成するために使用されうる。低いジッタは、DDRSDRAMへのクロックおよびデータ・ストローブ・タイミング要件を満たすことにより簡単にする。

30

【0021】

[0035]同期回路230は、メモリ・コントローラ115からのDDRデータおよびデータ・クロック信号と、クリーンアップPLL225からのクリーン・クロック信号とを受け取る。クリーンアップPLL225は、同期回路230の付近に配置されており、したがって、同期回路230にローカルである。同期回路230は、データ・クロック信号を用いてDDRデータをサンプル(キャプチャ)する。例えば、同期回路230は、デ

40

50

ータ・クロック信号の立ち上がりエッジまたは立ち下がりエッジにおけるDDRデータをキャプチャしうる。同期回路230はその後、キャプチャされたDDRデータを、クリーン・クロック信号と同期させる。したがって、同期回路230は、データ・クロック領域からクリーン・クロック領域へとDDRデータのタイミングをあわせる。同期回路230は、タイミングがあったDDRデータを外部DDR SDRAMへ出力しうる。タイミングがあったDDRデータは、SoC 110上の1または複数のIOピンを介して外部DDR SDRAMへダイレクトに出力されうるか、または、1または複数のIOピンを介して外部DDR SDRAMへ出力される前に、それぞれのPHYブロックにおける追加の処理を実行しうる。

【0022】

10

[0036]例示を容易にするために、1つの同期回路および1つのクリーンアップPLLしか図2に図示されていないが、メモリ・インターフェースは、SoC 110の周辺に沿った異なる場所に、複数の同期回路およびクリーンアップPLLを備えうることが認識されるべきである。例えば、図1に図示されるPHYブロックの各々は、1または複数の同期回路、および1または複数のクリーンアップPLLを含みうる。

【0023】

[0037]図3は、本開示の1つの実施形態に従う同期回路330を図示する。同期回路330は、第1ステージ・フリップ・フロップ335と、立ち上がりエッジ(REN)フリップ・フロップ340と、立ち下がりエッジ(FEN)フリップ・フロップ350と、出力フリップ・フリップ365と、マルチプレクサ360と、位相検出器370と、セレクタ380とを備える。

20

【0024】

[0038]第1ステージ・フリップ・フロップ335は、メモリ・コントローラ115からデータ・クロック信号およびDDRデータを受け取り、データ・クロック信号の立ち下がりエッジにおけるDDRデータをサンプル(キャプチャ)する。第1ステージ・フリップ・フロップ335は、サンプル(キャプチャ)されたDDRデータを、RENフリップ・フロップ340およびFENフリップ・フリップ350へ出力する。

【0025】

[0039]RENフリップ・フロップ340は、クリーン・クロック信号の立ち上がりエッジにおいて第1ステージ・フリップ・フロップ335からのDDRデータをサンプルし、FENフリップ・フロップ350は、クリーン・クロック信号の立ち下りエッジにおいて第1ステージ・フリップ・フロップ335からのDDRデータをサンプルする。RENフリップ・フロップ340およびFENフリップ・フリップ350は、RENサンプルされたDDRデータおよびFENサンプルされたDDRデータを、マルチプレクサ360にそれぞれ出力する。マルチプレクサ360は、RENサンプルされたDDRデータまたはFENサンプルされたDDRデータを、以下にさらに記載されるように、セレクタ380からのコマンドに基づいて、出力フリップ・フロップ360へ選択的に出力する。出力フリップ・フロップ360は、クリーン・クロック信号と揃えられたクリーンDDRデータを生成するために、クリーン・クロック信号の立ち下がりエッジにおいて、マルチプレクサ260の出力をサンプル(キャプチャ)する。したがって、同期回路330は、データ・クロック領域からクリーン・クロック領域へとDDRデータのタイミングをあわせる。前述したように、クリーン・クロック信号は、DDR SDRAMへ出力されたDDRクロックのために使用されうる。このケースでは、同期回路330が、DDRデータを、DDRクロック出力に同期させる。

30

【0026】

40

[0040]前述したように、データ・クロック信号およびクリーンアップPLL 225からのクリーン・クロック信号は、同じ周波数を有しうるが、必ずしも同じ位相を有する必要はない。位相検出器370は、クリーン・クロック信号およびデータ・クロック信号を受け取り、2つのクロック信号間の位相差(オフセット)を決定する。位相検出器の処理単位(granularity)は、クロック・サイクル(周期)の1/4、あるいは、より精細な

50

処理単位でありうる。セレクタ380は、マルチプレクサ360に対して、以下にさらに記載されるように、位相検出器370からの位相検出に基づいて、REフリップ・フロップ340からREサンプルされたDDRデータ、または、FEフリップ・フロップ350からFEサンプルされたDDRデータを選択するように指示する。

【0027】

[0041] 1つの実施形態では、セレクタ380は、位相検出器370からの位相検出に基づいて、データ・クロック信号の立ち下がりエッジ(サンプリング・エッジ)が、クリーン・クロック信号の立ち下がりエッジにより近いか、立ち上がりエッジにより近いかを判定する。データ・クロック信号の立ち下がりエッジ(サンプリング・エッジ)が、クリーン・クロック信号の立ち上がりエッジに、より近い場合、セレクタ380は、マルチプレクサ360に対して、FEフリップ・フロップ350からFEサンプルされたDDRデータを選択するように指示する。データ・クロック信号の立ち下がりエッジ(サンプリング・エッジ)が、クリーン・クロック信号の立ち下がりエッジに、より近い場合、セレクタ380は、マルチプレクサ360に対して、REフリップ・フロップ340からREサンプルされたDDRデータを選択するように指示する。したがって、セレクタ380は、フリップ・フロップ340, 350の出力を選択し、データ・クロック信号の立ち下がりエッジ(サンプリング・エッジ)からさらに離れたクリーン・クロック信号のエッジにおけるDDRデータをサンプルする。なぜなら、第1ステージ・フリップ・フロップ335からのDDRデータは、データ・クロック信号の立ち下がりエッジ(サンプリング・エッジ)において変動するからである。その結果、第1ステージ・フリップ・フロップ335からのDDRデータは、データ・クロック信号の立ち下がりエッジ(サンプリング・エッジ)からさらに離れたクリーン・クロック信号のエッジにおいてサンプルされた場合に、より安定する可能性が高い(したがって、準安定状態をもたらす可能性は低い)。

【0028】

[0042] 1つの実施形態では、位相検出器370の処理単位は、クロック・サイクル(周期)の4分の1である。この点に関し、図4は、クリーン・クロック信号410の例を図示しており、ここでは、クリーン・クロック信号410の各サイクルは、(1~4とラベル付けされた)4つのクワードラント(quadrant)へ分割される。この実施形態では、位相検出器370は、クリーン・クロック信号410の4つのクワードラントのうちのどれに、データ・クロック信号の立ち下がりエッジ(サンプリング・エッジ)が存在するのかを示す値を出力しうる。データ・クロック信号の立ち下がりエッジが、クワードラント1またはクワードラント4に存在することを位相検出器370が示す場合、データ・クロック信号の立ち下がりエッジは、クリーン・クロック信号410の立ち下がりエッジよりも、クリーン・クロック信号410の立ち上がりエッジに、より近いと考えられうる。このケースでは、セレクタ380は、FEフリップ・フロップ350からのFEサンプルされたDDRデータを選択するようにマルチプレクサ360に指示しうる。データ・クロック信号の立ち下がりエッジが、クワードラント2またはクワードラント3に存在することを位相検出器370が示す場合、データ・クロック信号の立ち下がりエッジは、クリーン・クロック信号410の立ち上がりエッジよりも、クリーン・クロック信号410の立ち下がりエッジに、より近いと考えられうる。このケースでは、セレクタ380は、REフリップ・フロップ340からのREサンプルされたDDRデータを選択するようにマルチプレクサ360に指示しうる。

【0029】

[0043] 図5は、別の実施形態に従う同期回路530を図示しており、ここでは、位相検出器570が、メモリ・コントローラ115からの較正信号を用いて位相検出を実行する。メモリ・コントローラ115は、同期回路530に較正信号を定期的に出力しうる。例えば、メモリ・コントローラ115は、データ・クロック信号のMサイクル毎に一度、較正信号を出力しうる。各較正信号は、パルス信号またはその他のタイプの信号を備えうる。メモリ・コントローラ115は、DDRデータをメモリ・コンとローラ115から同期回路530へ伝送するために使用されるデータ・ラインで、較正信号を定期的に出力し得

10

20

30

40

50

、ここでは、DDRデータおよび較正信号が、データ・ラインで、異なる時間において送られる。

【0030】

[0044]較正信号がメモリ・コントローラ115から出力された場合、第1ステージ・フリップ・フロップ335は、データ・クロック信号の立ち下がりエッジ(サンプリング・エッジ)において較正信号をキャプチャする。その結果、キャプチャされた較正信号の立ち上がりエッジが、データ・クロック信号の立ち下がりエッジ(サンプリング・エッジ)とほぼ揃えられる。位相検出器570は、キャプチャされた較正信号を、第1ステージ・フリップ・フロップ335から受け取り、キャプチャされた較正信号の立ち上がりエッジと、クリーン・クロック信号の立ち上がりエッジとの間の位相差(オフセット)を決定する。キャプチャされた較正信号の立ち上がりエッジは、データ・クロック信号の立ち下がりエッジ(サンプリング・エッジ)とほぼ揃えられ、位相差は、データ・クロック信号の立ち下がりエッジ(サンプリング・エッジ)と、クリーン・クロック信号の立ち上がりエッジとの間の位相差にほぼ等しい。10

【0031】

[0045]位相検出器570は、決定された位相差を、セレクタ380へ出力し、セレクタ380は、マルチプレクサ360に対して、位相差に基づいて、REフリップ・フロップ340からのREサンプルされたDDRデータ、または、FEフリップ・フロップ350からのFEサンプルされたDDRデータかを選択するように指示する。例えば、位相検出器570がクロック・サイクルの4分の1の処理単位を有している場合、キャプチャされた較正信号の立ち上がりエッジが、クワードラント2または3に存在することを位相検出器570示す場合、セレクタ380は、マルチプレクサ360に対して、REフリップ・フロップ340からのREサンプルされたDDRデータを選択するように指示しうる。キャプチャされた較正信号の立ち上がりエッジが、クワードラント1または4に存在することを位相検出器570が示す場合、セレクタ380は、マルチプレクサ360に対して、FRフリップ・フロップ350からのFEサンプルされたDDRデータを選択するように指示しうる。20

【0032】

[0046]1つの実施形態では、セレクタ380は、最も直近に受け取られた較正信号を用いて、位相検出に基づいて、REフリップ・フロップ340またはFEフリップ・フロップ350を選択するように、マルチプレクサ360に対して指示する。したがって、メモリ・コントローラ115から較正信号が受け取られた場合にのみ選択が更新され、較正信号間で一定に保たれる。その結果、較正信号の周波数を制御することによって、位相検出器の周波数(したがって、セレクタ更新値)が制御される。較正信号の周波数は、SOC110におけるジッタの特性に基づいて制御および微調整されうる。30

【0033】

[0047]図6は、本開示の態様に従う位相検出器570の典型的な実装を図示する。この実施形態では、位相検出器570は、クロック・サイクルの4分の1の処理単位を有する。位相検出器570は、第1の入力フリップ・フリップ610-1と、第2の入力フリップ・フロップ610-2と、第3の入力フリップ・フロップ610-3と、第4の入力フリップ・フロップ610-4と、第1の出力フリップ・フロップ620-1と、第2の出力フリップ・フロップ620-2と、第3の出力フリップ・フロップ620-3と、第4の出力フリップ・フロップ620-4と、エンコーダ630とを備える。40

【0034】

[0048]第1、第2、第3、および第4の入力フリップ・フロップ610-1～610-4の各々は、そのデータ入力Dにおいて、第1ステージ・フリップ・フロップ335の出力から較正信号を受け取る。第1の入力フリップ・フロップ610-1は、そのクロック入力C1kにおいてクリーン・クロック信号を受け取り、第2の入力フリップ・フロップ610-2は、そのクロック入力C1kにおいて、90°シフトされたクリーン・クロック信号を受け取り、第3の入力フリップ・フロップ610-3は、そのクロック入力C150

kにおいて、 180° シフトされたクリーン・クロック信号を受け取り、第4の入力フリップ・フロップ610-4は、そのクロック入力C1kにおいて、 270° シフトされたクリーン・クロック信号を受け取る。

【0035】

[0049]第1の入力フリップ・フロップ610は、クリーン・クロック信号の立ち上がりエッジにおいて、較正信号をサンプルし、第2の入力フリップ・フロップ610-2は、 90° シフトされたクリーン・クロック信号の立ち上がりエッジにおいて、較正信号をサンプルし、第3の入力フリップ・フロップ610-3は、 180° シフトされたクリーン・クロック信号の立ち上がりエッジにおいて、較正信号をサンプルし、第4の入力フリップ・フロップ610-4は、 270° シフトされたクリーン・クロック信号の立ち上がりエッジにおいて、較正信号をサンプルする。したがって、第1、第2、第3、および第4の入力フリップ・フロップ610-1～610-4は、互いから 90° 離れた4つの異なるサンプル・ポイントにおいて較正信号をサンプルする。
10

【0036】

[0050]出力フリップ・フロップ620-1～620-4の各々は、入力フリップ・フロップ610-1～610-4のそれぞれの出力に結合される。例えば、第1の出力フリップ・フロップ620-1は、第1の入力フリップ・フロップ610-1の出力に結合され、第2の出力フリップ・フロップ620-2は、第2の入力フリップ・フロップ610-2の出力に結合されるという具合である。出力フリップ・フロップ620-1～620-4の各々は、クリーン・クロック信号の立ち上がりエッジにおいて、それぞれの入力フリップ・フロップ610-1～610-4の出力値をサンプル(キャプチャ)し、サンプルされた出力値をエンコーダ630へ出力する。したがって、エンコーダ630は、(図6においてD samp[0]～D samp[3]と示される)4つの値を受け取り、ここで、各値は、4つのサンプル・ポイントのうちの異なる1つにおいてサンプルされた較正信号に対応している。
20

【0037】

[0051]エンコーダ630は、その後、出力フリップ・フロップ620-1～620-4からの4つの値に基づいて、較正信号の立ち上がりエッジがどのクウェアドラン트に存在するのかを判定し、判定されたクウェアドラントを示す位相検出信号を、セレクタ380へ出力する。位相検出信号は、較正信号の立ち上がりエッジが存在するクウェアドラントを特定する(図6においてPout[1:0]と示される)2ビット信号でありうる。
30

【0038】

[0052]位相検出器570の動作は、図7を参照して1つの実施形態に従って記載されるであろう。図7は、各クロック・サイクルが4つのクウェアドラントに分割される、クリーン・クロック信号710の例を図示する。図7はまた、第1、第2、第3、および第4の入力フリップ・フロップ610-1、610-2、610-3、および610-4それに対応するサンプル・ポイントph0、ph90、ph180、およびph270を図示している。図7はさらに、4つの例示的な較正信号720-1～720-4を図示しており、ここでは、各較正信号が、クリーン・クロック信号710の異なるクウェアドラントに存在する立ち上がりエッジを有し、各較正信号は、およそ1クロック・サイクルに等しいパルス幅を有する。
40

【0039】

[0053]較正信号710-1～710-4の各々について、図7は、この較正信号に関する、第1、第2、第3、および第4の入力フリップ・フロップ610-1～610-4からの4つの出力値を図示している。例えば、クウェアドラント1に存在する立ち上がりエッジを有する較正信号710-1の場合、第1の入力フリップ・フロップ610-1は、論理ゼロを出力し、第2、第3、および第4の入力フリップ・フロップ610-2、610-3、および610-4の各々は、論理1を出力する(較正信号720-1の波形において“0111”によって表される)。クウェアドラント2に存在する立ち上がりエッジを有する較正信号710-2の場合、第1および第2の入力フリップ・フロップ610-1お
50

および 610-2 の各々は、論理 0 を出力し、第 3 および第 4 の入力フリップ・フロップ 610-3 および 610-4 の各々は、論理 1 を出力する（較正信号 720-2 の波形において“0011”によって表される）。クウアドラント 3 に存在する立ち上がりエッジを有する較正信号 710-3 の場合、第 1、第 2、および第 3 の入力フリップ・フロップ 610-1、610-2、および 610-3 の各々は、論理 1 を出力し、第 4 の入力フリップ・フロップ 610-4 は、論理 0 を出力する（較正信号 720-3 の波形において“1110”によって表される）。最後に、クウアドラント 4 に存在する立ち上がりエッジを有する較正信号 710-4 の場合、第 1、第 2、第 3、および第 4 の入力フリップ・フロップ 610-1 ~ 610-4 の各々は、論理 1 を出力する（較正信号 720-4 の波形において“1111”によって表される）。エンコーダ 630 は、各クウアドラントについて上記で与えられた出力値に従って、較正信号の立ち上がりエッジが、どのクウアドラントに存在するのかを判定するようにプログラムされうる。10

【0040】

[0054] 図 8 は、本開示の別の実施形態に従う同期回路 830 を図示する。同期回路 830 は、同期回路 830 が、第 1、第 2、および第 3 の RE フリップ・フロップ 840、842、および 844 と、第 1、第 2、および第 3 の FE フリップ・フロップ 850、852、および 854 を備えていることを除いて図 5 に図示されているものに類似している。。

【0041】

[0055] 第 1、第 2、および第 3 の RE フリップ・フロップ 844、842、および 842 は、直列に結合されている。第 1 の RE フリップ・フロップ 840 は、クリーン・クロック信号の立ち上がりエッジにおいて第 1 ステージ・フリップ・フロップ 335 の出力をサンプルし、第 2 の RE フリップ・フロップ 842 は、クリーン・クロック信号の立ち上がりエッジにおいて第 1 の RE フリップ・フロップ 840 の出力をサンプルし、第 3 の RE フリップ・フロップ 844 は、クリーン・クロック信号の立ち上がりエッジにおいて第 2 の RE フリップ・フロップ 842 の出力をサンプルする。20

【0042】

[0056] 第 1、第 2、および第 3 の FE フリップ・フロップ 854、852 および 854 は、直列に結合されている。第 1 の FE フリップ・フロップ 850 は、クリーン・クロック信号の立ち下がりエッジにおいて第 1 ステージ・フリップ・フロップ 335 の出力をサンプルし、第 2 の FE フリップ・フロップ 852 は、クリーン・クロック信号の立ち下がりエッジにおいて第 1 の FE フリップ・フロップ 850 の出力をサンプルし、第 3 の FE フリップ・フロップ 854 は、クリーン・クロック信号の立ち下がりエッジにおいて第 2 の FE フリップ・フロップ 852 の出力をサンプルする。30

【0043】

[0057] マルチプレクサ 860 の入力は、RE フリップ・フロップ 840、842、および 844 の出力、FE フリップ・フロップ 850、852、および 854 の出力、および、第 1 ステージ・フリップ・フロップ 335 の出力に結合される。セレクタ 880 は、位相検出器 570 からの位相検出信号に基づいて、フリップ・フロップのうちの 1 つの出力を選択するようにマルチプレクサ 360 に指示する。マルチプレクサ 360 は、選択された出力を、出力フリップ・フロップ 365 に結合し、出力フリップ・フロップ 365 は、（DDR クロック出力のために使用されうる）クリーン・クロック信号と同期された DDR データを生成するために、クリーン・クロック信号の立ち下がりエッジにおいて、選択された出力をサンプル（キャプチャ）する。40

【0044】

[0058] したがって、フリップ・フロップ 335、840、842、844、850、852 および 854 は、7 つの異なるサンプル・ポイントに対応する、サンプルされたデータを提供する。第 1、第 2、および第 3 の RE フリップ・フロップ 840、842、および 844 のサンプル・ポイントは、互いから 1 クロック・サイクル、オフセットされる。第 1、第 2、および第 3 の FE フリップ・フロップ 850、852、および 854 のサン50

プル・ポイントは、互いから 1 クロック・サイクル、オフセットされ、第 1、第 2、および第 3 の R E フリップ・フロップ 8 4 0、8 4 2、および 8 4 4 のサンプル・ポイントから、半クロック・サイクル、オフセットされる。したがって、フリップ・フロップのうちの 1 つの出力を選択することによって、セレクタ 8 8 0 は、選択されたフリップ・フロップに対応するサンプル・ポイントを選択する。

【 0 0 4 5 】

[0059] この実施形態に従う同期回路 8 3 0 は、異なる P H Y ブロック間のサイクル・スリップを阻止することができる。サイクル・スリップは、メモリ・コントローラ 1 1 5 における同じクロック・サイクルに対応する 2 データ・バイトが、それぞれの P H Y ブロックにおいて異なるクロック・サイクルでサンプル（キャプチャ）される場合に生じうる。その結果、メモリ・コントローラ 1 1 5 において揃えられた 2 データ・バイトは、P H Y ブロックにおいてもはや揃えられない。同期回路 8 3 0 は、さらに以下に記載されるように、同期回路 8 3 0 の出力をプル・インまたはプッシュ・アウトすることによって、サイクル・スリップを阻止することができる。10

【 0 0 4 6 】

[0060] サイクル・スリップは、データ・クロック信号とクリーン・クロック信号との位相差が、1 つの P H Y ブロックにおいて経時的にドリフトするが、別の P H Y ブロックにおいては経時的にドリフトしないか、または、別の P H Y ブロックにおいて異なる量ドリフトする場合に引き起こされうる。位相ドリフトは、S o C における温度変化、および／または、別の原因によって引き起こされうる。スタティックなサイクル・スリップが、メモリ・コントローラ 1 1 5 と異なる P H Y ブロックとの間のスタティックな遅延ミスマッチによって引き起こされうる。同期回路 8 3 0 は、両方のタイプのサイクル・スリップを阻止することができる。20

【 0 0 4 7 】

[0061] 位相ドリフトによるサイクル・スリップを阻止するために、セレクタ 8 8 0 は、クリーン・クロック信号と、メモリ・コントローラ 1 1 5 からの較正信号との間の位相ドリフトを検出し、検出されたドリフトを補償するために、それに応じて、マルチプレクサ 3 6 0 の選択を調節するように構成されうる。位相ドリフトが緩やかな場合、セレクタ 8 8 0 は、位相検出器 5 7 0 からの位相検出信号における変化を経時的に追跡することによって、ドリフトを検出しうる。30

【 0 0 4 8 】

[0062] 較正信号の立ち上がりエッジがどのクアドラントに存在するのかを示す位相検出信号を位相検出器 5 7 0 が出力する実施形態の場合、セレクタ 8 8 0 は、位相検出信号によって示されるクアドラントにおける変化を追跡することによって位相ドリフトを検出しうる。位相検出信号間の位相ドリフトが 9 0 ° 未満であると仮定して、セレクタ 8 8 0 は、位相検出信号によって示されるクアドラントにおける変化に基づいて、位相ドリフトの方向を決定しうる。セレクタ 8 8 0 は、その後、検出された位相シフトを補償するために、マルチプレクサ 3 6 0 によるフリップ・フロップ選択を調節し、これによってサイクル・スリップを阻止する。

【 0 0 4 9 】

[0063] 1 つの実施形態では、セレクタ 8 8 0 は、その例が図 9 に図示されている真理値表 9 0 5 を用いて実現されうる。真理値表 9 0 5 では、各行は、クアドラントに対応し、各列は、マルチプレクサ 8 6 0 が選択を行うフリップ・フロップのうちの異なるフリップ・フロップに対応する。第 1、第 2、および第 3 の R E フリップ・フロップ 8 4 0、8 4 2、および 8 4 4 は、真理値表 9 0 5 における R E 0、R E 1、および R E 2 それぞれによって表される。第 1、第 2、および第 3 の F E フリップ・フロップ 8 5 0、8 5 2、および 8 5 4 は、真理値表 9 0 5 における F E 0、F E 1、および F E 2 それぞれによって表される。第 1 ステージ・フリップ・フロップ 3 3 5 は、真理値表 9 0 5 における「送出し」(launch)によって表される。なぜなら、第 1 ステージ・フリップ・フロップ 3 3 5 の出力は、同期回路 8 3 0 におけるデータ送出しポイントだからである。4050

【0050】

[0064] 真理値表 905 では、各クアドラントが、(n)、(n+1)、または(n-1)で注釈付けられる。これは、異なるフェーズ・ドリフト量に対応するクアドラントを区別するために使用される。例えば、真理値表 905 では、クアドラント 4 (n+1) は、1 つの方向におけるクアドラント 4 (n) からの 1 クロック・サイクルの位相ドリフトに対応し、クアドラント 4 (n-1) は、その反対方向におけるクアドラント 4 (n) からの 1 クロック・サイクルの位相ドリフトに対応しうる。

【0051】

[0065] 1 つの実施形態では、セレクタ 880 は、真理値表 905 におけるあるエントリにおいて開始し、開始エントリに基づいて、フリップ・フロップのうちの 1 つを選択しうる。例えば、位相検出器 570 は、最初に、クアドラント 1 を示す位相検出信号を出力しうる。この例において、セレクタ 800 は、真理値表 905 におけるクアドラント 1 (n) に対応するエントリにおいて開始し、第 1 の FE フリップ・フロップ 850 の出力を選択しうる。開始条件が確立された後、セレクタ 880 は、以下にさらに記載されるように、位相ドリフトを補償するために、真理値表 905 を用いてフリップ・フロップ選択を更新しうる。

10

【0052】

[0066] 例えば、位相検出信号によって示されたクアドラントが、初期化の後に、クアドラント 1 からクアドラント 2 に変化した場合、セレクタ 880 は、真理値表 905 におけるクアドラント (2) に対応するエントリへ移動し、第 1 の RE フリップ・フロップ 840 の出力を選択する。位相検出信号によって示されるクアドラントが、その後、クアドラント 2 からクアドラント 3 へ変化した場合、セレクタ 880 は、真理値表 905 におけるクアドラント 3 (n+1) に対応するエントリへ移動する。このケースでは、フリップ・フロップ選択は変わらない。位相検出信号によって示されるクアドラントが、その後、クアドラント 3 からクアドラント 4 へ変化した場合、セレクタ 880 は、クアドラント 4 (n+1) に対応するエントリへ移動し、第 1 ステージ・フリップ・フロップ 335 の出力を選択する。この例において、位相ドリフトによるクアドラント変化が、セレクタ 380 を、真理値表 905 の右へ移動させ、したがって、位相ドリフトを補償するために、セレクタ 380 の出力をプル・イン (pull in) させる。

20

【0053】

30

[0067] 別の例では、位相検出信号によって示されるクアドラントが、初期化後に、クアドラント 1 からクアドラント 4 へ変化した場合、セレクタ 880 は、真理値表 905 におけるクアドラント 4 (n) に対応するエントリへ移動する。このケースでは、フリップ・フロップ選択は変わらない。位相検出信号によって示されるクアドラントが、その後、クアドラント 4 からクアドラント 3 へ変化した場合、セレクタ 880 は、真理値表 905 におけるクアドラント 3 (n) に対応するエントリへ移動し、第 2 の RE フリップ・フロップ 852 の出力を選択する。位相検出信号によって示されるクアドラントが、その後、クアドラント 3 からクアドラント 2 へ変化した場合、セレクタ 880 は、クアドラント 2 (n-1) に対応するエントリへ移動する。このケースでは、フリップ・フロップ選択は変わらない。位相検出信号によって示されるクアドラントが、その後、クアドラント 2 からクアドラント 1 に変化した場合、セレクタ 880 は、真理値表 905 におけるクアドラント 1 (n-1) に対応するエントリへ移動し、第 2 の FE フリップ・フロップ 852 の出力を選択する。この例において、位相ドリフトによるクアドラント変化が、セレクタ 380 を、真理値表 905 の左へ移動させ、したがって、位相ドリフトを補償するために、セレクタ 380 の出力をプッシュ・アウト (push out) させる。

40

【0054】

[0068] したがって、真理値表 905 は、いずれかの方向における位相ドリフトを補償するために、マルチプレクサ 860 によるフリップ・フロップ選択を調節するために使用されうる。開始エントリは、前述された例において、真理値表 905 におけるクアドラント

50

ト 1 (n) に対応するが、本開示の実施形態は、この例に限定されないことが認識されるべきである。例えば、位相検出器 570 は、最初に、クウアドラント 4 を示す位相検出信号を出力しうる。この例において、セレクタ 880 は、開始ポイントとして、真理値表 905 におけるクウアドラント 4 (n) に対応するエントリを使用しうる。したがって、開始エントリは、位相検出器 570 によって示された最初のクウアドラントに依存しうる。さらに、本開示の実施形態は、図 9 に図示された特定の真理値表エントリに限定されないことが認識されるべきである。

【 0 0 5 5 】

[0069]議論されるように、スタティックなサイクル・スリップは、メモリ・コントローラ 115 と、異なるPHY ブロックとの間のスタティックな遅延ミスマッチ（例えば、メモリ・コントローラ 115 から、異なるPHY ブロックへの信号経路の長さにおけるミスマッチ）によって引き起こされうる。スタティックなサイクル・スリップの結果として、メモリ・コントローラ 115 における同じサイクルに存在する 2 つのデータ・バイトは、PHY ブロックにおける異なるサイクルにおいて終了しうる。10

【 0 0 5 6 】

[0070]スタティックなサイクル・スリップに対処するために、本開示は、SOC における複数のPHY ブロック間のスタティックなサイクル・スリップを判定し、スタティックなサイクル・スリップを較正するための方法を提供する。1 つの実施形態では、PHY ブロックの各々は、図 8 に図示される同期回路 830 を含みうる。20

【 0 0 5 7 】

[0071] SOC のブート時間中、または、その後直ちに、メモリ・コントローラ 115 は、PHY ブロックの各々へ較正信号を送る。PHY ブロックの各々における位相検出器 570 は、それぞれの較正信号が、DDR クロック信号のどのクウアドラントにおいて揃えられているのかを判定する。その後、各 PHY ブロックは、判定されたクウアドラントを、メモリ・コントローラ 115 または別のコントローラへレポートしうる。PHY ブロックの各々が、同じクウアドラントをレポートすると、メモリ・コントローラ 115 は、何もないことがありうる。しかしながら、PHY ブロックが、異なるクウアドラントをレポートすると、スタティックな遅延ミスマッチが明らかになる。このケースでは、メモリ・コントローラ 115 は、スタティックなミスマッチの結果、スタティックなサイクル・スリップになるのかを判定するために、PHY ブロックによってレポートされた異なるクウアドラントを分析し、もしもそうであれば、スタティックなサイクル・スリップをどのようにして較正するのかを決定しうる。30

【 0 0 5 8 】

[0072] この点に関し、図 10 は、3 つのPHY ブロックによってレポートされるクウアドラントの例を図示する。PHY ブロックのうちの最 1 のPHY ブロックが、CA 信号のために使用され、PHY ブロックのうちの第 2 のPHY ブロックが、データ・バイト DQ0 のために使用され、PHY ブロックのうちの第 3 のPHY ブロックが、データ・バイト DQ1 のために使用される。この例において、第 1 のPHY ブロックは、クウアドラント 1 において揃えられ、第 2 のPHY ブロックは、クウアドラント 2 において揃えられ、第 3 のPHY ブロックは、クウアドラント 3 において揃えられる。DDR クロック信号における上向き矢印は、PHY ブロックの出力が揃っていることを示す。この例において、PHY ブロックの出力が揃えられ、スタティックなサイクル・スリップ補正は、必要とされない。40

【 0 0 5 9 】

[0073] 図 11 は、第 1 のPHY ブロックがクウアドラント 2 において揃えられ、第 2 のPHY ブロックがクウアドラント 3 において揃えられ、第 3 のPHY ブロックがクウアドラント 4 において揃えられる例を図示する。この例では、PHY ブロックの出力も揃えられる。

【 0 0 6 0 】

[0074] 図 12 は、第 1 のPHY ブロックがクウアドラント 3 において揃えられ、第 2 の50

P H Y ブロックがクウアドラント 4 において揃えられ、第 3 の P H Y ブロックがクウアドラント 1 において揃えられる例を図示する。この例において、第 1 および第 2 の P H Y ブロックの出力が揃えられる。しかしながら、第 3 の P H Y ブロックの出力が、第 1 および第 2 の P H Y ブロックの出力から 1 クロック・サイクル、オフセットされ、その結果、スタティックなサイクル・スリップとなる。スタティックなサイクル・スリップは、第 1 および第 2 の P H Y ブロックの出力と揃えるために、第 3 の P H Y ブロックの出力を 1 クロック・サイクル、プル・インすることによって補正されうる。

【 0 0 6 1 】

[0075]あるいは、スタティックなサイクル・スリップは、第 3 の P H Y ブロックの出力と揃えるために、第 1 および第 2 の P H Y ブロックの出力を、1 クロック・サイクル、プッシュ・アウトすることによって補正されうる。このケースでは、メモリ・コントローラ 115 は、スタティックなサイクル・スリップを補正するために、第 1 および第 2 の P H Y ブロックに対して、1 クロック・サイクル、プッシュ・アウトせよとの指示を送信しうる。第 1 および第 2 の P H Y ブロックの各々における同期回路 830 は、その後、それぞれのマルチプレクサ 860 によるフリップ・フロップ選択を変更することによって、それぞれの出力を、1 クロック・サイクル、プッシュ・アウトしうる。例えば、第 1 の F E フリップ・フロップ 850 が最初に選択されると、同期回路 830 は、第 2 の F E フリップ・フロップ 852 へシフトすることによって、1 クロック・サイクル、プッシュ・アブトしうる。これは、第 1 の F E フリップ・フロップ 850 から、1 クロック・サイクル、遅延される。10

【 0 0 6 2 】

[0076]図 13 は、1 つの実施形態に従う真理値表 1305 を図示している。真理値表 1305 は、(“DEF”とラベルされた) デフォルト・エントリのセットと、(“PUSH”とラベルされた) プッシュ・アウト・エントリのセットとを含む。DEF エントリは、デフォルト条件に相当し、PUSH エントリは、デフォルト条件からの 1 クロック・サイクルのプッシュ・アウトに相当する。この実施形態では、プッシュ・アウトされていない P H Y ブロックは、真理値表における DEF エントリを用いてフリップ・フロップ選択を実行し、スタティックなサイクル・スリップを補正するためにプッシュ・アウトされた P H Y ブロックは、真理値表 1305 における PUSH エントリを用いてフリップ・フロップ選択を実行する。図 12 に図示される例の場合、第 1 および第 2 の P H Y ブロックにおける同期回路 830 は、フリップ・フロップ選択を実行するために PUSH エントリを使用しうる。なぜならプッシュ・アウトするように指示されているからである。第 3 の P H Y ブロックにおける同期回路 830 は、フリップ・フロップ選択を実行するために、DEF エントリを使用しうる。20

【 0 0 6 3 】

[0077]図 14 は、第 1 の P H Y ブロックがクウアドラント 4 において揃えられ、第 2 の P H Y ブロックがクウアドラント 1 において揃えられ、第 3 の P H Y ブロックがクウアドラント 2 において揃えられる例を図示する。この例において、第 2 および第 3 の P H Y ブロックの出力が揃えられる。しかしながら、第 1 の P H Y ブロックの出力は、第 2 および第 3 の P H Y ブロックの出力から、1 クロック・サイクル、オフセットされ、その結果、スタティックなサイクル・スリップとなる。スタティックなサイクル・スリップは、第 1 の P H Y ブロックの出力と揃えるために、第 2 および第 3 の P H Y ブロックの出力を、1 サイクル・クロック、プル・インすることによって補正されうる。30

【 0 0 6 4 】

[0078]あるいは、スタティックなサイクル・スリップは、第 2 および第 3 の P H Y ブロックの出力と揃えるために、第 1 の P H Y ブロックの出力を、1 サイクル・クロック、プッシュ・アウトすることによって補正されうる。このケースでは、メモリ・コントローラ 115 は、スタティックなサイクル・スリップを補正するために、第 1 の P H Y ブロックに対して、1 クロック・サイクル、プッシュ・アウトせよとの指示を送りうる。40

【 0 0 6 5 】

50

20

30

40

50

[0079]図15は、1つの実施形態に従う真理値表1505を図示している。真理値表1505は、(“DEF”とラベルされた)デフォルト・エントリのセットと、(“PUSH”とラベルされた)プッシュ・アウト・エントリのセットとを含む。この実施形態では、プッシュ・アウトされていないPHYブロックは、真理値表1505におけるDEFエントリを用いてフリップ・フロップ選択を実行し、スタティックなサイクル・スリップを補正するためにプッシュ・アウトされたPHYブロックは、真理値表1505におけるPUSHエントリを用いてフリップ・フロップ選択を実行する。図14に図示される例に10
関し、第1のPHYブロックにおける同期回路830は、フリップ・フロップ選択を実行するために、PUSHエントリを使用し、第2および第3のPHYブロックにおける同期回路830は、フリップ・フロップ選択を実行するためにDEFエントリを使用しうる。

【0066】

[0080]スタティックなサイクル・ドリフトを補正するための方法は、上記与えられた特定の例に限定されないことが認識されるべきである。例えば、メモリ・コントローラ115は、各PHYブロックに1つの較正信号を送信するのではなく、各PHYブロックに、複数の較正信号を出力しうる。この例において、各PHYブロックは、較正信号の各自のためのクアドラントを決定し、較正信号のために最も良く決定されたクアドラントを、メモリ・コントローラ115へレポートする。

【0067】

[0081]別の例において、メモリ・コントローラ115は、検出されたスタティックなサイクル・スリップを補正するために、1または複数のPHYブロックに対して、1クロック・サイクル、プル・インするように指示しうる。この例において、真理値表は、真理値表におけるDEFエントリの右に配置されたプル・イン(PULL)エントリを含み、プル・インするように指示されたPHYブロックは、フリップ・フロップ選択を実行するためにPULLエントリを使用しうる。例えば、図12における例において図示されるスタティックなサイクル・スリップは、第3のPHYブロックの出力が、第1および第2のPHYブロックの出力と揃うように、第3のPHYブロックを1クロック・サイクル、プル・インすることによって補正されうる。このケースでは、第3のPHYブロックは、PULLエントリを使用し、第1および第2のPHYブロックは、DEFエントリを使用しうる。

【0068】

[0082]図16は、本開示の実施形態に従ってデータを同期させる方法1600のフロー図である。方法1600は、メモリ・コントローラ115からのデータを、クリーン・クロック信号を用いてタイミングをあわせるために、SoCの周辺部の付近に配置されたPHYブロックにおいて実行されうる。クリーン・クロック信号は、外部メモリ(例えば、DDR SDRAM)へのクロック出力(例えば、DDRクロック出力)として使用されうる。

【0069】

[0083]ステップ1610では、基準クロック信号に基づいて、クリーン・クロック信号が生成される。例えば、クリーン・クロック信号は、基準クロック信号内のジッタを減衰させるフェーズ・ロック・ループ(PLL)(例えば、クリーンアップPLL 225)によって生成されうる。

【0070】

[0084]ステップ1620では、データは、データ・クロック信号を用いてサンプルされる。例えば、データおよびデータ・クロック信号は、メモリ・コントローラ(例えば、メモリ・コントローラ115)から送信され、(SoCにおいて中心に配置されうる)メモリ・コントローラから、SoCの周辺部まで、SoC内を比較的長距離移動しうる。データは、データ・クロック信号の立ち上がりエッジまたは立ち下がりエッジにおいてデータをサンプル(キャプチャ)するフリップ・フロップ(例えば、入力フリップ・フロップ)を用いてサンプルされうる。

【0071】

10

20

30

40

50

[0085]ステップ 1630 では、サンプルされたデータが、クリーン・クロック信号と同期される。例えば、サンプルされたデータは、クリーン・クロック信号を用いてクロックされた 1 または複数のフリップ・フロップ（例えば、または、フリップ・フロップ 840、842、844、850、852、854、および 365 のそれ以上）によってサンプルされうる。

【0072】

[0086]当業者であれば、本開示の実施形態は、本明細書に記載された例に限定されないことを認識するであろう。例えば、第 1 ステージ・フリップ・フロップは、データ・クロック信号の立ち上がりエッジにおいて DDR データをサンプルしうる。このケースでは、第 1 ステージ・フリップ・フロップのサンプリング・エッジは、データ・クロック信号の立ち上がりエッジに相当するであろう。さらに、同期回路 830 は、任意の数の RE フリップ・フロップと、任意の数の FE フリップ・フロップとを備えうる。例えば、同期回路が、より広い範囲にわたって、位相ドリフトを補正することを可能にするために、必要であれば、RE フリップ・フロップおよび FE フリップ・フロップの数が増加されうる。このケースでは、真理値表は、追加の RE フリップ・フロップおよび FE フリップ・フロップのためのエントリを含むように拡張されうる。

10

【0073】

[0001]当業者であればさらに、本明細書における開示に関連して記載されたさまざまな例示的なプロック、回路、およびステップが、電子ハードウェア、コンピュータ・ソフトウェア、またはこれら両方の組み合わせとして実現されうることを認識するであろう。ハードウェアとソフトウェアとのこの相互置換性を明確に例示するために、さまざまな例示的な構成要素、プロック、回路、およびステップが、一般にそれらの機能の観点から前述された。これら機能がハードウェアとしてまたはソフトウェアとして実現されるかは、特定の用途およびシステム全体に課せられている設計制約に依存する。当業者であれば、特定の用途の各々に応じて変化する方式で、前述した機能を実現しうる。しかしながら、この適用判断は、本発明の範囲からの逸脱をもたらすものと解釈されるべきではない。

20

【0074】

[0002]本明細書における開示に関連して記載されたさまざまな例示的なプロックおよび回路は、汎用プロセッサ、デジタル信号プロセッサ、特定用途向け集積回路（ASIC）、フィールド・プログラマブル・ゲート・アレイ（FPGA）またはその他のプログラマブル・ロジック・デバイス、ディスクリート・ゲートまたはトランジスタ・ロジック、ディスクリート・ハードウェア構成要素、または本明細書に記載された機能を実行するよう設計されたこれら任意の組み合わせ、を用いて実現または実行されうる。汎用プロセッサは、マイクロ・プロセッサでありうるが、代替例では、このプロセッサは、従来のプロセッサ、コントローラ、マイクロ・コントローラ、または順序回路でありうる。プロセッサは、例えば DSP とマイクロ・プロセッサとの組み合わせ、複数のマイクロ・プロセッサ、DSP コアと連携する 1 つまたは複数のマイクロ・プロセッサ、またはその他任意のこのような構成であるコンピューティング・デバイスの組み合わせとして実現されうる。

30

【0075】

[0003]本明細書の開示に関連して説明された方法またはアルゴリズムのステップは、ハードウェアでダイレクトに、プロセッサによって実行されるソフトウェア・モジュールで、またはこの 2 つの組み合わせで実施されうる。ソフトウェア・モジュールは、RAM メモリ、フラッシュ・メモリ、ROM メモリ、EPROM メモリ、EEPROM（登録商標）メモリ、レジスタ、ハード・ディスク、リムーバブル・ディスク、CD-ROM、あるいは当該技術分野で知られているその他の型式の記憶媒体に存在しうる。典型的な記憶媒体は、プロセッサが記憶媒体から情報を読み取り、また記憶媒体に情報を書き込むができるようにプロセッサに結合される。あるいは、この記憶媒体は、プロセッサに統合されうる。このプロセッサと記憶媒体とは、ASIC 内に存在しうる。ASIC は、ユーザ端末内に存在しうる。あるいは、プロセッサおよび記憶媒体は、ユーザ端末内のディスクリートな構成要素として存在しうる。

40

50

【0076】

[0004] 1または複数の典型的な設計では、記載された機能は、ハードウェア、ソフトウェア、ファームウェア、あるいはそれらの任意の組み合わせによって実現されうる。ソフトウェアで実現される場合、これら機能は、コンピュータ読取可能な媒体上に格納されるか、あるいは、コンピュータ読取可能な媒体上の1つまたは複数の命令群またはコードとして送信されうる。コンピュータ読取可能な媒体は、コンピュータ記憶媒体と通信媒体との両方を含む。これらは、コンピュータ・プログラムのある場所から別の場所への転送を容易にする任意の媒体を含む。記憶媒体は、汎用コンピュータまたは特別目的コンピュータによってアクセスされうる任意の利用可能な媒体でありうる。限定ではなく、一例として、このようなコンピュータ読取可能な媒体は、RAM、ROM、EEPROM、CD-ROMまたはその他の光ディスク記憶装置、磁気ディスク記憶装置またはその他の磁気記憶装置、あるいは、命令群またはデータ構造の形式で所望のプログラム・コード手段を伝送または格納するために使用され、かつ、汎用コンピュータまたは特別目的コンピュータ、あるいは、汎用プロセッサまたは特別目的プロセッサによってアクセスされうるその他任意の媒体を備えうる。さらに、いずれの接続も、送信された信号の非一時的な記憶装置を含むという点で、コンピュータ読取可能な媒体と適切に称されうる。例えば、ソフトウェアが、同軸ケーブル、光ファイバ・ケーブル、ツイスト・ペア、デジタル加入者ライン(DSL)、または例えば赤外線、ラジオ、およびマイクロ波のような無線技術を用いて、ウェブサイト、サーバ、または遠隔ソースから送信されるのであれば、同軸ケーブル、光ファイバ・ケーブル、ツイスト・ペア、DSL、または例えば赤外線、ラジオ、およびマイクロ波のような無線技術は、非一時的な時間長さにわたり記憶媒体またはデバイス・メモリにおける送信チェーン内に信号が保持されるという点で、媒体の定義に含まれる。本明細書で使用されるdiskおよびdiscは、コンパクトディスク(disc)(CD)、レーザ・ディスク(disc)、光ディスク(disc)、デジタル多用途ディスク(disc)(DVD)、フロッピー(登録商標)ディスク(disk)、およびBluray(登録商標)ディスク(disc)を含む。ここでdiskは、通常、データを磁気的に再生する一方、discは、レーザを用いてデータを光学的に再生する。上記の組み合わせもまた、コンピュータ読取可能な媒体の範囲内に含まれるべきである。

【0077】

[0087] 本開示の上記記載は、当業者をして、本開示の製造または利用を可能とするように提供される。この開示に対するさまざまな変形は、当業者に容易に明らかであって、本明細書で定義された一般原理は、本開示の精神または範囲から逸脱することなく、他のバリエーションに適用されうる。したがって、本開示は、本明細書に記載された例に限定されることは意図されておらず、本明細書に開示された原理および新規の特徴に整合した最も広い範囲が与えられるべきである。

以下に、出願当初の特許請求の範囲に記載された発明を付記する。

[C1]

メモリ・インターフェースであって、前記メモリ・インターフェースは下記を備える、基準クロック信号を受け取り、前記基準クロック信号に基づいて、クリーン・クロック信号を生成するように構成されたクリーンアップ・フェーズ・ロック・ループ(PLL)と、

データ、データ・クロック信号、および前記クリーン・クロック信号を受け取るように構成された同期回路、ここにおいて、前記同期回路はさらに、前記データ・クロック信号を用いて前記データをサンプルし、前記サンプルされたデータを、前記クリーン・クロック信号と同期させるように構成される。

[C2]

前記同期回路および前記クリーンアップPLLは、チップの周辺部の付近に配置され、前記データおよび前記データ・クロック信号は、前記チップのほぼ中央に配置されたメモリ・コントローラから生じる、C1に記載のメモリ・インターフェース。

[C3]

10

20

30

40

50

前記基準クロック信号および前記データ・クロック信号はともに、共通のクロック信号から導出される、C 2 に記載のメモリ・インターフェース。

[C 4]

前記同期回路はさらに、

前記データ・クロック信号のサンプリング・エッジにおいて前記データをサンプルするように構成された入力フリップ・フロップと、

前記クリーン・クロック信号の立ち上がりエッジにおいて前記入力フリップ・フロップの出力をサンプルするように構成された立ち上がりエッジ (R E) フリップ・フロップと、

前記クリーン・クロック信号の立ち下がりエッジにおいて前記入力フリップ・フロップの出力をサンプルするように構成された立ち下がりエッジ (F E) フリップ・フロップと、

前記データ・クロック信号と前記クリーン・クロック信号との間の位相差を決定するように構成された位相検出器と、前記決定された位相差に基づいて、前記 F E フリップ・フロップの出力、または、前記 R E フリップ・フロップの出力を選択するように構成されたセレクタと、

を備える、C 1 に記載のメモリ・インターフェース。

[C 5]

前記セレクタは、前記決定された位相差に基づいて、前記データ・クロック信号のサンプリング・エッジが、前記クリーン・クロック信号の立ち上がりエッジに近いか、または、前記クリーン・クロック信号の立ち下がりエッジに近いかを判定し、前記データ・クロック信号のサンプリング・エッジが、前記クリーン・クロック信号の立ち下がりエッジに、より近い場合、前記 R E フリップ・フロップの出力を選択し、前記データ・クロック信号のサンプリング・エッジが、前記クリーン・クロック信号の立ち上がりエッジに、より近い場合、前記 F E フリップ・フロップの出力を選択するように構成された、C 4 に記載のメモリ・インターフェース。

[C 6]

前記入力フリップ・フロップは、前記データ・クロック信号のサンプリング・エッジにおいて較正信号をサンプルするように構成され、前記位相検出器は、前記サンプルされた較正信号と前記クリーン・クロック信号との間の位相差を決定することによって、前記データ・クロック信号と前記クリーン・クロック信号との間の位相差を決定するように構成された、C 4 に記載のメモリ・インターフェース。

[C 7]

前記同期回路はさらに、

前記データ・クロック信号のサンプリング・エッジにおいて、前記データをサンプルするように構成された入力フリップ・フロップと、

前記クリーン・クロック信号の立ち上がりエッジにおいて、前記入力フリップ・フロップの出力をサンプルするように構成された第 1 の立ち上がりエッジ (R E) フリップ・フロップと、

前記クリーン・クロック信号の立ち上がりエッジにおいて、前記第 1 の R E フリップ・フロップの出力をサンプルするように構成された第 2 の R E フリップ・フロップと、

前記クリーン・クロック信号の立ち下がりエッジにおいて、前記入力フリップ・フロップの出力をサンプルするように構成された第 1 の立ち下がりエッジ (F E) フリップ・フロップと、

前記クリーン・クロック信号の立ち下がりエッジにおいて、前記第 1 の F E フリップ・フロップの出力をサンプルするように構成された第 2 の F E フリップ・フロップと、

前記データ・クロック信号と前記クリーン・クロック信号との間の位相差を決定するように構成された位相検出器と、

前記決定された位相差に基づいて、前記第 1 の R E フリップ・フロップの出力、前記第 2 の R E フリップ・フロップの出力、前記第 1 の F E フリップ・フロップの出力、または

10

20

30

40

50

前記第2のF Eフリップ・フロップの出力を選択するように構成されたセレクタと、
を備える、C 1に記載のメモリ・インターフェース。

[C 8]

前記セレクタは、真理値表を用いて、前記選択を実行するように構成された、C 7に記載のメモリ・インターフェース。

[C 9]

前記真理値表は、第1のエントリのセットと第2のエントリのセットとを備え、前記セレクタは、デフォルト条件において、前記第1のエントリのセットを用いて前記選択を実行し、前記セレクタが、前記同期回路の出力をプッシュ・アウトまたはプル・インせよとの指示を受け取った場合、前記第2のエントリのセットを用いて前記選択を実行するように構成された、C 8に記載のメモリ・インターフェース。

10

[C 10]

データ同期のための方法であって、

基準クロック信号に基づいてクリーン・クロック信号を生成することと、

データ・クロック信号を用いてデータをサンプルすることと、

前記サンプルされたデータを、前記クリーン・クロック信号と同期させることと、
を備える方法。

[C 11]

前記データおよび前記データ・クロック信号は、チップのほぼ中心に配置されたメモリ
・コントローラから生じ、前記方法は、前記チップの周辺部の付近で実行される、C 10
に記載の方法。

20

[C 12]

前記基準クロック信号および前記データ・クロック信号はともに、共通のクロックから
導出される、C 11に記載の方法。

[C 13]

前記クリーン・クロック信号を生成することは、フェーズ・ロック・ループ(PLL)
を用いて、前記基準クロック信号におけるジッタを減衰させることを備える、C 10に記載の方法。

[C 14]

前記クリーン・クロック信号の立ち上がりエッジにおいて、前記サンプルされたデータ
をサンプルして、サンプルされた立ち上がりエッジ(RE)データを生成することと、

30

前記クリーン・クロック信号の立ち下がりエッジにおいて、前記サンプルされたデータ
をサンプルして、サンプルされた立ち下がりエッジ(FE)データを生成することと、

前記データ・クロック信号と、前記クリーン・クロック信号との間の位相差を決定すること、

前記サンプルされたREデータまたは前記サンプルされたFEデータを、前記決定された位相差に基づいて選択することと、
をさらに備えるC 10に記載の方法。

[C 15]

前記サンプルされたREデータまたは前記サンプルされたFEデータを選択することは

40

前記データ・クロック信号のサンプリング・エッジが、前記クリーン・クロック信号の
立ち上がりエッジにより近いか、前記クリーン・クロック信号の立ち下がりエッジにより
近いかを、前記決定された位相差に基づいて決定することと、

前記データ・クロックのサンプリング・エッジが、前記クリーン・クロック信号の立ち
下がりエッジにより近い場合、前記サンプルされたREデータを選択することと、

前記データ・クロック信号のサンプリング・エッジが、前記クリーン・クロック信号の
立ち上がりエッジにより近い場合、前記サンプルされたFEデータを選択することと、
を備える、C 14に記載の方法。

[C 16]

50

前記データ・クロック信号と前記クリーン・クロック信号との間の位相差を決定すること
とは、前記データ・クロック信号を用いて、較正信号をサンプルすることと、
前記サンプルされた較正信号と、前記クリーン・クロック信号との間の位相差を決定す
ることと、
を備える、C 14に記載の方法。

[C 17]

前記サンプルされたデータを、前記クリーン・クロック信号を用いて、複数の異なるサ
ンプル・ポイントにおいてサンプルして、サンプルされたクリーン・クロック・データを
生成することと、

前記データ・クロック信号と、前記クリーン・クロック信号との間の位相差を決定する 10
ことと、

前記複数のサンプル・ポイントのうちの1つに対応する、前記サンプルされたクリーン
・クロック・データを、前記決定された位相差に基づいて選択することと、
をさらに備えるC 10に記載の方法。

[C 18]

データ同期のための装置であって、

基準クロック信号に基づいてクリーン・クロック信号を生成するための手段と、

データ・クロック信号を用いてデータをサンプルするための手段と、

前記サンプルされたデータを、前記クリーン・クロック信号と同期させるための手段と
、を備える装置。

20

[C 19]

前記データおよび前記データ・クロック信号は、チップのほぼ中心に配置されたメモリ
・コントローラから生じ、前記方法は、前記チップの周辺部の付近で実行される、C 18
に記載の装置。

[C 20]

前記基準クロック信号および前記データ・クロック信号はともに、共通のクロック信号
から導出される、C 19に記載の装置。

[C 21]

前記クリーン・クロック信号の立ち上がりエッジにおいて、前記サンプルされたデータ
をサンプルして、サンプルされた立ち上がりエッジ(R E)データを生成するための手段
と、

30

前記クリーン・クロック信号の立ち下がりエッジにおいて、前記サンプルされたデータ
をサンプルして、サンプルされた立ち下がりエッジ(F E)データを生成するための手段
と、

前記データ・クロック信号と、前記クリーン・クロック信号との間の位相差を決定する
ための手段と、

前記サンプルされたR Eデータまたは前記サンプルされたF Eデータを、前記決定され
た位相差に基づいて選択するための手段と、
をさらに備えるC 18に記載の装置。

[C 22]

40

前記選択するための手段はさらに、前記データ・クロック信号のサンプリング・エッジ
が、前記クリーン・クロック信号の立ち上がりエッジにより近いか、前記クリーン・クロ
ック信号の立ち下がりエッジにより近いかを、前記決定された位相差に基づいて決定する
ための手段と、

前記データ・クロックのサンプリング・エッジが、前記クリーン・クロック信号の立ち
下がりエッジにより近い場合、前記サンプルされたR Eデータを選択するための手段と、

前記データ・クロック信号のサンプリング・エッジが、前記クリーン・クロック信号の
立ち上がりエッジにより近い場合、前記サンプルされたF Eデータを選択するための手段
と、

を備える、C 21に記載の装置。

50

【C 2 3】

前記サンプルされたデータを、前記クリーン・クロック信号を用いて、複数の異なるサンプル・ポイントにおいてサンプルして、サンプルされた複数のクリーン・クロック・データを生成するための手段と、

前記データ・クロック信号と、前記クリーン・クロック信号との間の位相差を決定するための手段と、

前記複数のサンプル・ポイントのうちの1つに対応する、前記サンプルされたクリーン・クロック・データを、前記決定された位相差に基づいて選択するための手段と、
をさらに備えるC 1 8に記載の装置。

【図1】

図1

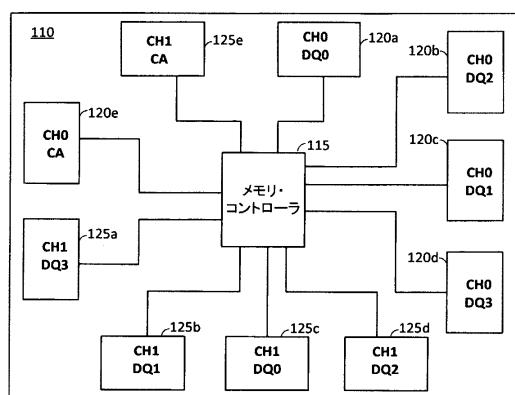


FIG. 1

【図2】

図2

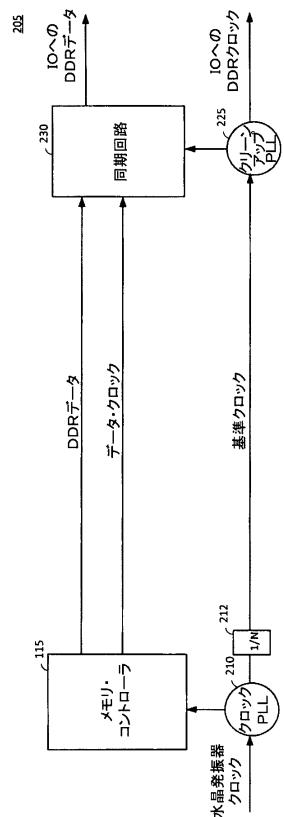
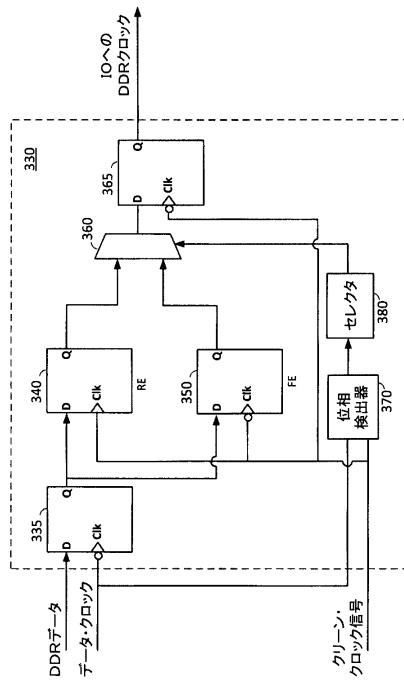


FIG. 2

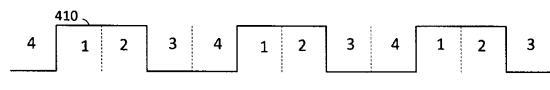
【図3】

図3



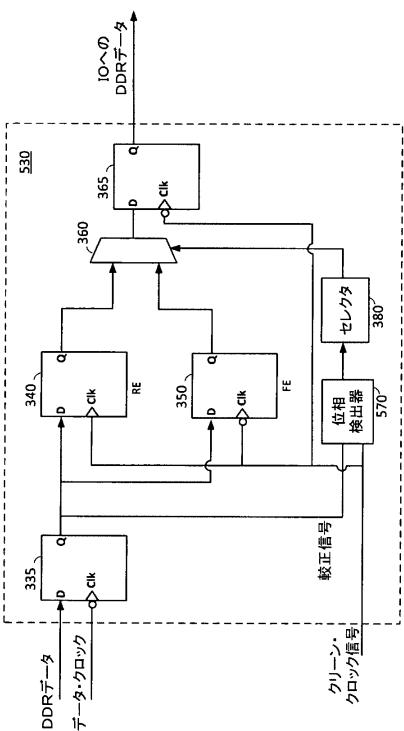
【図4】

図4



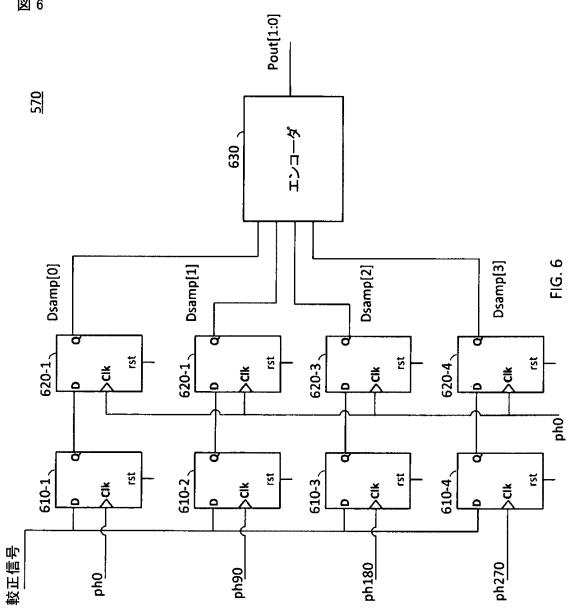
【図5】

図5

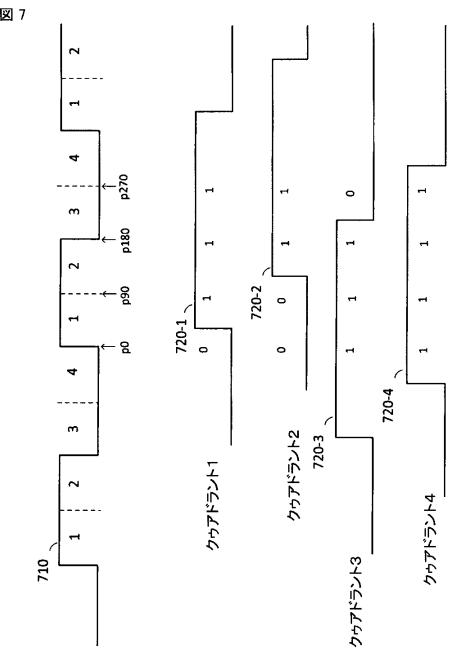


【図6】

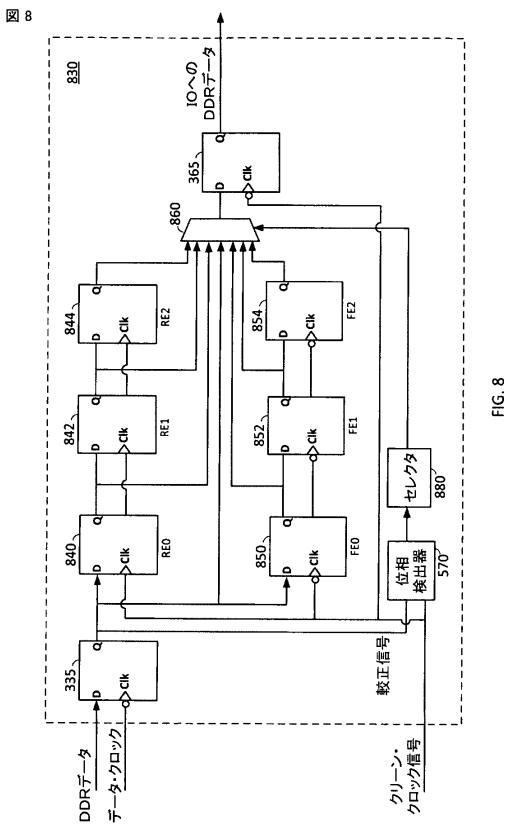
図6



【図7】



【図8】

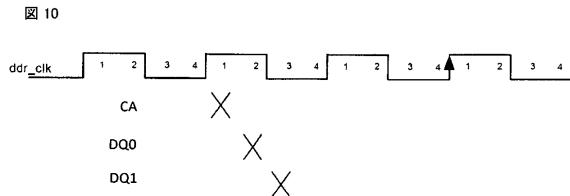


【図9】

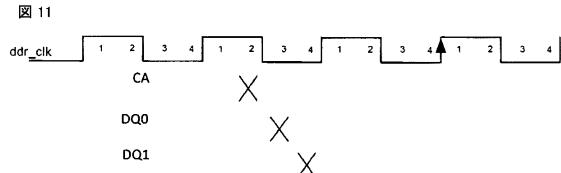
	FE2	RE2	FE1	RE1	FE0	RE0	送出し
4(n-1)							
1(n-1)							
2(n-1)							
3(n)							
4(n)							
1(N)							
2(n)							
3(n+1)							
4(n+1)							
1(n+1)							

FIG. 9

【図10】



【図11】



【図12】

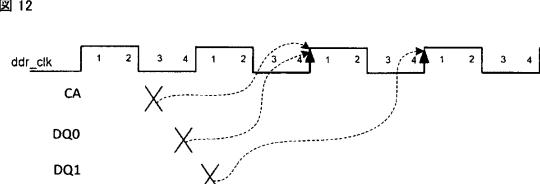


FIG. 10

【図13】

図13

	FE2	RE2	FE1	RE1	FE0	RE0	送出し
4(n-1)			DEF				
1(n-1)	PUSH		DEF				
2(n-1)		PUSH	DEF				
3(n)		PUSH	DEF				
4(n)			PUSH	DEF			
1(N)			PUSH	DEF			
2(n)				PUSH	DEF		
3(n+1)				PUSH			
4(n+1)					PUSH		
1(n+1)					PUSH		

FIG.13

【図15】

図15

	FE2	RE2	FE1	RE1	FE0	RE0	送出し
4(n-1)			DEF				
1(n-1)			DEF				
2(n-1)				DEF			
3(n)		PUSH		DEF			
4(n)			PUSH	DEF			
1(N)			PUSH	DEF			
2(n)				PUSH	DEF		
3(n+1)				PUSH	DEF		
4(n+1)					PUSH		
1(n+1)					PUSH		

FIG.15

【図14】

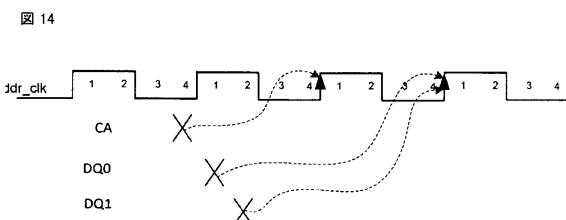


FIG.14

【図16】

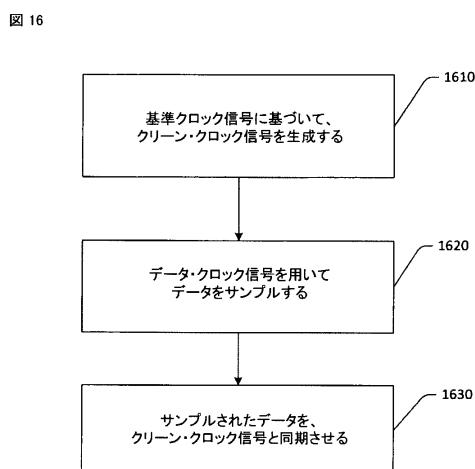


FIG.16

フロントページの続き

(72)発明者 ホセ、エド温

アメリカ合衆国、カリフォルニア州 92121、サン・ディエゴ、モアハウス・ドライブ 57
75

(72)発明者 ドロップ、マイケル

アメリカ合衆国、カリフォルニア州 92121、サン・ディエゴ、モアハウス・ドライブ 57
75

(72)発明者 ファン、シュハオ

アメリカ合衆国、カリフォルニア州 92121、サン・ディエゴ、モアハウス・ドライブ 57
75

(72)発明者 サンクラトリ、ラグー

アメリカ合衆国、カリフォルニア州 92121、サン・ディエゴ、モアハウス・ドライブ 57
75

(72)発明者 スリラマジリ、ディープティ

アメリカ合衆国、カリフォルニア州 92121、サン・ディエゴ、モアハウス・ドライブ 57
75

(72)発明者 ペドラリ - ノイ、マルツィオ

アメリカ合衆国、カリフォルニア州 92121、サン・ディエゴ、モアハウス・ドライブ 57
75

審査官 後藤 彰

(56)参考文献 特開2013-58209(JP,A)

特表2012-515376(JP,A)

米国特許出願公開第2009/0307521(US,A1)

米国特許出願公開第2007/0097779(US,A1)

(58)調査した分野(Int.Cl., DB名)

G06F 12/00

G11C 7/22