

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第6306160号
(P6306160)

(45) 発行日 平成30年4月4日 (2018.4.4)

(24) 登録日 平成30年3月16日 (2018.3.16)

(51) Int.Cl.

G 0 6 F 1 2 / 0 0 (2 0 0 6 . 0 1)

F 1

G 0 6 F 1 2 / 0 0 5 6 4 D

G 0 6 F 1 2 / 0 0 5 9 7 D

請求項の数 14 (全 27 頁)

(21) 出願番号	特願2016-515324 (P2016-515324)	(73) 特許権者	595020643
(86) (22) 出願日	平成26年6月2日 (2014.6.2)		クァアルコム・インコーポレイテッド
(65) 公表番号	特表2016-522499 (P2016-522499A)		Q U A L C O M M I N C O R P O R A T E D
(43) 公表日	平成28年7月28日 (2016.7.28)		アメリカ合衆国、カリフォルニア州 9 2
(86) 国際出願番号	PCT/US2014/000141		1 2 1 - 1 7 1 4、サン・ディエゴ、モア
(87) 国際公開番号	W02014/189551		ハウス・ドライブ 5 7 7 5
(87) 国際公開日	平成26年11月27日 (2014.11.27)	(74) 代理人	100108855
審査請求日	平成29年5月11日 (2017.5.11)		弁理士 蔵田 昌俊
		(74) 代理人	100109830
			弁理士 福原 淑弘
		(74) 代理人	100158805
			弁理士 井関 守三
		(74) 代理人	100194814
			弁理士 奥村 元宏

最終頁に続く

(54) 【発明の名称】 メソクロナスDDRシステムのための低レイテンシ同期スキーム

(57) 【特許請求の範囲】

【請求項 1】

データ同期のための方法であって、
基準クロック信号に基づいてクリーン・クロック信号を生成することと、
データおよびデータ・クロック信号をメモリ・コントローラから受け取ることと、
前記受け取ったデータ・クロック信号を用いて前記受け取ったデータをサンプルすることと、
前記サンプルされたデータを、前記クリーン・クロック信号と同期させることと、
を備える方法。

【請求項 2】

前記メモリ・コントローラは、チップのほぼ中心に配置され、前記サンプルされたデータを、前記クリーン・クロックと同期させることは、前記チップの周辺部の付近で実行される、請求項 1 に記載の方法。

【請求項 3】

前記基準クロック信号および前記データ・クロック信号はともに、共通のクロックから導出される、請求項 2 に記載の方法。

【請求項 4】

前記クリーン・クロック信号を生成することは、フェーズ・ロック・ループ (PLL) を用いて、前記基準クロック信号におけるジッタを減衰させることを備える、請求項 1 に記載の方法。

【請求項 5】

前記サンプルされたデータを、前記クリーン・クロックと同期させることは、
前記クリーン・クロック信号の立ち上がりエッジにおいて、前記サンプルされたデータをサンプルして、サンプルされた立ち上がりエッジ（R E）データを生成することと、
前記クリーン・クロック信号の立ち下がりエッジにおいて、前記サンプルされたデータをサンプルして、サンプルされた立ち下がりエッジ（F E）データを生成することと、
前記データ・クロック信号と、前記クリーン・クロック信号との間の位相差を決定することと、
前記サンプルされた R E データまたは前記サンプルされた F E データを、前記決定された位相差に基づいて選択することと、
をさらに備える、請求項 1 に記載の方法。

10

【請求項 6】

前記サンプルされた R E データまたは前記サンプルされた F E データを選択することは、
前記データ・クロック信号のサンプリング・エッジが、前記クリーン・クロック信号の立ち上がりエッジにより近いのか、前記クリーン・クロック信号の立ち下がりエッジにより近いのかを、前記決定された位相差に基づいて決定することと、
前記データ・クロックのサンプリング・エッジが、前記クリーン・クロック信号の立ち下がりエッジにより近い場合、前記サンプルされた R E データを選択することと、
前記データ・クロック信号のサンプリング・エッジが、前記クリーン・クロック信号の立ち上がりエッジにより近い場合、前記サンプルされた F E データを選択することと、
を備える、請求項 5 に記載の方法。

20

【請求項 7】

前記データ・クロック信号と前記クリーン・クロック信号との間の前記位相差を決定することは、前記データ・クロック信号を用いて、校正信号をサンプルすることと、
前記サンプルされた校正信号と、前記クリーン・クロック信号との間の位相差を決定することと、
を備える、請求項 5 に記載の方法。

【請求項 8】

前記サンプルされたデータを、前記クリーン・クロックと同期させることは、
前記サンプルされたデータを、前記クリーン・クロック信号を用いて、複数の異なるサンプル・ポイントにおいてサンプルして、サンプルされたクリーン・クロック・データを生成することと、
前記データ・クロック信号と、前記クリーン・クロック信号との間の位相差を決定することと、
前記複数のサンプル・ポイントのうちの 1 つに対応する、前記サンプルされたクリーン・クロック・データを、前記決定された位相差に基づいて選択することと、
をさらに備える、請求項 1 に記載の方法。

30

【請求項 9】

データ同期のための装置であって、
基準クロック信号に基づいてクリーン・クロック信号を生成するための手段と、
データおよびデータ・クロック信号をメモリ・コントローラから受け取るための手段と、
前記受け取ったデータ・クロック信号を用いて前記受け取ったデータをサンプルするための手段と、
前記サンプルされたデータを、前記クリーン・クロック信号と同期させるための手段と、
を備える装置。

40

【請求項 10】

前記メモリ・コントローラは、チップのほぼ中心に配置され、前記同期させるための手段は、前記チップの周辺部の付近に配置される、請求項 9 に記載の装置。

50

【請求項 1 1】

前記基準クロック信号および前記データ・クロック信号はともに、共通のクロック信号から導出される、請求項 1 0 に記載の装置。

【請求項 1 2】

前記同期させるための手段は、

前記クリーン・クロック信号の立ち上がりエッジにおいて、前記サンプルされたデータをサンプルして、サンプルされた立ち上がりエッジ (R E) データを生成するための手段と、

前記クリーン・クロック信号の立ち下がりエッジにおいて、前記サンプルされたデータをサンプルして、サンプルされた立ち下がりエッジ (F E) データを生成するための手段と、

10

前記データ・クロック信号と、前記クリーン・クロック信号との間の位相差を決定するための手段と、

前記サンプルされた R E データまたは前記サンプルされた F E データを、前記決定された位相差に基づいて選択するための手段と、
をさらに備える、請求項 9 に記載の装置。

【請求項 1 3】

前記選択するための手段はさらに、前記データ・クロック信号のサンプリング・エッジが、前記クリーン・クロック信号の立ち上がりエッジにより近いか、前記クリーン・クロック信号の立ち下がりエッジにより近いかを、前記決定された位相差に基づいて決定するための手段と、

20

前記データ・クロックのサンプリング・エッジが、前記クリーン・クロック信号の立ち下がりエッジにより近い場合、前記サンプルされた R E データを選択するための手段と、

前記データ・クロック信号のサンプリング・エッジが、前記クリーン・クロック信号の立ち上がりエッジにより近い場合、前記サンプルされた F E データを選択するための手段と、

を備える、請求項 1 2 に記載の装置。

【請求項 1 4】

前記同期させるための手段は、

前記サンプルされたデータを、前記クリーン・クロック信号を用いて、複数の異なるサンプル・ポイントにおいてサンプルして、サンプルされた複数のクリーン・クロック・データを生成するための手段と、

30

前記データ・クロック信号と、前記クリーン・クロック信号との間の位相差を決定するための手段と、

前記複数のサンプル・ポイントのうちの 1 つに対応する、前記サンプルされたクリーン・クロック・データを、前記決定された位相差に基づいて選択するための手段と、

をさらに備える、請求項 9 に記載の装置。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

40

[0001]本開示の態様は、一般に、メモリ・インターフェースに関し、さらに詳しくは、メモリ・インターフェースのための同期システムおよび方法に関する。

【背景技術】

【0 0 0 2】

[0002]システム・オン・チップ (S o C) は、S o C 上の 1 または複数のブロック (例えば、C P U 、 G P U 等) を、外部メモリ・デバイスとインターフェースするためのメモリ・インターフェースを含みうる。メモリ・インターフェースは、中央に配置されたメモリ・コントローラと、S o C の周辺に沿って配置された複数の物理 (P H Y) ブロックとを備えうる。メモリ・コントローラは、外部メモリ・デバイスにアクセスする必要のある S o C 上のブロックと外部メモリ・デバイスとの間のデータのフローを管理する。S o C

50

上のブロックが、外部メモリ・デバイスへデータを書き込む必要がある場合、メモリ・コントローラは、クロック信号およびコマンド/アドレス(CA)信号とともに、PHYブロックのうちの1または複数へとデータを送信する。1または複数のPHYブロックは、適用可能なメモリ規格に従って、外部メモリ・デバイスへ出力するために、データ、クロック信号、およびCA信号を調整する。

【発明の概要】

【0003】

[0003]以下は、1または複数の実施形態の基本的な理解を与えるために、このような実施形態の簡略化された概要を示す。この概要は、考えられるすべての実施形態の広範囲な概観ではなく、すべての実施形態の重要要素や決定的要素を特定することも、いずれかまたはすべての実施形態の範囲を線引きすることも意図されていない。その唯一の目的は、後述されるより詳細な記載に対する前置きとして、簡略化された形式で1または複数の実施形態のいくつかの概念を表すことである。

【0004】

[0004]本明細書では、態様に従って、メモリ・インターフェースが記載される。メモリ・インターフェースは、基準クロック信号を受け取り、基準クロック信号に基づいて、クリーン・クロック信号を生成するように構成されたクリーンアップ・フェーズ・ロック・ループ(PLL)を備える。メモリ・インターフェースはまた、データ、データ・クロック信号、およびクリーン・クロック信号を受け取るように構成された同期回路を備え、この同期回路はさらに、データ・クロック信号を用いてデータをサンプルし、サンプルされたデータを、クリーン・クロック信号と同期させるように構成される。

【0005】

[0005]第2の態様は、データ同期のための方法に関する。この方法は、基準クロック信号に基づいてクリーン・クロック信号を生成することと、データ・クロック信号を用いてデータをサンプルすることと、サンプルされたデータを、クリーン・クロック信号と同期させることと、を備える。

【0006】

[0006]第3の態様は、データを同期させるための装置に関する。この装置は、基準クロック信号に基づいてクリーン・クロック信号を生成するための手段と、データ・クロック信号を用いてデータをサンプルするための手段と、サンプルされたデータを、クリーン・クロック信号と同期させるための手段と、を備える。

【0007】

[0007]前述した目的および関連する目的を達成するために、1または複数の実施形態は、以下に十分説明され、特に特許請求の範囲で指摘される特徴を備える。次の記載および添付図面は、1または複数の実施形態のある実例となる態様を詳細に記載する。しかしながら、これらの態様は、さまざまな実施形態の原理が適用されるさまざまな方法のうちの僅かしか示しておらず、記載された実施形態は、このようなすべての局面およびそれらの均等物を示すことが意図されている。

【図面の簡単な説明】

【0008】

【図1】[0008]図1は、メモリ・インターフェースを備えたシステム・オン・チップ(SoC)の例を図示する。

【図2】[0009]図2は、本開示の実施形態に従うメモリ・インターフェースを図示する。

【図3】[0010]図3は、本開示の実施形態に従う同期回路を図示する。

【図4】[0011]図4は、本開示の実施形態に従ってクォドラントに分割されたクリーン・クロック信号を図示する。

【図5】[0012]図5は、本開示の別の実施形態に従う同期回路を図示する。

【図6】[0013]図6は、本開示の実施形態に従う位相検出器を図示する。

【図7】[0014]図7は、本開示の実施形態に従って、クリーン・クロック信号の異なるクォドラントにおいて揃えられた4つの較正信号の例を図示する。

10

20

30

40

50

【図 8】[0015]図 8 は、本開示の実施形態に従って、サイクル・スリップを阻止することが可能な同期回路を図示する。

【図 9】[0016]図 9 は、本開示の実施形態に従う真理値表を図示する。

【図 10】[0017]図 10 は、メモリ・インターフェース内の物理 (PHY) ブロック間の遅延ミスマッチの例を図示する。

【図 11】図 11 は、メモリ・インターフェース内の物理 (PHY) ブロック間の遅延ミスマッチの例を図示する。

【図 12】[0018]図 12 は、スタティックなサイクル・スリップに至る PHY ブロック間の遅延ミスマッチの例を図示する。

【図 13】[0019]図 13 は、本開示の実施形態に従って、デフォルト・エントリおよびプッシュ・アウト・エントリを備える真理値表を図示する。

10

【図 14】[0020]図 14 は、スタティックなサイクル・スリップに至る PHY ブロック間の遅延ミスマッチの別の例を図示する。

【図 15】[0021]図 15 は、本開示の別の実施形態に従って、デフォルト・エントリおよびプッシュ・アウト・エントリを備える真理値表を図示する。

【図 16】[0022]図 16 は、本開示の実施形態に従ってデータを同期させる方法のフローチャートである。

【発明を実施するための形態】

【0009】

[0023]添付図面とともに以下に説明する詳細な説明は、さまざまな構成の説明として意図されており、本明細書に記載された概念が実現される唯一の構成を表すことは意図されていない。この詳細な説明は、さまざまな概念の完全な理解を提供することを目的とした具体的な詳細を含んでいる。しかしながら、これらの概念は、これら具体的な詳細無しで実現されることが当業者に明らかになるであろう。いくつかの事例では、周知の構成および構成要素が、このような概念を曖昧にすることを避けるために、ブロック図形式で示されている。

20

【0010】

[0024]図 1 は、SoC 110 上の 1 または複数のブロック (例えば、CPU、GPU 等) を、外部メモリ・デバイス (例えば、ダブル・データ・レート・シンクロナス・ダイナミック・ランダム・アクセス・メモリ (DDR SDRAM)) とインターフェースするためのメモリ・インターフェースを備えたシステム・オン・チップ (SoC) 110 の例を図示する。簡略のために、外部メモリ・デバイスと、メモリ・インターフェースを用いて外部メモリ・デバイスにアクセスする SoC 110 上のブロックとは、図 1 に図示されていない。メモリ・インターフェースは、外部 DDR SDRAM の例を用いて以下に記載されているが、本開示は、この例に限定されず、その他のタイプのメモリ・デバイスに適用されることが認識されるべきである。

30

【0011】

[0025]メモリ・インターフェースは、中央に配置されたメモリ・コントローラ 115 と、SoC 110 の周辺に沿って配置された複数の物理 (PHY) ブロック 120a - 120e および 125a - 125e と、を備える。メモリ・コントローラ 115 は、外部 DDR SDRAM にアクセスする必要がある SoC 110 上のブロックと外部 DDR SDRAM との間のデータのフローを管理する。メモリ・アクセスは、外部 DDR SDRAM へデータを書き込むことと、外部 DDR SDRAM からデータを読み取ることとを含みうる。例えば、SoC 110 上のブロックが、外部 DDR SDRAM へデータを書き込む必要がある場合、メモリ・コントローラ 115 は、対応する DDR データ、クロック信号、およびコマンド / アドレス (CA) 信号を生成し、PHY ブロック 120a - 120e および 125a - 125e のうちの 1 または複数へ送信する。1 または複数の PHY ブロック 120a - 120e および 125a - 125e は、適用可能なメモリ規格に従って、外部 DDR SDRAM へ出力するために、DDR データ、クロック信号、および CA 信号を調整する。

40

50

【 0 0 1 2 】

[0026] D D R データは、4 バイトのデータ・ワードに対応する4 バイトの幅を有しうる。この例において、メモリ・コントローラ 1 1 5 は、4 つの P H Y ブロック（例えば、P H Y ブロック 1 2 0 a - 1 2 0 d）に並行して、4 バイトの D D R データを送信し、ここで、各バイトは、4 つの P H Y ブロックのうちの異なる1 つに送信される。メモリ・コントローラ 1 1 5 はまた、4 つの P H Y ブロックの各々へ、クロック信号を送信する。したがって、4 つの P H Y ブロックの各々は、クロック信号および D D R データのそれぞれのバイトを受け取る。メモリ・コントローラ 1 1 5 はまた、外部 D D R S D R A M への出力のために、P H Y ブロックのうちの5 番目の P H Y ブロック（例えば、P H Y ブロック 1 2 0 e）へ C A 信号を送信する。

10

【 0 0 1 3 】

[0027] 図 1 に図示される例において、S o C 1 1 0 は、D D R データを同じメモリ・デバイスまたは別のメモリ・デバイスへ転送するために、（C H 0 および C H 1 と示される）2 つのメモリ・チャンネルを有する。例えば、メモリ・コントローラ 1 1 5 は、チャンネル C H 0 のための D D R データおよび C A 信号を、P H Y ブロック 1 2 0 a - 1 2 0 e へ送信しうる。チャンネル C H 0 に関する D D R データは、（D Q 0、D Q 1、D Q 2 および D Q 3 と示される）4 バイトの幅を有し得、ここで、各バイトは、P H Y ブロック 1 2 0 a - 1 2 0 d の各 1 つに送信される。チャンネル C H 0 に関する C A 信号は、P H Y ブロック 1 2 0 e に送信される。メモリ・コントローラ 1 1 5 は、チャンネル C H 1 に関する C A 信号および D D R データを、P H Y ブロック 1 2 5 a - 1 2 5 e へ送信しうる。C H 1 に関する D D R データは、（D Q 0、D Q 1、D Q 2 および D Q 3 と示される）4 バイトの幅を有し得、ここで、各バイトは、P H Y ブロック 1 2 5 a - 1 2 5 d の各 1 つに送信される。チャンネル C H 0 に関する C A 信号は、P H Y ブロック 1 2 5 e に送信される。

20

【 0 0 1 4 】

[0028] D D R S D R A M とインターフェースすることは、高速であることから、究極的なチャレンジであり得、これは、S o C と D D R S D R A M との間で満たされる必要のある厳しいタイミング要求につながる。1 つのチャレンジは、S o C 上の周辺部にある対応する P H Y ブロックへの全ての経路に、異なるバイトに関する中央で生成された D D R データおよびクロック信号を分配することである。さらに、P H Y ブロックは、S o C の周辺に沿って、離れた間隔で配置されうる。その結果、異なるバイトの D D R データおよびクロック信号が、比較的長い距離（例えば、1 0 ~ 2 0 ミリメートル）にわたって、S o C の周辺への異なる経路を通過する必要がある。

30

【 0 0 1 5 】

[0029] 上記問題に対処するための1 つのアプローチは、中央に配置されたメモリ・コントローラから、ソース同期（source synchronous）インターフェースを経由して、S o C の周辺へと D D R データを送信することである。しかしながら、このアプローチは、クロック速度が、ギガヘルツ範囲に達した場合、極端に冗長となり、ほとんど達成されなくなる。D D R S D R A M に達するクロックはまた、厳しいジッタ（T j i t t）要求およびデューティ・サイクル（T d c）要求を満たさねばならず、これは、電圧および温度によって、S o C のさまざまな部分においてジッタを誘発されるので、S o C の周辺部に分配される中央で生成されたクロックについて、達成することが困難である。

40

【 0 0 1 6 】

[0030] S o C 内でデータを送信するための別のアプローチは、ファースト・イン・ファースト・アウト（F I F O）デバイスのような標準的な非同期クロック領域を越える回路を用いることである。このアプローチは、領域を越えるためのいくつかの追加のクロック・サイクルを必要とし、これは、レイテンシに影響を受けやすいシステムのための大きなペナルティでありうる。このアプローチはまた、D D R データが外部 D D R S D R A M へ出力される場合、D D R データの同じワードに対応するバイトが、揃えられることを確実にするために、P H Y ブロック間の調整を必要とする。

【 0 0 1 7 】

50

[0031]図2は、本開示の態様に従うメモリ・インターフェース205を図示する。メモリ・インターフェース205は、メモリ・コントローラ115およびクロック・フェーズ・ロック・ループ(PLL)210を備える。これらは両方とも、SoC 110の中央に配置されうる。メモリ・インターフェース205はまた、クリーンアップPLL 225および同期回路230を備え、これらは両方とも、SoC 110の周辺部の付近に配置され、図1に図示されたPHYブロックのうちの1つに含まれうる。メモリ・インターフェース205はまた、分周器212を備えうる。

【0018】

[0032]動作時において、クロックPLL 210は、水晶発振器(図示せず)から入力クロック信号を受け取り、入力クロック信号に基づいて、出力クロック信号を生成する。メモリ・コントローラ115は、外部DDR SDRAMにアクセスしているSoC 110におけるブロック(図示せず)からのデータに基づいて、DDRデータを生成する。メモリ・コントローラ115はまた、クロックPLL 210からの出力クロック信号に基づいて、データ・クロック信号を生成する。高速データ転送のために、データ・クロック信号は、約1ギガ・ヘルツ以上の周波数を有しうる。メモリ・コントローラ115は、同期回路230にDDRデータおよびデータ・クロック信号を出力する。DDRデータは、メモリ・コントローラ115において、データ・クロック信号の立ち上がりエッジと揃えられうる。DDRデータおよびデータ・クロック信号は、SoC 110のほぼ中央から、SoC 110の周辺部の付近に位置している同期回路230へと、SoC 110内を比較的長い距離(例えば、10~20ミリメートル)を移動しうる。

【0019】

[0033]分周器212はまた、クロックPLL 210から出力クロック信号を受け取り、出力クロック信号の周波数をNで除することによって、低周波数の基準クロック信号が生成される。これは、クリーンアップPLL 225へ出力される。低周波数のクロック信号は、少ない電力しか消費しないので、電力消費を減少させるために、周波数低減がなされる。基準クロック信号は、SoC 110のほぼ中央から、SoC 110の周辺部の付近に位置しているクリーンアップPLL 225へと、SoC 110内を比較的長い距離(例えば、10~20ミリメートル)移動する。その結果、基準クロック信号は、基準クロック信号がクリーンアップPLL 225に達する時間まで、SoCのさまざまな部分からのジッタを蓄積する。

【0020】

[0034]クリーンアップPLL 225は、基準クロック信号内のジッタを低減し、基準クロック信号の周波数にNを乗じることによって、クリーン・クロック信号を生成する。クリーン・クロック信号は、データ・クロック信号と同じ周波数を有しうるが、必ずしも同じ位相を有する必要はない。クリーンアップPLL 225は、ジッタを減衰させるループ・フィルタ(例えば、ロウ・パス・ループ・フィルタ)を用いてジッタを低減する。クリーン・クロック信号は、外部DDR SDRAMへ出力されるDDR出力クロック信号のために使用されうる。なぜなら、(SoC 110の周辺部の付近で生成された)クリーン・クロック信号は、単に、外部DDR SDRAMへの出力のためにSoC 110のIOピンに到着するために短い距離しか移動しなくてよく、したがって、低いジッタしか有さない。クリーン・クロック信号はまた、DDRデータをサンプル(キャプチャ)するためにDDR SDRAMが使用しうる、DDR SDRAMへのデータ・ストローブ信号を生成するために使用されうる。低いジッタは、DDR SDRAMへのクロックおよびデータ・ストローブ・タイミング要件を満たすことをより簡単にする。

【0021】

[0035]同期回路230は、メモリ・コントローラ115からのDDRデータおよびデータ・クロック信号と、クリーンアップPLL 225からのクリーン・クロック信号とを受け取る。クリーンアップPLL 225は、同期回路230の付近に配置されており、したがって、同期回路230にローカルである。同期回路230は、データ・クロック信号を用いてDDRデータをサンプル(キャプチャ)する。例えば、同期回路230は、デ

ータ・クロック信号の立ち上がりエッジまたは立ち下がりエッジにおけるDDRデータをキャプチャしうる。同期回路230はその後、キャプチャされたDDRデータを、クリーン・クロック信号と同期させる。したがって、同期回路230は、データ・クロック領域からクリーン・クロック領域へとDDRデータのタイミングをあわせる。同期回路230は、タイミングがあったDDRデータを外部DDR SDRAMへ出力しうる。タイミングがあったDDRデータは、SOC 110上の1または複数のIOピンを介して外部DDR SDRAMへダイレクトに出力されうるか、または、1または複数のIOピンを介して外部DDR SDRAMへ出力される前に、それぞれのPHYブロックにおける追加の処理を実行しうる。

【0022】

10

[0036]例示を容易にするために、1つの同期回路および1つのクリーンアップPLLしか図2に図示されていないが、メモリ・インターフェースは、SOC 110の周辺に沿った異なる場所に、複数の同期回路およびクリーンアップPLLを備えうることが認識されるべきである。例えば、図1に図示されるPHYブロックの各々は、1または複数の同期回路、および1または複数のクリーンアップPLLを含みうる。

【0023】

[0037]図3は、本開示の1つの実施形態に従う同期回路330を図示する。同期回路330は、第1ステージ・フリップ・フロップ335と、立ち上がりエッジ(RE)フリップ・フロップ340と、立ち下がりエッジ(FE)フリップ・フロップ350と、出力フリップ・フロップ365と、マルチプレクサ360と、位相検出器370と、セクタ380とを備える。

20

【0024】

[0038]第1ステージ・フリップ・フロップ335は、メモリ・コントローラ115からデータ・クロック信号およびDDRデータを受け取り、データ・クロック信号の立ち下がりエッジにおけるDDRデータをサンプル(キャプチャ)する。第1ステージ・フリップ・フロップ335は、サンプル(キャプチャ)されたDDRデータを、REフリップ・フロップ340およびFEフリップ・フロップ350へ出力する。

【0025】

[0039]REフリップ・フロップ340は、クリーン・クロック信号の立ち上がりエッジにおいて第1ステージ・フリップ・フロップ335からのDDRデータをサンプルし、FEフリップ・フロップ350は、クリーン・クロック信号の立ち下がりエッジにおいて第1ステージ・フリップ・フロップ335からのDDRデータをサンプルする。REフリップ・フロップ340およびFEフリップ・フロップ350は、REサンプルされたDDRデータおよびFEサンプルされたDDRデータを、マルチプレクサ360にそれぞれ出力する。マルチプレクサ360は、REサンプルされたDDRデータまたはFEサンプルされたDDRデータを、以下にさらに記載されるように、セクタ380からのコマンドに基づいて、出力フリップ・フロップ360へ選択的に出力する。出力フリップ・フロップ360は、クリーン・クロック信号と揃えられたクリーンDDRデータを生成するために、クリーン・クロック信号の立ち下がりエッジにおいて、マルチプレクサ260の出力をサンプル(キャプチャ)する。したがって、同期回路330は、データ・クロック領域からクリーン・クロック領域へとDDRデータのタイミングをあわせる。前述したように、クリーン・クロック信号は、DDR SDRAMへ出力されたDDRクロックのために使用されうる。このケースでは、同期回路330が、DDRデータを、DDRクロック出力に同期させる。

30

40

【0026】

[0040]前述したように、データ・クロック信号およびクリーンアップPLL 225からのクリーン・クロック信号は、同じ周波数を有しうるが、必ずしも同じ位相を有する必要はない。位相検出器370は、クリーン・クロック信号およびデータ・クロック信号を受け取り、2つのクロック信号間の位相差(オフセット)を決定する。位相検出器の処理単位(granularity)は、クロック・サイクル(周期)の1/4、あるいは、より精細な

50

処理単位でありうる。セレクタ 380 は、マルチプレクサ 360 に対して、以下にさらに記載されるように、位相検出器 370 からの位相検出に基づいて、RE フリップ・フロップ 340 から RE サンプルされた DDR データ、または、FE フリップ・フロップ 350 から FE サンプルされた DDR データを選択するように指示する。

【0027】

[0041] 1つの実施形態では、セレクタ 380 は、位相検出器 370 からの位相検出に基づいて、データ・クロック信号の立ち下がりエッジ（サンプリング・エッジ）が、クリーン・クロック信号の立ち下がりエッジにより近い、立ち上がりエッジにより近いのかを判定する。データ・クロック信号の立ち下がりエッジ（サンプリング・エッジ）が、クリーン・クロック信号の立ち上がりエッジに、より近い場合、セレクタ 380 は、マルチプレクサ 360 に対して、FE フリップ・フロップ 350 から FE サンプルされた DDR データを選択するように指示する。データ・クロック信号の立ち下がりエッジ（サンプリング・エッジ）が、クリーン・クロック信号の立ち下がりエッジに、より近い場合、セレクタ 380 は、マルチプレクサ 360 に対して、RE フリップ・フロップ 340 から RE サンプルされた DDR データを選択するように指示する。したがって、セレクタ 380 は、フリップ・フロップ 340、350 の出力を選択し、データ・クロック信号の立ち下がりエッジ（サンプリング・エッジ）からさらに離れたクリーン・クロック信号のエッジにおける DDR データをサンプルする。なぜなら、第 1 ステージ・フリップ・フロップ 335 からの DDR データは、データ・クロック信号の立ち下がりエッジ（サンプリング・エッジ）において変動するからである。その結果、第 1 ステージ・フリップ・フロップ 335 からの DDR データは、データ・クロック信号の立ち下がりエッジ（サンプリング・エッジ）からさらに離れたクリーン・クロック信号のエッジにおいてサンプルされた場合に、より安定する可能性が高い（したがって、準安定状態をもたらす可能性は低い）。

【0028】

[0042] 1つの実施形態では、位相検出器 370 の処理単位は、クロック・サイクル（周期）の 4 分の 1 である。この点に関し、図 4 は、クリーン・クロック信号 410 の例を図示しており、ここでは、クリーン・クロック信号 410 の各サイクルは、（1～4 とラベル付けされた）4 つのクアドラント（quadrant）へ分割される。この実施形態では、位相検出器 370 は、クリーン・クロック信号 410 の 4 つのクアドラントのうちのどれに、データ・クロック信号の立ち下がりエッジ（サンプリング・エッジ）が存在するのかわを示す値を出力しうる。データ・クロック信号の立ち下がりエッジが、クアドラント 1 またはクアドラント 4 に存在することを位相検出器 370 が示す場合、データ・クロック信号の立ち下がりエッジは、クリーン・クロック信号 410 の立ち下がりエッジよりも、クリーン・クロック信号 410 の立ち上がりエッジに、より近いと考えられうる。このケースでは、セレクタ 380 は、FE フリップ・フロップ 350 からの FE サンプルされた DDR データを選択するようにマルチプレクサ 360 に指示しうる。データ・クロック信号の立ち下がりエッジが、クアドラント 2 またはクアドラント 3 に存在することを位相検出器 370 が示す場合、データ・クロック信号の立ち下がりエッジは、クリーン・クロック信号 410 の立ち上がりエッジよりも、クリーン・クロック信号 410 の立ち下がりエッジに、より近いと考えられうる。このケースでは、セレクタ 380 は、RE フリップ・フロップ 340 からの RE サンプルされた DDR データを選択するようにマルチプレクサ 360 に指示しうる。

【0029】

[0043] 図 5 は、別の実施形態に従う同期回路 530 を図示しており、ここでは、位相検出器 570 が、メモリ・コントローラ 115 からの較正信号を用いて位相検出を実行する。メモリ・コントローラ 115 は、同期回路 530 に較正信号を定期的に出しうる。例えば、メモリ・コントローラ 115 は、データ・クロック信号の M サイクル毎に一度、較正信号を出力しうる。各較正信号は、パルス信号またはその他のタイプの信号を備えうる。メモリ・コントローラ 115 は、DDR データをメモリ・コントローラ 115 から同期回路 530 へ伝送するために使用されるデータ・ラインで、較正信号を定期的に出し得

、ここでは、D D R データおよび較正信号が、データ・ラインで、異なる時間において送られる。

【 0 0 3 0 】

[0044]較正信号がメモリ・コントローラ 1 1 5 から出力された場合、第 1 ステージ・フリップ・フロップ 3 3 5 は、データ・クロック信号の立ち下がりエッジ（サンプリング・エッジ）において較正信号をキャプチャする。その結果、キャプチャされた較正信号の立ち上がりエッジが、データ・クロック信号の立ち下がりエッジ（サンプリング・エッジ）とほぼ揃えられる。位相検出器 5 7 0 は、キャプチャされた較正信号を、第 1 ステージ・フリップ・フロップ 3 3 5 から受け取り、キャプチャされた較正信号の立ち上がりエッジと、クリーン・クロック信号の立ち上がりエッジとの間の位相差（オフセット）を決定する。キャプチャされた較正信号の立ち上がりエッジは、データ・クロック信号の立ち下がりエッジ（サンプリング・エッジ）とほぼ揃えられ、位相差は、データ・クロック信号の立ち下がりエッジ（サンプリング・エッジ）と、クリーン・クロック信号の立ち上がりエッジとの間の位相差にほぼ等しい。

10

【 0 0 3 1 】

[0045]位相検出器 5 7 0 は、決定された位相差を、セクタ 3 8 0 へ出力し、セクタ 3 8 0 は、マルチプレクサ 3 6 0 に対して、位相差に基づいて、R E フリップ・フロップ 3 4 0 からの R E サンプルされた D D R データ、または、F E フリップ・フロップ 3 5 0 からの F E サンプルされた D D R データかを選択するように指示する。例えば、位相検出器 5 7 0 がクロック・サイクルの 4 分の 1 の処理単位を有している場合、キャプチャされた較正信号の立ち上がりエッジが、クアドラント 2 または 3 に存在することを位相検出器 5 7 0 が示す場合、セクタ 3 8 0 は、マルチプレクサ 3 6 0 に対して、R E フリップ・フロップ 3 4 0 からの R E サンプルされた D D R データを選択するように指示しうる。キャプチャされた較正信号の立ち上がりエッジが、クアドラント 1 または 4 に存在することを位相検出器 5 7 0 が示す場合、セクタ 3 8 0 は、マルチプレクサ 3 6 0 に対して、F R フリップ・フロップ 3 5 0 からの F E サンプルされた D D R データを選択するように指示しうる。

20

【 0 0 3 2 】

[0046] 1 つの実施形態では、セクタ 3 8 0 は、最も直近に受け取られた較正信号を用いて、位相検出に基づいて、R E フリップ・フロップ 3 4 0 または F E フリップ・フロップ 3 5 0 を選択するように、マルチプレクサ 3 6 0 に対して指示する。したがって、メモリ・コントローラ 1 1 5 から較正信号が受け取られた場合にのみ選択が更新され、較正信号間で一定に保たれる。その結果、較正信号の周波数を制御することによって、位相検出器の周波数（したがって、セクタ更新値）が制御される。較正信号の周波数は、S o C 1 1 0 におけるジッタの特性に基づいて制御および微調整されうる。

30

【 0 0 3 3 】

[0047]図 6 は、本開示の態様に従う位相検出器 5 7 0 の典型的な実装を図示する。この実施形態では、位相検出器 5 7 0 は、クロック・サイクルの 4 分の 1 の処理単位を有する。位相検出器 5 7 0 は、第 1 の入力フリップ・フロップ 6 1 0 - 1 と、第 2 の入力フリップ・フロップ 6 1 0 - 2 と、第 3 の入力フリップ・フロップ 6 1 0 - 3 と、第 4 の入力フリップ・フロップ 6 1 0 - 2 と、第 1 の出力フリップ・フロップ 6 2 0 - 1 と、第 2 の出力フリップ・フロップ 6 2 0 - 2 と、第 3 の出力フリップ・フロップ 6 2 0 - 3 と、第 4 の出力フリップ・フロップ 6 1 0 - 4 と、エンコーダ 6 3 0 とを備える。

40

【 0 0 3 4 】

[0048]第 1、第 2、第 3、および第 4 の入力フリップ・フロップ 6 1 0 - 1 ~ 6 1 0 - 4 の各々は、そのデータ入力 D において、第 1 ステージ・フリップ・フロップ 3 3 5 の出力から較正信号を受け取る。第 1 の入力フリップ・フロップ 6 1 0 - 1 は、そのクロック入力 C 1 k においてクリーン・クロック信号を受け取り、第 2 の入力フリップ・フロップ 6 1 0 - 2 は、そのクロック入力 C 1 k において、9 0 ° シフトされたクリーン・クロック信号を受け取り、第 3 の入力フリップ・フロップ 6 1 0 - 3 は、そのクロック入力 C 1

50

kにおいて、 180° シフトされたクリーン・クロック信号を受け取り、第4の入力フリップ・フロップ610-4は、そのクロック入力C1kにおいて、 270° シフトされたクリーン・クロック信号を受け取る。

【0035】

[0049]第1の入力フリップ・フロップ610は、クリーン・クロック信号の立ち上がりエッジにおいて、較正信号をサンプルし、第2の入力フリップ・フロップ610-2は、 90° シフトされたクリーン・クロック信号の立ち上がりエッジにおいて、較正信号をサンプルし、第3の入力フリップ・フロップ610-3は、 180° シフトされたクリーン・クロック信号の立ち上がりエッジにおいて、較正信号をサンプルし、第4の入力フリップ・フロップ610-4は、 270° シフトされたクリーン・クロック信号の立ち上がりエッジにおいて、較正信号をサンプルする。したがって、第1、第2、第3、および第4の入力フリップ・フロップ610-1~610-4は、互いから 90° 離れた4つの異なるサンプル・ポイントにおいて較正信号をサンプルする。

【0036】

[0050]出力フリップ・フロップ620-1~620-4の各々は、入力フリップ・フロップ610-1~610-4のそれぞれの出力に結合される。例えば、第1の出力フリップ・フロップ620-1は、第1の入力フリップ・フロップ610-1の出力に結合され、第2の出力フリップ・フロップ620-2は、第2の入力フリップ・フロップ610-2の出力に結合されるという具合である。出力フリップ・フロップ620-1~620-4の各々は、クリーン・クロック信号の立ち上がりエッジにおいて、それぞれの入力フリップ・フロップ610-1~610-4の出力値をサンプル(キャプチャ)し、サンプルされた出力値をエンコーダ630へ出力する。したがって、エンコーダ630は、(図6においてDsample[0]~Dsample[3]と示される)4つの値を受け取り、ここで、各値は、4つのサンプル・ポイントのうちの異なる1つにおいてサンプルされた較正信号に対応している。

【0037】

[0051]エンコーダ630は、その後、出力フリップ・フロップ620-1~620-4からの4つの値に基づいて、較正信号の立ち上がりエッジがどのクアドラントに存在するのかを判定し、判定されたクアドラントを示す位相検出信号を、セレクタ380へ出力する。位相検出信号は、較正信号の立ち上がりエッジが存在するクアドラントを特定する(図6においてPout[1:0]と示される)2ビット信号でありうる。

【0038】

[0052]位相検出器570の動作は、図7を参照して1つの実施形態に従って記載されるであろう。図7は、各クロック・サイクルが4つのクアドラントに分割される、クリーン・クロック信号710の例を図示する。図7はまた、第1、第2、第3、および第4の入力フリップ・フロップ610-1、610-2、610-3、および610-4それぞれに対応するサンプル・ポイントph0、ph90、ph180、およびph270を図示している。図7はさらに、4つの例示的な較正信号720-1~720-4を図示しており、ここでは、各較正信号が、クリーン・クロック信号710の異なるクアドラントに存在する立ち上がりエッジを有し、各較正信号は、およそ1クロック・サイクルに等しいパルス幅を有する。

【0039】

[0053]較正信号710-1~710-4の各々について、図7は、この較正信号に関する、第1、第2、第3、および第4の入力フリップ・フロップ610-1~610-4からの4つの出力値を図示している。例えば、クアドラント1に存在する立ち上がりエッジを有する較正信号710-1の場合、第1の入力フリップ・フロップ610-1は、論理ゼロを出力し、第2、第3、および第4の入力フリップ・フロップ610-2、610-3、および610-4の各々は、論理1を出力する(較正信号720-1の波形において“0111”によって表される)。クアドラント2に存在する立ち上がりエッジを有する較正信号710-2の場合、第1および第2の入力フリップ・フロップ610-1お

10

20

30

40

50

よび 6 1 0 - 2 の各々は、論理 0 を出力し、第 3 および第 4 の入力フリップ・フロップ 6 1 0 - 3 および 6 1 0 - 4 の各々は、論理 1 を出力する（較正信号 7 2 0 - 2 の波形において “ 0 0 1 1 ” によって表される）。クォドラント 3 に存在する立ち上がりエッジを有する較正信号 7 1 0 - 3 の場合、第 1、第 2、および第 3 の入力フリップ・フロップ 6 1 0 - 1、6 1 0 - 2、および 6 1 0 - 3 の各々は、論理 1 を出力し、第 4 の入力フリップ・フロップ 6 1 0 - 4 は、論理 0 を出力する（較正信号 7 2 0 - 3 の波形において “ 1 1 1 0 ” によって表される）。最後に、クォドラント 4 に存在する立ち上がりエッジを有する較正信号 7 1 0 - 4 の場合、第 1、第 2、第 3、および第 4 の入力フリップ・フロップ 6 1 0 - 1 ~ 6 1 0 - 4 の各々は、論理 1 を出力する（較正信号 7 2 0 - 4 の波形において “ 1 1 1 1 ” によって表される）。エンコーダ 6 3 0 は、各クォドラントについて上記で与えられた出力値に従って、較正信号の立ち上がりエッジが、どのクォドラントに存在するのかを判定するようにプログラムされうる。

10

【 0 0 4 0 】

[0054] 図 8 は、本開示の別の実施形態に従う同期回路 8 3 0 を図示する。同期回路 8 3 0 は、同期回路 8 3 0 が、第 1、第 2、および第 3 の R E フリップ・フロップ 8 4 0、8 4 2、および 8 4 4 と、第 1、第 2、および第 3 の F E フリップ・フロップ 8 5 0、8 5 2、および 8 5 4 とを備えていることを除いて図 5 に図示されているものに類似している。

【 0 0 4 1 】

[0055] 第 1、第 2、および第 3 の R E フリップ・フロップ 8 4 4、8 4 2、および 8 4 2 は、直列に結合されている。第 1 の R E フリップ・フロップ 8 4 0 は、クリーン・クロック信号の立ち上がりエッジにおいて第 1 ステージ・フリップ・フロップ 3 3 5 の出力をサンプルし、第 2 の R E フリップ・フロップ 8 4 2 は、クリーン・クロック信号の立ち上がりエッジにおいて第 1 の R E フリップ・フロップ 8 4 0 の出力をサンプルし、第 3 の R E フリップ・フロップ 8 4 4 は、クリーン・クロック信号の立ち上がりエッジにおいて第 2 の R E フリップ・フロップ 8 4 2 の出力をサンプルする。

20

【 0 0 4 2 】

[0056] 第 1、第 2、および第 3 の F E フリップ・フロップ 8 5 4、8 5 2 および 8 5 4 は、直列に結合されている。第 1 の F E フリップ・フロップ 8 5 0 は、クリーン・クロック信号の立ち下がりエッジにおいて第 1 ステージ・フリップ・フロップ 3 3 5 の出力をサンプルし、第 2 の F E フリップ・フロップ 8 5 2 は、クリーン・クロック信号の立ち下がりエッジにおいて第 1 の F E フリップ・フロップ 8 5 0 の出力をサンプルし、第 3 の F E フリップ・フロップ 8 5 4 は、クリーン・クロック信号の立ち下がりエッジにおいて第 2 の F E フリップ・フロップ 8 5 2 の出力をサンプルする。

30

【 0 0 4 3 】

[0057] マルチプレクサ 8 6 0 の入力は、R E フリップ・フロップ 8 4 0、8 4 2、および 8 4 4 の出力、F E フリップ・フロップ 8 5 0、8 5 2、および 8 5 4 の出力、および、第 1 ステージ・フリップ・フロップ 3 3 5 の出力に結合される。セクタ 8 8 0 は、位相検出器 5 7 0 からの位相検出信号に基づいて、フリップ・フロップのうちの 1 つの出力を選択するようにマルチプレクサ 3 6 0 に指示する。マルチプレクサ 3 6 0 は、選択された出力を、出力フリップ・フロップ 3 6 5 に結合し、出力フリップ・フロップ 3 6 5 は、（D D R クロック出力のために使用されうる）クリーン・クロック信号と同期された D D R データを生成するために、クリーン・クロック信号の立ち下がりエッジにおいて、選択された出力をサンプル（キャプチャ）する。

40

【 0 0 4 4 】

[0058] したがって、フリップ・フロップ 3 3 5、8 4 0、8 4 2、8 4 4、8 5 0、8 5 2 および 8 5 4 は、7 つの異なるサンプル・ポイントに対応する、サンプルされたデータを提供する。第 1、第 2、および第 3 の R E フリップ・フロップ 8 4 0、8 4 2、および 8 4 4 のサンプル・ポイントは、互いから 1 クロック・サイクル、オフセットされる。第 1、第 2、および第 3 の F E フリップ・フロップ 8 5 0、8 5 2、および 8 5 4 のサン

50

プル・ポイントは、互いから１クロック・サイクル、オフセットされ、第１、第２、および第３のＲＥフリップ・フロップ８４０、８４２、および８４４のサンプル・ポイントから、半クロック・サイクル、オフセットされる。したがって、フリップ・フロップのうちの１つの出力を選択することによって、セクタ８８０は、選択されたフリップ・フロップに対応するサンプル・ポイントを選択する。

【００４５】

[0059]この実施形態に従う同期回路８３０は、異なるＰＨＹブロック間のサイクル・スリップを阻止することができる。サイクル・スリップは、メモリ・コントローラ１１５における同じクロック・サイクルに対応する２データ・バイトが、それぞれのＰＨＹブロックにおいて異なるクロック・サイクルでサンプル（キャプチャ）される場合に生じうる。その結果、メモリ・コントローラ１１５において揃えられた２データ・バイトは、ＰＨＹブロックにおいてもはや揃えられない。同期回路８３０は、さらに以下に記載されるように、同期回路８３０の出力をプル・インまたはプッシュ・アウトすることによって、サイクル・スリップを阻止することができる。

【００４６】

[0060]サイクル・スリップは、データ・クロック信号とクリーン・クロック信号との位相差が、１つのＰＨＹブロックにおいて経時的にドリフトするが、別のＰＨＹブロックにおいては経時的にドリフトしないか、または、別のＰＨＹブロックにおいて異なる量ドリフトする場合に引き起こされうる。位相ドリフトは、ＳｏＣにおける温度変化、および／または、別の原因によって引き起こされうる。スタティックなサイクル・スリップが、メモリ・コントローラ１１５と異なるＰＨＹブロックとの間のスタティックな遅延ミスマッチによって引き起こされうる。同期回路８３０は、両方のタイプのサイクル・スリップを阻止することができる。

【００４７】

[0061]位相ドリフトによるサイクル・スリップを阻止するために、セクタ８８０は、クリーン・クロック信号と、メモリ・コントローラ１１５からの較正信号との間の位相ドリフトを検出し、検出されたドリフトを補償するために、それに応じて、マルチプレクサ３６０の選択を調節するように構成されうる。位相ドリフトが緩やかな場合、セクタ８８０は、位相検出器５７０からの位相検出信号における変化を経時的に追跡することによって、ドリフトを検出しうる。

【００４８】

[0062]較正信号の立ち上がりエッジがどのクォドラントに存在するのかわかる位相検出信号を位相検出器５７０が出力する実施形態の場合、セクタ８８０は、位相検出信号によって示されるクォドラントにおける変化を追跡することによって位相ドリフトを検出しうる。位相検出信号間の位相ドリフトが９０°未満であると仮定して、セクタ８８０は、位相検出信号によって示されるクォドラントにおける変化に基づいて、位相ドリフトの方向を決定しうる。セクタ８８０は、その後、検出された位相シフトを補償するために、マルチプレクサ３６０によるフリップ・フロップ選択を調節し、これによってサイクル・スリップを阻止する。

【００４９】

[0063]１つの実施形態では、セクタ８８０は、その例が図９に図示されている真理値表９０５を用いて実現されうる。真理値表９０５では、各行は、クォドラントに対応し、各列は、マルチプレクサ８６０が選択を行うフリップ・フロップのうちの異なるフリップ・フロップに対応する。第１、第２、および第３のＲＥフリップ・フロップ８４０、８４２、および８４４は、真理値表９０５におけるＲＥ０、ＲＥ１、およびＲＥ２それぞれによって表される。第１、第２、および第３のＦＥフリップ・フロップ８５０、８５２、および８５４は、真理値表９０５におけるＦＥ０、ＦＥ１、およびＦＥ２それぞれによって表される。第１ステージ・フリップ・フロップ３３５は、真理値表９０５における「送出し」(launch)によって表される。なぜなら、第１ステージ・フリップ・フロップ３３５の出力は、同期回路８３０におけるデータ送出しポイントだからである。

【 0 0 5 0 】

[0064]真理値表 9 0 5 では、各クォドラントが、 (n) 、 $(n + 1)$ 、または $(n - 1)$ で注釈付けられる。これは、異なるフェーズ・ドリフト量に対応するクォドラントを区別するために使用される。例えば、真理値表 9 0 5 では、クォドラント 4 $(n + 1)$ は、1つの方向におけるクォドラント 4 (n) からの1クロック・サイクルの位相ドリフトに対応し、クォドラント 4 $(n - 1)$ は、その反対方向におけるクォドラント 4 (n) からの1クロック・サイクルの位相ドリフトに対応する。

【 0 0 5 1 】

[0065]1つの実施形態では、セクタ 8 8 0 は、真理値表 9 0 5 におけるあるエントリにおいて開始し、開始エントリに基づいて、フリップ・フロップのうちの1つを選択する。例えば、位相検出器 5 7 0 は、最初に、クォドラント 1 を示す位相検出信号を出力する。この例において、セクタ 8 0 0 は、真理値表 9 0 5 におけるクォドラント 1 (n) に対応するエントリにおいて開始し、第1のFEフリップ・フロップ 8 5 0 の出力を選択する。開始条件が確立された後、セクタ 8 8 0 は、以下にさらに記載されるように、位相ドリフトを補償するために、真理値表 9 0 5 を用いてフリップ・フロップ選択を更新する。

【 0 0 5 2 】

[0066]例えば、位相検出信号によって示されたクォドラントが、初期化の後に、クォドラント 1 からクォドラント 2 に変化した場合、セクタ 8 8 0 は、真理値表 9 0 5 におけるクォドラント (2) に対応するエントリへ移動し、第1のREフリップ・フロップ 8 4 0 の出力を選択する。位相検出信号によって示されるクォドラントが、その後、クォドラント 2 からクォドラント 3 へ変化した場合、セクタ 8 8 0 は、真理値表 9 0 5 におけるクォドラント 3 $(n + 1)$ に対応するエントリへ移動する。このケースでは、フリップ・フロップ選択は変わらない。位相検出信号によって示されるクォドラントが、その後、クォドラント 3 からクォドラント 4 へ変化した場合、セクタ 8 8 0 は、クォドラント 4 $(n + 1)$ に対応するエントリへ移動し、第1ステージ・フリップ・フロップ 3 3 5 の出力を選択する。この例において、位相ドリフトによるクォドラント変化が、セクタ 3 8 0 を、真理値表 9 0 5 の右へ移動させ、したがって、位相ドリフトを補償するために、セクタ 3 8 0 の出力をプル・イン (pull in) させる。

【 0 0 5 3 】

[0067]別の例では、位相検出信号によって示されるクォドラントが、初期化後に、クォドラント 1 からクォドラント 4 へ変化した場合、セクタ 8 8 0 は、真理値表 9 0 5 におけるクォドラント 4 (n) に対応するエントリへ移動する。このケースでは、フリップ・フロップ選択は変わらない。位相検出信号によって示されるクォドラントが、その後、クォドラント 4 からクォドラント 3 へ変化した場合、セクタ 8 8 0 は、真理値表 9 0 5 におけるクォドラント 3 (n) に対応するエントリへ移動し、第2のREフリップ・フロップ 8 5 2 の出力を選択する。位相検出信号によって示されるクォドラントが、その後、クォドラント 3 からクォドラント 2 へ変化した場合、セクタ 8 8 0 は、クォドラント 2 $(n - 1)$ に対応するエントリへ移動する。このケースでは、フリップ・フロップ選択は変わらない。位相検出信号によって示されるクォドラントが、その後、クォドラント 2 からクォドラント 1 に変化した場合、セクタ 8 8 0 は、真理値表 9 0 5 におけるクォドラント 1 $(n - 1)$ に対応するエントリへ移動し、第2のFEフリップ・フロップ 8 5 2 の出力を選択する。この例において、位相ドリフトによるクォドラント変化が、セクタ 3 8 0 を、真理値表 9 0 5 の左へ移動させ、したがって、位相ドリフトを補償するために、セクタ 3 8 0 の出力をプッシュ・アウト (push out) させる。

【 0 0 5 4 】

[0068]したがって、真理値表 9 0 5 は、いずれかの方向における位相ドリフトを補償するために、マルチプレクサ 8 6 0 によるフリップ・フロップ選択を調節するために使用される。開始エントリは、前述された例において、真理値表 9 0 5 におけるクォドラント

ト 1 (n) に対応するが、本開示の実施形態は、この例に限定されないことが認識されるべきである。例えば、位相検出器 5 7 0 は、最初に、クォドラント 4 を示す位相検出信号を出力する。この例において、セクタ 8 8 0 は、開始ポイントとして、真理値表 9 0 5 におけるクォドラント 4 (n) に対応するエントリを使用する。したがって、開始エントリは、位相検出器 5 7 0 によって示された最初のクォドラントに依存する。さらに、本開示の実施形態は、図 9 に図示された特定の真理値表エントリに限定されないことが認識されるべきである。

【 0 0 5 5 】

[0069] 議論されるように、スタティックなサイクル・スリップは、メモリ・コントローラ 1 1 5 と、異なる P H Y ブロックとの間のスタティックな遅延ミスマッチ (例えば、メモリ・コントローラ 1 1 5 から、異なる P H Y ブロックへの信号経路の長さにおけるミスマッチ) によって引き起こされる。スタティックなサイクル・スリップの結果として、メモリ・コントローラ 1 1 5 における同じサイクルに存在する 2 つのデータ・バイトは、P H Y ブロックにおける異なるサイクルにおいて終了する。

【 0 0 5 6 】

[0070] スタティックなサイクル・スリップに対処するために、本開示は、S o C における複数の P H Y ブロック間のスタティックなサイクル・スリップを判定し、スタティックなサイクル・スリップを較正するための方法を提供する。1 つの実施形態では、P H Y ブロックの各々は、図 8 に図示される同期回路 8 3 0 を含む。

【 0 0 5 7 】

[0071] S o C のブート時間中、または、その後直ちに、メモリ・コントローラ 1 1 5 は、P H Y ブロックの各々へ較正信号を送る。P H Y ブロックの各々における位相検出器 5 7 0 は、それぞれの較正信号が、D D R クロック信号のどのクォドラントにおいて揃えられているのかを判定する。その後、各 P H Y ブロックは、判定されたクォドラントを、メモリ・コントローラ 1 1 5 または別のコントローラへレポートする。P H Y ブロックの各々が、同じクォドラントをレポートすると、メモリ・コントローラ 1 1 5 は、何もしないことがありうる。しかしながら、P H Y ブロックが、異なるクォドラントをレポートすると、スタティックな遅延ミスマッチが明らかになる。このケースでは、メモリ・コントローラ 1 1 5 は、スタティックなミスマッチの結果、スタティックなサイクル・スリップになるのかを判定するために、P H Y ブロックによってレポートされた異なるクォドラントを分析し、もしもそうであれば、スタティックなサイクル・スリップをどのようにして較正するのかを決定する。

【 0 0 5 8 】

[0072] この点に関し、図 1 0 は、3 つの P H Y ブロックによってレポートされるクォドラントの例を図示する。P H Y ブロックのうちの最 1 の P H Y ブロックが、C A 信号のために使用され、P H Y ブロックのうちの第 2 の P H Y ブロックが、データ・バイト D Q 0 のために使用され、P H Y ブロックのうちの第 3 の P H Y ブロックが、データ・バイト D Q 1 のために使用される。この例において、第 1 の P H Y ブロックは、クォドラント 1 において揃えられ、第 2 の P H Y ブロックは、クォドラント 2 において揃えられ、第 3 の P H Y ブロックは、クォドラント 3 において揃えられる。D D R クロック信号における上向き矢印は、P H Y ブロックの出力が揃っていることを示す。この例において、P H Y ブロックの出力が揃えられ、スタティックなサイクル・スリップ補正は、必要とされない。

【 0 0 5 9 】

[0073] 図 1 1 は、第 1 の P H Y ブロックがクォドラント 2 において揃えられ、第 2 の P H Y ブロックがクォドラント 3 において揃えられ、第 3 の P H Y ブロックがクォドラント 4 において揃えられる例を図示する。この例では、P H Y ブロックの出力も揃えられる。

【 0 0 6 0 】

[0074] 図 1 2 は、第 1 の P H Y ブロックがクォドラント 3 において揃えられ、第 2 の

10

20

30

40

50

P H Yブロックがクォドラント4において揃えられ、第3のP H Yブロックがクォドラント1において揃えられる例を図示する。この例において、第1および第2のP H Yブロックの出力が揃えられる。しかしながら、第3のP H Yブロックの出力が、第1および第2のP H Yブロックの出力から1クロック・サイクル、オフセットされ、その結果、スタティックなサイクル・スリップとなる。スタティックなサイクル・スリップは、第1および第2のP H Yブロックの出力と揃えるために、第3のP H Yブロックの出力を1クロック・サイクル、プル・インすることによって補正されうる。

【0061】

[0075]あるいは、スタティックなサイクル・スリップは、第3のP H Yブロックの出力と揃えるために、第1および第2のP H Yブロックの出力を、1クロック・サイクル、プッシュ・アウトすることによって補正されうる。このケースでは、メモリ・コントローラ115は、スタティックなサイクル・スリップを補正するために、第1および第2のP H Yブロックに対して、1クロック・サイクル、プッシュ・アウトせよとの指示を送信しうる。第1および第2のP H Yブロックの各々における同期回路830は、その後、それぞれのマルチプレクサ860によるフリップ・フロップ選択を変更することによって、それぞれの出力を、1クロック・サイクル、プッシュ・アウトしうる。例えば、第1のF Eフリップ・フロップ850が最初に選択されると、同期回路830は、第2のF Eフリップ・フロップ852へシフトすることによって、1クロック・サイクル、プッシュ・アウトしうる。これは、第1のF Eフリップ・フロップ850から、1クロック・サイクル、遅延される。

【0062】

[0076]図13は、1つの実施形態に従う真理値表1305を図示している。真理値表1305は、(“D E F”とラベルされた)デフォルト・エントリのセットと、(“P U S H”とラベルされた)プッシュ・アウト・エントリのセットとを含む。D E Fエントリは、デフォルト条件に相当し、P U S Hエントリは、デフォルト条件からの1クロック・サイクルのプッシュ・アウトに相当する。この実施形態では、プッシュ・アウトされていないP H Yブロックは、真理値表におけるD E Fエントリを用いてフリップ・フロップ選択を実行し、スタティックなサイクル・スリップを補正するためにプッシュ・アウトされたP H Yブロックは、真理値表1305におけるP U S Hエントリを用いてフリップ・フロップ選択を実行する。図12に図示される例の場合、第1および第2のP H Yブロックにおける同期回路830は、フリップ・フロップ選択を実行するためにP U S Hエントリを使用しうる。なぜならプッシュ・アウトするように指示されているからである。第3のP H Yブロックにおける同期回路830は、フリップ・フロップ選択を実行するために、D E Fエントリを使用しうる。

【0063】

[0077]図14は、第1のP H Yブロックがクォドラント4において揃えられ、第2のP H Yブロックがクォドラント1において揃えられ、第3のP H Yブロックがクォドラント2において揃えられる例を図示する。この例において、第2および第3のP H Yブロックの出力が揃えられる。しかしながら、第1のP H Yブロックの出力は、第2および第3のP H Yブロックの出力から、1クロック・サイクル、オフセットされ、その結果、スタティックなサイクル・スリップとなる。スタティックなサイクル・スリップは、第1のP H Yブロックの出力と揃えるために、第2および第3のP H Yブロックの出力を、1サイクル・クロック、プル・インすることによって補正されうる。

【0064】

[0078]あるいは、スタティックなサイクル・スリップは、第2および第3のP H Yブロックの出力と揃えるために、第1のP H Yブロックの出力を、1サイクル・クロック、プッシュ・アウトすることによって補正されうる。このケースでは、メモリ・コントローラ115は、スタティックなサイクル・スリップを補正するために、第1のP H Yブロックに対して、1クロック・サイクル、プッシュ・アウトせよとの指示を送りうる。

【0065】

[0079]図15は、1つの実施形態に従う真理値表1505を図示している。真理値表1505は、(“DEF”とラベルされた)デフォルト・エントリのセットと、(“PUSH”とラベルされた)プッシュ・アウト・エントリのセットとを含む。この実施形態では、プッシュ・アウトされていないPHYブロックは、真理値表1505におけるDEFエントリを用いてフリップ・フロップ選択を実行し、スタティックなサイクル・スリップを補正するためにプッシュ・アウトされたPHYブロックは、真理値表1505におけるPUSHエントリを用いてフリップ・フロップ選択を実行する。図14に図示される例に関し、第1のPHYブロックにおける同期回路830は、フリップ・フロップ選択を実行するために、PUSHエントリを使用し、第2および第3のPHYブロックにおける同期回路830は、フリップ・フロップ選択を実行するためにDEFエントリを使用しうる。

10

【0066】

[0080]スタティックなサイクル・ドリフトを補正するための方法は、上記与えられた特定の例に限定されないことが認識されるべきである。例えば、メモリ・コントローラ115は、各PHYブロックに1つの較正信号を送信するのではなく、各PHYブロックに、複数の較正信号を出力しうる。この例において、各PHYブロックは、較正信号の各々のためのクアドラントを決定し、較正信号のために最も良く決定されたクアドラントを、メモリ・コントローラ115へレポートする。

【0067】

[0081]別の例において、メモリ・コントローラ115は、検出されたスタティックなサイクル・スリップを補正するために、1または複数のPHYブロックに対して、1クロック・サイクル、プル・インするように指示しうる。この例において、真理値表は、真理値表におけるDEFエントリの右に配置されたプル・イン(PULL)エントリを含み、プル・インするように指示されたPHYブロックは、フリップ・フロップ選択を実行するためにPULLエントリを使用しうる。例えば、図12における例において図示されるスタティックなサイクル・スリップは、第3のPHYブロックの出力が、第1および第2のPHYブロックの出力と揃うように、第3のPHYブロックを1クロック・サイクル、プル・インすることによって補正されうる。このケースでは、第3のPHYブロックは、PULLエントリを使用し、第1および第2のPHYブロックは、DEFエントリを使用しうる。

20

【0068】

[0082]図16は、本開示の実施形態に従ってデータを同期させる方法1600のフロー図である。方法1600は、メモリ・コントローラ115からのデータを、クリーン・クロック信号を用いてタイミングをあわせるために、SoCの周辺部の付近に配置されたPHYブロックにおいて実行されうる。クリーン・クロック信号は、外部メモリ(例えば、DDR SDRAM)へのクロック出力(例えば、DDRクロック出力)として使用されうる。

30

【0069】

[0083]ステップ1610では、基準クロック信号に基づいて、クリーン・クロック信号が生成される。例えば、クリーン・クロック信号は、基準クロック信号内のジッタを減衰させるフェーズ・ロック・ループ(PLL)(例えば、クリーンアップPLL 225)によって生成されうる。

40

【0070】

[0084]ステップ1620では、データは、データ・クロック信号を用いてサンプルされる。例えば、データおよびデータ・クロック信号は、メモリ・コントローラ(例えば、メモリ・コントローラ115)から送信され、(SoCにおいて中心に配置されうる)メモリ・コントローラから、SoCの周辺部まで、SoC内を比較的長距離移動しうる。データは、データ・クロック信号の立ち上がりエッジまたは立ち下がりエッジにおいてデータをサンプル(キャプチャ)するフリップ・フロップ(例えば、入力フリップ・フロップ)を用いてサンプルされうる。

【0071】

50

[0085]ステップ1630では、サンプルされたデータが、クリーン・クロック信号と同期される。例えば、サンプルされたデータは、クリーン・クロック信号を用いてクロックされた1または複数のフリップ・フロップ（例えば、または、フリップ・フロップ840、842、844、850、852、854、および365のそれ以上）によってサンプルされうる。

【0072】

[0086]当業者であれば、本開示の実施形態は、本明細書に記載された例に限定されないことを認識するであろう。例えば、第1ステージ・フリップ・フロップは、データ・クロック信号の立ち上がりエッジにおいてDDRデータをサンプルしうる。このケースでは、第1ステージ・フリップ・フロップのサンプリング・エッジは、データ・クロック信号の立ち上がりエッジに相当するであろう。さらに、同期回路830は、任意の数のREフリップ・フロップと、任意の数のFEフリップ・フロップとを備えうる。例えば、同期回路が、より広い範囲にわたって、位相ドリフトを補正することを可能にするために、必要であれば、REフリップ・フロップおよびFEフリップ・フロップの数が増加されうる。このケースでは、真理値表は、追加のREフリップ・フロップおよびFEフリップ・フロップのためのエントリを含むように拡張されうる。

【0073】

[0001]当業者であればさらに、本明細書における開示に関連して記載されたさまざまな例示的なブロック、回路、およびステップが、電子ハードウェア、コンピュータ・ソフトウェア、またはこれら両方の組み合わせとして実現されうることを認識するであろう。ハードウェアとソフトウェアとのこの相互置換性を明確に例示するために、さまざまな例示的な構成要素、ブロック、回路、およびステップが、一般にそれらの機能の観点から前述された。これら機能がハードウェアとしてまたはソフトウェアとして実現されるかは、特定の用途およびシステム全体に課せられている設計制約に依存する。当業者であれば、特定の用途の各々に応じて変化する方式で、前述した機能を実現しうる。しかしながら、この適用判断は、本発明の範囲からの逸脱をもたらすものと解釈されるべきではない。

【0074】

[0002]本明細書における開示に関連して記載されたさまざまな例示的なブロックおよび回路は、汎用プロセッサ、デジタル信号プロセッサ、特定用途向け集積回路（ASIC）、フィールド・プログラマブル・ゲート・アレイ（FPGA）またはその他のプログラマブル・ロジック・デバイス、ディスクリート・ゲートまたはトランジスタ・ロジック、ディスクリート・ハードウェア構成要素、または本明細書に記載された機能を実行するように設計されたこれら任意の組み合わせ、を用いて実現または実行されうる。汎用プロセッサは、マイクロ・プロセッサでありうるが、代替例では、このプロセッサは、従来のプロセッサ、コントローラ、マイクロ・コントローラ、または順序回路でありうる。プロセッサは、例えばDSPとマイクロ・プロセッサとの組み合わせ、複数のマイクロ・プロセッサ、DSPコアと連携する1つまたは複数のマイクロ・プロセッサ、またはその他任意のこのような構成であるコンピューティング・デバイスの組み合わせとして実現されうる。

【0075】

[0003]本明細書の開示に関連して説明された方法またはアルゴリズムのステップは、ハードウェアでダイレクトに、プロセッサによって実行されるソフトウェア・モジュールで、またはこの2つの組み合わせで実施されうる。ソフトウェア・モジュールは、RAMメモリ、フラッシュ・メモリ、ROMメモリ、EPROMメモリ、EEPROM（登録商標）メモリ、レジスタ、ハード・ディスク、リムーバブル・ディスク、CD-ROM、あるいは当該技術分野で知られているその他の型式の記憶媒体に存在しうる。典型的な記憶媒体は、プロセッサが記憶媒体から情報を読み取り、また記憶媒体に情報を書き込むことができるようにプロセッサに結合される。あるいは、この記憶媒体は、プロセッサに統合されうる。このプロセッサと記憶媒体とは、ASIC内に存在しうる。ASICは、ユーザ端末内に存在しうる。あるいは、プロセッサおよび記憶媒体は、ユーザ端末内のディスクリートな構成要素として存在しうる。

【 0 0 7 6 】

[0004] 1または複数の典型的な設計では、記載された機能は、ハードウェア、ソフトウェア、ファームウェア、あるいはそれらの任意の組み合わせによって実現されうる。ソフトウェアで実現される場合、これら機能は、コンピュータ読取可能な媒体上に格納されるか、あるいは、コンピュータ読取可能な媒体上の1つまたは複数の命令群またはコードとして送信されうる。コンピュータ読取可能な媒体は、コンピュータ記憶媒体と通信媒体との両方を含む。これらは、コンピュータ・プログラムのある場所から別の場所への転送を容易にする任意の媒体を含む。記憶媒体は、汎用コンピュータまたは特別目的コンピュータによってアクセスされうる任意の利用可能な媒体でありうる。限定ではなく、一例として、このようなコンピュータ読取可能な媒体は、RAM、ROM、EEPROM、CD-ROMまたはその他の光ディスク記憶装置、磁気ディスク記憶装置またはその他の磁気記憶装置、あるいは、命令群またはデータ構造の形式で所望のプログラム・コード手段を送信または格納するために使用され、かつ、汎用コンピュータまたは特別目的コンピュータ、あるいは、汎用プロセッサまたは特別目的プロセッサによってアクセスされうるその他任意の媒体を備えうる。さらに、いずれの接続も、送信された信号の非一時的な記憶装置を含むという点で、コンピュータ読取可能な媒体と適切に称されうる。例えば、ソフトウェアが、同軸ケーブル、光ファイバ・ケーブル、ツイスト・ペア、デジタル加入者ライン(DSL)、または例えば赤外線、ラジオ、およびマイクロ波のような無線技術を用いて、ウェブサイト、サーバ、または遠隔ソースから送信されるのであれば、同軸ケーブル、光ファイバ・ケーブル、ツイスト・ペア、DSL、または例えば赤外線、ラジオ、およびマイクロ波のような無線技術は、非一時的な時間長さにわたり記憶媒体またはデバイス・メモリにおける送信チェーン内に信号が保持されるという点で、媒体の定義に含まれる。本明細書で使用されるdiskおよびdiscは、コンパクトディスク(disc)(CD)、レーザ・ディスク(disc)、光ディスク(disc)、デジタル多用途ディスク(disc)(DVD)、フロッピー(登録商標)ディスク(disk)、およびBlu-ray(登録商標)ディスク(disc)を含む。ここでdiskは、通常、データを磁氣的に再生する一方、discは、レーザを用いてデータを光学的に再生する。上記の組み合わせもまた、コンピュータ読取可能な媒体の範囲内に含まれるべきである。

【 0 0 7 7 】

[0087]本開示の上記記載は、当業者をして、本開示の製造または利用を可能とするように提供される。この開示に対するさまざまな変形は、当業者に容易に明らかであって、本明細書で定義された一般原理は、本開示の精神または範囲から逸脱することなく、他のバリエーションに適用されうる。したがって、本開示は、本明細書に記載された例に限定されることは意図されておらず、本明細書に開示された原理および新規の特徴に整合した最も広い範囲が与えられるべきである。

以下に、出願当初の特許請求の範囲に記載された発明を付記する。

【 C 1 】

メモリ・インターフェースであって、前記メモリ・インターフェースは下記を備える、基準クロック信号を受け取り、前記基準クロック信号に基づいて、クリーン・クロック信号を生成するように構成されたクリーンアップ・フェーズ・ロック・ループ(PLL)と、

データ、データ・クロック信号、および前記クリーン・クロック信号を受け取るように構成された同期回路、ここにおいて、前記同期回路はさらに、前記データ・クロック信号を用いて前記データをサンプルし、前記サンプルされたデータを、前記クリーン・クロック信号と同期させるように構成される。

【 C 2 】

前記同期回路および前記クリーンアップPLLは、チップの周辺部の付近に配置され、前記データおよび前記データ・クロック信号は、前記チップのほぼ中央に配置されたメモリ・コントローラから生じる、C 1に記載のメモリ・インターフェース。

【 C 3 】

前記基準クロック信号および前記データ・クロック信号はともに、共通のクロック信号から導出される、C 2 に記載のメモリ・インターフェース。

[C 4]

前記同期回路はさらに、

前記データ・クロック信号のサンプリング・エッジにおいて前記データをサンプルするように構成された入力フリップ・フロップと、

前記クリーン・クロック信号の立ち上がりエッジにおいて前記入力フリップ・フロップの出力をサンプルするように構成された立ち上がりエッジ (R E) フリップ・フロップと、

前記クリーン・クロック信号の立ち下がりエッジにおいて前記入力フリップ・フロップの出力をサンプルするように構成された立ち下がりエッジ (F E) フリップ・フロップと

、
前記データ・クロック信号と前記クリーン・クロック信号との間の位相差を決定するように構成された位相検出器と、前記決定された位相差に基づいて、前記 F E フリップ・フロップの出力、または、前記 R E フリップ・フロップの出力を選択するように構成されたセレクトと、

を備える、C 1 に記載のメモリ・インターフェース。

[C 5]

前記セレクトは、前記決定された位相差に基づいて、前記データ・クロック信号のサンプリング・エッジが、前記クリーン・クロック信号の立ち上がりエッジに近いが、または、前記クリーン・クロック信号の立ち下がりエッジに近いかを判定し、前記データ・クロック信号のサンプリング・エッジが、前記クリーン・クロック信号の立ち下がりエッジに、より近い場合、前記 R E フリップ・フロップの出力を選択し、前記データ・クロック信号のサンプリング・エッジが、前記クリーン・クロック信号の立ち上がりエッジに、より近い場合、前記 F E フリップ・フロップの出力を選択するように構成された、C 4 に記載のメモリ・インターフェース。

[C 6]

前記入力フリップ・フロップは、前記データ・クロック信号のサンプリング・エッジにおいて較正信号をサンプルするように構成され、前記位相検出器は、前記サンプルされた較正信号と前記クリーン・クロック信号との間の位相差を決定することによって、前記データ・クロック信号と前記クリーン・クロック信号との間の位相差を決定するように構成された、C 4 に記載のメモリ・インターフェース。

[C 7]

前記同期回路はさらに、

前記データ・クロック信号のサンプリング・エッジにおいて、前記データをサンプルするように構成された入力フリップ・フロップと、

前記クリーン・クロック信号の立ち上がりエッジにおいて、前記入力フリップ・フロップの出力をサンプルするように構成された第 1 の立ち上がりエッジ (R E) フリップ・フロップと、

前記クリーン・クロック信号の立ち上がりエッジにおいて、前記第 1 の R E フリップ・フロップの出力をサンプルするように構成された第 2 の R E フリップ・フロップと、

前記クリーン・クロック信号の立ち下がりエッジにおいて、前記入力フリップ・フロップの出力をサンプルするように構成された第 1 の立ち下がりエッジ (F E) フリップ・フロップと、

前記クリーン・クロック信号の立ち下がりエッジにおいて、前記第 1 の F E フリップ・フロップの出力をサンプルするように構成された第 2 の F E フリップ・フロップと、

前記データ・クロック信号と前記クリーン・クロック信号との間の位相差を決定するように構成された位相検出器と、

前記決定された位相差に基づいて、前記第 1 の R E フリップ・フロップの出力、前記第 2 の R E フリップ・フロップの出力、前記第 1 の F E フリップ・フロップの出力、または

10

20

30

40

50

前記第 2 の F E フリップ・フロップの出力を選択するように構成されたセレクトと、
を備える、C 1 に記載のメモリ・インターフェース。

[C 8]

前記セレクトは、真理値表を用いて、前記選択を実行するように構成された、C 7 に記
載のメモリ・インターフェース。

[C 9]

前記真理値表は、第 1 のエントリのセットと第 2 のエントリのセットとを備え、前記セ
レクトは、デフォルト条件において、前記第 1 のエントリのセットを用いて前記選択を実
行し、前記セレクトが、前記同期回路の出力をプッシュ・アウトまたはプル・インせよと
の指示を受け取った場合、前記第 2 のエントリのセットを用いて前記選択を実行するよう
に構成された、C 8 に記載のメモリ・インターフェース。

10

[C 1 0]

データ同期のための方法であって、
基準クロック信号に基づいてクリーン・クロック信号を生成することと、
データ・クロック信号を用いてデータをサンプルすることと、
前記サンプルされたデータを、前記クリーン・クロック信号と同期させることと、
を備える方法。

[C 1 1]

前記データおよび前記データ・クロック信号は、チップのほぼ中心に配置されたメモリ
・コントローラから生じ、前記方法は、前記チップの周辺部の付近で実行される、C 1 0
に記載の方法。

20

[C 1 2]

前記基準クロック信号および前記データ・クロック信号はともに、共通のクロックから
導出される、C 1 1 に記載の方法。

[C 1 3]

前記クリーン・クロック信号を生成することは、フェーズ・ロック・ループ (P L L)
を用いて、前記基準クロック信号におけるジッタを減衰させることを備える、C 1 0 に記
載の方法。

[C 1 4]

前記クリーン・クロック信号の立ち上がりエッジにおいて、前記サンプルされたデータ
をサンプルして、サンプルされた立ち上がりエッジ (R E) データを生成することと、
前記クリーン・クロック信号の立ち下がりエッジにおいて、前記サンプルされたデータ
をサンプルして、サンプルされた立ち下がりエッジ (F E) データを生成することと、
前記データ・クロック信号と、前記クリーン・クロック信号との間の位相差を決定する
ことと、

30

前記サンプルされた R E データまたは前記サンプルされた F E データを、前記決定され
た位相差に基づいて選択することと、
をさらに備える C 1 0 に記載の方法。

[C 1 5]

前記サンプルされた R E データまたは前記サンプルされた F E データを選択することは
、

40

前記データ・クロック信号のサンプリング・エッジが、前記クリーン・クロック信号の
立ち上がりエッジにより近いが、前記クリーン・クロック信号の立ち下がりエッジにより
近いかを、前記決定された位相差に基づいて決定することと、

前記データ・クロックのサンプリング・エッジが、前記クリーン・クロック信号の立ち
下がりエッジにより近い場合、前記サンプルされた R E データを選択することと、

前記データ・クロック信号のサンプリング・エッジが、前記クリーン・クロック信号の
立ち上がりエッジにより近い場合、前記サンプルされた F E データを選択することと、
を備える、C 1 4 に記載の方法。

[C 1 6]

50

前記データ・クロック信号と前記クリーン・クロック信号との間の位相差を決定することとは、前記データ・クロック信号を用いて、校正信号をサンプルすることと、

前記サンプルされた校正信号と、前記クリーン・クロック信号との間の位相差を決定することと、

を備える、C 1 4 に記載の方法。

[C 1 7]

前記サンプルされたデータを、前記クリーン・クロック信号を用いて、複数の異なるサンプル・ポイントにおいてサンプルして、サンプルされたクリーン・クロック・データを生成することと、

前記データ・クロック信号と、前記クリーン・クロック信号との間の位相差を決定することと、

前記複数のサンプル・ポイントのうちの1つに対応する、前記サンプルされたクリーン・クロック・データを、前記決定された位相差に基づいて選択することと、

をさらに備えるC 1 0 に記載の方法。

[C 1 8]

データ同期のための装置であって、

基準クロック信号に基づいてクリーン・クロック信号を生成するための手段と、

データ・クロック信号を用いてデータをサンプルするための手段と、

前記サンプルされたデータを、前記クリーン・クロック信号と同期させるための手段と、
を備える装置。

[C 1 9]

前記データおよび前記データ・クロック信号は、チップのほぼ中心に配置されたメモリ・コントローラから生じ、前記方法は、前記チップの周辺部の付近で実行される、C 1 8 に記載の装置。

[C 2 0]

前記基準クロック信号および前記データ・クロック信号はともに、共通のクロック信号から導出される、C 1 9 に記載の装置。

[C 2 1]

前記クリーン・クロック信号の立ち上がりエッジにおいて、前記サンプルされたデータをサンプルして、サンプルされた立ち上がりエッジ (R E) データを生成するための手段と、

前記クリーン・クロック信号の立ち下がりエッジにおいて、前記サンプルされたデータをサンプルして、サンプルされた立ち下がりエッジ (F E) データを生成するための手段と、

前記データ・クロック信号と、前記クリーン・クロック信号との間の位相差を決定するための手段と、

前記サンプルされた R E データまたは前記サンプルされた F E データを、前記決定された位相差に基づいて選択するための手段と、

をさらに備えるC 1 8 に記載の装置。

[C 2 2]

前記選択するための手段はさらに、前記データ・クロック信号のサンプリング・エッジが、前記クリーン・クロック信号の立ち上がりエッジにより近いが、前記クリーン・クロック信号の立ち下がりエッジにより近いかを、前記決定された位相差に基づいて決定するための手段と、

前記データ・クロックのサンプリング・エッジが、前記クリーン・クロック信号の立ち下がりエッジにより近い場合、前記サンプルされた R E データを選択するための手段と、

前記データ・クロック信号のサンプリング・エッジが、前記クリーン・クロック信号の立ち上がりエッジにより近い場合、前記サンプルされた F E データを選択するための手段と、

を備える、C 2 1 に記載の装置。

10

20

30

40

50

【 C 2 3 】

前記サンプルされたデータを、前記クリーン・クロック信号を用いて、複数の異なるサンプル・ポイントにおいてサンプルして、サンプルされた複数のクリーン・クロック・データを生成するための手段と、

前記データ・クロック信号と、前記クリーン・クロック信号との間の位相差を決定するための手段と、

前記複数のサンプル・ポイントのうちの1つに対応する、前記サンプルされたクリーン・クロック・データを、前記決定された位相差に基づいて選択するための手段と、
をさらに備えるC 1 8に記載の装置。

【 図 1 】

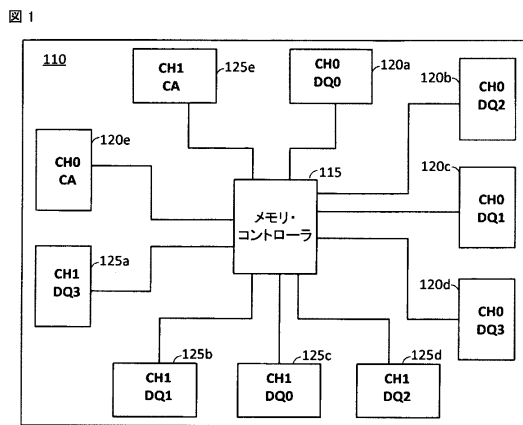


FIG. 1

【 図 2 】

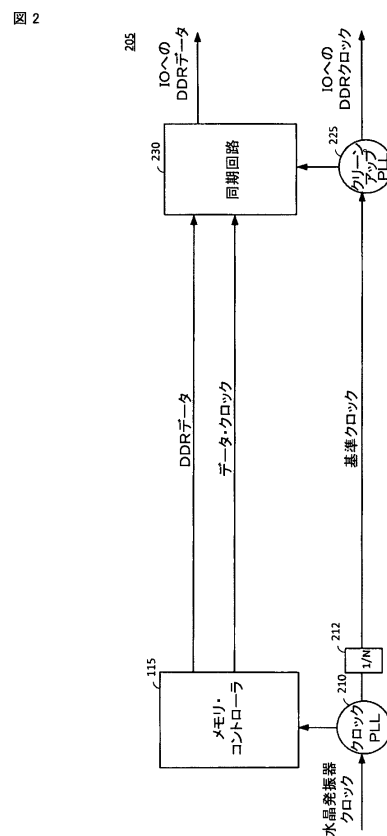


FIG. 2

【 図 3 】

图 3

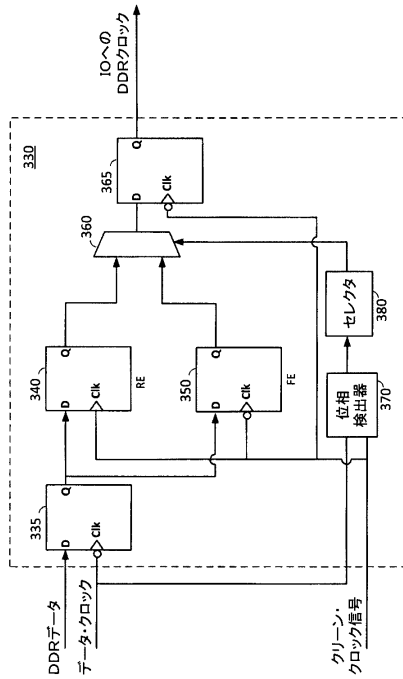


FIG. 3

【 図 4 】

☒ 4

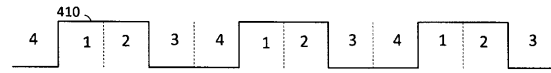


FIG. 4

【 図 5 】

图 5

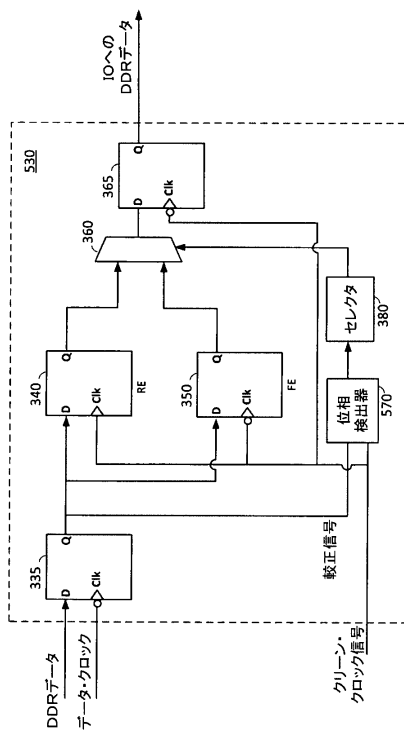


FIG. 5

【 図 6 】

Figure 6 is a line graph with '人数' (Number of people) on both the x-axis and the y-axis. The x-axis is labeled '人数' and ranges from 0 to 10. The y-axis is labeled '人数' and ranges from 0 to 10. The graph shows a straight line starting at the origin (0,0) and extending to the point (10,10). This indicates a direct proportionality where the number of people on the y-axis is equal to the number of people on the x-axis.

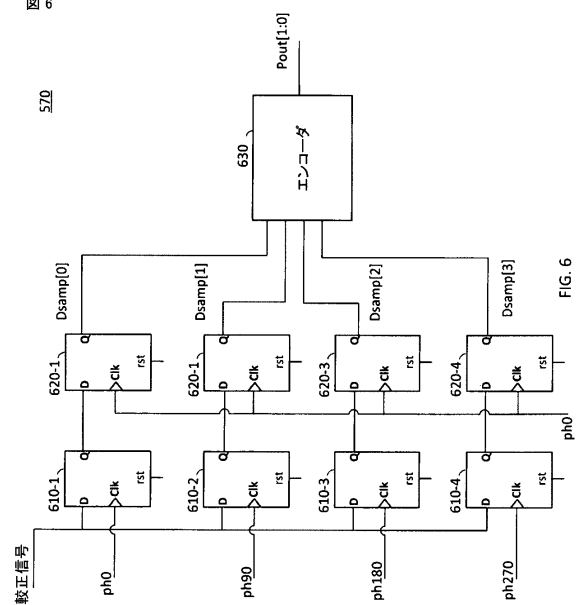


FIG. 6

【図 7】

図 7

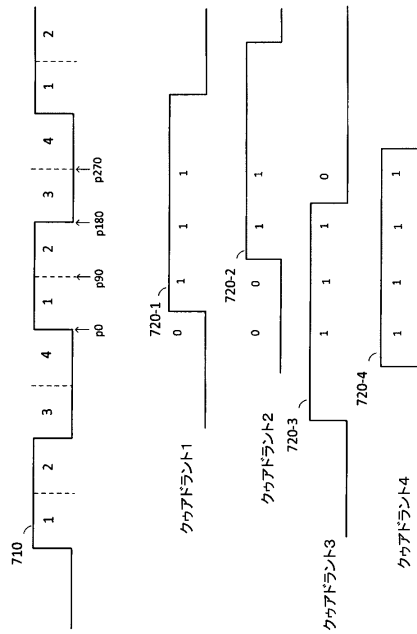


FIG. 7

【図 8】

図 8

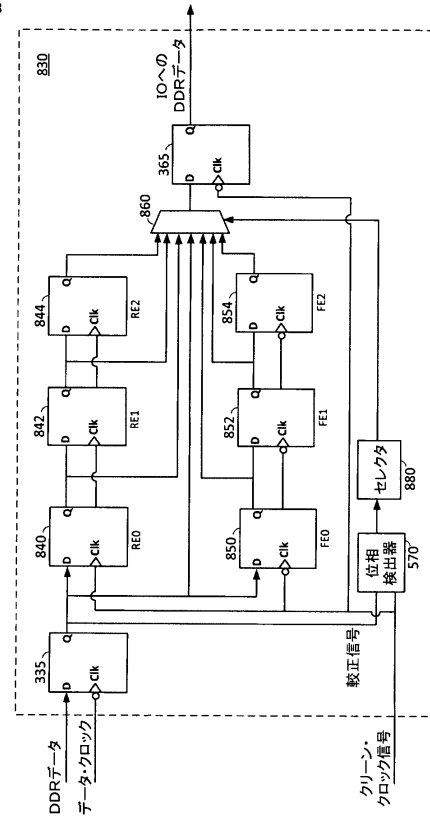


FIG. 8

【図 9】

図 9

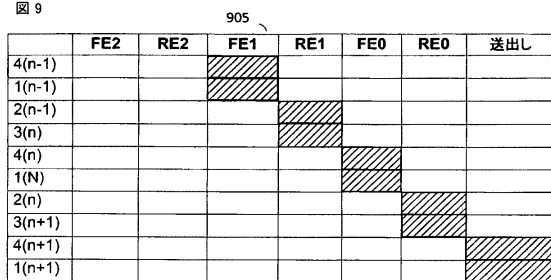


FIG. 9

【図 11】

図 11

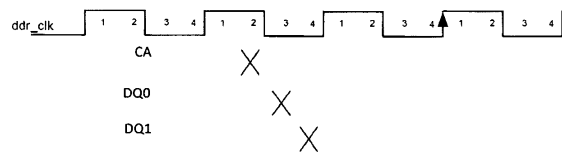


FIG. 11

【図 12】

図 12

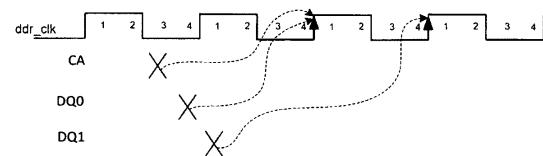


FIG. 12

【図 10】

図 10

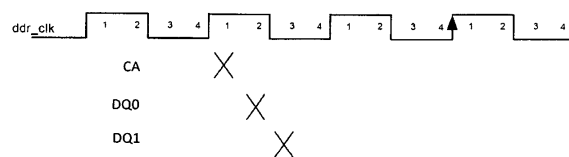


FIG. 10

【図 13】

図 13

1305

	FE2	RE2	FE1	RE1	FE0	RE0	送出し
4(n-1)			DEF				
1(n-1)	PUSH		DEF				
2(n-1)		PUSH		DEF			
3(n)		PUSH		DEF			
4(n)			PUSH		DEF		
1(N)			PUSH		DEF		
2(n)				PUSH		DEF	
3(n+1)				PUSH			
4(n+1)					PUSH		
1(n+1)					PUSH		

FIG. 13

【図 15】

図 15

1505

	FE2	RE2	FE1	RE1	FE0	RE0	送出し
4(n-1)			DEF				
1(n-1)			DEF				
2(n-1)				DEF			
3(n)		PUSH		DEF			
4(n)			PUSH		DEF		
1(N)			PUSH		DEF		
2(n)				PUSH		DEF	
3(n+1)				PUSH		DEF	
4(n+1)					PUSH		
1(n+1)					PUSH		

FIG. 15

【図 14】

図 14

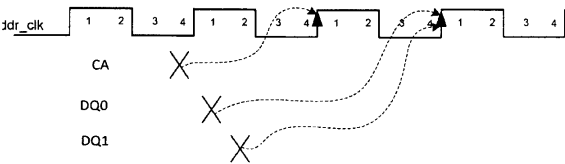


FIG. 14

【図 16】

図 16

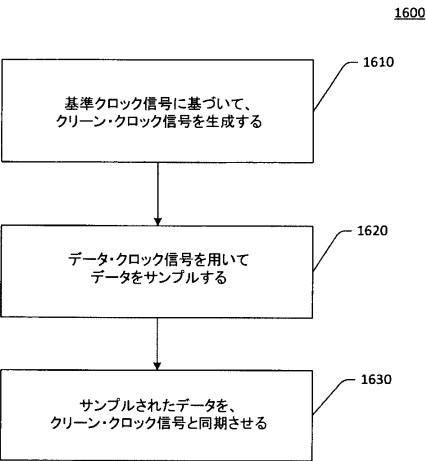


FIG. 16

フロントページの続き

- (72)発明者 ホセ、エドウィン
アメリカ合衆国、カリフォルニア州 9 2 1 2 1、サン・ディエゴ、モアハウス・ドライブ 5 7
7 5
- (72)発明者 ドロップ、マイケル
アメリカ合衆国、カリフォルニア州 9 2 1 2 1、サン・ディエゴ、モアハウス・ドライブ 5 7
7 5
- (72)発明者 ファン、シュハオ
アメリカ合衆国、カリフォルニア州 9 2 1 2 1、サン・ディエゴ、モアハウス・ドライブ 5 7
7 5
- (72)発明者 サンクラトリ、ラゲー
アメリカ合衆国、カリフォルニア州 9 2 1 2 1、サン・ディエゴ、モアハウス・ドライブ 5 7
7 5
- (72)発明者 スリラマジリ、ディーブティ
アメリカ合衆国、カリフォルニア州 9 2 1 2 1、サン・ディエゴ、モアハウス・ドライブ 5 7
7 5
- (72)発明者 ペドラリ - ノイ、マルツィオ
アメリカ合衆国、カリフォルニア州 9 2 1 2 1、サン・ディエゴ、モアハウス・ドライブ 5 7
7 5

審査官 後藤 彰

- (56)参考文献 特開2013 - 58209 (JP, A)
特表2012 - 515376 (JP, A)
米国特許出願公開第2009 / 0307521 (US, A1)
米国特許出願公開第2007 / 0097779 (US, A1)

- (58)調査した分野(Int.Cl., DB名)
G 0 6 F 1 2 / 0 0
G 1 1 C 7 / 2 2