

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年2月22日(22.02.2018)



(10) 国際公開番号

WO 2018/034092 A1

(51) 国際特許分類:

H01L 27/146 (2006.01) H04N 5/369 (2011.01)
H04N 5/357 (2011.01) H04N 5/374 (2011.01)

(21) 国際出願番号: PCT/JP2017/025738

(22) 国際出願日: 2017年7月14日(14.07.2017)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:

特願 2016-160806 2016年8月18日(18.08.2016) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

(72) 発明者: 黒木 章悟(KUROGI Syogo); 〒8691102 熊本県菊池郡菊陽町大字原水4000番地

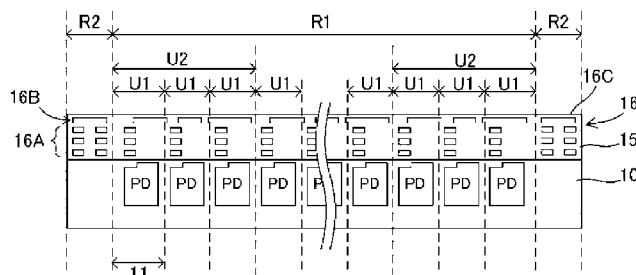
1 ソニーセミコンダクタマニュファクチャリング株式会社内 Kumamoto (JP).

(74) 代理人: 松尾 憲一郎 (MATSUO Kenichiro); 〒8100042 福岡県福岡市中央区赤坂1丁目10番17号 しんくみ赤坂ビル7階 Fukuoka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(54) Title: SOLID-STATE IMAGING ELEMENT, METHOD FOR PRODUCING SOLID-STATE IMAGING ELEMENT, AND ELECTRONIC DEVICE

(54) 発明の名称: 固体撮像素子、固体撮像素子の製造方法、及び、電子機器



(57) Abstract: To reduce the likelihood of a decrease in image quality in a solid-state imaging element such as a back-side-illuminated CMOS image sensor, etc. A solid-state imaging element, provided with: a semiconductor substrate in which a plurality of pixels, each having a photoelectric conversion unit, are arranged along the planar direction; and a wiring layer formed by lamination on the surface, on the opposite side from a light entry surface, of the semiconductor substrate. The wiring layer includes a structural body having a reflection surface for reflecting light entering from the side of the semiconductor substrate towards the semiconductor substrate. The plurality of pixels has a periodic structure in which one or a plurality of pixels form the smallest units. In the structural body, there is no regularity to the reflection surface coverage ratio in each of the pixels with regards to a plurality of pixels included in a unit region greater than the smallest units.

(57) 要約: 裏面照射型のCMOSイメージセンサ等の固体撮像素子において、画質が低下する蓋然性を低下させる。各々が光電変換部を有する複数の画素が面方向に沿って並設された半導体基板と、前記半導体基板の光入射面と反対側の面に積層形成された配線層と、を備え、前記配線層は、前記半導体基板の側から入射する光を前記半導体基板へ反射する反射面を有する構造物を含み、複数の前記画素は、1又は複数の画素を最小単位とする周期構造を有し、前記構造物は、前記最小単位より広い単位領域を含む複数の画素について、各画素における前記反射面のカバレッジ率に規則性を有さない、固体撮像素子。

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第21条(3))

明 細 書

発明の名称：

固体撮像素子、固体撮像素子の製造方法、及び、電子機器

技術分野

[0001] 本技術は、固体撮像素子、固体撮像素子の製造方法、及び、電子機器に関する。

背景技術

[0002] いわゆる裏面照射型のCMOS (Complementary metal oxide semiconductor) イメージセンサは、例えば特許文献1に記載のように、半導体基板の表面側に多層配線層が積層され、半導体基板の裏面側にカラーフィルタやオンチップマイクロレンズ等が積層され、被写体からの光が半導体基板の裏面側から入射される構造となっている。

先行技術文献

特許文献

[0003] 特許文献1：特開2015-164210号公報

発明の概要

発明が解決しようとする課題

[0004] 裏面照射型のCMOSイメージセンサにおいて、半導体基板には画素毎にフォトダイオード等の光電変換素子が形成されており、半導体基板の裏面側からの入射光は各画素の光電変換素子内を通過する間に一部又は全部が光電変換される。半導体基板の裏面側から表面側へ向かう間に光電変換されなかった一部の光は、多層配線層へと抜け、その更に一部の光が多層配線層の金属配線等によって反射されて光電変換素子に再入射する場合がある。

[0005] 多層配線層に形成される金属配線は、例えば特許文献1の概略断面構造図に示されるように各画素領域でほぼ同じレイアウトとなるように規則的に形成されている。このため、多層配線層の配線で反射した光が光電変換素子に

再入射しても、画素の間で入射光量に対する光電変換率のばらつきが生じるわけではなく、金属配線の形状に応じた模様が画像に映り込んだりすることは無い。しかしながら、多層配線層の構造物の中には、画素を跨いで形成されるものや、各画素で異なるレイアウトで形成されるものもある。

[0006] 例えば、多層配線層の表面（半導体基板に対面しない側）付近に埋設されるA I配線は、多層配線層の表面に支持基板を貼り付ける前に多層配線層表面を平坦化するべく行うCMP（Chemical Mechanical Polishing）を行う際に、多層配線層の表面平坦性を向上させる補強部材としての役割を持つ構造物である。A I配線は、製造工程上、他のCu配線等に比べて細線化が困難であり、近年、微細化が著しい画素ピッチに比べて狭幅に形成することが困難な場合がある。このため、このA I配線は、画素の領域区分を跨いで形成されたり、各画素でレイアウトが異なったりする場合がある。このような場合、A I金属配線の形状に応じた模様が画像に映り込む可能性が有る。

[0007] 本技術は、前記課題に鑑みてなされたもので、裏面照射型のCMOSイメージセンサ等の固体撮像素子において、半導体基板の表面側に積層形成された多層配線層の構造物によって反射されて光電変換素子に再入射する反射光によって画質が低下する蓋然性を低下させることを目的とする。

課題を解決するための手段

[0008] 本技術の態様の1つは、各々が光電変換部を有する複数の画素が面方向に沿って並設された半導体基板と、前記半導体基板の光入射面と反対側の面に積層形成された配線層と、を備え、前記配線層は、前記半導体基板の側から入射する光を前記半導体基板へ反射する反射面を有する構造物を含み、複数の前記画素は、1又は複数の画素を最小単位とする周期構造を有し、前記構造物は、前記最小単位より広い単位領域が含む複数の画素について、各画素の前記反射面のカバレッジ率に規則性を有さない、固体撮像素子である。

[0009] なお、以上説明した固体撮像素子は、他の機器に組み込まれた状態で実施されたり他の方法とともに実施されたりする等の各種の態様を含む。また、

本技術は、上述した固体撮像素子を備える撮像システム、上述した装置を製造する製造方法、当該製造方法の各工程に対応した機能を製造装置に実現させる制御プログラム、該制御プログラムを記録したコンピュータ読み取り可能な記録媒体、等としても実現可能である。

発明の効果

[0010] 本技術によれば、裏面照射型のCMOSイメージセンサ等の固体撮像素子において、光電変換素子が形成された半導体基板の表面側に積層形成された配線層が有する金属配線等の構造物によって反射されて光電変換素子に再入射する入射光によって画質が低下する蓋然性を低下させることができる。なお、本明細書に記載された効果はあくまで例示であって限定されるものではなく、また付加的な効果があってもよい。

図面の簡単な説明

[0011] [図1]固体撮像素子の要部構造を断面的に示した図である。
[図2]単位領域内の配線レイアウトを説明する図である。
[図3]画素領域及び周辺回路領域における多層配線層を説明する図である。
[図4]固体撮像素子の製造方法の一例を説明する図である。
[図5]固体撮像素子の製造方法の一例を説明する図である。
[図6]固体撮像素子の製造方法の一例を説明する図である。
[図7]固体撮像素子の製造方法の一例を説明する図である。
[図8]固体撮像素子の製造方法の一例を説明する図である。
[図9]固体撮像素子の製造方法の一例を説明する図である。
[図10]固体撮像素子の製造方法の一例を説明する図である。
[図11]固体撮像素子の製造方法の一例を説明する図である。
[図12]固体撮像素子の製造方法の一例を説明する図である。
[図13]固体撮像素子を備える撮像装置の構成を示すブロック図である。
[図14]固体撮像素子の構成を示すブロック図である。
[図15]画素の回路構成を説明する図である。
[図16]A/D変換部の構成を示す図である。

発明を実施するための形態

[0012] 以下、下記の順序に従って本技術を説明する。

(A) 第1の実施形態：

(B) 第2の実施形態：

(C) 第3の実施形態：

[0013] (A) 第1の実施形態：

図1は、固体撮像素子100の要部構造を断面的に示した図である。

[0014] 固体撮像素子100は、裏面照射型のCMOSイメージセンサであり、例えば、シリコン等の半導体基板10に複数の単位画素11が配列された画素領域R1（いわゆる、撮像領域）と、画素領域R1の周辺に配置された周辺回路領域R2（図1には不図示）とを備える。

[0015] 半導体基板10の単位画素11には、各々、光電変換部としてのフォトダイオードPD、及び、画素トランジスタ（例えば、転送トランジスタ、リセットトランジスタ、増幅トランジスタ、選択トランジスタ）が設けられている。画素トランジスタは半導体基板10の表面10Aの側に形成される。図1ではゲート電極12を示して模式的に画素トランジスタの存在を示している。フォトダイオードPDは半導体基板10の裏面10Bに臨む位置に形成されている。各フォトダイオードPDは不純物拡散層による素子分離領域13で分離される。

[0016] 半導体基板10のフォトダイオードPDが臨む光入射面としての裏面10B上には、平坦化膜17が形成され、平坦化膜17の上には、フォトダイオードPDそれぞれに対応するように形成された複数のカラーフィルタで構成されるカラーフィルタ18が形成される。カラーフィルタ18は、例えば赤（R）、緑（G）、青（B）の3原色（図1にはBは不図示）をベイヤー配列した構造とすることができる。その他、白色画素のカラーフィルタを設けたり、赤外光を選択的に透過するカラーフィルタを設けたりしてもよい。

[0017] マイクロレンズ19は、半導体基板10の裏面側のカラーフィルタ18の上方に設けられている。マイクロレンズ19は、画素領域R1に配列された

複数のフォトダイオードPDに対応するように、複数の、略同一形状で形成されている。

[0018] 半導体基板10の表面10Aの側には、層間絶縁膜15を介して、複数の配線を形成した多層配線層16が設けられる。多層配線層16が形成される半導体基板10の表面10Aは、光入射面と反対側の面である。このため、裏面照射型のCMOSイメージセンサにおいては、多層配線層16が半導体基板10に形成されるフォトダイオードPDへの入射光を阻害しない。

[0019] 画素領域R1に形成される多層配線層16は、第1配線層16Aと第2配線層16Bとを有する。本実施形態では、第2配線層16Bの半導体基板10に対向する側の面が反射面を構成する。第1配線層16Aは、1又は複数の単位画素11を含む単位領域U1の範囲内における配線レイアウトが略同等となるように設けられる。第2配線層16Bは、単位領域U1よりも広い単位領域U2の範囲内における配線レイアウトに規則性が発生しないように設けられる。

[0020] 図2は、画素領域R1及び周辺回路領域R2における多層配線層16を説明する図である。同図には、説明の簡略のため、半導体基板10と多層配線層16のみを示してある。

[0021] 上述したように固体撮像素子100は、その表面10Aや裏面10Bに沿う面方向における範囲として設定される画素領域R1と周辺回路領域R2とを有する。画素領域R1には、複数の単位画素11が形成された領域である。周辺回路領域R2には、画素が出力する信号を処理するための各種回路が形成された領域である。

[0022] 画素領域R1は、単位領域U1が繰り返し現れる周期構造を有する。単位領域U1は、1又は複数の単位画素11を含む範囲である。例えば、図2に示すように、単位画素11そのものを単位領域U1としてもよいし、1つのフローティングディフュージョンを共有する複数画素を単位領域U1としてもよい。ある単位領域U1内に形成される第1配線層16Aの配線レイアウトは、他の単位領域U1内に形成される第1配線層16Aの配線レイアウト

と略同一である。

[0023] また、画素領域 R 1 は、1 又は複数の単位領域 U 2 を含んで構成される。単位領域 U 2 は、単位領域 U 1 よりも広く、単位領域 U 1 に含む単位画素 1 1 の数よりも多い単位画素 1 1 を含む範囲である。単位領域 U 2 は、例えば、画素領域 R 1 の全体、又は画角内の画素領域 R 1 の全体としてもよい。単位領域 U 2 は、少なくとも単位領域 U 2 の範囲内において、各画素における第 2 配線層 1 6 B のカバレッジ率に規則性を有さない。このカバレッジ率とは、画素の区画範囲内に占める第 2 配線層 1 6 B の面積割合である。

[0024] 図 3 は、単位領域 U 2 内の配線レイアウトを説明する図である。同図に示す例において、単位領域 U 2 は、行方向に 5 つ、列方向に 5 つの単位画素 1 1 をマトリクス状に配列した構造である。同図に示す斜線部は、第 2 配線層 1 6 B の配線レイアウトであり、各画素枠に記載した数値は、各単位画素 1 1 の区画内に第 2 配線層 1 6 B が占める面積割合としてのカバレッジ率である。

[0025] 行方向のカバレッジ率の並びは、上から順に「0.8, 0.8, 0.8, 0.1, 0.8」、「0.5, 0.3, 0.5, 0.4, 0.6」、「0.2, 0.1, 0.8, 0.8, 0.8」、「0.3, 0.9, 0.8, 0.2, 0.5」、「0.1, 0.2, 0.9, 0.5, 0.0」であり、いずれの行も同じカバレッジ率の並びになっていない。なお、「同じカバレッジ率の並び」には、特定のカバレッジ率の並びパターンを並び方向にシフトさせた並びや、並び方向を反転させた並びを含めてもよい。

[0026] また、列方向のカバレッジ率の並びは、左から順に「0.8, 0.5, 0.2, 0.3, 0.1」、「0.8, 0.3, 0.1, 0.9, 0.2」、「0.8, 0.5, 0.8, 0.8, 0.9」、「0.1, 0.4, 0.8, 0.2, 0.5」、「0.8, 0.6, 0.8, 0.5, 0.0」であり、いずれの列も同じカバレッジ率の並びになっていない。

[0027] このように、単位領域 U 2 内において、ある行を構成する複数画素のカバレッジ率の並びパターンと他の行を構成する複数画素のカバレッジ率の並び

パターンとが重複せず、また、ある列を構成する複数画素のカバレッジ率の並びパターンと他の列を構成する複数画素のカバレッジ率の並びパターンとが重複しない構成とすることで、単位領域U2の範囲内における配線レイアウトに規則性が発生しないようにすることができる。

[0028] また、第2配線層16Bを構成する配線は、単位画素11のレイアウトを無視する形でランダムに形成してある。すなわち、単位画素11の区分けに依拠することなく、単位画素11の一部領域を覆う形状、複数の単位画素11を覆う形状、単位画素11の全部領域を覆う形状、を様々に組み合わせた配線形状とすることができる。

[0029] このように形成された多層配線層16では、その表面16Cにおいて、上述したような形状に第2配線層16Bを形成することにより、平坦性が向上した部位が不規則に形成される。また、固体撮像素子100への入射光の第2配線層16Bでの反射光がフォトダイオードPDへ再入射した場合に、その反射光成分の影響によって、固体撮像素子の出力する画像信号に基づいて描画される画像に現れる変動が、その不規則さゆえに人間の目に模様として視認されにくくなる。

[0030] むろん、このような反射の影響は、多層配線層16の配線以外に、屈折率の異なる層境界においても発生する。具体的には、多層配線層には、配線の他、トランジスタのゲート、ゲート絶縁膜、層間絶縁膜等を構成要素とし、これら構成要素は、ポリシリコン、シリコン酸化膜、シリコン窒化膜、シリコン炭化膜等を用いて形成される。これら構成要素の層境界についても、単位領域U2のように、単位領域U1よりも広く、単位領域U1に含む単位画素11の数よりも多い単位画素11を含む範囲であって、少なくとも単位領域U2の範囲内において、各単位画素11における第2配線層16Bのカバレッジ率に規則性を有さない場合には、第2配線層16Bと同様の形状を採用することができる。

[0031] また、単位画素11の色毎に、ある行を構成する複数の単位画素11のカバレッジ率の並びパターンと他の行を構成する複数の単位画素11のカバレ

ッジ率の並びパターンとが重複せず、また、ある列を構成する複数の単位画素 1 1 のカバレッジ率の並びパターンと他の列を構成する複数の単位画素 1 1 のカバレッジ率の並びパターンとが重複しない構成を採用してもよい。この場合、光電変換効率が低い色（より長波長の色）ほど多層配線層 1 6 へ入射光が抜けて反射光が発生しやすいため、特にフォトダイオード P D における光電変換効率が比較的低い色の単位画素 1 1 についてカバレッジ率に規則性を有さない構成を採用することが好ましい。具体的には、青色光、緑色光、赤色光、赤外光の順にフォトダイオード P D の光電変換効率が高いため、特に赤外光や赤色光の単位画素 1 1 について、第 2 配線層 1 6 B のカバレッジ率に規則性を有さない構成を採用すると効果的である。

[0032] 周辺回路領域 R 2 における多層配線層 1 6 は、画素領域 R 1 とは配線レイアウトが異なっており、特に第 1 配線層 1 6 A の配線密度は画素領域 R 1 よりも周辺回路領域 R 2 の方が高くなっている。また、周辺回路領域 R 2 における第 2 配線層 1 6 B は、配線レイアウトに規則性を有してもよい。

[0033] 第 1 配線層 1 6 A は、例えば銅（C u）配線により構成される。第 2 配線層 1 6 B は、例えばアルミニウム（A l）配線により構成される。むろん、第 1 配線層 1 6 A と第 2 配線層 1 6 B の材質は特に限定されず、A l、C u、タンタル（T a）、タングステン（W）等、固体撮像素子の中で配線として用いられる可能性のある金属であれば採用可能である。

[0034] （B）第 2 の実施形態：

図 4 ～図 1 2 は、固体撮像素子 1 0 0 の製造方法の一例を説明する図である。これらの図には、固体撮像素子 1 0 0 の製造方法の各工程で形成される要部断面構造を模式的に示してある。

[0035] まず、図 4 に示すように、半導体基板 1 0 の画素領域 R 1 を形成すべき領域に、半導体基板 1 0 の表面 1 0 A の側から、複数の単位画素 1 1 の構成要素（素子分離、フォトダイオード P D、画素トランジスタのソース領域／ドレイン領域、等）を、例えばイオン注入により二次元マトリクス状の二次元配列で形成する。なお、図 4 には、フォトダイオード P D のみを例示してあ

る。各单位画素 11 の上には、ゲート絶縁膜を介してゲート電極が積層形成される。なお、各单位画素 11 のフォトダイオード PD は、半導体基板 10 の表面 10A から基板厚さ方向の一定深さまでの厚みで形成されればよく、後の工程で半導体基板 10 の裏面 10B 側からフォトダイオード PD の裏面側付近まで半導体基板 10 を一定厚み量だけ研磨・研削する。

[0036] 次に、図 5 に示すように、表面 10A の上に、層間絶縁膜 15 を介して複数層の配線を配置した多層配線層 16 を積層形成する。多層配線層 16 は、表面 10A から最も遠い配線層を除いた複数の配線層により構成される第 1 配線層 16A と、表面 10A から最も遠い配線層により構成される第 2 配線層 16B とで構成される。第 1 配線層 16A の各配線は、例えば、ダマシン法等で形成される Cu 配線で構成され、第 2 配線層 16B の配線は、例えばエッチング法で形成される Al 配線で構成される。

[0037] 周辺回路領域 R2 の第 2 配線層 16B は、信号をチップ外へ出力するための PAD メタルとして用いられる。画素領域 R1 の第 2 配線層 16B は、他の配線と非接続、又は、電源やグラウンドの配線にのみ接続された状態とする。第 2 配線層 16B の配線は、画素領域 R1 における配線密度が、画角外（周辺回路領域 R2）の配線密度と略同等である。第 2 配線層 16B の配線は、画素領域 R1 及び周辺回路領域 R2 の双方において、配線の微細化限界の範囲内（Al 配線の場合、例えば、 $Line/Space = 0.8\mu m/2.0\mu m$ 等）で、上述した単位領域 U2 に規則性を有さないレイアウトで形成されている。

[0038] 第 2 配線層 16B を形成した後、多層配線層 16 の形成工程として、図 6 に示すように、第 2 配線層 16B の上から SiO₂ 膜等の層間絶縁膜 15 を積層形成する。層間絶縁膜 15 は、全体が第 2 配線層 16B よりも厚みが大きくなるまで積層される。すなわち、第 2 配線層 16B の上に積層される層間絶縁膜 15 は、第 2 配線層 16B の凹凸に応じた凹凸を持つ表面形状で積層されるが、その最も深い凹みの最低点が、第 2 配線層 16B の最高点よりも、高くなるように積層される。

[0039] このように積層された層間絶縁膜 15 の凸部を、図 7 に示すように、CMP で平坦化し、多層配線層 16 の表面を略平坦面に形成する。この CMP により、多層配線層 16 の、主に第 2 配線層 16 B を内包して盛り上がり形成された部位が強く研磨・研削されるが、第 2 配線層 16 B を内包しない凹み部分も弱く研磨・研削される。従って、第 2 配線層 16 B の上を覆う層間絶縁膜 15 が略一定厚みで残存する程度に CMP を行くと、第 2 配線層 16 B の有る部分の上を覆う層間絶縁膜 15 よりも、第 2 配線層 16 B の無い部分の上を覆う層間絶縁膜 15 が若干凹んだ凹部 15' が形成される。この凹部 15' は、後述する支持基板 200 を多層配線層 16 の表面 16 C に貼り合せた際に、貼着力が不十分となったり、貼着できずに空洞となったりする。ただし、本実施形態に係る固体撮像素子 100 では、画素領域 R1 における第 2 配線層 16 B の形成密度を高めてあるため、第 2 配線層 16 B の有る部分の上を覆う層間絶縁膜 15 が一定密度以上で画素領域 R1 の略全域に万遍なく設けられている。すなわち、多層配線層 16 の全域に万遍なく略平坦面が形成されることになる。

[0040] このようにして形成された多層配線層 16 の略平坦面に対し、図 8 に示すように、支持基板 200 を貼り合せる。この支持基板 200 には、例えばシリコン基板を用いる。なお、図示の都合上、図 8 には、上述した凹部 15' を示さず、多層配線層 16 の表面 16 C の詳細な形状の記載は割愛してある。

[0041] 次に、図 9 に示すように、支持基板 200 を貼り付けた半導体基板 10 を表裏反転させ、半導体基板 10 の裏面 10 B を上面とする。

[0042] 次に、図 10 に示すように、半導体基板 10 の裏面 10 B からフォトダイオード PD の裏面付近まで、研削、研磨によって除去加工を施す。最終的には、CMP によって、半導体基板 10 の裏面 10 B を平滑かつ平坦に加工する。なお、最終段の加工をエッチングによって行うことも可能である。

[0043] 次に、図 11 に示すように、半導体基板 10 の裏面 10 B の上に透明な平坦化膜 17 及びカラーフィルタ 18 を形成する。平坦化膜 17 は、例えば、熱

可塑性樹脂をスピンコート法によって成膜した後、熱硬化処理を行うことにより形成される。この平坦化膜 17 上に、緑色、赤色、青色からなる原色系フィルタとして、例えばベイヤー配列のカラーフィルタ 18 を形成する。このカラーフィルタ 18 は、各単位画素 11 に対応させて形成され、例えば、赤色（R）カラーフィルタ、緑色（G）カラーフィルタ、青色（B）カラーフィルタの 3 色のカラーフィルタからなる。上記カラーフィルタ 18 は上記光の 3 原色に限らず、補色系カラーフィルタを用いたり、白色カラーフィルタを組み合わせ用いたりすることもできる。カラーフィルタ 18 の上面には、必要に応じて更に平坦化膜を設けてもよい。

[0044] 次に、図 12 に示すように、カラーフィルタ 18 上に、マイクロレンズ 19 を形成する。マイクロレンズ 19 は、例えば、ポジ型のフォトリソ膜をカラーフィルタ 18 上に成膜後、加工することによって形成される。

以上説明した製造方法により、上述した固体撮像素子 100 を作製することができる。

[0045] （C）第 3 の実施形態：

図 13 は、固体撮像素子 100 を備える撮像装置 300 の構成を示すブロック図である。同図に示す撮像装置 300 は、電子機器の一例である。

[0046] なお、本明細書において、撮像装置とは、デジタルスチルカメラやデジタルビデオカメラ等の撮像装置や、撮像機能を有する携帯電話機などの携帯端末装置など、画像取込部（光電変換部）に固体撮像素子を用いる電子機器全般を指す。むろん、画像取込部に固体撮像素子を用いる電子機器には、画像読取部に固体撮像素子を用いる複写機も含まれる。また、撮像装置は、上述した電子機器に搭載するために固体撮像素子を含めてモジュール化されていてもよい。

[0047] 図 13 において、撮像装置 300 は、レンズ群を含む光学系 311、固体撮像素子 100、固体撮像素子 100 の出力信号を処理する信号処理回路としての DSP 313（Digital Signal Processor）、フレームメモリ 314、表示部 315、記録部 316、操作系 317、

電源系 318 及び制御部 319 を備えている。

[0048] DSP 313、フレームメモリ 314、表示部 315、記録部 316、操作系 317、電源系 318 及び制御部 319 は、通信バスを介して、互いにデータや信号を送受信できるように接続されている。

[0049] 光学系 311 は、被写体からの入射光（像光）を取り込んで固体撮像素子 100 の撮像面上に結像する。固体撮像素子 100 は、光学系 311 によって撮像面上に結像された入射光の受光量に応じた電気信号を画素単位で生成し、画素信号として出力する。この画素信号は DSP 313 に入力され、適宜に各種の画像処理を行って生成された画像データは、フレームメモリ 314 に記憶されたり、記録部 316 の記録媒体に記録されたり、表示部 315 に出力されたりする。

[0050] 表示部 315 は、液晶表示装置や有機 EL (electro luminescence) 表示装置等のパネル型表示装置からなり、固体撮像素子 100 によって撮像された動画や静止画、その他の情報を表示する。記録部 316 は、固体撮像素子 100 によって撮像された動画や静止画を、DVD (Digital Versatile Disk) や HD (Hard Disk)、半導体メモリ等の記録媒体に記録する。

[0051] 操作系 317 は、ユーザから各種の操作を受け付けるものであり、ユーザの操作に応じた操作命令を通信バスを介して各部 313、314、315、316、318、319 へ送信する。電源系 318 は、駆動電源となる各種の電源電圧を生成して供給対象（各部 312、313、314、315、316、317、319）へ適宜に供給する。

[0052] 制御部 319 は、演算処理を行う CPU や撮像装置 300 の制御プログラムを記憶する ROM、CPU のワークエリアとして機能する RAM、等を備えている。制御部 319 は、RAM をワークエリアとして利用しつつ ROM に記憶されている制御プログラムを CPU が実行することにより、通信バスを介して各部 313、314、315、316、317、318 を制御する。また、制御部 319 は、不図示のタイミングジェネレータを制御して各

種のタイミング信号を生成させ、各部へ供給する制御を行ったりする。

[0053] 図14は、固体撮像素子100の構成を示すブロック図である。なお、本実施形態では、固体撮像装置として、X-Yアドレス型固体撮像装置の一種であるCMOSイメージセンサを例にとり説明を行うが、むしろ、CCDイメージセンサを採用してもよい。以下、図14を参照しつつCMOSイメージセンサとしての固体撮像装置の具体的な一例について説明する。

[0054] 図14において、固体撮像素子100は、画素部121、垂直駆動部122、アナログデジタル変換部123（AD変換部123）、参照信号生成部124、水平駆動部125、通信・タイミング制御部126及び信号処理部127を備えている。

[0055] 画素部121には、光電変換部としてのフォトダイオードを含む複数の画素PXLが二次元マトリクス状に配置されている。画素部121の受光面側には、各画素に対応してフィルタの色を区分された色フィルタアレイが設けられる。なお、画素PXLの具体的な回路構成については後述する。

[0056] 画素部121には、 n 本の画素駆動線 $HSLn$ （ $n=1, 2, \dots$ ）と m 本の垂直信号線 $VS Lm$ （ $m=1, 2, \dots$ ）が配線されている。画素駆動線 $HSLn$ は、図の左右方向（画素行の画素配列方向／水平方向）に沿って配線され、図の上下方向に等間隔で配置されている。垂直信号線 $VS Lm$ は、図の上下方向（画素列の画素配列方向／垂直方向）に沿って配線され、図の左右方向に等間隔で配置されている。

[0057] 画素駆動線 $HSLn$ の一端は、垂直駆動部122の各行に対応した出力端子に接続されている。垂直信号線 $VS Lm$ は各列の画素PXLに接続されており、その一端は、AD変換部123に接続されている。垂直駆動部122や水平駆動部125は、通信・タイミング制御部126の制御の下、画素部121を構成する各画素PXLからアナログ信号を順次に読み出す制御を行う。なお、各画素PXLに対する画素駆動線 $HSLn$ と垂直信号線 $VS Lm$ の具体的な接続については、画素PXLの説明とともに後述する。

[0058] 通信・タイミング制御部126は、例えば、タイミングジェネレータと通

信インターフェースとを備える。タイミングジェネレータは、外部から入力されるクロック（マスタークロック）に基づいて、各種のクロック信号を生成する。通信インターフェースは、固体撮像素子１００の外部から与えられる動作モードを指令するデータなどを受け取り、固体撮像素子１００の内部情報を含むデータを外部へ出力する。

[0059] 通信・タイミング制御部１２６は、マスタークロックに基づいて、マスタークロックと同じ周波数のクロック、それを２分周したクロック、より分周した低速のクロック、等を生成し、デバイス内の各部（垂直駆動部１２２、水平駆動部１２５、ＡＤ変換部１２３、参照信号生成部１２４、信号処理部１２７、等）に供給する。

[0060] 垂直駆動部１２２は、例えば、シフトレジスタやアドレスデコーダ等によって構成されている。垂直駆動部１２２は、外部から入力される映像信号をデコードした信号に基づいて、行アドレスを制御するための垂直アドレス設定部や行走査を制御するための行走査制御部を備えている。

[0061] 垂直駆動部１２２は、読み出し走査と掃き出し走査が可能である。

読み出し走査とは、信号を読み出す単位画素を順に選択する走査である。読み出し走査は、基本的には行単位で順に行われるが、所定の位置関係にある複数画素の出力を加算もしくは加算平均することにより画素の間引きを行う場合は、所定の順番により行われる。

[0062] 掃き出し走査とは、読み出し走査にて読み出しを行う行又は画素組み合わせに対し、この読み出し走査よりもシャッタースピードの時間分だけ先行して、読み出しを行う行又は画素組み合わせに属する単位画素をリセットさせる走査である。

[0063] 水平駆動部１２５は、通信・タイミング制御部１２６の出力するクロックに同期してＡＤ変換部１２３を構成する各ＡＤＣ回路を順番に選択する。ＡＤ変換部１２３は、垂直信号線ＶＳＬ_mごとに設けられたＡＤＣ回路（ $m = 1, 2, \dots$ ）を備え、各垂直信号線ＶＳＬ_mから出力されるアナログ信号をデジタル信号に変換し、水平駆動部１２５の制御に従って水平信号線Ｌ

t r f に出力する。

[0064] 水平駆動部 1 2 5 は、例えば、水平アドレス設定部や水平走査部を備えており、水平アドレス設定部が規定した水平方向の読み出し列に対応する A D 変換部 1 2 3 の個々の A D C 回路を選択することにより、選択された A D C 回路において生成されたデジタル信号を水平信号線 L t r f に導く。

[0065] このようにして A D 変換部 1 2 3 から出力されたデジタル信号は、水平信号線 L t r f を介して信号処理部 1 2 7 へ入力される。信号処理部 1 2 7 は、画素部 1 2 1 から A D 変換部 1 2 3 を経由して出力される信号を、演算処理にて、色フィルタアレイの色配列に対応した画像信号に変換する処理を行う。

[0066] また、信号処理部 1 2 7 は、必要に応じて、水平方向や垂直方向の画素信号を加算や加算平均等により間引く処理を行う。このようにして生成された画像信号は、固体撮像素子 1 0 0 の外部に出力される。

[0067] 参照信号生成部 1 2 4 は、D A C (D i g i t a l A n a l o g C o n v e r t e r) を備えており、通信・タイミング制御部 1 2 6 から供給されるカウントクロックに同期して、参照信号 V r a m p を生成する。参照信号 V r a m p は、通信・タイミング制御部 1 2 6 から供給される初期値から階段状に時間変化する鋸歯状波（ランプ波形）である。この参照信号 V r a m p は、A D 変換部 1 2 3 の個々の A D C 回路に供給される。

[0068] A D 変換部 1 2 3 は、複数の A D C 回路を備えている。A D C 回路は、各画素 P X L から出力されるアナログ電圧を A D 変換するにあたり、所定の A D 変換期間（後述する P 相期間や D 相期間）に参照信号 V r a m p と垂直信号線 V S L m の電圧とを比較器にて比較し、参照信号 V r a m p と垂直信号線 V S L m の電圧の電圧（画素電圧）との大小関係が反転する前後いずれかの時間をカウンタにてカウントする。これにより、アナログの画素電圧に応じたデジタル信号を生成することができる。なお、A D 変換部 1 2 3 の具体例については後述する。

[0069] 図 1 5 は、画素の回路構成を説明する図である。同図には、一般的な 4 ト

ランジスタ方式の構成の画素の等価回路を示してある。同図に示す画素は、フォトダイオードPDと、4つのランジスタ（転送ランジスタTR1、リセットランジスタTR2、増幅ランジスタTR3、選択ランジスタTR4）を備えている。

[0070] フォトダイオードPDは、受光した光量に応じた電流を光電変換によって発生させる。フォトダイオードPDのアノードはグラウンドに接続され、そのカソードは転送ランジスタTR1のドレインに接続される。

[0071] 画素PXLには、垂直駆動部122のリセット信号生成回路や各種ドライバから、信号線Ltrg, Lrst, Lselを介して、各種の制御信号が入力される。

[0072] 転送ランジスタTR1のゲートには、転送ゲート信号を伝送するための信号線Ltrgが接続される。転送ランジスタTR1のソースは、リセットランジスタTR2のソースと、増幅ランジスタTR3のゲートとの接続点に対して接続される。この接続点は信号電荷を蓄積する容量であるフローティングディフュージョンFDを構成する。

[0073] 転送ランジスタTR1は、ゲートに信号線Ltrgを通じて転送信号が入力されるとオンし、フォトダイオードPDの光電変換によって蓄積された信号電荷（ここでは、光電子）をフローティングディフュージョンFDに転送する。

[0074] リセットランジスタTR2のゲートには、リセット信号を伝送するための信号線Lrstが接続され、ドレインに定電圧源VDDが接続される。リセットランジスタTR2は、信号線Lrstを通じてゲートにリセット信号が入力されるとオンし、フローティングディフュージョンFDを定電圧源VDDの電圧にリセットする。一方、信号線Lrstを通じてゲートにリセット信号が入力されていない場合は、リセットランジスタTR2はオフし、フローティングディフュージョンFDと定電圧源VDDとの間に所定のポテンシャル障壁を形成する。

[0075] 増幅ランジスタTR3は、ゲートをフローティングディフュージョンFD

Dに接続され、ドレインを定電圧源VDDに接続され、ソースを選択トランジスタTR4のドレインに接続されている。

[0076] 選択トランジスタTR4は、ゲートに選択信号の信号線Lselが接続され、ソースが垂直信号線VSLに接続される。選択トランジスタTR4は、信号線Lselを通じてゲートに制御信号（アドレス信号またはセレクト信号）を入力されるとオンし、信号線Lselを通じてゲートにこの制御信号を入力されていない場合はオフする。

[0077] 選択トランジスタTR4がオンすると、増幅トランジスタTR3は、フローティングディフュージョンFDの電圧を増幅して垂直信号線VSLに出力する。垂直信号線VSLを通じて各画素から出力された電圧は、AD変換部123に入力される。

[0078] なお、画素の回路構成は、図15に示した構成のみならず、3トランジスタ方式の構成や、他の4トランジスタ方式の構成等、公知の種々の構成を採用可能である。例えば、他の4トランジスタ方式の構成としては、増幅トランジスタTR3と定電圧源VDDとの間に選択トランジスタTR4を配置した構成が挙げられる。

[0079] 図16は、AD変換部123の構成を示す図である。同図に示すように、AD変換部123を構成する各ADC回路は、垂直信号線VSLm毎に設けられた比較器123aやカウンタ123bと、ラッチ123cを備えている。

[0080] 比較器123aは、2つの入力端子T1、T2と1つの出力端子T3を備えている。一方の入力端子T1は、参照信号生成部124から参照信号Vrampを入力され、他方の入力端子T2は、画素から垂直信号線VSLを通して出力されるアナログの画素信号（以下、画素信号Vvsと記載する。）を入力されている。

[0081] 比較器123aは、これら参照信号Vrampと画素信号Vvsとを比較する。比較器123aは、参照信号Vrampと画素信号Vvsとの大小関係に応じてハイレベルもしくはローレベルの信号を出力するようになって

おり、参照信号 V_{ramp} と画素信号 V_{vs1} の大小関係が入れ替わると、出力端子 $T3$ の出力が、ハイレベルとローレベルの間で反転する。

[0082] カウンタ $123b$ は、通信・タイミング制御部 126 からクロックを供給されており、当該クロックを利用して AD 変換の開始から終了までの時間をカウントしている。 AD 変換の開始と終了のタイミングは、通信・タイミング制御部 126 の出力する制御信号（例えば、クロック信号 CLK の入力有無等）と比較器 $123a$ の出力反転とに基づいて特定する。

[0083] また、カウンタ $123b$ は、いわゆる相関 2 重サンプリング (CDS) により、画素信号を A/D 変換する。具体的には、カウンタ $123b$ は、通信・タイミング制御部 126 の制御に従い、垂直信号線 $VSLm$ からリセット成分に相当するアナログ信号が出力されている間はダウンカウントを行う。そして、このダウンカウントにより得られたカウント値を初期値とし、垂直信号線 $VSLm$ から画素信号に相当するアナログ信号が出力されている間にアップカウントを行う。

[0084] このようにして生成されるカウント値は、信号成分とリセット成分の差分に相当するデジタル値となる。すなわち、垂直信号線 $VSLm$ を通して画素から AD 変換部 123 へ入力されたアナログの画素信号に相当するデジタル値をリセット成分によって較正した値となる。

[0085] カウンタ $123b$ が生成したデジタル値はラッチ $123c$ に記憶され、水平走査部の制御に従って順次にラッチ $123c$ から出力され、水平信号線 $Ltrf$ を介して信号処理部 127 へ出力される。

[0086] なお、本技術は上述した各実施形態に限られず、上述した各実施形態の中で開示した各構成を相互に置換したり組み合わせを変更したりした構成、公知技術並びに上述した各実施形態の中で開示した各構成を相互に置換したり組み合わせを変更したりした構成、等も含まれる。また、本技術の技術的範囲は上述した各実施形態に限定されず、請求の範囲に記載された事項とその均等物まで及ぶものである。

[0087] そして、本技術は、以下のような構成を取ることができる。

[0088] (1)

各々が光電変換部を有する複数の画素が面方向に沿って並設された半導体基板と、

前記半導体基板の光入射面と反対側の面に積層形成された配線層と、
を備え、

前記配線層は、前記半導体基板の側から入射する光を前記半導体基板へ反射する反射面を有する構造物を含み、

複数の前記画素は、1又は複数の画素を最小単位とする周期構造を有し、
前記構造物は、前記最小単位より広い単位領域が含む複数の画素について、各画素の前記反射面のカバレッジ率に規則性を有さない、固体撮像素子。

[0089] (2)

前記複数の画素は、行列上に二次元配列されており、

前記単位領域内において、ある行を構成する複数画素の前記カバレッジ率の並びパターンと他の行を構成する複数画素の前記カバレッジ率の並びパターンとが重複せず、ある列を構成する複数画素の前記カバレッジ率の並びパターンと他の列を構成する複数画素の前記カバレッジ率の並びパターンとが重複しない、前記(1)に記載の固体撮像素子。

[0090] (3)

前記半導体基板の光入射面の上に積層形成されたカラーフィルタを更に有し、

複数の前記画素は、特定色のカラーフィルタに対応して形成された1又は複数の画素を最小単位とする周期構造を有し、

前記構造物は、前記最小単位より広い単位領域が含む複数の画素について、各画素における前記反射面のカバレッジ率に規則性を有さない、前記(1)又は前記(2)に記載の固体撮像素子。

[0091] (4)

複数の前記画素は、赤または赤外光のカラーフィルタに対応して形成された1又は複数の画素を最小単位とする周期構造を有し、

前記構造物は、前記最小単位より広い単位領域が含む複数の画素について、各画素における前記反射面のカバレッジ率に規則性を有さない、前記（１）又は前記（２）に記載の固体撮像素子。

[0092] （５）

半導体基板に、各々が光電変換部を有する複数の画素を面方向に沿って並設する工程と、

前記半導体基板の光入射面と反対側の面に配線層を積層形成する工程と、を含む固体撮像素子の製造方法であって、

前記配線層は、前記半導体基板の側から入射する光を前記半導体基板へ反射する反射面を有する構造物を含み、

複数の前記画素は、１又は複数の画素を最小単位とする周期構造を有し、

前記構造物は、前記最小単位より広い単位領域が含む複数の画素について、各画素の前記反射面のカバレッジ率に規則性を有さない、固体撮像素子の製造方法。

[0093] （６）

固体撮像素子と、当該固体撮像素子が出力する画像信号に基づいて生成する画像データを記録する記録部と、前記画像信号に基づく画像を表示する表示部と、を備える電子機器であって、

前記固体撮像素子は、各々が光電変換部を有する複数の画素が面方向に沿って並設された半導体基板と、前記半導体基板の光入射面と反対側の面に積層形成された配線層と、

を備え、

前記配線層は、前記半導体基板の側から入射する光を前記半導体基板へ反射する反射面を有する構造物を含み、

複数の前記画素は、１又は複数の画素を最小単位とする周期構造を有し、

前記構造物は、前記最小単位より広い単位領域が含む複数の画素について、各画素の前記反射面のカバレッジ率に規則性を有さない、電子機器。

符号の説明

[0094] 10…半導体基板、10A…表面、10B…裏面、11…単位画素、11A…表面、12…ゲート電極、13…素子分離領域、15…層間絶縁膜、16…多層配線層、16A…第1配線層、16B…第2配線層、17…平坦化膜、18…カラーフィルタ、19…マイクロレンズ、100…固体撮像素子、121…画素部、122…垂直駆動部、123…アナログデジタル変換部（AD変換部）、123a…比較器、123b…カウンタ、123c…ラッチ、124…参照信号生成部、125…水平駆動部、126…タイミング制御部、127…信号処理部、300…撮像装置、311…光学系、312…DSP、314…フレームメモリ、315…表示部、316…記録部、317…操作系、318…電源系、319…制御部、FD…フローティングディフュージョン、PD…フォトダイオード、PXL…画素、R1…画素領域、R2…周辺回路領域、TR1…転送トランジスタ、TR2…リセットトランジスタ、TR3…増幅トランジスタ、TR4…選択トランジスタ、U1…単位領域、U2…単位領域

請求の範囲

- [請求項1] 各々が光電変換部を有する複数の画素が面方向に沿って並設された半導体基板と、
 前記半導体基板の光入射面と反対側の面に積層形成された配線層と、
 、
 を備え、
 前記配線層は、前記半導体基板の側から入射する光を前記半導体基板へ反射する反射面を有する構造物を含み、
 複数の前記画素は、1又は複数の画素を最小単位とする周期構造を有し、
 前記構造物は、前記最小単位より広い単位領域が含む複数の画素について、各画素の前記反射面のカバレッジ率に規則性を有さない、固体撮像素子。
- [請求項2] 前記複数の画素は、行列上に二次元配列されており、
 前記単位領域内において、ある行を構成する複数画素の前記カバレッジ率の並びパターンと他の行を構成する複数画素の前記カバレッジ率の並びパターンとが重複せず、ある列を構成する複数画素の前記カバレッジ率の並びパターンと他の列を構成する複数画素の前記カバレッジ率の並びパターンとが重複しない、請求項1に記載の固体撮像素子。
- [請求項3] 前記半導体基板の光入射面の上に積層形成されたカラーフィルタを更に有し、
 複数の前記画素は、特定色のカラーフィルタに対応して形成された1又は複数の画素を最小単位とする周期構造を有し、
 前記構造物は、前記最小単位より広い単位領域が含む複数の画素について、各画素における前記反射面のカバレッジ率に規則性を有さない、請求項1に記載の固体撮像素子。
- [請求項4] 複数の前記画素は、赤または赤外光のカラーフィルタに対応して形

成された 1 又は複数の画素を最小単位とする周期構造を有し、

前記構造物は、前記最小単位より広い単位領域が含む複数の画素について、各画素における前記反射面のカバレッジ率に規則性を有さない、

請求項 1 に記載の固体撮像素子。

[請求項5] 半導体基板に、各々が光電変換部を有する複数の画素を面方向に沿って並設する工程と、

前記半導体基板の光入射面と反対側の面に配線層を積層形成する工程と、

を含む固体撮像素子の製造方法であって、

前記配線層は、前記半導体基板の側から入射する光を前記半導体基板へ反射する反射面を有する構造物を含み、

複数の前記画素は、1 又は複数の画素を最小単位とする周期構造を有し、

前記構造物は、前記最小単位より広い単位領域が含む複数の画素について、各画素の前記反射面のカバレッジ率に規則性を有さない、固体撮像素子の製造方法。

[請求項6] 固体撮像素子と、当該固体撮像素子が出力する画像信号に基づいて生成する画像データを記録する記録部と、前記画像信号に基づく画像を表示する表示部と、を備える電子機器であって、

前記固体撮像素子は、各々が光電変換部を有する複数の画素が面方向に沿って並設された半導体基板と、前記半導体基板の光入射面と反対側の面に積層形成された配線層と、

を備え、

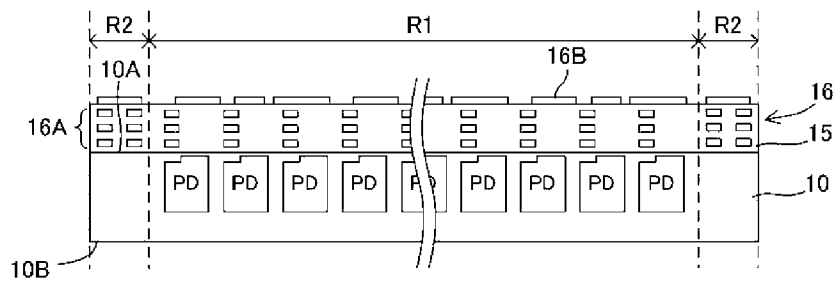
前記配線層は、前記半導体基板の側から入射する光を前記半導体基板へ反射する反射面を有する構造物を含み、

複数の前記画素は、1 又は複数の画素を最小単位とする周期構造を有し、

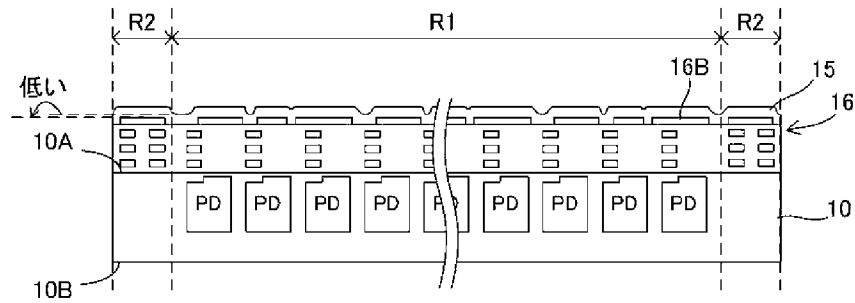
前記構造物は、前記最小単位より広い単位領域が含む複数の画素について、各画素の前記反射面のカバレッジ率に規則性を有さない、電子機器。

Diagram of a memory array 10. The array is divided into three regions: a central region R1 and two side regions R2. The central region R1 contains a sequence of memory cells, each labeled 'PD'. The side regions R2 are located on either side of the central region. The array is labeled 10A at the top and 10B at the bottom. A dashed line indicates a break in the array between the two 'PD' cells in the center.

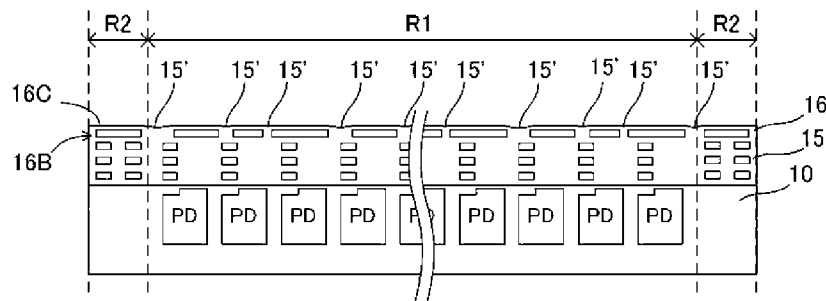
[図5]



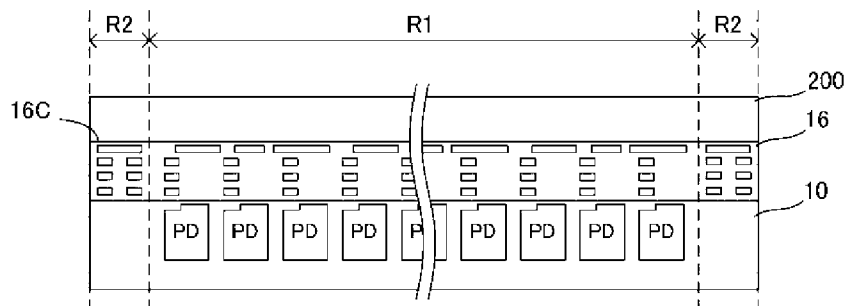
[図6]



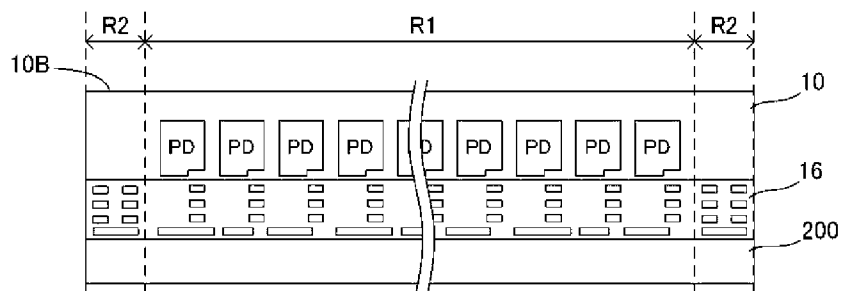
[図7]



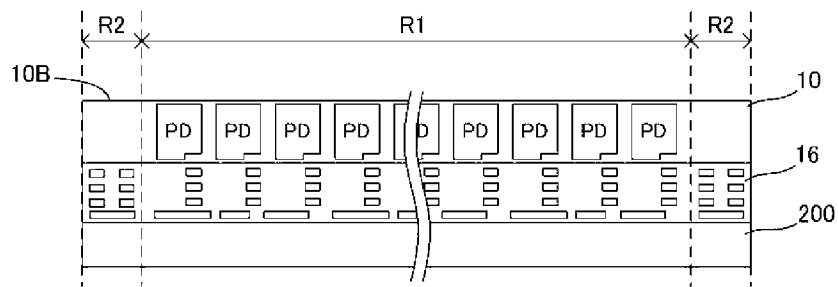
[図8]



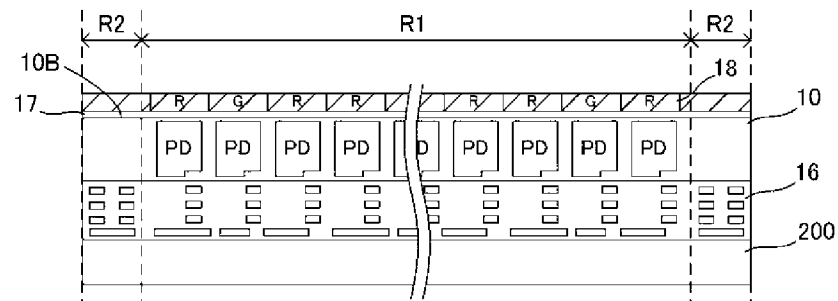
[図9]



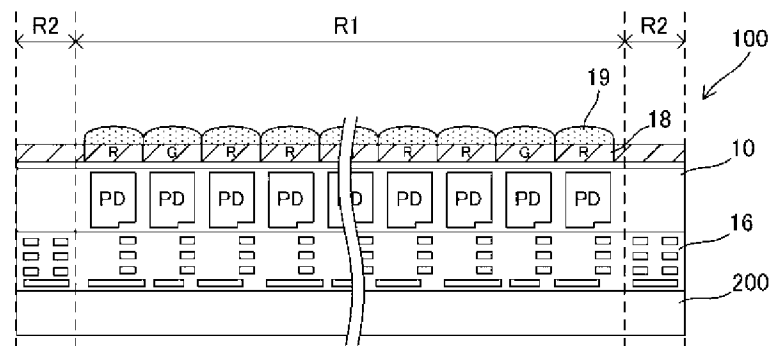
[図10]



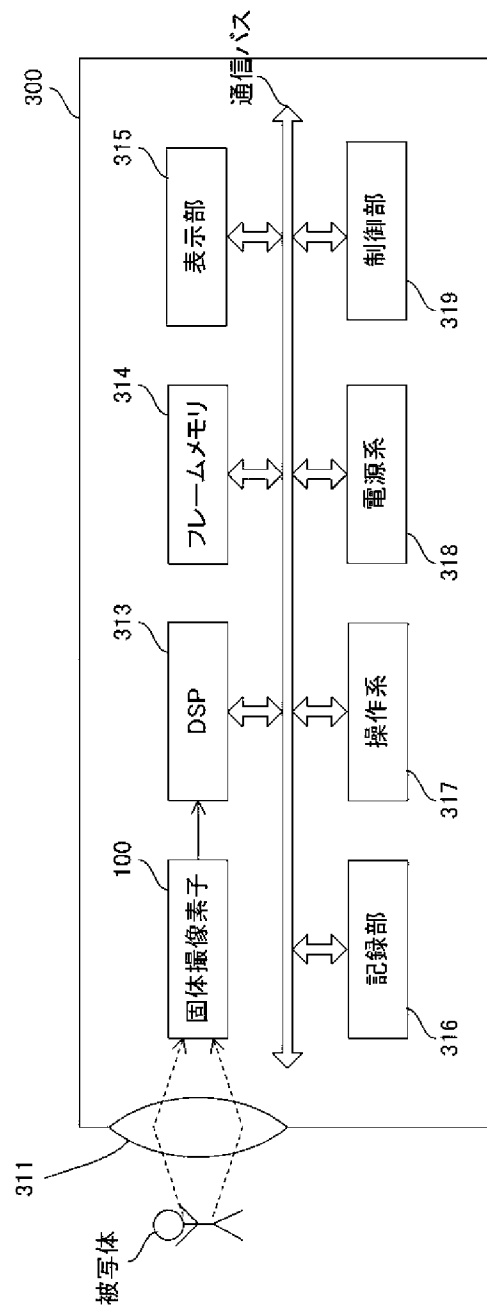
[図11]



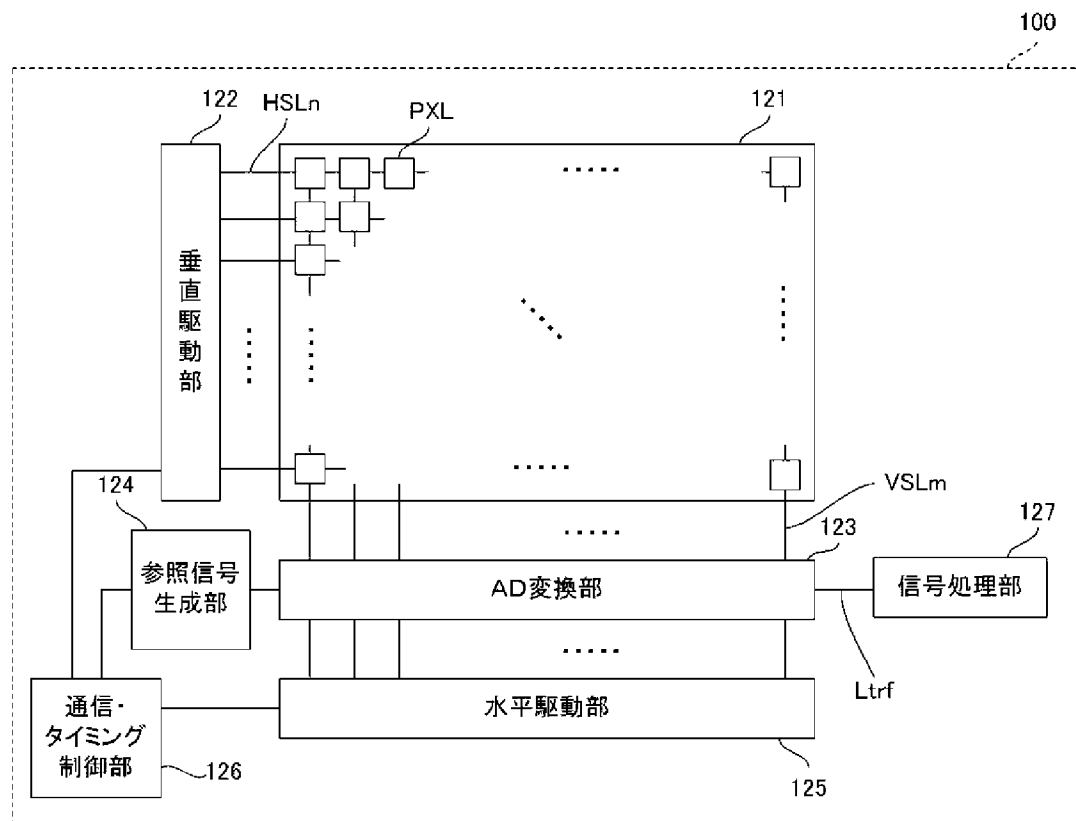
[図12]



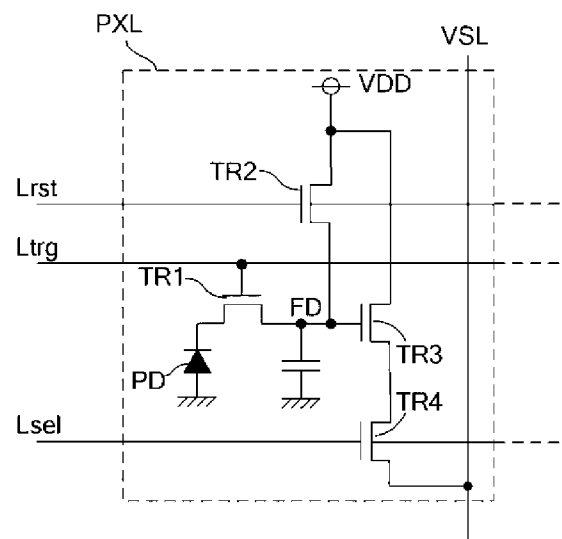
[図13]



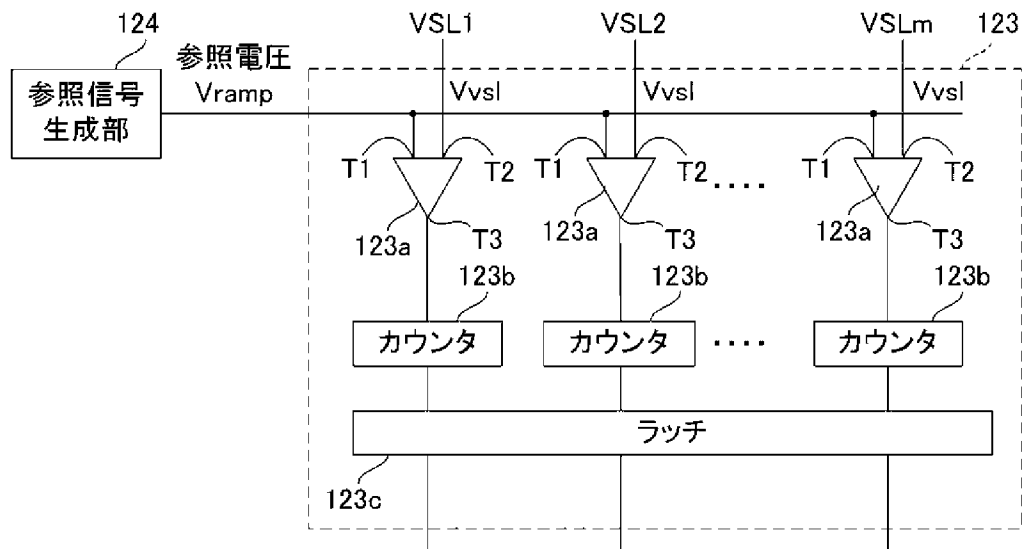
[図14]



[図15]



[図16]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/025738

A. CLASSIFICATION OF SUBJECT MATTER

H01L27/146(2006.01)i, H04N5/357(2011.01)i, H04N5/369(2011.01)i, H04N5/374(2011.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/146, H04N5/357, H04N5/369, H04N5/374

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2015-26786 A (Sony Corp.), 05 February 2015 (05.02.2015), paragraphs [0001], [0029] to [0030], [0040] to [0048]; fig. 4, 6 & US 2016/0204147 A1 paragraphs [0002], [0054] to [0056], [0068] to [0084]; fig. 4, 6 & WO 2015/015753 A1 & TW 201508906 A & CN 105340079 A & KR 10-2016-0037882 A	1-6
Y	JP 2011-243665 A (Canon Inc.), 01 December 2011 (01.12.2011), paragraphs [0011], [0025]; fig. 2A, 5A & US 2011/0281392 A1 paragraphs [0016], [0031]; fig. 2A, 5A & CN 102244084 A	1-6

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
23 August 2017 (23.08.17)

Date of mailing of the international search report
05 September 2017 (05.09.17)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/025738

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2015-29012 A (Sony Corp.), 12 February 2015 (12.02.2015), paragraph [0181]; fig. 15 & US 2015/0036030 A1 paragraph [0200]; fig. 15 & CN 104349147 A	6
A	WO 2013/172232 A1 (Sony Corp.), 21 November 2013 (21.11.2013), paragraphs [0047] to [0053], [0083]; fig. 11 & US 2015/0123228 A1 paragraphs [0084] to [0091], [0124]; fig. 11 & KR 10-2015-0018775 A & CN 104541371 A	1-6
A	JP 2014-96540 A (Canon Inc.), 22 May 2014 (22.05.2014), paragraphs [0038] to [0041]; fig. 7 to 11 & US 2014/0132812 A1 paragraphs [0055] to [0056]; fig. 7 to 11B & US 2015/0145089 A1 & CN 103811508 A	1-6
A	JP 2012-256736 A (Sony Corp.), 27 December 2012 (27.12.2012), paragraph [0039]; fig. 4 & US 2014/0145338 A1 paragraph [0072]; fig. 4 & WO 2012/161044 A1 & EP 2717300 A1 & TW 201308560 A & CN 103503122 A & KR 10-2014-0022039 A & CN 105938825 A & TW 201707180 A	1-6

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L27/146(2006.01)i, H04N5/357(2011.01)i, H04N5/369(2011.01)i, H04N5/374(2011.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L27/146, H04N5/357, H04N5/369, H04N5/374

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2015-26786 A（ソニー株式会社） 2015.02.05, 段落[0001], [0029]-[0030], [0040]-[0048], 図4, 6 & US 2016/0204147 A1, 段落[0002], [0054]-[0056], [0068]-[0084], 図4, 6 & WO 2015/015753 A1 & TW 201508906 A & CN 105340079 A & KR 10-2016-0037882 A	1-6

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

23.08.2017

国際調査報告の発送日

05.09.2017

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

鈴木 肇

5 F

9847

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2011-243665 A (キヤノン株式会社) 2011.12.01, 段落[0011], [0025], 図 2A, 5A & US 2011/0281392 A1, 段落[0016], [0031], 図 2A, 5A & CN 102244084 A	1-6
Y	JP 2015-29012 A (ソニー株式会社) 2015.02.12, 段落[0181], 図 15 & US 2015/0036030 A1, 段落[0200], 図 15 & CN 104349147 A	6
A	WO 2013/172232 A1 (ソニー株式会社) 2013.11.21, 段落[0047]-[0053], [0083], 図 11 & US 2015/0123228 A1, 段落[0084]-[0091], [0124], 図 11 & KR 10-2015-0018775 A & CN 104541371 A	1-6
A	JP 2014-96540 A (キヤノン株式会社) 2014.05.22, 段落[0038]-[0041], 図 7-11 & US 2014/0132812 A1, 段落[0055]-[0056], 図 7-11B & US 2015/0145089 A1 & CN 103811508 A	1-6
A	JP 2012-256736 A (ソニー株式会社) 2012.12.27, 段落[0039], 図 4 & US 2014/0145338 A1, 段落[0072], 図 4 & WO 2012/161044 A1 & EP 2717300 A1 & TW 201308560 A & CN 103503122 A & KR 10-2014-0022039 A & CN 105938825 A & TW 201707180 A	1-6