

# 發明專利說明書 200412205

(填寫本書件時請先行詳閱申請書後之申請須知，作※記號部分請勿填寫)

※申請案號：92108257 ※IPC分類：H05K1/00,3/00

※申請日期：92.4.10

## 壹、發明名稱

(中文) 無介層洞之雙面印刷電路板及其製造方法

(英文) DOUBLE-SIDED PRINTED CIRCUIT BOARD WITHOUT VIA HOLES AND  
METHOD OF FABRICATING THE SAME

## 貳、發明人 (共 3 人)

發明人 1 (如發明人超過一人，請填說明書發明人續頁)

姓名：(中文) 柳彰燮

(英文) Chang-Sup RYU

住居所地址：(中文) 大韓民國大田廣域市儒城區田民洞艾斯波公寓 501-1703

(英文) 501-1703, Expo Apt., Jeonmin-dong, Yuseong-gu, Daejeon-si 305-762, Korea

國籍：(中文) 韓國 (英文) Korea

## 參、申請人 (共 1 人)

申請人 1 (如申請人超過一人，請填說明書申請人續頁)

姓名或名稱：(中文) 韓商·三星電機股份有限公司

(英文) SAMSUNG ELECTRO-MECHANICS CO., LTD.

住居所或營業所地址：(中文) 大韓民國京畿道水原市八達區梅灘3洞314

(英文) 314, Maetan-3dong, Paldal-gu, Suwon-si, Kyunggi-do  
442-743, Republic of Korea

國籍：(中文) 韓國 (英文) KOREA

代表人：(中文) 金然昌

(英文) Yeon-Chang, KIM

續發明人或申請人續頁 (發明人或申請人欄位不敷使用時，請註記並使用續頁)

發明人   2  

姓名：(中文) 康丈珪 \_\_\_\_\_

(英文) Jang-Kyu KANG \_\_\_\_\_

住居所地址：(中文) 大韓民國大田廣域市儒城區田民洞艾斯波公寓 306-1301 \_\_\_\_\_

(英文) 306-1301, Expo Apt., Jeonmin-dong, Yuseong-gu, Daejeon-si 305-761, Korea \_\_\_\_\_

國籍：(中文)                    韓 國                    (英文) Korea \_\_\_\_\_

發明人   3  

姓名：(中文) 宣炳國 \_\_\_\_\_

(英文) Byung-Kook SUN \_\_\_\_\_

住居所地址：(中文) 大韓民國大田廣域市儒城區田民洞 462-4 青丘-娜拉公寓 103-104 \_\_\_\_\_

(英文) 103-104, Cheonggu-Narae Apt., 462-4, Jeonmin-dong, Yuseong-gu, Daejeon-si 305-729, Korea \_\_\_\_\_

國籍：(中文)                    韓 國                    (英文) Korea \_\_\_\_\_

## 捌、聲明事項

本案係符合專利法第二十條第一項  第一款但書或  第二款但書規定之期間，其日期為：\_\_\_\_\_

本案已向下列國家（地區）申請專利，申請日期及案號資料如下：

【格式請依：申請國家（地區）；申請日期；申請案號 順序註記】

1. \_\_\_\_\_

2. \_\_\_\_\_

3. \_\_\_\_\_

主張專利法第二十四條第一項優先權：

【格式請依：受理國家（地區）；日期；案號 順序註記】

1. 韓國； 2002,12,30； 2002-87613 \_\_\_\_\_

2. \_\_\_\_\_

3. \_\_\_\_\_

4. \_\_\_\_\_

5. \_\_\_\_\_

6. \_\_\_\_\_

7. \_\_\_\_\_

8. \_\_\_\_\_

9. \_\_\_\_\_

10. \_\_\_\_\_

主張專利法第二十五條之一第一項優先權：

【格式請依：申請日；申請案號 順序註記】

1. \_\_\_\_\_

2. \_\_\_\_\_

3. \_\_\_\_\_

主張專利法第二十六條微生物：

國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

1. \_\_\_\_\_

2. \_\_\_\_\_

3. \_\_\_\_\_

國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

1. \_\_\_\_\_

2. \_\_\_\_\_

3. \_\_\_\_\_

熟習該項技術者易於獲得，不須寄存。

## 玖、發明說明

(發明說明應敘明：發明所屬之技術領域、先前技術、內容、實施方式及圖式簡單說明)

### 【發明所屬之技術領域】

#### 發明領域

本發明概有關於一種製造雙面印刷電路板(PCB)的方法，尤係關於一種藉摺疊一僅在一面上設有電路圖案之撓性基材，而來製造一沒有通孔之雙面PCB的方法，及以該方法製成之沒有通孔的雙面PCB。

### 【先前技術】

#### 發明背景

如精習於該項技術之專業人士所公知，印刷電路板(PCB)依據構成該PCB的層數可分成三種類型：一單層式PCB其中紋路圖案係僅設在一絕緣基材的一面上；一雙面PCB其中紋路圖案係設在該絕緣基材的兩面上；及一多層板(MLB)其中紋路圖案係被設在多數料層上。一般而言，該單面式PCB最為常見，因為其電子構件通常會有簡單的結構，且它們的電路圖案並不複雜。但近年來，該雙面式PCB或MLB等隨著高度整合、複雜，且細微的電路圖案之需求逐漸增加，而時常被使用。該雙面PCB最常用的材料係為一覆銅疊層(CCL)，其中薄銅層會被鍍設於該絕緣基材的兩面上。在使用雙面PCB或MLB的情況下，電信號會經由通孔(介層洞)來被傳輸於該雙面PCB或MLB的頂面和底面或內層與外層之間，該等通孔即被貫設於其頂面和底面或內層與外層之間。

該等通孔係例如藉使用一鑽孔器來貫穿一基材所製成

## 玖、發明說明

，且各通孔內會被鍍銅而在其本身上形成一導電鍍層。此外，一絕緣體會被填入該通孔內部剩餘的空間內。

如上所述，該通孔的功能乃可將該PCB的頂面電連接於其底面。

- 5            或者，該PCB亦可依其材料而被分成三類：一硬質PCB，一撓性PCB，及一可撓的硬質PCB。

該硬質PCB係為一普遍公知的PCB，其形狀不易變形，而該撓性PCB可使用於需要在非六面體設計之電子器材中被彎折或摺疊的情況下。且該撓性PCB可用來作為  
10 一連接器，以將一驅動部件例如列印頭電連接於另一構件。

一可撓的硬質PCB即為該硬質PCB與撓性PCB的結合形式，而最常被使用於航太及軍用器材，因為其有較少的電連接部份而具精良複雜的電路圖案及較佳的可靠度。近  
15 年來，可撓的硬質PCB亦被使用來將一摺疊式手機(行動電話)的摺疊構件互相電連接。雖然該可撓性硬質PCB有易製造性較低的缺點，因為其係結合不同材料的基材來製成，且其難以確保該等複雜的技術，但仍有改善該可撓性硬質PCB之製造方法的必要，因為依據複雜且小尺寸電子產品  
20 的趨勢，該可撓性硬質PCB的使用將會快速地增加。

第1A至1G圖為習知雙面PCB之製造過程的截面示意圖。詳言之，第1A圖係示出用來製成該習知雙面PCB的硬質覆銅疊層(CCL)。此等，標號11、12分別係指一銅層及一絕緣層。

## 玖、發明說明

在第1B圖中，通孔13會被使用一鑽孔器貫穿該CCL而來形成，以供電連接該CCL的頂面和底面。該等通孔係可藉一機械鑽孔器，一YAG雷射，或一CO<sub>2</sub>雷射而來製成。如此形成的CCL會在第1C圖中被無電式鍍銅，然後再電解式鍍銅如第1D圖所示。請參閱第1E圖，有一電路圖案16會被形成於該鍍銅的CCL上。

為便於瞭解，供製成電路圖案之最常用的習知方法將說明如下。該習知方法係依據該基材的物理性質和該PCB的製造條件而定。

10 在該基材上製成該電路圖案的各種方法，皆依據一蝕刻(侵蝕)及鍍著(積層)製程。換言之，所需的圖案化基材係使用該二製程而來妥當地製成。

第2A至2D圖係為該PCB之製法的示意圖，而被稱為”減式製法”(subtractive process)。第2A至2D圖在該”減式製法”中係可被第1C至1E圖所替代。所謂”減式製法”一般係指使用蝕刻處理來製成一電路圖案的方法，但在本說明書中，該”減式製法”係指一種按照以下說明來進行的製程。

第2A圖示出一CCL設有一貫孔，且該孔會被以0.5至1.5  $\mu$  m的厚度來無電地鍍銅。此時，標號21、22、24分別係指該CCL的銅層，該CCL的絕緣層，及電鍍銅層。

又，第2B圖係示出該無電式鍍銅之CCL上乃設有一厚度為15至25  $\mu$  m的電鍍銅層25。

要在電解鍍銅製程之前先進行無電式鍍銅製程的原因係，該使用電的電解鍍銅製程不能在該絕緣層上來完成。

## 玖、發明說明

換言之，該無電式鍍銅製程係先被進行來在該CCL上形成一薄導電膜，以便再進行該電解鍍銅製程。又，最好該電路圖案的導電部份係由於電解鍍銅製程來完成，因為較難以進行無電鍍銅製程，且該無電鍍銅製程的經濟效益較差。

5 在第2C圖中，一抗蝕圖案26會被使用一印有乾燥膜(D/F)及電路圖案的原圖膜來形成於該電解鍍銅的CCL上。

有許多現有的製法係依據事先設計好的電路圖案來在該PCB上製成一阻抗圖案，但使用乾燥膜的製法最為普遍。

該乾燥膜一般係以D/F來表示，而包含有三層：一覆蓋膜層，一光阻膜層，及一Mylar膜層(米拉聚酯薄膜)。在  
10 該三層中，該光阻膜層實際上會形成一阻抗層。

當該乾燥膜被覆設在電解鍍銅的CCL上，而該覆蓋膜被由該乾燥膜上剝除時(層合程序)，其上印有電路佈線的原圖膜即會被附設於所形成的CCL上，且一紫外光會照射  
15 於該形成的結構上，該紫外光並不會穿過印有該原圖紋案的黑色部份，但會穿過該黑色部份以外的部份，而來固化該乾燥膜。若被UV光照射過的該結構物被浸入一顯影液中，則未被固化的乾燥膜部份將會被該顯影液除掉，而被固化的乾燥膜部份將會在該PCB上形成該阻抗圖案。該顯  
20 影液之例乃包括碳酸鈉(1%  $\text{Na}_2\text{CO}_3$ )及碳酸鉀( $\text{K}_2\text{CO}_3$ )。

當該結構物被蝕刻時，覆設阻抗劑的部份將不會被蝕掉。相反地，該CCL上未覆設該阻抗圖案的電解鍍銅層25、無電鍍銅層24，及銅層21等，將會被以一蝕刻製程來除掉。

## 玖、發明說明

嗣該蝕刻阻抗劑會被使用一剝除液來除掉。KOH及NaOH通常會被用來作為剝除液。

第2D圖即示出該PCB上的抗蝕劑已被該剝除液除去。

用來製成該電路圖案的其它可行方法將說明如下。

- 5 第3A至3D圖係示出該PCB製法之示意圖，其稱為”半加式製法”，目前常被使用。第3A至3D圖在該”半加式製法”中亦能以第1C至1E圖來取代。所謂”半加式製法”通常係指使用一傳統的選擇性鍍著法來製成該電路圖案的方法，但在本說明書中，該”半加式製法”係依照下列說明來進
- 10 行的製程。

該半加式製法可用來精確地形成一細薄圖案，而其特徵在於一聚醯亞胺膜會被用來取代該CCL，並以一雷射鑽孔製程取代一機械鑽孔製程而來鑽孔。

- 第3A圖示出該CCL被以雷射鑽孔法來貫設一孔，並會
- 15 被無電地鍍銅而於其上形成一厚度為0.5至1.5  $\mu$  m厚度的薄膜。雖在第3A圖中該孔似乎形成一長方形，實際上該孔係形成一梯形，即當雷射由該CCL頂面向下射入時，其頂上的截面積會比底下的截面積更大。相反地，若雷射束由該CCL的底面向上射入時，該孔亦會形成梯形，而使其底
- 20 下的截面積大於其頂上的截面積。

或者，貫設該孔的CCL亦可被施以一濺射處理來取代該無電式鍍銅製程。即是，一厚度為0.2  $\mu$  m的Cr層，及一厚度為0.5  $\mu$  m的Cu層，會被以Cr的濺鍍製程來形成於該CCL上。

## 玖、發明說明

在第3B圖中，如前所述，一抗鍍層35會使用其上印有乾燥膜(D/F)與電路圖案的原圖膜來製設在該鍍有Cu-Cr的CCL上。此時，設有該抗鍍層的部份上將不會被鍍著。

此外，在第3C圖中，一電鍍銅層36會以15至25  $\mu$  m的厚度來形成於設有無電鍍銅層之CCL上。此時，覆有該抗鍍層的部份並不會被鍍著，但其餘部份則會被一導電銅所鍍著。

該鍍銅的CCL嗣會被蝕刻來除去未被鍍銅的部份。即，即CCL上覆設有抗鍍層35之無電鍍銅層(或Cr/Cu鍍著部份)及該銅層等，皆會被除去而曝露出該CCL的絕緣層。

再來，第3D圖係為該PCB的截面圖，其上已設有所需的佈線圖案。

請回參第1F圖，絕緣材料會被填入該CCL的通孔中，抗光焊劑(PSR)17會被覆設在CCL上，惟用來連接其它其材或晶片之連接部18上的抗焊劑會被除去，而曝露出該連接部處的銅箔。

在一使用球格陣列(BGA)互接技術的PCB中，與習知的導線框技術不同，並沒有用來將該PCB連接於其他基材或晶片的導線，而是有一焊接凸體會被形成於該CCL上來取代該連接部18，因此其它的基材或晶片將可經由該焊接凸體來電連接於該PCB。

嗣，該CCL會被表面處理，俾不用覆設抗焊劑而可防止該銅箔的氧化，以增進安裝於該PCB上之電子構件的可焊接性，並使該銅箔具有優異的導電性。

## 玖、發明說明

該鍍銅基材的表面處理之例包括熱焊接空氣佈層法(HSAL)，有機可焊性預建性(OSP：一種預焊劑塗覆法)，無電式Ni/Au鍍著法，無電式Pd鍍著法，無電式Ag鍍著法，及無電式鍍錫法等。

- 5 其中，該無電式Ni/Au鍍著法常使用於手機和攝影機，其鍍銅基材會被鍍以鎳再鍍以金，而來增加金對該鍍銅基材的黏著力。

10 在第1G圖中，該抗焊劑被除去的部份會被以該無電式Ni/Au鍍著法19來鍍層。該PCB製程結束時可防止來被覆以抗焊劑的銅箔氧化，而可改善裝設於該PCB上之電子構件的可焊接性，並使該銅箔具有優異的導電性。

除了上述之PCB製法外，尚有多種其它的PCB製法。

15 在該PCB的兩面經由傳統的通孔來互相電連接的情況下，各通孔的內壁係可使該PCB的兩面互相連接，因此其內壁需要小心地保護，因為當該內壁鍍著不良時可能會發生短路。所以，被鍍設在該通孔內壁上的銅層厚度，及填入該通孔中的絕緣材料量，在製造設有通孔的PCB時係為重要的關鍵因素。

20 但是，並不容易妥當地保護該通孔內壁上的鍍層，因為在該PCB中扮演重要角色的通孔具有非常小的尺寸，且依據目前PCB封裝體之輕薄小巧的趨勢，將會更難以製造具有該等通孔的PCB。

### 【發明內容】

發明概要

## 玖、發明說明

因此，本發明之一目的係在提供一種製造不具通孔之雙面式PCB的方法，其中有一包含佈線的預定電路圖案，係可如該等通孔而來傳輸該PCB兩面之間的電信號，會被設在一撓性基材上，且該圖案化的撓性PCB嗣可被摺疊來

5 形成該無通孔的雙面PCB。

本發明的另一目的係在提供一種無通孔之雙面式PCB的製造方法，其不必花大功夫來製設及保護該等通孔，故能容易地符合目前PCB封裝體之輕薄小巧的趨勢，並因該方法十分簡單而可減少其製造成本和時間。

10 本發明係提供一種雙面式印刷電路板，包含雙摺的絕緣層係藉摺疊一撓性絕緣基材所形成，電路圖案會設在該摺疊的撓性基材之上層和下層，並通過該絕緣基材的摺疊部，一抗焊層可保護該等電路圖案，及多數的連接部可供連接於其它基材或晶片，而會被該等電路圖案電連接。

15 又，本發明亦提供一種製造雙面印刷電路板的方法，包含：在一撓性絕緣基材之一鍍銅面上形成一電路圖案，該撓性絕緣基材係僅在其一面上鍍銅；在該撓性絕緣基材的圖案化面上覆設一抗光焊劑，並除掉該抗光焊劑於作為要連接於另一基材與晶片之連接部的部份；表面處理該抗

20 光焊劑已被除去的部份；及依據一預定的摺疊方式來摺疊所形成的結構而製成一雙面印刷電路板。

又，本發明亦提供一種製造雙面印刷電路板的方法，包含：在一具有能夠包括多個電路板之尺寸的硬質絕緣基材上，決定出要成為一個別印刷電路板單元和要被摺疊的

## 玖、發明說明

部份；切割該等摺疊部份除了該等摺疊部份互相交會區域以外的部份；貼附一撓性絕緣基材於該硬質絕緣基材，該撓性絕緣基材有一面會被鍍銅；在該撓性絕緣基材的鍍銅面上形成一電路圖案；在該撓性絕緣基材之圖案化面上覆設一抗光焊劑，並除掉該抗光焊劑在要被連接於其它基材與晶片之作為連接部處的部份；表面處理該抗光焊劑已被除去的部份；及依據一預定的摺疊方式來摺疊所形成的結構而製成一雙面印刷電路板。

又，本發明亦提供一種製造雙面印刷電路板的方法，包含：在一撓性絕緣基材之一鍍銅面上形成一電路圖案，該撓性絕緣基材係僅在其一面上鍍銅；在該撓性絕緣基材的圖案化面上覆設一抗光焊劑，並除去該抗光焊劑在作為要連接於其它基材與晶片之連接部處的部份；表面處理該抗光焊劑已被除去而可供連接於其它基材與晶片的部份；將一硬質基材附設於該撓性絕緣基材未被圖案化的一面上，該硬質基材會沿著其將被摺疊的摺線來被切割；及依據一預定的摺疊方式來摺疊該形成的結構而製成一雙面印刷電路板。

### 圖式簡單說明

本發明之上述及其它的目的，特徵和優點等，將可由以下詳細說明配合所附圖式而更清楚瞭解；其中：

第1A至1G圖為逐步示出一習知雙面PCB製程的截面圖；

第2A至2D圖為逐步示出在該PCB上形成一電路圖案之習知製程的截面圖，其可取代第1C至1E圖；

## 玖、發明說明

第3A至3D圖為逐步示出在該PCB上形成該電路圖案之另一習知製程的截面圖，亦可取代第1C至1E圖；

第4A至4D圖為本發明第一實施例之無通孔雙面PCB製程的逐步示意圖，其中有一電路圖案設在該PCB的一面上；

5 第5A至5C圖乃逐步示出本發明之撓性基材的摺疊程序；

第6A至6H圖乃逐步示出本發明第二實施例之無通孔雙面PCB的製程，其中在一硬質基材被處理過後，一撓性  
10 基材會被貼附於該硬質基材，嗣一電路圖案會被形成於該雙面PCB的一面上；

第7A至7E圖係逐步示出本發明第三實施例之無通孔雙面PCB的製程，其中一電路圖案先被形成於一撓性基材上之後，嗣一硬質基材會被貼附於該撓性基材；及

15 第8A至8E圖係逐步示出本發明第四實施例之無通孔雙面PCB的製程，其中一電路圖案先被形成於一撓性基材上之後，嗣一硬質基材會被貼附於該撓性基材，且該硬質基材的一部份會被除去。

### 【實施方式】

較佳實施例之詳細說明

20 現請參閱各圖式，其中相同的標號會在各不同圖式中被用來標示相同或類似的構件。

本發明第一實施例之一種無通孔雙面PCB的製造方法現將詳細說明如下。

第4A至4D圖係逐步地示出本發明第一實施例之PCB製

## 玖、發明說明

造程序。

詳言之，第4A圖係為一基材的截面圖，其中有一薄銅膜41會被鍍著在一撓性絕緣層42上。此時，該銅膜41係僅被鍍設在該絕緣層42的一面上。

5 又，其上已先鍍有銅膜的基材可被使用，或該銅膜亦可在製造該PCB時來被鍍設在該撓性絕緣層上。

該撓性絕緣層42可由聚醯亞胺膜來製成。

又，第4B圖為該撓性基材的截面及頂視圖，其上設有一銅電路圖案。該基材的截面圖係沿其頂視圖的X-Y線所  
10 截取者。

如前所述，有多種不同的方法可用來製成該電路圖案，該各製法係依該基材的物理性和該PCB的製造條件而言。

在第4B圖中，標號43並非指第4A圖中的銅膜41，而係指由一積層及一蝕刻製程所形成的電路圖案。

15 又，在第4B圖中的標號44係指導線，其可用來取代將一習知雙面PCB的兩面互相電連接的通孔。該等導線44並不與該基材分開，而可藉在電路設計過程中所設計之一蝕刻或鍍著製程來與其它的電路圖案同時地製成。換言之，第4B圖係被繪出以供說明之用，但實際上該等導線44並不能由該電路圖案中明顯區別，除非它們被分別地標示出來  
20 而該電路圖案並未示於第4B圖中。又，該基材將會沿著點線45來被摺疊。

請參閱第4C圖，一抗光焊劑(PSR)會被覆設在該圖案化的基材上，而在一連接部48上的部份抗光焊劑將會被使

## 玖、發明說明

用一印刷罩膜來除去。此時，該連接部48至少可被連接於其它類型的基材或晶片。

該抗光焊劑未被除去的部份係以標號47來表示，而該連接部48會被連接於其它類型的基材或晶片，如上所述。

5 第4D圖乃示出當該撓性基材沿著第4B圖之摺線45來被摺疊時的截面圖、頂視圖和底視圖等。

在第4D圖中，該電路圖案及PSR47並未被示於頂視及底視圖中。

同樣地，在頂視及底視圖中所示的導線49等，其功能  
10 乃可替代習知的PCB之通孔；該第4D圖係被繪出來供說明之用，而實際上該等導線49並不能與該電路圖案明顯區分，除非它們被個別地標示。

依據本發明，利用該撓性絕緣層來製成之雙面PCB，  
可被使用於有一硬質PCB亦被使用的領域中，雖然該撓性  
15 絕緣層係被用來作為一基礎襯材。

又，如第4A至4D圖所示之將該撓性基材摺成四個端角的方法亦可不同地來進行。

例如第5A至5C圖所示，該撓性基材的兩面亦可被摺成使其摺疊部份形成一長方形。詳言之，第5A圖為該撓性  
20 基材在被摺疊之前的頂視圖，第5B圖為摺疊後的撓性基材之頂視圖，而第5C圖為摺疊後之撓性基材的底視圖。

如上所述，在頂視及底視圖中所示出的導線51等，其功能乃可替代習知PCB的通孔，而第5A至5D圖係被繪出以供說明之用，但實際上該等導線51並不能由該電路圖案區

## 玖、發明說明

分出來，除非它們被個別地標示。

第4A至4D圖及5A至5C圖乃示出僅製造一撓性基材的狀況，但當該雙面PCB被量產時，高達數百片的撓性基材係可依據製造條件及該PCB的用途，而由一大  
5 面板來製成；故應可瞭解本發明的變化修正，例如不同的基材形狀，及不同的基材摺疊方法，皆可為專業人士所容易得知，除非該等修正變化超出本發明的精神範圍。

又，一硬質材料亦可被插設於該等撓性基材之間，而  
10 來改善該撓性基材的強度。

依據本發明的第二實施例，乃示出逐步製成一PCB的方法，而有一硬質材料被插入該PCB中來改善該PCB的強度，如第6A至6H圖所示。

插設於一多層板之各層之間的預浸膠體(prepreg)，或  
15 任何具有足夠強度可支撐各撓性層的材料，皆可被用來作為該硬質材料，但考慮該基材的電性質，最好使用一種絕緣材料來當作該硬質材料。

第6A圖乃局部地示出該硬質基材的截面圖(上圖)及頂  
視圖(下圖)，但該硬質基材在被切割之間係與要製造該  
20 PCB的母板一樣大。換言之，該被分割的硬質基材會被用來製造該雙面PCB。

在第6A圖中，該菱形實線602係代表一對應於一PCB單元的區域，而虛線601係指要被摺疊的部份。如下所述，該等摺線601將會被進行切割處理。

## 玖、發明說明

第6B圖為該基材之一截面圖與一頂視圖，其中該等摺線601已被切割。此時，該等摺線並未完全地被切斷，而僅是部份地切穿。即，在該等摺線與菱形實線602交會的部份604並未被切割，俾得保留該基材的整體形狀。

請參閱第6C圖，乃示出該撓性基材的截面圖，該撓性基材在一面上覆設一導電層606，而在另一面上該有該硬質基材607。

第6D圖為一可撓硬質基材的截面圖，其中該硬質基材係附設於該圖案化的撓性基材上。如第6D圖所示，為了清楚地示出該可撓硬質基材，該電路圖案的形成過程並未被示出，且該電路圖案如前所述係能以多種不同的方法來製成。在第6D圖中的標號608並非指在該撓性基材接受某些處理例如蝕刻製程之後所留下的部份導電層606，而係代表該電路圖案其可作為一導電路徑用來連接該雙面PCB的頂面和底面之間的信號者。

請參閱第6E圖，所示出之該可撓硬質基材中，抗光焊劑609會被覆設於第6D圖所示的基材上，而一供連接於其它類型之基材或晶片的連接部610會被蝕刻形成。

當該連接部610被蝕刻時，需要一其上印有該電路圖案的原圖膜，以及一分開的罩膜。

第6F圖為一個別之PCB單元的底視圖，其係沿著第6A圖中的實線602來被切割。換言之，在該句含多個單

## 玖、發明說明

元的基材被切分成各單元之後，個別的PCB單元將會被處理。其上覆設光阻的撓性基材會被貼設於該個別單元的頂面上。

如第6G圖所示，該基材的相鄰端角之間的疊合部611  
5 在四個端角被摺疊時，將會被除去。

又，如第6H圖所示，該基材會沿第6A圖中的摺線601  
來被摺疊，而使該硬質層位於已摺疊的可撓硬質基材內部，即可完成所需的雙面PCB。在第6H圖的頂視圖中，僅有  
10 導線612等被示出，而該電路圖案及抗光焊劑層並未被示出。但，實際上，該等導線612並不能與該電路圖案區分，除非它們被分開地標示。

依據本發明之一第三實施例，乃示出一種雙面PCB的製造方法，其中有一硬質層係插入於該PCB中，如第7A至  
7E圖所示。

15 在第7A至7C圖中所示的製程仍保留第4A至4D圖的步驟，而未使用該硬質層。

第7C圖示出該撓性PCB 72，其上供連接於其它類型之  
基材或晶片的連接部71會被清除，且該光焊阻抗層會被形成。

20 在第7D圖中，硬質材料73會被貼設於該撓性PCB 72，而該硬質基材73要被摺疊的部份已被預先切割。

請參閱第7E圖，所形成的結構將會被摺疊，而使該硬質  
質基材73位於被摺成的結構內部，即可完成該無通孔的硬質雙面PCB。

## 玖、發明說明

惟，有多種不同的方法可將該硬質基材插入該PCB中。

例如，當該PCB以第6A至6H圖及7A至7E圖的方法來製造時，該硬質基材係被摺疊來形成一雙摺層而會加厚該整個PCB，如第6H及7E圖所示。

- 5           為避免摺成太厚的PCB，在第6B圖中之該硬質基材的摺角部605亦可在該硬質基材的切割程序時被切除，或第7D圖中的內疊部份74亦可被除去，而使該被插入PCB中的硬質基材僅剩一層。此時，當該PCB條帶被切分成各單元時，該撓性基材會比硬質基材更寬些，而不像第6A至6H
- 10 圖者。

依據本發明之一第四實施例，如第8A至8E圖所示，乃為一種雙面PCB的製造方法，其中如第7D圖所示的內疊部份74將會被除去。

- 在第8A至8C圖中所示的製程仍與第4A至4C圖中尚未
- 15 使用該硬質支撐層的製程；以及第7A至7E圖的製程相同，而該硬質基材會在該電路圖案形成於該撓性基材上之後被貼設於該撓性基材上。

- 第8C圖乃示出該撓性PCB 82，其中該可供連接於其它類型基材或晶片的連接部81處會被清除，且該光焊阻抗層
- 20 會被形成。

          請參閱第8D圖，該硬質基材83會被附設於該撓性PCB 82上，並除去不需要的部份，該部份會使所形成的雙面PCB加厚。

          所形成的雙面PCB嗣會被以一預定的方式來摺疊，而

## 玖、發明說明

完成如第8E圖所示之無通孔的雙面PCB。此時，該雙面PCB僅含有一單層的硬質基材。

如上述，本發明乃藉著摺疊一圖案化的撓性基材而來提供一沒有通孔的雙面PCB。同時，一預定的電路圖案  
5 會被形成於該撓性基材上，而含有導線等功能如同通孔可在該PCB兩面之間傳輸電信號。

又，依據本發明之製造該無通孔雙面PCB的方法，乃可省去製法及保護該等通孔的各種努力，而可滿足現今該PCB封裝體輕薄小巧之趨勢，並可因此方法之簡單化而能  
10 減少製造該PCB封裝體的成本和時間。

本發明已以舉例方式說明如上，惟應可瞭解於此所用之專業術語僅為供描述其本質之用，而非作為限制，本發明尚有許多修正變化可經由以上內容而被得知。因此，應可瞭解在所附申請專利範圍內，本發明亦得能與所述細節  
15 不同地來實施。

### 【圖式簡單說明】

第1A至1G圖為逐步示出一習知雙面PCB製程的截面圖；

第2A至2D圖為逐步示出在該PCB上形成一電路圖案之習知製程的截面圖，其可取代第1C至1E圖；

20 第3A至3D圖為逐步示出在該PCB上形成該電路圖案之另一習知製程的截面圖，亦可取代第1C至1E圖；

第4A至4D圖為本發明第一實施例之無通孔雙面PCB製程的逐步示意圖，其中有一電路圖案設在該PCB的一面上；

## 玖、發明說明

第5A至5C圖乃逐步示出本發明之撓性基材的摺疊程序；

第6A至6H圖乃逐步示出本發明第二實施例之無通孔雙面PCB的製程，其中在一硬質基材被處理過後，一撓性  
5 基材會被貼附於該硬質基材，嗣一電路圖案會被形成於該雙面PCB的一面上；

第7A至7E圖係逐步示出本發明第三實施例之無通孔雙面PCB的製程，其中一電路圖案先被形成於一撓性基材  
10 上之後，嗣一硬質基材會被貼附於該撓性基材；及

第8A至8E圖係逐步示出本發明第四實施例之無通孔雙面PCB的製程，其中一電路圖案先被形成於一撓性基材  
上之後，嗣一硬質基材會被貼附於該撓性基材，且該硬質  
基材的一部份會被除去。

### 【圖式之主要元件代表符號表】

11,21…銅層	41…銅膜
12,22…絕緣層	42…撓性絕緣層
13…通孔	43…電路圖案
16…電路圖案	44…導線
17…抗光焊劑	45…摺線
18…連接部	47…抗光焊劑
19…Ni/Au鍍層	48…連接部
24,25,36…電鍍銅層	49…導線
26…抗蝕圖案	51…導線
35…抗鍍層	72,82…撓性PCB

## 玖、發明說明

74... 內疊部份

601... 摺線

604... 未切割部份

602... 實線

605... 摺角部

606... 導電層

607,73,83... 硬質基材

608... 電路圖案

609... 抗光焊劑

610,71,81... 連接部

611... 疊合部

612... 導線

## 肆、中文發明摘要

本案所揭係為一種製造無通孔之雙面印刷電路板的方法，乃可藉摺疊一撓性基材而在該印刷電路板的兩面之間傳輸電信號，其中電路圖案係僅被設在該撓性基材的一面上；以及由該方法所製成的無通孔雙面印刷電路板。因此，該方法的優點係在於其可容印刷電路板的製造者省去製造及保護該等通孔的努力，因為該等雙面印刷電路板並不需要通孔，並由於此方法的簡易性而能減少其製造成本和時間。

## 伍、英文發明摘要

Disclosed is a method of fabricating a double-sided PCB without via holes, functioning to transport electric signals between both sides of the PCB, by folding a flexible substrate, in which circuit patterns are formed on only one side of the flexible substrate, and the double-sided PCB without the via holes fabricated by the method. Therefore, the method is advantageous in that it allows PCB manufacturers to save the efforts for forming and protecting the via holes because the double-sided PCB does not need via holes, and reduces its fabricating cost and time, due to simplicity of this method.

## 拾、申請專利範圍

1. 一種雙面印刷電路板，包含：

雙摺絕緣層等係藉摺疊一撓性絕緣基材而來形成；

電路圖案等設在摺疊的絕緣基材之頂層和底層上，並通過該絕緣基材介於該頂層與底層之間的一摺疊部；

一抗焊層可保護該等電路圖案；及

多數的连接部可被連接於要被該等電路圖案電連接的其它基材或晶片。

2. 如申請專利範圍第1項之雙面印刷電路板，其中該撓性絕緣基材係為四邊形基材，而被摺疊成使其四個端角會集於該矩形撓性絕緣基材的中央。
3. 如申請專利範圍第1項之雙面印刷電路板，其中該撓性絕緣基材係為四邊形基材，而被摺疊成使其二相反邊會集於撓性絕緣基材的中線。
4. 如申請專利範圍第1項之雙面印刷電路板，其中該撓性絕緣基材係被摺疊成使該絕緣基材包圍至少一硬質基材。
5. 如申請專利範圍第4項之雙面印刷電路板，其中該撓性絕緣基材係被摺疊成使該絕緣基材包圍至少二硬質基材。
6. 如申請專利範圍第4或5項之雙面印刷電路板，其中該硬質基材係由預浸膠體所製成。
7. 一種製造雙面印刷電路板的方法，包含：

在一撓性絕緣基材有鍍銅的一面上形成一電路圖

## 拾、申請專利範圍

案，該基材係僅在其一面上被鍍銅；

在該撓性絕緣基材設有圖案的一面上覆設一抗光焊劑，並將要作為供連接其它基材和晶片之連接部的部份抗光焊劑除去；

5 表面處理該抗光焊劑已被除去的部份；及

以一預定的摺疊方式來摺疊所形成的結構，而製成一雙面印刷電路板。

8. 如申請專利範圍第7項之方法，其中該撓性絕緣基材係由一聚醯亞胺膜所製成。

10 9. 如申請專利範圍第7項之方法，其中該電路圖案的形成步驟包含：

將該撓性絕緣基材無電式鍍銅；

將該無電式鍍銅的絕緣基材電解式鍍銅；

15 在該電解式鍍銅的基材上使用一乾燥膜來形成一抗蝕圖案；

蝕刻該形成的基材；及

以一剝除液來由該蝕刻後的基材除掉該抗蝕圖案。

10. 如申請專利範圍第9項之方法，其中形成於該撓性絕緣  
20 基材上之無電式鍍銅層的厚度係為0.5至1.5  $\mu\text{m}$ ，而形成於該無電式鍍銅層上之電解式鍍銅層的厚度係為15至25  $\mu\text{m}$ 。

11. 如申請專利範圍第7項之方法，其中該電路圖案的形成步驟包含：

將該撓性絕緣基材無電式鍍銅而在該基材上形成

## 拾、申請專利範圍

一厚度為0.5至1.5  $\mu\text{m}$ 的第一銅層；

在被無電式鍍銅的基材上利用一乾燥膜來形成一抗鍍圖案；

5 在所形成的基材上電解式鍍銅而形成一厚度為15至25  $\mu\text{m}$ 的第二銅層；及

蝕刻所形成的基材來除掉在未被電解式鍍銅區域之該絕緣層以外的所有部份。

12. 如申請專利範圍第7項之方法，其中該電路圖案的形成功步包含：

10 濺鍍該撓性絕緣基材而在其上製成一厚度為0.2  $\mu\text{m}$ 的Cr層，及一厚度為0.5  $\mu\text{m}$ 的Cu層；

在該濺鍍的基材上使用一乾燥膜來形成一抗鍍圖案；

15 將所形成的基材電解式鍍銅而在該基材上製成一厚度為15至25  $\mu\text{m}$ 的銅層；及

蝕刻所形成的基材來除掉在未被電解式鍍銅區域之該絕緣層以外的所有部份。

13. 如申請專利範圍第7項之方法，其中該預定的摺疊方式包含：

20 將該撓性絕緣基材設計成一正方形；及

將該撓性絕緣基材摺疊成使該方形基材的四個端角會集於該絕緣基材的中央。

14. 如申請專利範圍第7項之方法，其中該預定的摺疊方式包含：

## 拾、申請專利範圍

將該撓性絕緣基材設計成一長方形；及

將該撓性絕緣基材摺疊成使其二相反邊會集於該基材的中線。

15. 一種製造雙面印刷電路板的方法，包含：

5            在一尺寸能夠包含多數印刷電路板之硬質絕緣基材上，決定出要成為一個別印刷電路板單元及要被摺疊的部份；

            切割該等摺疊部份，但該等摺疊部份互相交會的区域除外；

10            貼設一撓性絕緣基材於該硬質絕緣基材上，該撓性絕緣基材有一面會被鍍銅；

            在該撓性絕緣基材有被鍍銅的一面上形成一電路圖案；

            在該撓性絕緣基材設有圖案的一面上覆設一抗光焊劑，並將要作為供連接其它基材和晶片之連接部的部份抗光焊劑除去；

            表面處理該抗光焊劑已被除去的部份；及

            以一預定的摺疊方式來摺疊所形成的結構，而製成一雙面印刷電路板。

20    16. 如申請專利範圍第15項之方法，更包含在切割步驟與貼設步驟之間除去該硬質基材會在摺疊步驟之後形成雙摺硬質基材層的部份，而在已摺疊的雙面印刷電路板中僅形成單一硬質基材層。

17. 如申請專利範圍第15或16項之方法，其中該撓性絕緣

## 拾、申請專利範圍

基材係由一聚醯亞胺膜所製成。

18. 如申請專利範圍第15或16項之方法，其中該硬質絕緣  
基材係由預浸膠體所製成。

5 19. 如申請專利範圍第15或16項之方法，其中該電路圖案  
的形成步驟包含：

將該撓性絕緣基材無電式鍍銅而在該基材上形成  
一厚度為0.5至1.5  $\mu\text{m}$ 的第一銅層；

使用乾燥膜在該無電式鍍銅的基材上形成一抗鍍  
圖案；

10 將所形成的基材電解式鍍銅而在該基材上形成一  
厚度為15至25  $\mu\text{m}$ 的第二銅層；及

蝕刻所形成的基材來除掉在未被電解式鍍銅區域  
之該絕緣層以外的所有部份。

15 20. 如申請專利範圍第15或16項之方法，其中該電路圖案  
的形成步驟包含：

濺鍍該撓性絕緣基材而在其上製成一Cr層及一Cu  
層；

在該濺鍍的基材上使用一乾燥膜來形成一抗鍍圖  
案；

20 將所形成的基材電解式鍍銅而在該基材上製成一  
厚度為15至25  $\mu\text{m}$ 的銅層；及

蝕刻所形成的基材來除掉在未被電解式鍍銅區域  
之該絕緣層以外的所有部份。

21. 一種製造雙面印刷電路板的方法，包含：

## 拾、申請專利範圍

在一撓性絕緣基材有鍍銅的一面上形成一電路圖案，該基材係僅在其一面上被鍍銅；

5 在該撓性絕緣基材設有圖案的一面上覆設一抗光焊劑，並將要作為供連接其它基材和晶片之連接部的部份抗光焊劑除去；

表面處理該抗光焊劑已被除去的部份，以供連接於其它基材和晶片；

10 將一硬質基材貼設於該撓性絕緣基材未設有圖案的一面，該硬質基材會沿其要被摺疊的摺線處來被切割；及

以一預定的摺疊方式來摺疊所形成的結構，而製成一雙面印刷電路板。

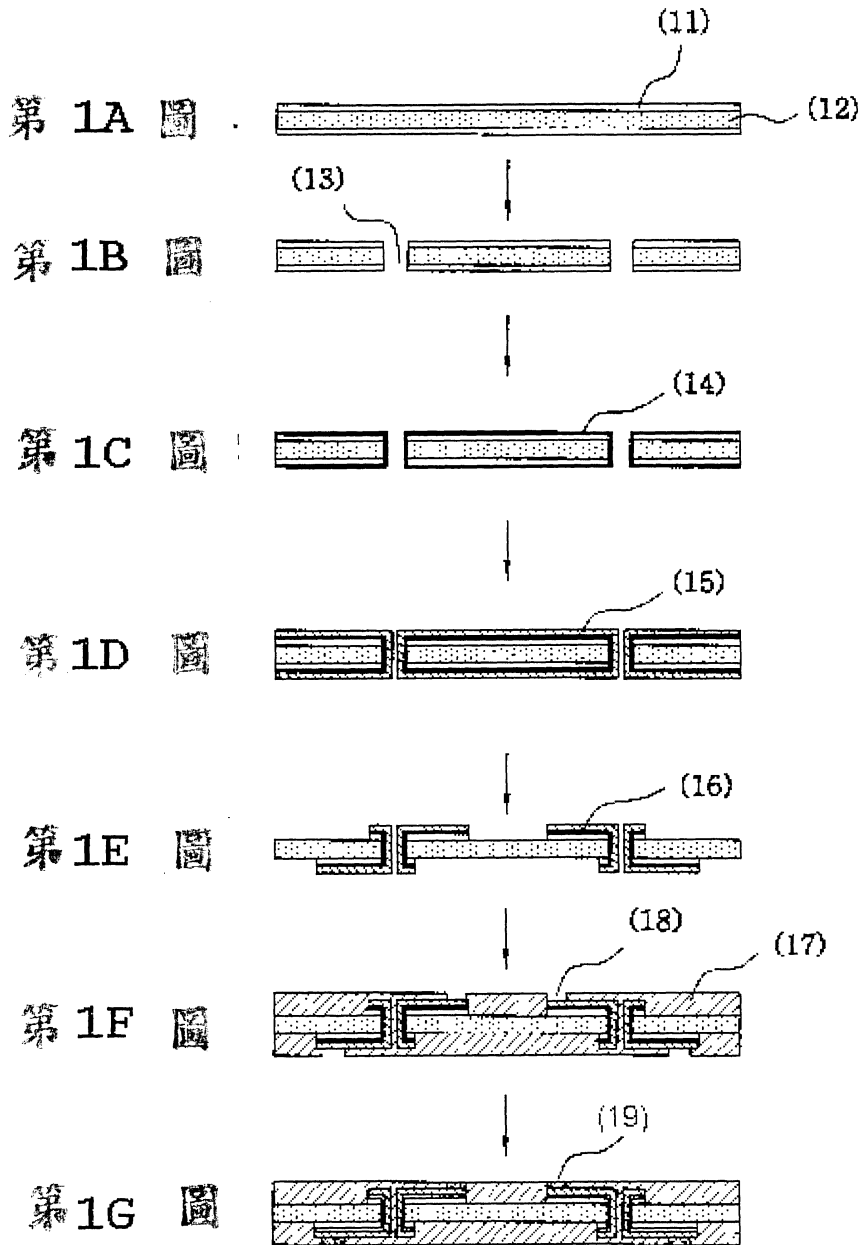
15 22. 如申請專利範圍第21項之方法，其中該硬質基材係被設計成使雙摺的硬質基材層會在該摺疊步驟之後被該撓性絕緣基材所包圍。

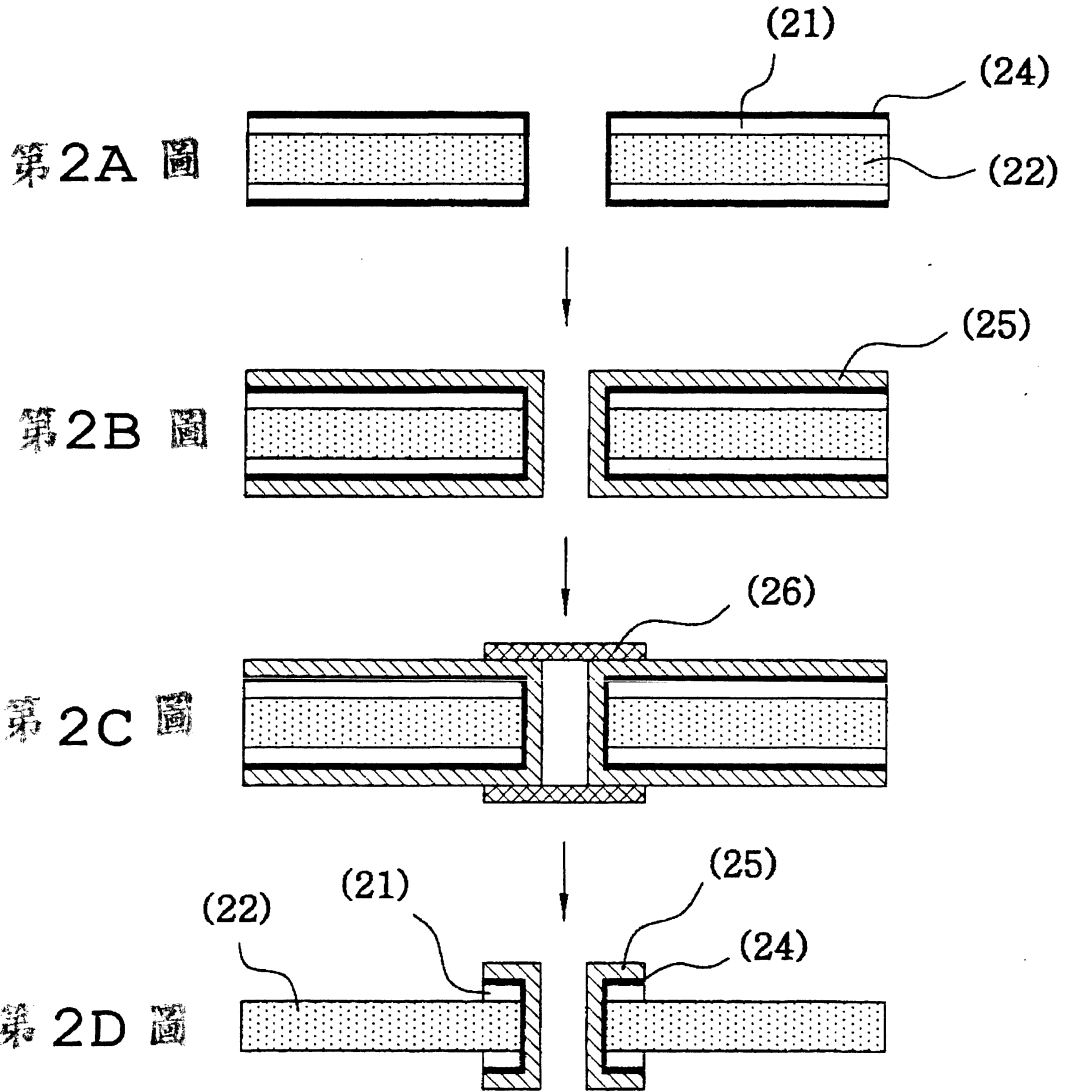
23. 如申請專利範圍第21項之方法，其中該硬質基材係被設計成使單一硬質基材層會在該摺疊步驟之後被該撓性絕緣基材所包圍。

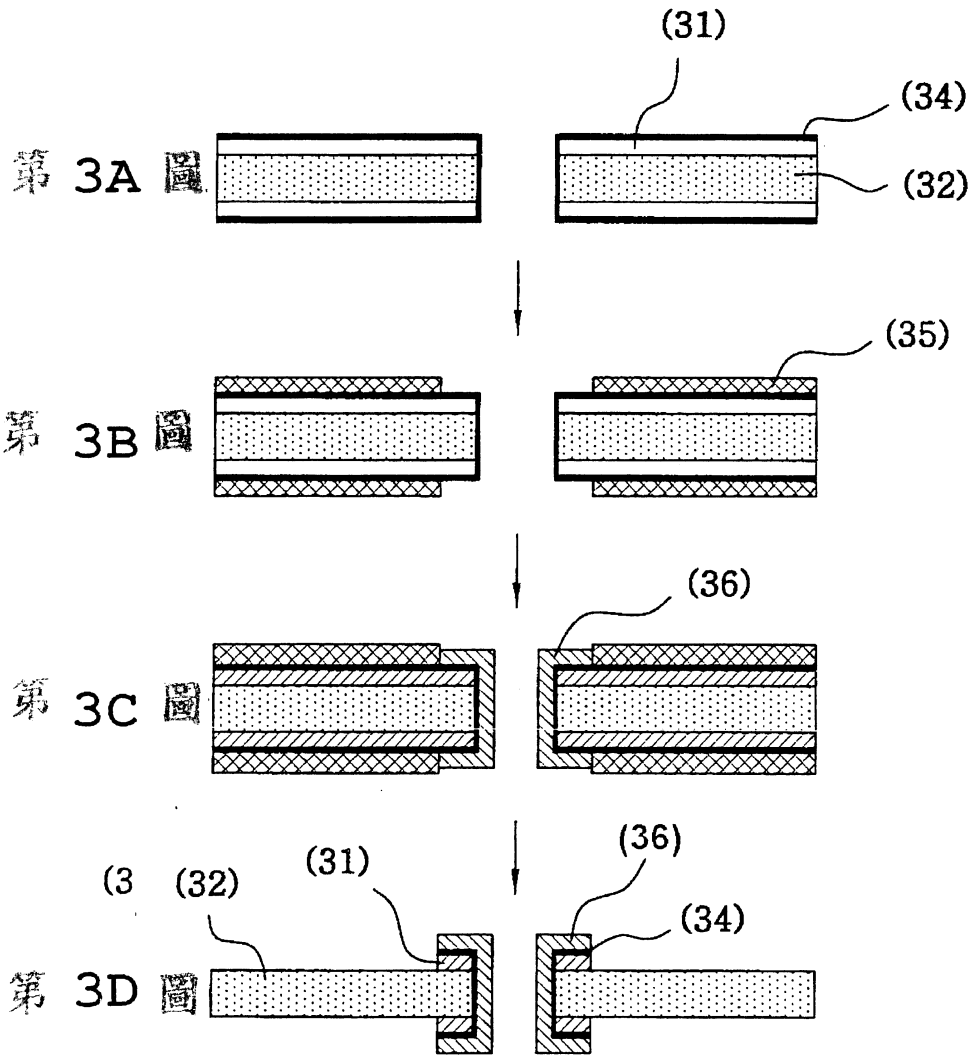
20

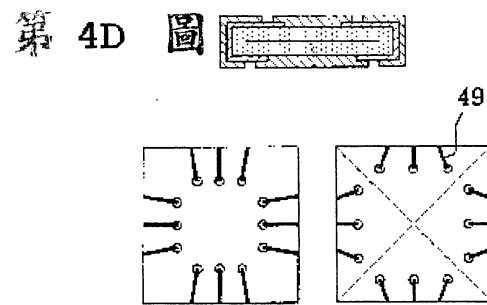
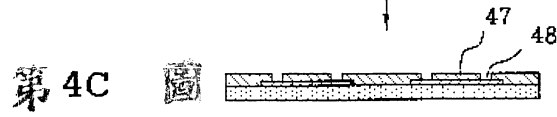
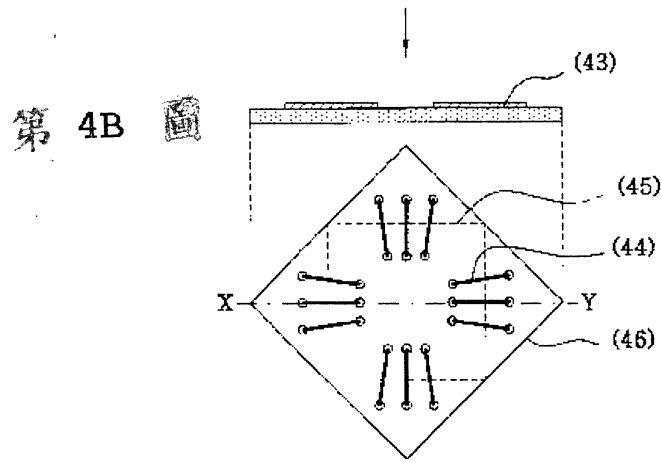
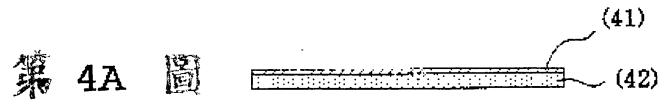
92108257

1/9

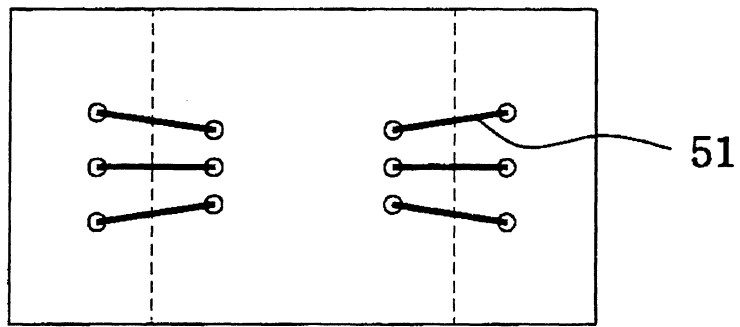




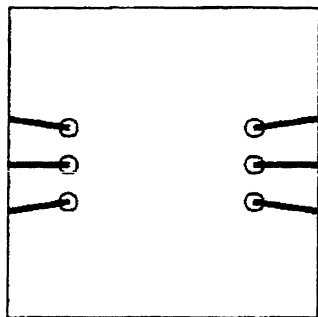




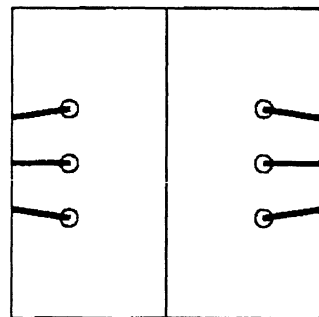
5/9



第 5A 圖

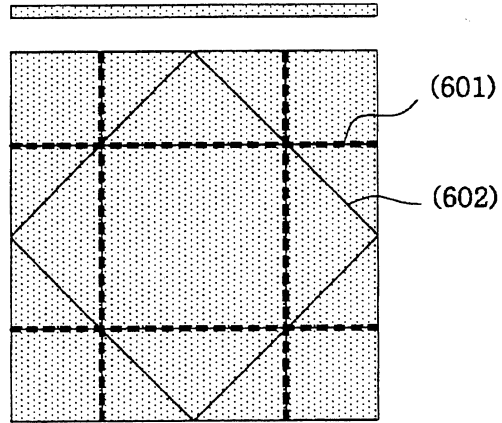


第 5B 圖

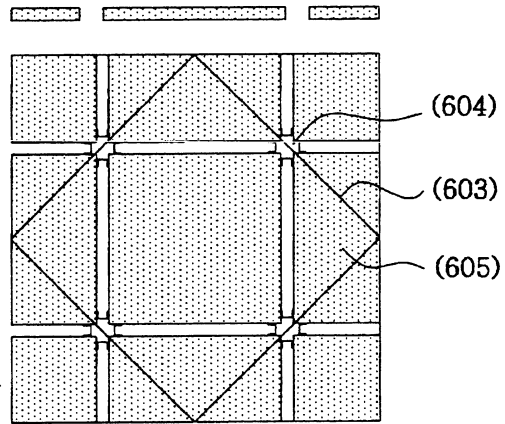


第 5C 圖

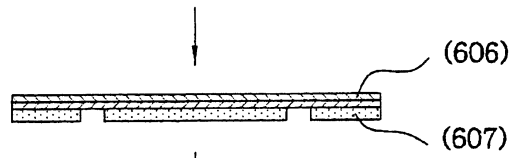
第 6A 圖



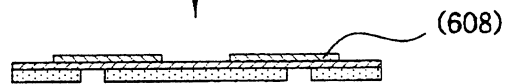
第 6B 圖

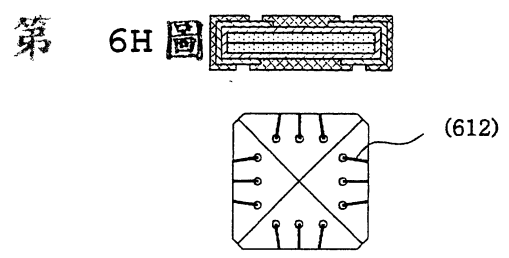
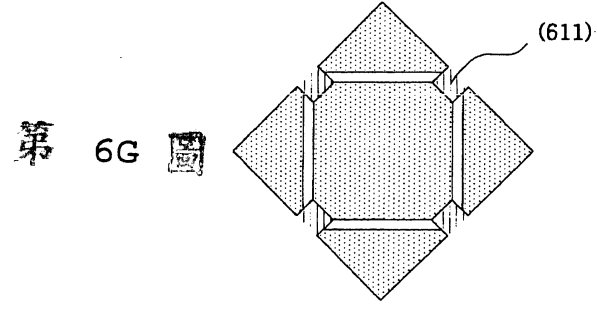
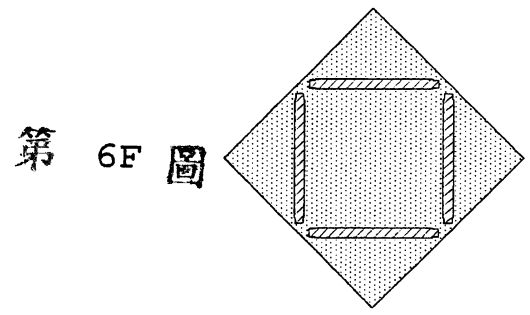
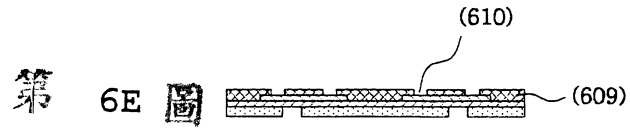


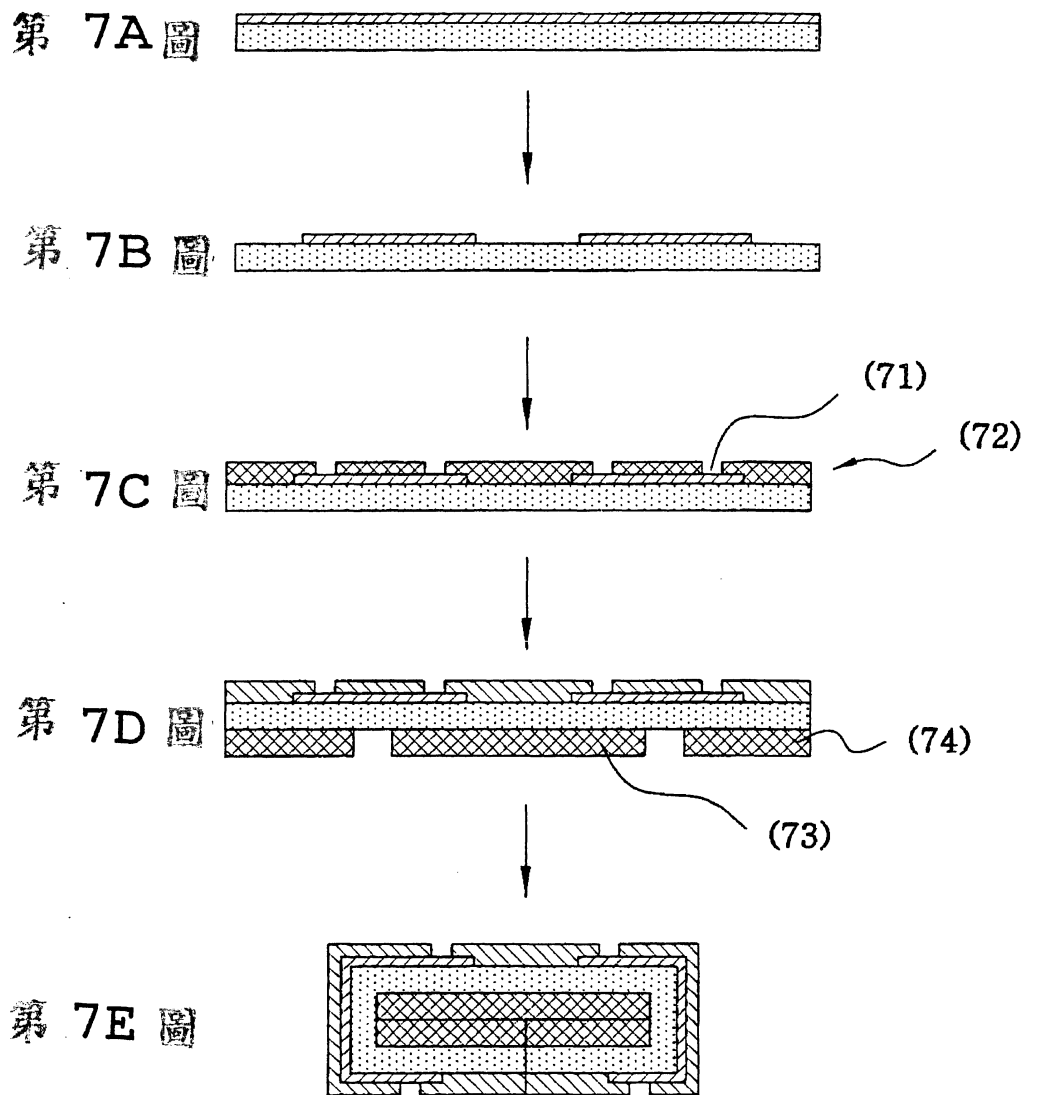
第 6C 圖

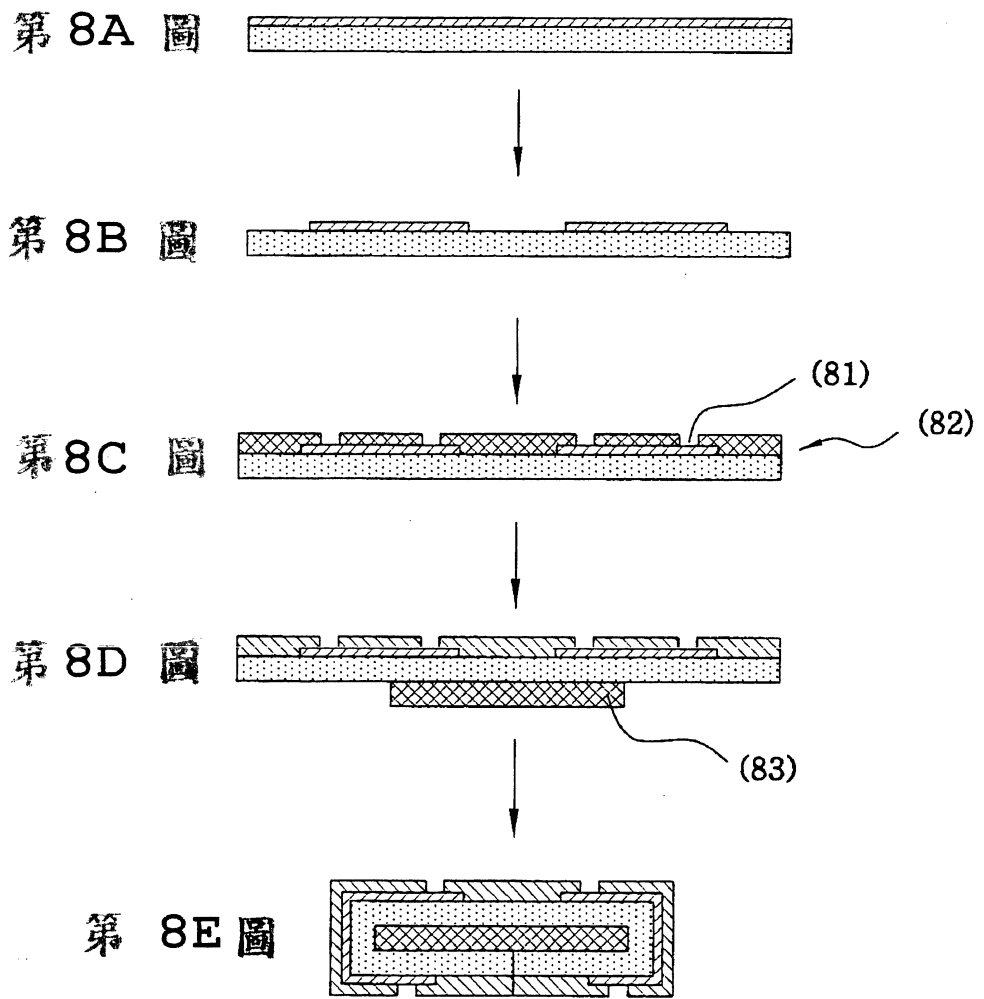


第 6D 圖









陸、(一)、本案指定代表圖為：第 4D 圖

(二)、本代表圖之元件代表符號簡單說明：

49...導線

柒、本案若有化學式時，請揭示最能顯示發明特徵的化學式：