



(43) 国際公開日
2006 年 6 月 29 日 (29.06.2006)

PCT

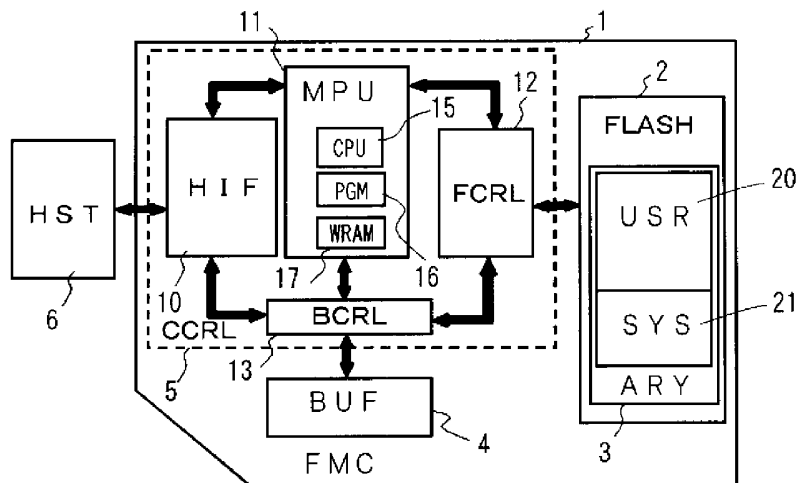
(10) 国際公開番号
WO 2006/067839 A1

- (51) 国際特許分類:
G06F 12/16 (2006.01)
- (21) 国際出願番号: PCT/JP2004/019183
- (22) 国際出願日: 2004 年 12 月 22 日 (22.12.2004)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): 株式会社ルネサステクノロジ (RENESAS TECHNOLOGY CORP.) [JP/JP]; 〒1006334 東京都千代田区丸の内二丁目 4 番 1 号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 紙屋 清志
- (KAMIYA, Kiyoshi) [JP/JP]; 〒1006334 東京都千代田区丸の内二丁目 4 番 1 号 株式会社ルネサステクノロジ内 Tokyo (JP). 田村 隆之 (TAMURA, Takayuki) [JP/JP]; 〒1006334 東京都千代田区丸の内二丁目 4 番 1 号 株式会社ルネサステクノロジ内 Tokyo (JP). 原 郁夫 (HARA, Fumio) [JP/JP]; 〒1006334 東京都千代田区丸の内二丁目 4 番 1 号 株式会社ルネサステクノロジ内 Tokyo (JP). 片山 国弘 (KATAYAMA, Kunihiro) [JP/JP]; 〒1006334 東京都千代田区丸の内二丁目 4 番 1 号 株式会社ルネサステクノロジ内 Tokyo (JP).
- (74) 代理人: 玉村 静世 (TAMAMURA, Shizuyo); 〒1010052 東京都千代田区神田小川町 1 丁目 1 番地 山城ビル 901 号 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK,

/ 続葉有 /

(54) Title: STORING APPARATUS AND CONTROLLER

(54) 発明の名称: 記憶装置及びコントローラ



(57) Abstract: A storing apparatus (1), which includes a rewritable nonvolatile memory (2) and a control circuit (5), associates logic addresses with the physical addresses of the nonvolatile memory and has information about the number of rewritings for each of the logic addresses. The control circuit can perform a replacing process of information stored in the nonvolatile memory, and in this replacing process, a particular logic address having a small number of rewritings as decided from the information about the number of rewritings is replaced by the one associated with a different physical address. Thus, a data shift is performed in accordance with that replacement. Even though the data of the logic address having a small number of rewritings is assigned to such a different physical address, the number of rewritings in that area is still grasped as the number of rewritings of the logic address. The condition is, therefore, maintained in which the data of the logic address as shifted is easy to rewrite by a replacing process, so that the data is accumulatively less disturbed by rewritings.

(57) 要約: 記憶装置 (1) は書き換え可能な不揮発性メモリ (2) と制御回路 (5) とを有し、前記記憶装置は論理アドレスに不揮発性メモリの物理アドレスを対応付け、論理アドレス毎の書き換え回数情報を保有し、前記制御回路は前記不揮発性メモリに対す

/ 続葉有 /



DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE,

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

る記憶情報の入れ替え処理が可能であり、前記入れ替え処理は、前記書き換え回数情報から判定した書き換え回数の少ない所定の論理アドレスを別の物理アドレスとの対応に入れ替えてその入れ替えに則したデータ移動を行う。書き換えの少ない論理アドレスのデータが別の物理アドレスへ割り当てられても、その領域の書き換え回数は依然として論理アドレスの書き換え回数で把握されるから、移動先でもその論理アドレスのデータは入れ替え処理による書き換え対象になり易い状態が維持されるから、書き換えによるディスターブを累積的に受け難くなる。

明 細 書

記憶装置及びコントローラ

技術分野

- [0001] 本発明は、フラッシュメモリカード及びハードディスク互換のフラッシュディスクなどの不揮発性のメモリ装置、更に前記メモリ装置に適用されるコントローラに関する。

背景技術

- [0002] フラッシュメモリに代表される電氣的に書換え可能な不揮発性メモリの書き換えではメモリセルに電氣的なストレスがかかり、書き換え回数が増すに従ってメモリセルの特性が劣化する。局所的に書き込みが集中すると一部のデータブロックだけ特性劣化が著しくなるので、フラッシュメモリカードでは論理アドレスと物理アドレスの対応を適宜変更することにより、そのような特性劣化が局所的なアドレスに集中することを緩和することができる。このときには特許文献1に例示されるようにメモリ領域の物理アドレスとホストからの論理アドレスとの対応を定義する対応テーブルを用いればよい。
- [0003] フラッシュメモリに代表される電氣的に書換え可能な不揮発性メモリでは、書き換え対象にされないメモリセルトランジスタであっても、書き換え対象のメモリセルトランジスタとワード線が共通であったり、ビット線が共通であったりすると、所謂ワード線ディスタースタブやビット線ディスタースタブによる影響を受け、閾値電圧が累積的に変化して、記憶情報が不所望に反転(データ化け)する虞がある。
- [0004] 上記データ化けに対処する技術として、特許文献2には、フラッシュメモリカードにおいて、相対的に書き換え回数の少ない第1のメモリ領域の記憶データを未使用の第2のメモリ領域に書き込み、書き込みされた第2のメモリ領域を前記第1のメモリ領域に代えて使用領域とすることにより、書き換えが発生しないメモリ領域が累積的にディスタースタブを受けないようになることが記載される。ここでの書き換え回数の多少はメモリ領域の物理アドレス毎の書き換え回数に着目している。同様の技術は特許文献3にも記載がある。
- [0005] 特許文献1:特開平8-16482号公報
特許文献2:特開2004-310650号公報

特許文献3: 米国特許第5568439号明細書

発明の開示

発明が解決しようとする課題

[0006] 本発明者は相対的に書き換え回数の少ないメモリ領域の記憶データを空きメモリ領域等と置き換えることによって累積的なディスタークの影響を緩和する技術について検討した。これによれば、特許文献2, 3のように物理アドレス単位で把握した書き換え回数を指標にすると以下の不都合のあることが本発明者によって見出された。

[0007] 即ち、物理アドレスの書き換え回数を指標にすると、書き換え回数の多い物理アドレスに書き換え回数の少ない論理アドレスが割り当てられてしまうと、当該物理アドレスでは書き換えが発生し難い上に、当該物理アドレスの書き換え回数が相対的に少ないと判定されるには他の物理アドレスで多数回の書き換えが行われるまで待たなければならない。それによって当該物理アドレスは長い間ディスタークの影響を受けることになってしまう。また書き換え回数の多い物理アドレスは書込や消去によるストレスを累積的に受けてきているため、ディスタークストレスに対する耐性が低下していることも考えられる。その場合、ディスタークの影響はより大きなものとなることが考えられる。

[0008] 本発明の目的は、書き換えによるディスタークを累積的に受け難くすることにある。

[0009] 本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

課題を解決するための手段

[0010] 本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

[0011] [1]記憶装置(1)は書き換え可能な不揮発性メモリ(2)と制御回路(5)とを有し、前記記憶装置は論理アドレスに不揮発性メモリの物理アドレスを対応付け、論理アドレス毎の書き換え回数情報を保有し、前記制御回路は前記不揮発性メモリに対する記憶情報の入れ替え処理が可能であり、前記入れ替え処理は、前記書き換え回数情報から判定した書き換え回数の少ない所定の論理アドレスを別の物理アドレスとの対応に入れ替えてその入れ替えに則したデータ移動を行う。

- [0012] 上記した手段によれば、書き換え回数を論理アドレス単位で管理するから、書き換えを受け難い論理アドレスの把握は容易である。そして、書き換えの少ない論理アドレスのデータが別の物理アドレスへ割り当てられても、その領域の書き換え回数は依然として論理アドレスの書き換え回数で把握されるから、移動先でもその論理アドレスのデータは入れ替え処理による書き換え対象になり易い状態が維持される。書き換えによるディスタ urb は書き換えが行われないデータに対して累積される現象であるから、ホストからの書き込み指示による書き換えがあまり発生しない論理アドレスのデータに対して入れ替え処理による書き換えが行なわれ易い状態が維持されることにより、書き換えによるディスタ urb を累積的に受け難くすることができる。
- [0013] 本発明の代表的な一つの具体的形態として、前記別の物理アドレスは、論理アドレスとの対応に用いられていない空きの物理アドレスである。本発明の代表的な別の一つの具体的形態では、前記別の物理アドレスは、前記書き換え回数の少ない論理アドレスよりも書き換え回数の多い別の論理アドレスに対応される物理アドレスであり、このとき、前記別の論理アドレスは前記書き換え回数の少ない所定の論理アドレスが割り当てられていた物理アドレスとの対応に変更される。書き換え回数の多い論理アドレスのデータと、書き換え回数の少ない論理アドレスのデータとを入れ替えることにより、書き換え回数の多かった物理アドレス(即ち書き換えの電氣的ストレスを多く受けた物理アドレス)を今度は書き換えストレスを受け難くすることができる。
- [0014] 本発明の代表的な更に別の一つの具体的形態として、前記入れ替え処理は、メモ리카ードの外部から与えられる書き込み指示に応答する処理と共に行うことが可能にされる。このとき、前記入れ替え処理は、前記書き込み指示に応答する処理対象の論理アドレスに対する書き換え回数が所定回数に達しているとき行うことが可能である。また、前記入れ替え処理は、任意に抽出された複数の論理アドレスの中で最も書き換え回数が少ない論理アドレスに対して行うことが可能である。
- [0015] 本発明の代表的な更に別の一つの具体的形態として、前記制御回路は、前記書き込み指示に応答する処理では処理対象とされる論理アドレスを別の物理アドレスに対応させてデータの書き換えを行う。また、前記不揮発性メモリは論理アドレスと物理アドレスとの対応を定義するアドレス変換テーブルを有する。前記論理アドレス毎の

書き換え回数情報は論理アドレスに対応された物理アドレスの領域が保有する。或いは、前記論理アドレス毎の書き換え回数情報は書き換え回数テーブルが保有する。

- [0016] [2] 書き換え可能な不揮発性メモリと制御回路とを有するメモリカードは、論理アドレスに不揮発性メモリの物理アドレスを対応付け、論理アドレス毎の書き換え回数情報を保有し、前記制御回路は、外部からの書き込み指示に応答する不揮発性メモリの書き換え処理と、前記不揮発性メモリに対する記憶情報の入れ替え処理とが可能であり、前記入れ替え処理は、前記書き換え回数情報から判定した書き換え回数の少ない所定の論理アドレスを別の物理アドレスとの対応に入れ替えてその入れ替えに則したデータ移動を行う処理である。これにより、ホストからの書き込み指示による書き換えがあまり発生しない論理アドレスのデータは入れ替え処理による書き換えが行なわれ易い状態となり、書き換えによるディスタースを累積的に受け難くすることができる。
- [0017] [3] コントローラ(5)は、ホストインタフェース制御と書き換え可能な不揮発性メモリに対するメモリ制御を行い、不揮発性メモリの物理アドレスに論理アドレスを対応付けて、論理アドレス毎の書き換え回数情報を管理し、不揮発性メモリに対する書き換えに際して、入れ替え処理が可能であり、前記入れ替え処理は、前記書き換え回数情報から判定した書き換え回数の少ない所定の論理アドレスを別の物理アドレスとの対応に入れ替えてその入れ替えに則したデータ移動を行う処理である。これにより、ホストからの書き込み指示による書き換えがあまり発生しない論理アドレスのデータは入れ替え処理による書き換えが行なわれ易い状態とされ、書き換えによるディスタースを累積的に受け難くなる。
- [0018] 本発明の代表的な一つの具体的形態として、前記別の物理アドレスは、論理アドレスとの対応に用いられていない空きの物理アドレスである。また、前記別の物理アドレスは、前記書き換え回数の少ない論理アドレスよりも書き換え回数の多い別の論理アドレスに対応される物理アドレスであり、前記別の論理アドレスは前記書き換え回数の少ない所定の論理アドレスが割り当てられていた物理アドレスとの対応に変更される。

[0019] 本発明の代表的な別の一つの具体的形態として、前記入れ替え処理は、外部から与えられる揮発性メモリに対する書き込み指示に応答する処理と共に行うことが可能にされる。前記入れ替え処理は、前記書き込み指示に応答する処理対象の論理アドレスに対する書き換え回数が所定回数に達しているとき行うことが可能にされる。前記入れ替え処理は、任意に抽出された複数の論理アドレスの中で最も書き換え回数が少ない論理アドレスに対して行うことが可能にされる。

発明の効果

[0020] 本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

[0021] 即ち、ホストからの書き込み指示による書き換えがあまり発生しない論理アドレスであっても、他のアドレスの書き換えによるディスターブを累積的に受け難くなる。

図面の簡単な説明

[0022] [図1]本発明に係る記憶装置の一例であるフラッシュメモリカードのブロック図である。

[図2]ユーザ領域のデータ構成を例示する説明図である。

[図3]システム領域のデータ構成を例示する説明図である。

[図4]書き換え処理においてユーザ領域上で生ずるデータ更新の様子を例示する説明図である。

[図5]書き換え処理におけるデータ更新処理を例示するフローチャートである。

[図6]入れ替え処理においてユーザ領域上で生ずるデータ更新の様子を例示する説明図である。

[図7]入れ替え処理を例示するフローチャートである。

[図8]入れ替え処理の別の例を示す説明図である。

[図9]入れ替え処理の更に別の例を示す説明図である。

[図10]書き換え回数テーブルを例示する説明図である。

[図11]フラッシュメモリの一例を示すブロック図である。

符号の説明

- [0023] 1 フラッシュメモリカード
 2 フラッシュメモリ

- 3 メモリアレイ
- 4 バッファメモリ
- 5 カードコントローラ
- 6 ホストコンピュータ
- 10 ホストインタフェース回路
- 11 マイクロプロセッサ
- 12 フラッシュ紺とローレア
- 13 バッファコントローラ
- 20 ユーザ領域
- 21 システム領域
- 22 アドレス変換テーブル
- 23 空き領域テーブル
- 24 書き換え回数テーブル

発明を実施するための最良の形態

[0024] 《メモリカード》

図1には本発明に係る記憶装置の一例であるフラッシュメモリカードが示される。フラッシュメモリカード(FMC)1は消去及び書き込み可能な不揮発性メモリ例えばフラッシュメモリ(FLASH)2と、DRAM(Dynamic Random Access memory)又はSRAM(Static Random Access Memory)等から成るバッファメモリ(BUF)4と、メモリ制御及び外部インタフェース制御を行う制御回路としてのカードコントローラ(CCR)5とを、実装基板に備えて成る。

[0025] 前記バッファメモリ4及びフラッシュメモリ2はカードコントローラ5のアクセス制御を受ける。前記フラッシュメモリ2は、特に図示はしないが、電氣的に消去及び書き込み可能な不揮発性メモリセルトランジスタが多数マトリクス配置されたメモリアレイ(ARY)3を有する。メモリセルトランジスタ(フラッシュメモリセルとも記す)は、特に図示はしないが、半導体基板若しくはウェル内に形成されたソース及びドレイン、前記ソースとドレインとの間のチャンネル領域にトンネル酸化膜を介して形成されたフローティングゲート、そしてフローティングゲートに層間絶縁膜を介して重ねられたコントロールゲー

トによって構成される。コントロールゲートは対応するワード線に、ドレインは対応するビット線に、ソースはソース線に接続される。前記メモリセルトランジスタは、前記フローティングゲートに電子が注入されると閾値電圧が上昇し、また、前記フローティングゲートから電子を引き抜くと閾値電圧が低下する。前記メモリセルトランジスタは、データ読み出しのためのワード線電圧(コントロールゲート印加電圧)に対する閾値電圧の高低に応じた情報を記憶することになる。特に制限されないが、本明細書においてメモリセルトランジスタの閾値電圧が低い状態を消去状態、高い状態を書き込み状態と称する。メモリアレイ3にはユーザ領域(USR)20とシステム領域(SYS)21を有する。

[0026] 図1において、前記カードコントローラ5は、例えばホストとしてのホストコンピュータ(HST)6との間でIDEディスクインタフェース仕様などに従った外部インタフェース制御を行う。カードコントローラ5は、ホストコンピュータ6からの指示に従って、フラッシュメモリ2をアクセスするアクセス制御機能を有する。このアクセス制御機能はハードディスク互換の制御機能であり、例えばホストコンピュータ6がセクタデータの集合をファイルデータとして管理するとき、カードコントローラ5は論理アドレスとしてのセクタアドレスを物理メモリアドレスに対応させてフラッシュメモリ2のアクセス制御などを行う。図1に従えば、前記カードコントローラ5は、ホストインタフェース回路(HIF)10、演算制御手段としてのマイクロプロセッサ(MPU)11、フラッシュコントローラ(FCRL)12、及びバッファコントローラ(BCRL)13から成る。

[0027] 前記MPU11は、CPU(Central Processing Unit)15、プログラムメモリ(PGM)16及びワークRAM(WRAM)17などを有し、カードコントローラ5を全体的に制御する。プログラムメモリ16はCPU15の動作プログラムなどを保有する。

[0028] 前記ホストインタフェース回路10は、ATA(ATAttachment)、IDE(Integrated Device Electronics)、SCSI(Small Computer System Interface)、MMC(MultiMediaCard:登録商標)、PCMCIA(Personal Computer Memory Card International Association)等の所定のプロトコルに従って、パーソナルコンピュータ又はワークステーションなどのホストコンピュータ6とインタフェースを行う回路である。ホストインタフェース動作の制御はMPU11が行う。

- [0029] 前記バッファコントローラ13はMPU11から与えられるアクセス指示に従って、バッファメモリ4のメモリアクセス動作を制御する。バッファメモリ4にはホストインタフェース10に入力されたデータ、又はホストインタフェース10から出力するデータが一時的に保持される。また、バッファメモリ4には、フラッシュメモリ2から読み出されたデータ又はフラッシュメモリ2に書き込まれるデータが一時的に保持される。
- [0030] フラッシュコントローラ12はMPU11から与えられるアクセス指示に従って、フラッシュメモリ2に対する、読み出し動作、消去動作及び書き込み動作を制御する。フラッシュコントローラ12は、読み出し動作において読み出しコマンドコードや読み出しアドレス情報等の読み出し制御情報を出力し、書き込み動作において書き込みコマンドコード及び書き込みアドレス情報などの書き込み制御情報を出力し、消去動作において消去コマンド等の消去制御情報を出力する。
- [0031] 図2にはユーザ領域20のデータ構成が例示される。ユーザ領域20ではメモリアレイの物理アドレス PA_i ($i=1, 2, \dots$) のデータ領域 AR_{DAT} には、物理アドレス単位で対応付けされた論理アドレス LA_n ($n=1, 2, \dots$) のデータ $D(LA_n)$ とその論理アドレスの書き換え回数 m のデータ $N(m)$ が保持される。例えば物理アドレス PA_1 のデータ領域 AR_{DAT} には論理アドレス LA_2 のデータ $D(LA_2)$ と書き換え回数5のデータ $N(5)$ が保持される。ここでは物理アドレス PA_8 はユーザ領域(USR) 20の空き領域(FREE-U)とされる。空き領域とは、当該物理アドレスに論理アドレスが割り当てられていない、ということである。
- [0032] 図3にはシステム領域21のデータ構成が例示される。システム領域21ではメモリアレイ3の所定の物理アドレス PA_i に、物理アドレスと論理アドレスとの対応を定義したアドレス変換テーブル(TAC) 22、空きデータ領域FREE-Uの物理アドレスを定義した空き領域テーブル(TVA) 23が保持される。アドレス変換テーブル22は、先頭より2バイトのような記憶単位毎にアドレス LA_0 から順番に論理アドレスに対応する物理アドレスを定義する単位定義領域とされる。例えば論理アドレス LA_0 の単位定義領域には物理アドレス情報xxxxhが格納され、次の論理アドレス LA_1 の単位定義領域には物理アドレス情報yyyyhが格納され、その次の論理アドレス LA_2 の単位定義領域には物理アドレス情報zzzzhが格納されるというようになる。空き領域テーブル23

は、先頭より2バイトのような記憶単位毎に空きデータ領域FREE-Uの物理アドレスを定義する単位定義領域とされる。例えば先頭から、空きデータ領域FREE-Uの物理アドレス情報ssssh, tttth, uuuuhが格納される。FREE-Sはシステム領域(SYS)21の空き領域である。

《書き換え処理》

ホストコンピュータ6からの書き込み指示に応答するフラッシュメモリ2の書き換え処理について説明する。図4には書き換え処理においてユーザ領域上で生ずるデータ更新の様子が例示される。図5には書き換え処理におけるデータ更新処理フローが例示される。

- [0033] ホストコンピュータ6から例えば論理アドレスLA3に対するデータの書き込みが指示されると(S1《START》)、これに応答してカードコントローラ5は書き込みデータDw(LA3)を受け取り(S2《INP-Dw》)、その書き込みデータDw(LA3)をバッファメモリ4に格納する(S3《STOR-Dw》)。カードコントローラ5は空きブロックテーブルから空いている物理アドレスを検索する(S4《REF-FREE》)。例えば物理アドレスPA8を取得する。次に、カードコントローラ5はアドレス変換テーブルから書き込み対象とされる論理アドレスLA3に対応される物理アドレスを検索し、取得された物理アドレス例えばPA2が保有する書き換え回数例えば20回を意味するデータN(20)を取得する(S5《OBT-N》)。カードコントローラ5はそのデータを+1インクリメントし(S6《INC+1》)、インクリメントしたデータN(21)と書き込みデータDw(LA3)とによって物理アドレスPA8のデータ領域ARDATを書き換える(S7《Dw(LA3)→PA8》)。その後、アドレス変換テーブルにおいて論理アドレスLA3に対応される物理アドレスをPA8とするように更新し(S8《UPD-TAC》)、更に、空きブロックテーブルにおけるPA8の物理アドレス情報をPA2の物理アドレス情報に更新して(S9《UPD-TVA》)、書き込み処理を終了する(S10《END》)。

- [0034] 図4より明らかなように、書き込み回数は論理アドレス単位で管理されているから、論理アドレスに対する物理アドレスの割付が変更になっても、変更後のデータ領域ARDATが保持する書き換え回数は+1インクリメントされた状態になっている。要するに、論理アドレスのデータには当該論理アドレスに対する書き換え回数の履歴が常

に付随することになる。

《入れ替え処理》

カードコントローラ5は、前記フラッシュメモリ2に対する記憶情報の入れ替え処理が可能であり、前記入れ替え処理は、前記書き換え回数情報 $N(m)$ から判定した書き換え回数の少ない所定の論理アドレスを別の物理アドレスとの対応に入れ替えてその入れ替えに則したデータ移動を行う処理とされる。

[0035] 図6には入れ替え処理においてユーザ領域上で生ずるデータ更新の様子が例示される。図7には入れ替え処理フローが例示される。入れ替え処理はフラッシュメモリカード1の外部から与えられる書き込み指示(T1《START》)に応答する処理と共に行うことが可能にされる。特に、前記入れ替え処理は、前記書き込み指示に応答する処理対象の論理アドレスに対する書き換え回数が所定回数(例えば21の倍数)に達しているとき行うことが可能になる。図7に従えば、指示された書き込み処理の対象アドレスがLA3とすると、その論理アドレスに対応する物理アドレスからLA3の書き換え回数の情報 $N(m)$ を取得し(T2《OBT- $N(m)$ 》)、書き換え回数が所定回数例えば21の倍数であるか否かを判定する(T3《DCS($N=21 \times n$)》)。ステップT3の条件が成立したとき入れ替え処理が継続される。前記21の倍数のような所定回数は、入れ替え処理による実質的な書き込み処理時間の増大と、入れ替え処理を行わないことによるディスタープの累積とのトレードオフの関係を考慮して適宜決定されればよい。

[0036] 入れ替え処理が継続されるとき、入れ替え処理は、任意に抽出された複数の論理アドレスの中で最も書き換え回数が少ない論理アドレスに対して行われる。図7に従えば、カードコントローラ5は乱数を発生させ、ランダムに複数の論理アドレスを生成し(T4《OBT-LA(RDOM)》)、生成した論理アドレスのデータをフラッシュメモリ2からアクセスし、書き換え回数の最も少ない論理アドレスを取得する(T5《OBT-LA(N_{min})》)。例えば図6の例ではステップT4でランダムに生成された論理アドレスはLA2、LA1、LA5、LA0、LA4、LA6とされ、その中で最も書き換え回数の少ない論理アドレスはLA2とされる。書き換え処理対象の論理アドレスLA3の書き換え回数は21回になっている。

[0037] ステップT5で取得された書き換え回数の最も少ない論理アドレス(例えばLA2)に

対して対応する物理アドレスのデータをバッファに移動する(T6《OBT-DAT(LA(Nmin))》)。次いで、当該論理アドレスの書き換え回数を+1インクリメントする(T7《INC+1》)。図6に従えばLA2の書き換え回数は5回から6回にインクリメントされる。更に、空きブロックテーブルを検索して一つの空き物理アドレスを取得する(T8《OBT-PA(FREE)》)。図6に従えば物理アドレスPA2を取得する。取得した物理アドレスに前記バッファ内の入れ替え処理対象データを書き込む(T9《DAT(LA2)→DAT(PA2)》)、その後、アドレス変換テーブルにおいて論理アドレスLA2に対応される物理アドレスをPA2とするように更新し(T10《UPD-TAC》)、更に、空きブロックテーブルにおけるPA2の物理アドレス情報をPA1の物理アドレス情報に更新して(T11《UPD-TVA》)、入れ替え処理を終了する(T12《END》)。

- [0038] 上述より明らかなように、書き換え回数を論理アドレス単位で管理するから、書き換えを受け難い論理アドレスの把握は容易である。そして、図6に例示されるような入れ替え処理結果からも明らかなように、書き換えの少ない論理アドレス(LA2)のデータが別の物理アドレス(PA2)へ割り当てられても、その物理アドレスPA2に保持される書き換え回数は依然として論理アドレスLA2の書き換え回数N(6)として把握されるから、入れ替え処理による移動先のデータ領域AR DATでもその論理アドレスのデータは入れ替え処理による書き換え対象になり易い状態が維持される。書き換えによるディスタースは書き換えが行われないデータに対して累積される現象であるから、ホストコンピュータからの書き込み指示による書き換えがあまり発生しない論理アドレスのデータに対して入れ替え処理による書き換えが行なわれ易い状態が維持されることにより、書き換えによるディスタースを累積的に受け難くすることができる。仮に、図6の論理アドレスLA2が5回のように書き換え回数が少なく、物理アドレスPA2が300回のように書き換え回数が極めて多い場合を想定し、入れ替え処理の指標を物理アドレス単位の書き換え回数とすれば、書き換え回数の多い物理アドレスPA2に書き換え回数の少ない論理アドレスLA2が割り当てられてしまうと、当該物理アドレスPA2では書き換えが発生し難い上に、当該物理アドレスPA2の書き換え回数300回が相対的に少ないと判定されるには他の物理アドレスで多数回の書き換えが行われるまで待たなければならず、それによって当該物理アドレスPA2は長い間ディスタース

ブの影響を受けることになってしまう。上述の如く、論理アドレスを単位に書き換え回数を把握し、論理アドレス単位の書き換え回数を指標に前記入れ替え処理を行うことにより、ディスターブの影響が累積されて不所望なデータ化けを生ずる虞を未然に防止することができる。

[0039] 図8には入れ替え処理の別の例が示される。図7ではステップT7のインクリメントを+1としたが、図8では+20としている。図7では入れ替え処理は論理アドレス毎に書き換え回数が21の倍数になったとき行われるようになっているから(T3)、これを考慮し、極端に書き換え回数の少ない同じ論理アドレスで入れ替え処理が連続しないように、換言すれば、入れ替え処理対象とされる論理アドレスが広い範囲で分散され易くなるようにしている。要するに、入れ替え処理対象とされる論理アドレスの書き換え回数をn回とすると、インクリメント数はn近傍に値であるのが最も効果的であると考えられる。

[0040] 図9には入れ替え処理の更に別の例が示される。今までの説明では入れ替え先の物理アドレスは、論理アドレスとの対応に用いられていない空きの物理アドレスであったが、これを、前記書き換え回数の少ない論理アドレスよりも書き換え回数の多い別の論理アドレスに対応される物理アドレスとしてもよい。要するに、書き換え回数の多い論理アドレスのデータと、書き換え回数の少ない論理アドレスのデータとを入れ替える。例えば図7のステップT4で取得された論理アドレスの書き換え回数の中で最も回数の多い論理アドレスに対応される物理アドレスとしてもよい。図9では入れ替え先は物理アドレスPA7とされる。このとき、前記入れ替え先の物理アドレスPA2に割り当てられていた論理アドレスLA6は、入れ替え元論理アドレスLA2に対応されていた物理アドレスPA1に割り当てが変更され、必要なデータ移動が行われる。

[0041] 上述のように、書き換え回数の多い論理アドレスのデータと、書き換え回数の少ない論理アドレスのデータとを入れ替えることにより、書き換え回数の多かった物理アドレス即ち書き換えの電氣的ストレスを多く受けた物理アドレスは今度は書き換えストレスを受け難くなる。

[0042] 図10には書き換え回数テーブルの例を示す。前記論理アドレス毎の書き換え回数情報は論理アドレスに対応された物理アドレスの領域が保有するものとしたが、図10

のように、前記論理アドレス毎の書き換え回数情報を保有する書き換え回数テーブル(TWN) 24を採用してもよい。書き換え回数テーブル24はシステム領域21に配置すればよい。書き換え回数テーブル24は、例えば、先頭より1バイトのような記憶単位毎にアドレスLA0から順番にその書き換え回数を定義する単位定義領域とされる。例えば論理アドレスLA0の単位定義領域にはxx回の書き換え回数データが格納され、次の論理アドレスLA1の単位定義領域にはyy回の書き換え回数データが格納され、その次の論理アドレスLA2の単位定義領域にはzz回の書き換え回数データが格納されるというようになる。

[0043] 《フラッシュメモリ》

図11にはフラッシュメモリの一例が例示される。フラッシュメモリ2は単結晶シリコンなどの1個の半導体基板に形成される。

[0044] フラッシュメモリ2は特に制限されないが、4個のメモリバンク(Bank)BNK0〜BNK3を有する。夫々のメモリバンクBNK0〜BNK3は相互に同じ構成を有し、並列動作可能にされる。図では代表的にメモリバンクBNK0の構成が詳細に例示される。メモリバンクBNK0〜BNK3は、フラッシュメモリアレイ(ARY) 3、Xデコーダ(XDEC) 34、データレジスタ(DRG) 35、データコントロール回路(DCNT) 36__R, 36__L、Yアドレスコントロール回路(YACNT) 37__R, 37__Lを有する。

[0045] 前記メモリアレイ3は電氣的に消去及び書込み可能な不揮発性のメモリランジスタを多数有する。メモリアレイの詳細は後述するが、メモリランジスタは特に制限されないが電荷蓄積領域に絶縁膜を介してメモリゲートを重ねたスタックドゲート構造とされる。メモリランジスタに対する記憶情報の初期化である消去処理は、特に制限されないが、メモリランジスタのソース、ドレイン及びウェルに回路の接地電位を印加し、メモリゲートに負の高電圧を印加して電荷蓄積領域の電子を放出させる方向に移動させることで閾値電圧を低くする処理とされる。メモリランジスタに対する記憶情報を書き込む書込み処理は、メモリランジスタのドレインからソースに電流を流し、ソース端の基板表面でホットエレクトロンを発生させ、これをメモリゲートの高電圧による電界で電荷蓄積領域に注入することで閾値電圧を高くする処理とされる。読出し処理は、ビット線を予めプリチャージしておき、所定の読出し判定レベルをワード線選択レベルと

してメモリランジスタを選択してビット線に流れる電流変化若しくはビット線に現れる電圧レベル変化によって記憶情報を検出可能にする処理とされる。前記ビット線には後で説明する読出し書き込み回路が接続される。前記読出し書き込み回路は読み出し処理によりビット線に読み出された記憶情報をラッチし、また、書込み処理において書込みデータに従ったビット線駆動等に利用される。読出し書き込み回路のデータ入出力ノードは複数ビット単位でセクタを介して複数のメインアンプの入出力ノードに接続される。尚、1個の不揮発性メモリセルによる情報記憶は1ビット記憶の2値であっても2ビット以上記憶の多値であってもよい。例えば2ビットの場合には、特に制限されないが、ビット線に接続するデータレジスタを更に設け、読み出し判定レベルを変えてメモリセルから数回に分けて読み出した前後の結果をセンスラッチとデータレジスタに別々に保持しながら2ビットの記憶データを判定して読み出し処理を行ない、また、2ビットの書込みデータをセンスラッチとデータレジスタに別々に保持しながら2ビットの値に応ずる閾値電圧を設定するように書込み処理を行なう。

[0046] フラッシュメモリアレイ3は、特に制限されないが、左右に分けられ(MARY_R、MARY_L)、例えば夫々のMARY_R、MARY_Lは、1024+32バイト(Byte)の記憶容量を65536ページ(page)分備える。ここでは1024+32バイトをデータ格納単位(1ページ)について左側のMARY_Lには奇数ページが割り当てられ、右側のMARY_Rには偶数ページが割り当てられる。Xデコーダはフラッシュメモリアレイのアクセスアドレスとしてのページアドレスをデコードし、特に制限されないが、×8ビットの入出力モードではページ単位でメモリセルの選択を行なう。×16ビットの入出力モードでは偶数ページアドレス毎に2ページ単位でメモリセルの選択を行なう。

[0047] データレジスタ35はスタティックメモリアレイを有し、特に制限されないが、左右に分けられ(DRG_R、DRG_L)、例えば夫々のエリアDRG_R、DRG_Lは、1024+32バイト(Byte)の記憶容量を備える。前記エリアDRG_Rと、前記エリアDRG_Lとは夫々前記データ格納単位としての1ページ分の記憶容量を持つことになる。前記エリアDRG_Rが割り当てられたデータレジスタを便宜上データレジスタ35_R、前記エリアDRG_Lが割り当てられたデータレジスタを便宜上データレジスタ35_Lと称する。

- [0048] 前記フラッシュメモリアレイ3とデータレジスタ35はデータの入出力を行なう。例えばフラッシュメモリアレイ3に設けられている前記セクタが32ビット単位で読み出し書き込み回路のデータ入出力ノードを前記メインアンプの入出力ノードに接続するとき、前記セクタの選択は内部クロックにより順次自動的に切り換えられ、メモリアレイ3とデータレジスタ35_L, 35_Rとの間で1ページ分のデータの転送が可能にされる。
- [0049] 前記データレジスタ35_L, 35_Rは例えばSRAMによって構成される。ここでは前記エリアDRG_Rと、前記エリアDRG_Lとは夫々別々のSRAMによって構成される。前記データコントロール回路36_R(36_L)はデータレジスタ35_R(35_L)へのデータの入出力を制御する。Yアドレスコントロール回路37_R(37_L)はデータレジスタ35_R(35_L)に対するアドレス制御を行なう。
- [0050] 外部入出力端子I/O1〜I/O16は、アドレス入力端子、データ入力端子、データ出力端子、コマンド入力端子に兼用され、マルチプレクサ(MPX)40に接続される。外部入出力端子I/O1〜I/O16に入力されたページアドレスはマルチプレクサ40からページアドレスバッファ(PABUF)41に入力され、Yアドレス(カラムアドレス)はマルチプレクサ40からYアドレスカウンタ(YACUNT)42にプリセットされる。外部入出力端子I/O1〜I/O16に入力された書込みデータはマルチプレクサ40からデータ入力バッファ(DIBUF)43に供給される。データ入力バッファ43に供給された書込みデータは入力データコントロール回路(IDCNT)44を介して前記データコントロール回路36_L, 36_Rに入力される。外部入出力端子I/O1〜I/O16からのデータ入出力は×8ビット又は×16ビットが選択される。×16ビット入出力が選択されている場合には入力データコントロール回路44は前記データコントロール回路36_R及び36_Lに合わせて16ビットの書込みデータを並列に与える。×8ビット入出力が選択されている場合には入力データコントロール回路44は、奇数ページの場合には前記データコントロール回路36_Lに8ビットの書込みデータを与え、偶数ページの場合には前記データコントロール回路36_Rに8ビットの書込みデータを与える。データコントロール回路36_Rと36_Lから出力されるリードデータはデータ出力バッファ(DOBUF)45を介してマルチプレクサ40へ供給されて外部入出力端子I/O1〜I/O16から出力される。

- [0051] 外部入出力端子I/O1〜I/O16に供給されたコマンドコードとアドレス信号の一部はマルチプレクサ10から内部コントロール回路(OPCNT)46に供給される。
- [0052] 前記ページアドレスバッファ41に供給されたページアドレスはXデコーダ34でデコードされ、そのデコード結果にしたがってメモリアレイ3からワード線を選択する。前記ページアドレスバッファ11に供給されたYアドレスがプリセットされるYアドレスカウンタ42は、特に制限されないが、12ビットのカウンタとされ、プリセット値を起点にアドレスカウントを行なって、Yアドレスコントロール回路37_R, 37_LにカウントされたYアドレスを供給する。カウントされたYアドレスは入力データコントロール回路(IDCNT)44からの書込みデータをデータレジスタ35に書込むとき、また、出力バッファ45に供給するリードデータをデータレジスタ35から選択するときのアドレス信号に利用される。前記ページアドレスバッファ41に供給されたYアドレスは前記カウントされたYアドレスの先頭アドレスに等しい。この先頭のYアドレスをアクセス先頭Yアドレスと称する。
- [0053] 制御信号バッファ(CSBUF)48には、外部からのアクセス制御信号としてチップイネーブル信号/CE、コマンドラッチイネーブル信号CLE、アドレスラッチイネーブル信号ALE、ライトイネーブル信号/WE、リードイネーブル信号/RE、ライトプロテクト信号/WP、パワー・オン・リードイネーブル信号PRE、及びリセット信号/RESが供給される。信号の先頭に付された記号“/”はその信号がローイネーブルであることを意味する。
- [0054] チップイネーブル信号/CEはフラッシュメモリ1の動作を選択する信号であり、ローレベルでフラッシュメモリ(デバイス)2がアクティブ(動作可能)にされ、ハイレベルでフラッシュメモリ2がスタンバイ(動作停止)にされる。リードイネーブル信号/REは外部入出力端子I/O1〜I/O16からのデータ出力タイミングを制御し、当該信号のクロック変化に同期してデータが読み出される。ライトイネーブル信号/WEはその立ち上がりエッジで、コマンド、アドレス、及びデータをフラッシュメモリ2に取込み指示する。コマンドラッチイネーブル信号CLEは外部入出力端子I/O1〜I/O16に外部から供給されるデータをコマンドとして認識すべきことを指定する信号であり、入出力端子I/O1〜I/O16のデータがCLE=“H”(ハイレベル)の時に/WEの立ち上がりエッジに同期して取込まれたデータは、コマンドとして認識される。アドレスラッチ

イネーブル信号ALEは外部入出力端子I/O1〜I/O16に外部から供給されるデータがアドレスであることを指示する信号であり、入出力端子I/O1〜I/O16のデータがALE＝“H”（ハイレベル）の時に／WEの立ち上がりエッジに同期して取込まれたデータは、アドレスとして認識される。ライトプロテクト信号／WPはローレベルによりフラッシュメモリ1は消去及び書込み禁止とされる。パワー・オン・リードイネーブル信号PREは電源投入後にコマンド及びアドレスを入力すること無く所定セクタのデータを読み出すパワーオンリード機能を使用するときイネーブルにされる。リセット信号／RESは電源投入後ローレベルからハイレベルに遷移されることによりフラッシュメモリ1に初期化動作を指示する。

- [0055] 内部コントロール回路46は前記アクセス制御信号などに従ったインタフェース制御を行なうと共に、入力されたコマンドに従った消去処理、書込み処理及び読出し処理などの内部動作を制御する。また、内部コントロール回路46はレディービジー信号R／Bを出力する。レディービジー信号R／Bはフラッシュメモリ2の動作中にローレベルにされ、これによって外部にビジー状態を通知する。Vccは電源電圧、Vssは接地電圧である。書込み処理及び消去処理に必要な高電圧は電源電圧Vccに基づいて内部昇圧回路（図示せず）で生成される。
- [0056] 本発明の代表的な更に別の一つの具体的形態として、前記不揮発性メモリは論理アドレスと物理アドレスとの対応を定義するアドレス変換テーブルを有する。
- [0057] フラッシュメモリ2は図1に示すようなメモ리카ード構成1の際に外部に接続されるカードコントローラ5の制御により、論理アドレス毎の書き換え回数に応じて入れ替え処理等を行うだけでなく、フラッシュメモリ2の内部コントロール回路46が同様に論理アドレス毎の書き換え回数に応じて入れ替え処理等を行うように内部コントロール回路46を構成しても良い。フラッシュメモリ2自体に本願発明にかかる入れ替え処理を行うように構成することで、外部に接続されるカードコントローラ5に本願発明にかかる入れ替え処理を行う機能を有しない場合であっても、書き換えがあまり発生しない論理アドレスに格納されたデータであっても他のアドレスの書き換えによるディスターブを受け難くすることが可能となる。
- [0058] 例えばフラッシュメモリとCPUその他を1の半導体基板上に構成したフラッシュメモ

リ混載マイコンにおいても、CPUが本願発明にかかる入れ替え処理を行ってよい。

[0059] 以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

[0060] 例えば、入れ替え処理対象とする論理アドレスの選択は複数個のランダムな論理アドレスから選択する手法に限定されず、適宜の選択アルゴリズムを採用することができる。また、入れ替え処理に進むために書き換え回数は21回の倍数に限定されず適宜変更可能である。更に入れ替え処理はホストからの書き込み指示に応答する処理と共に行なう場合に限定されず、ホストからのその他の指示に応答する処理に付随して行ってもよい。

産業上の利用可能性

[0061] 本発明はフラッシュメモリカードはもとより、それ以外の不揮発性メモリを搭載したメモリカード、不揮発性メモリと共にICカード用マイクロコンピュータなどを搭載したマルチファンクションカードなど、種々の記憶装置、又はフラッシュメモリやフラッシュメモリ混載マイコンなどに広く適用することができる。

請求の範囲

- [1] 書き換え可能な不揮発性メモリと制御回路とを有する記憶装置であつて、
前記記憶装置は論理アドレスに不揮発性メモリの物理アドレスを対応付け、論理アドレス毎の書き換え回数情報を保有し、
前記制御回路は前記不揮発性メモリに対する記憶情報の入れ替え処理が可能であり、
前記入れ替え処理は、前記書き換え回数情報から判定した書き換え回数の少ない所定の論理アドレスに対応した物理アドレスを別の物理アドレスとの対応に入れ替えて、その入れ替えに則したデータ移動を行う処理である記憶装置。
- [2] 前記別の物理アドレスは、論理アドレスとの対応に用いられていない空きの物理アドレスである請求項1記載の記憶装置。
- [3] 前記別の物理アドレスは、前記書き換え回数の少ない論理アドレスよりも書き換え回数の多い別の論理アドレスに対応される物理アドレスであり、
前記別の論理アドレスは前記書き換え回数の少ない所定の論理アドレスが割り当てられていた物理アドレスとの対応に変更される請求項2記載の記憶装置。
- [4] 前記入れ替え処理は、メモ리카ードの外部から与えられる書き込み指示に応答する処理と共に行うことが可能にされる請求項1記載の記憶装置。
- [5] 前記入れ替え処理は、前記書き込み指示に応答する処理対象の論理アドレスに対する書き換え回数が所定回数に達しているとき行うことが可能にされる請求項4記載の記憶装置。
- [6] 前記入れ替え処理は、任意に抽出された複数の論理アドレスの中で最も書き換え回数が少ない論理アドレスに対して行うことが可能にされる請求項5記載の記憶装置。
- [7] 前記制御回路は、前記書き込み指示に応答する処理では処理対象とされる論理アドレスを別の物理アドレスに対応させてデータの書き換えを行う請求項4記載の記憶装置。
- [8] 前記不揮発性メモリは論理アドレスと物理アドレスとの対応を定義するアドレス変換テーブルを有する請求項7記載の記憶装置。

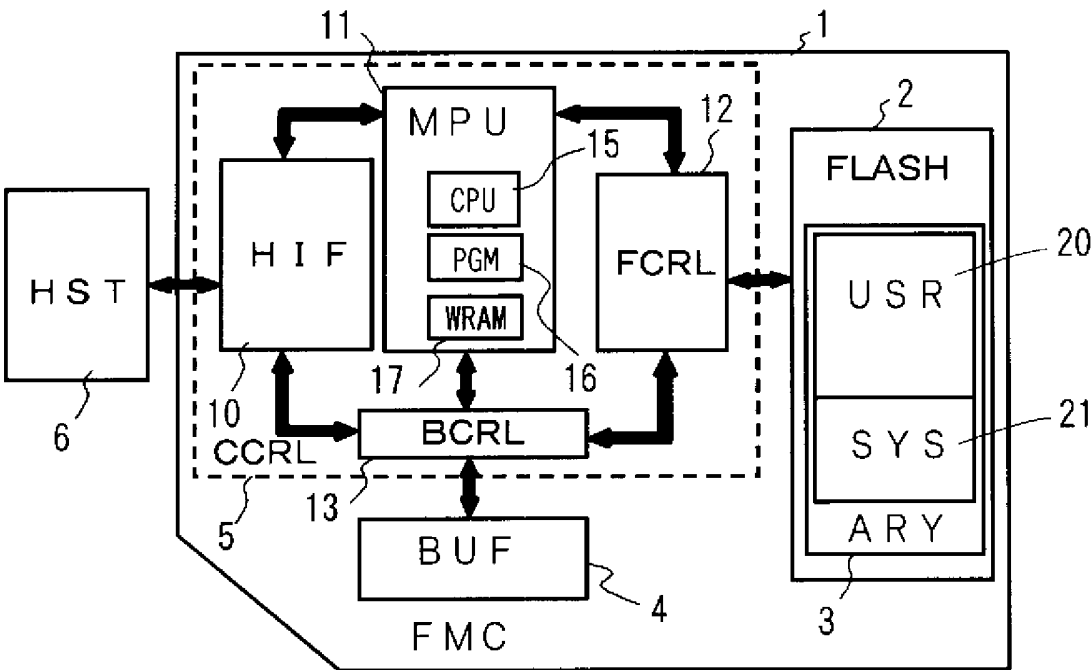
- [9] 前記論理アドレス毎の書き換え回数情報は論理アドレスに対応された物理アドレスの領域が保有する請求項8記載の記憶装置。
- [10] 前記論理アドレス毎の書き換え回数情報は書き換え回数テーブルが保有する請求項8記載の記憶装置。
- [11] 書き換え可能な不揮発性メモリと制御回路とを有するメモリカードであって、
前記メモリカードは論理アドレスに不揮発性メモリの物理アドレスを対応付け、論理アドレス毎の書き換え回数情報を保有し、
前記制御回路は、外部からの書き込み指示に応答する不揮発性メモリの書き換え処理と、前記不揮発性メモリに対する記憶情報の入れ替え処理とが可能であり、
前記入れ替え処理は、前記書き換え回数情報から判定した書き換え回数の少ない所定の論理アドレスに対応した物理アドレスを別の物理アドレスとの対応に入れ替えて、その入れ替えに則したデータ移動を行う処理であるメモリカード。
- [12] ホストインタフェース制御と書き換え可能な不揮発性メモリに対するメモリ制御を行い、
不揮発性メモリの物理アドレスに論理アドレスを対応付けて、論理アドレス毎の書き換え回数情報を管理し、
不揮発性メモリに対する書き換えに際して、入れ替え処理が可能なコントローラであって、
前記入れ替え処理は、前記書き換え回数情報から判定した書き換え回数の少ない所定の論理アドレスに対応した物理アドレスを別の物理アドレスとの対応に入れ替えて、その入れ替えに則したデータ移動を行う処理であるコントローラ。
- [13] 前記別の物理アドレスは、論理アドレスとの対応に用いられていない空きの物理アドレスである請求項12記載のコントローラ。
- [14] 前記別の物理アドレスは、前記書き換え回数の少ない論理アドレスよりも書き換え回数の多い別の論理アドレスに対応される物理アドレスであり、
前記別の論理アドレスは前記書き換え回数の少ない所定の論理アドレスが割り当てられていた物理アドレスとの対応に変更される請求項13記載のコントローラ。
- [15] 前記入れ替え処理は、外部から与えられる揮発性メモリに対する書き込み指示に

応答する処理と共に行うことが可能にされる請求項12記載のコントローラ。

- [16] 前記入れ替え処理は、前記書き込み指示に応答する処理対象の論理アドレスに対する書き換え回数が所定回数に達しているとき行うことが可能にされる請求項15記載のコントローラ。
- [17] 前記入れ替え処理は、任意に抽出された複数の論理アドレスの中で最も書き換え回数が少ない論理アドレスに対して行うことが可能にされる請求項16記載のコントローラ。

[図1]

図 1



[図2]

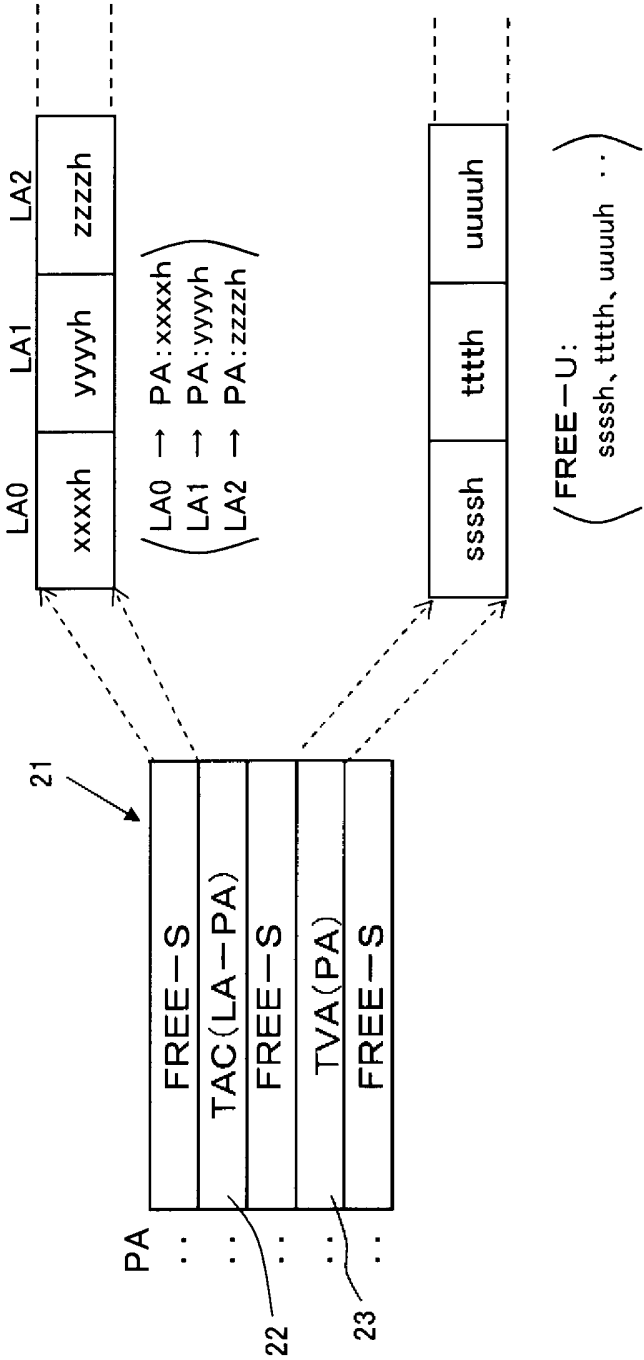
図2

PA	ARDAT	
1	D(LA2)	N(5)
2	D(LA3)	N(20)
3	D(LA1)	N(25)
4	D(LA5)	N(30)
5	D(LA0)	N(40)
6	D(LA4)	N(50)
7	D(LA6)	N(60)
8	FREE-U	
..	..	..

20

[図3]

図3



[図4]

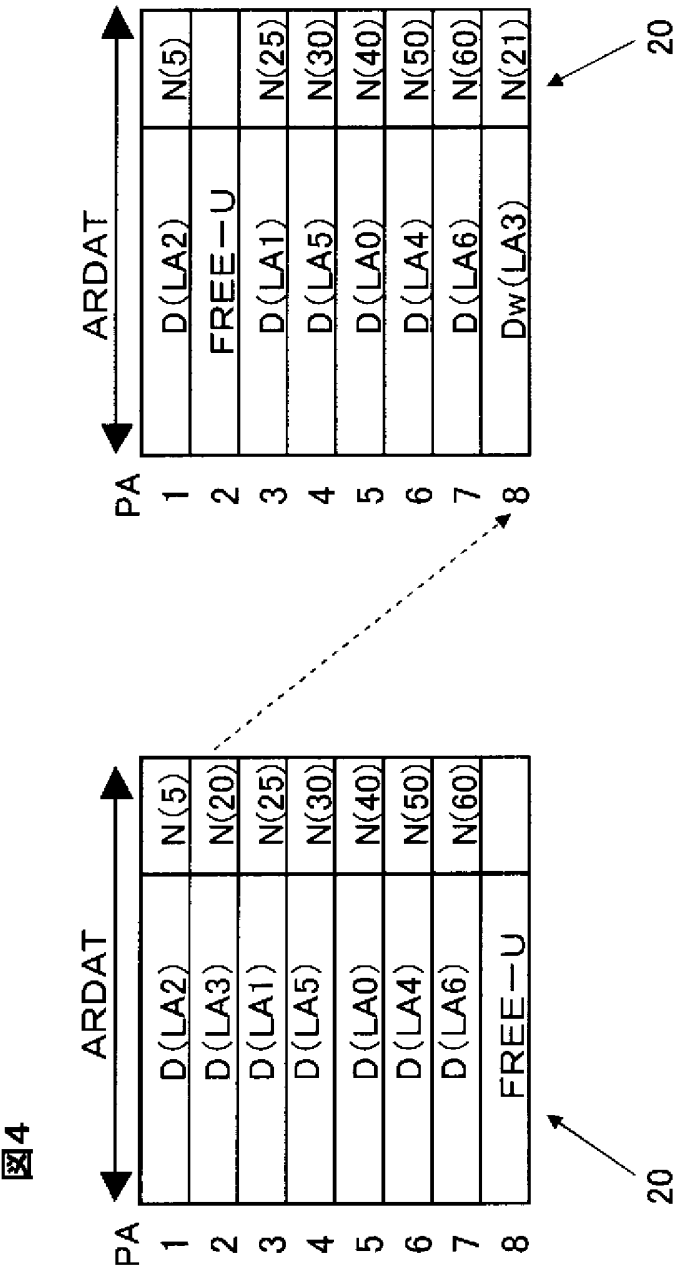
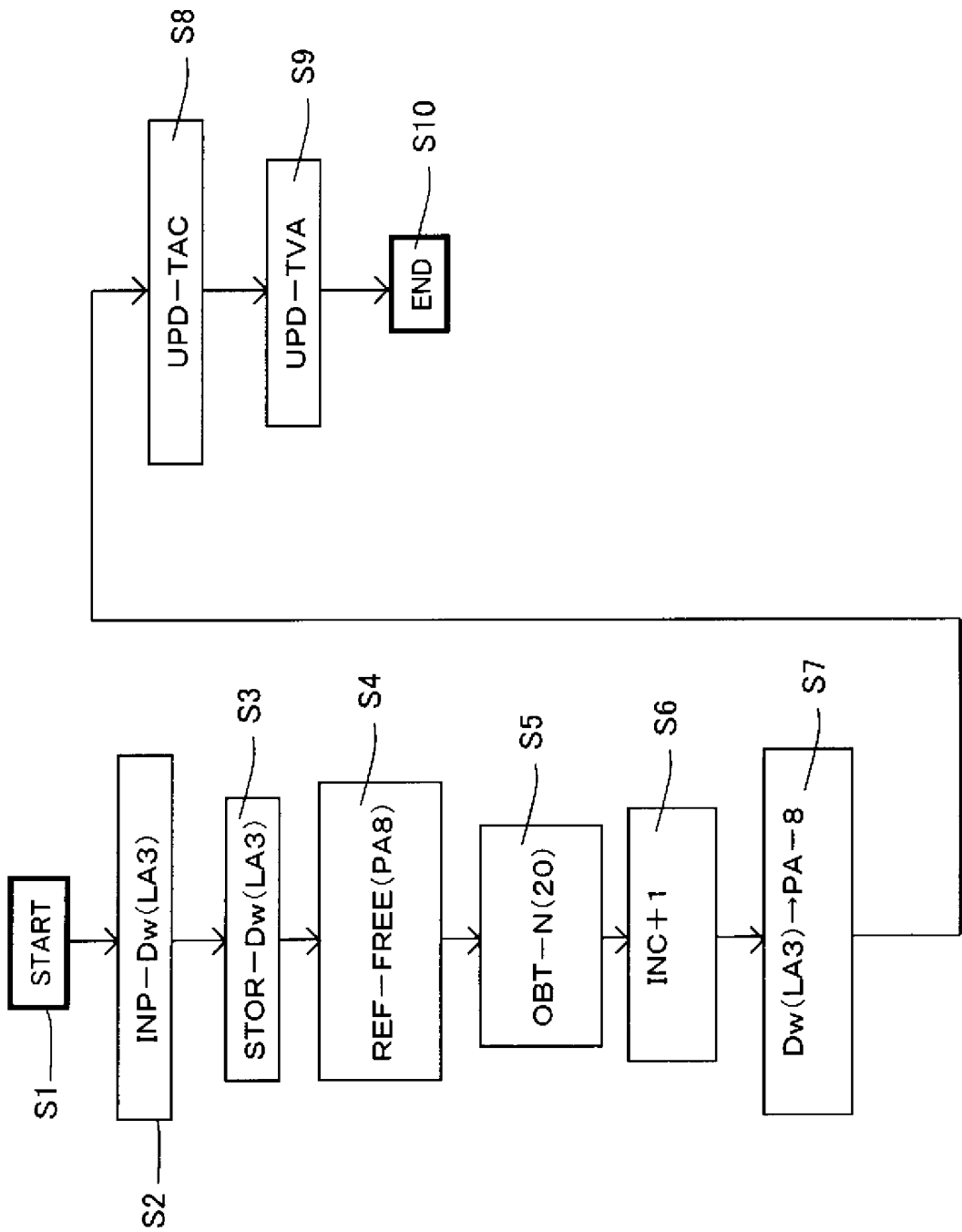
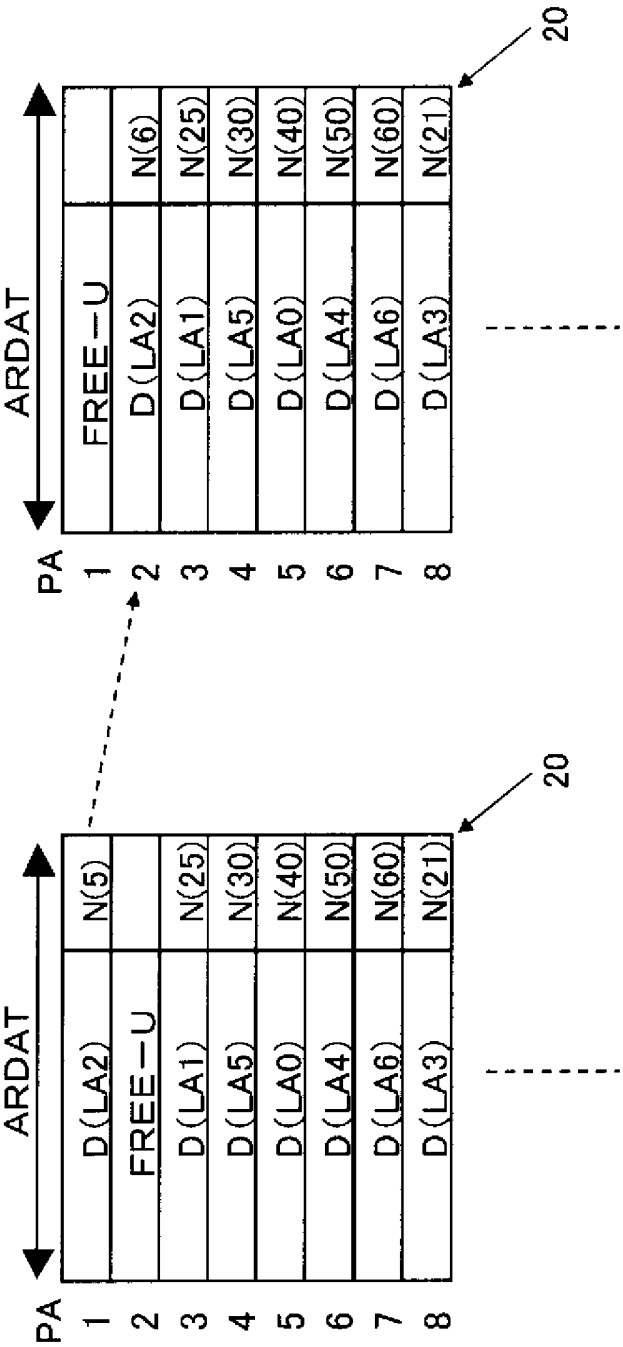


図5



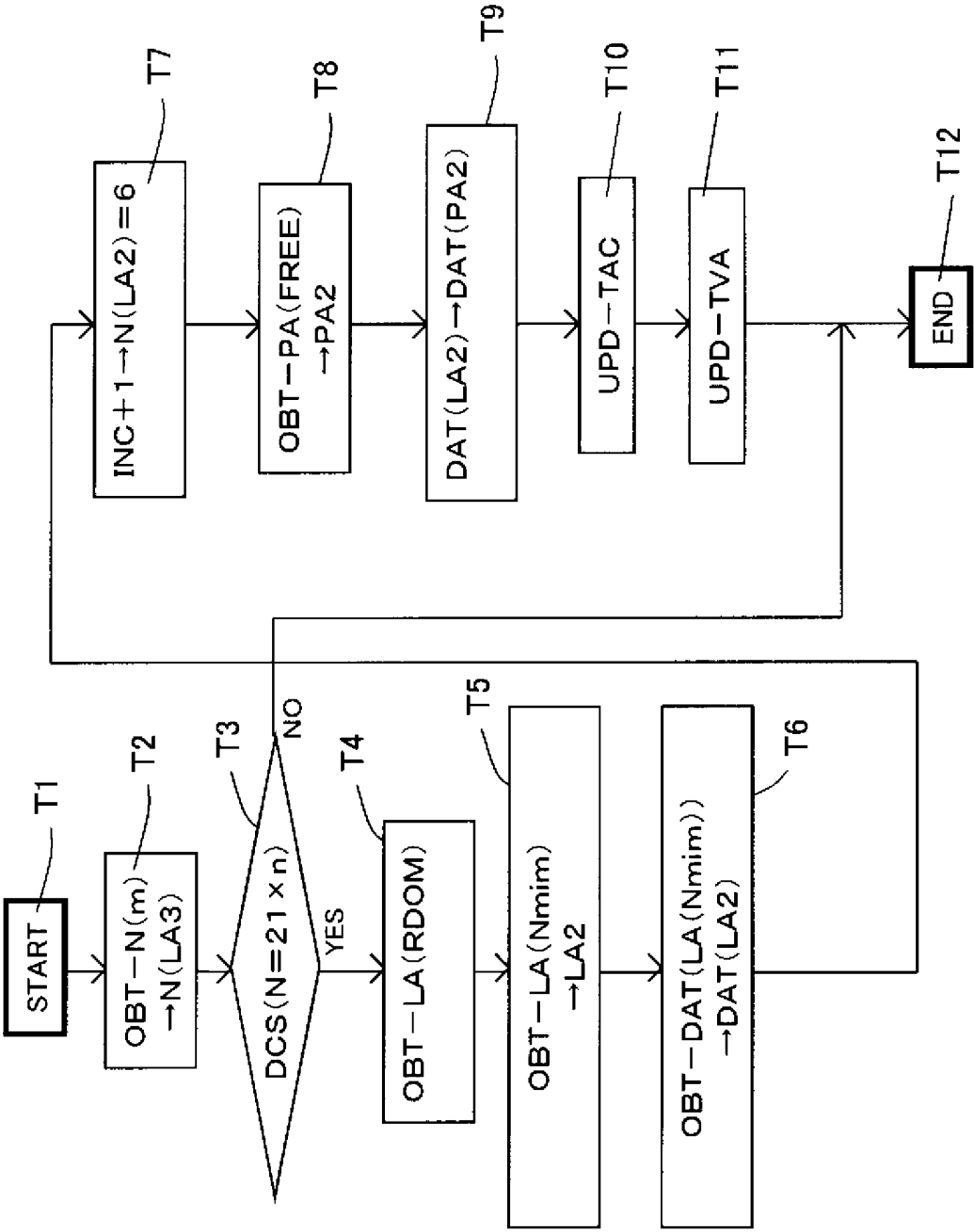
[図6]

図6

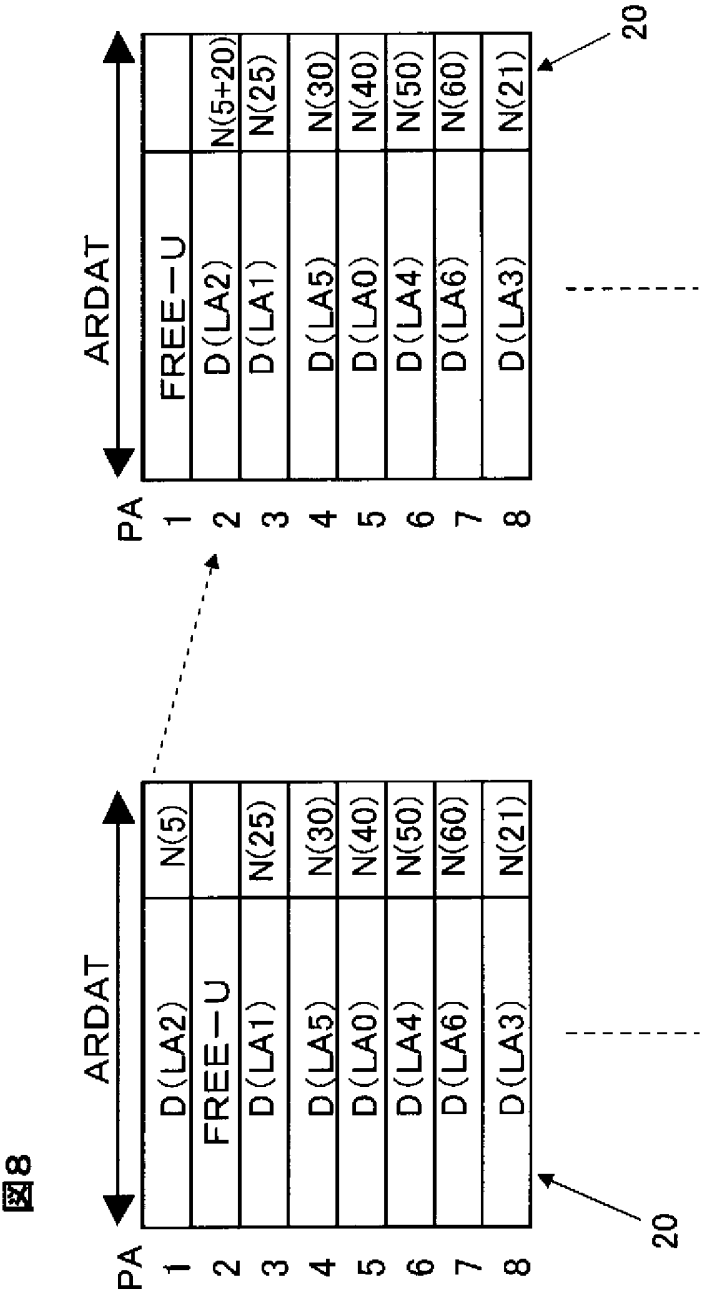


[図7]

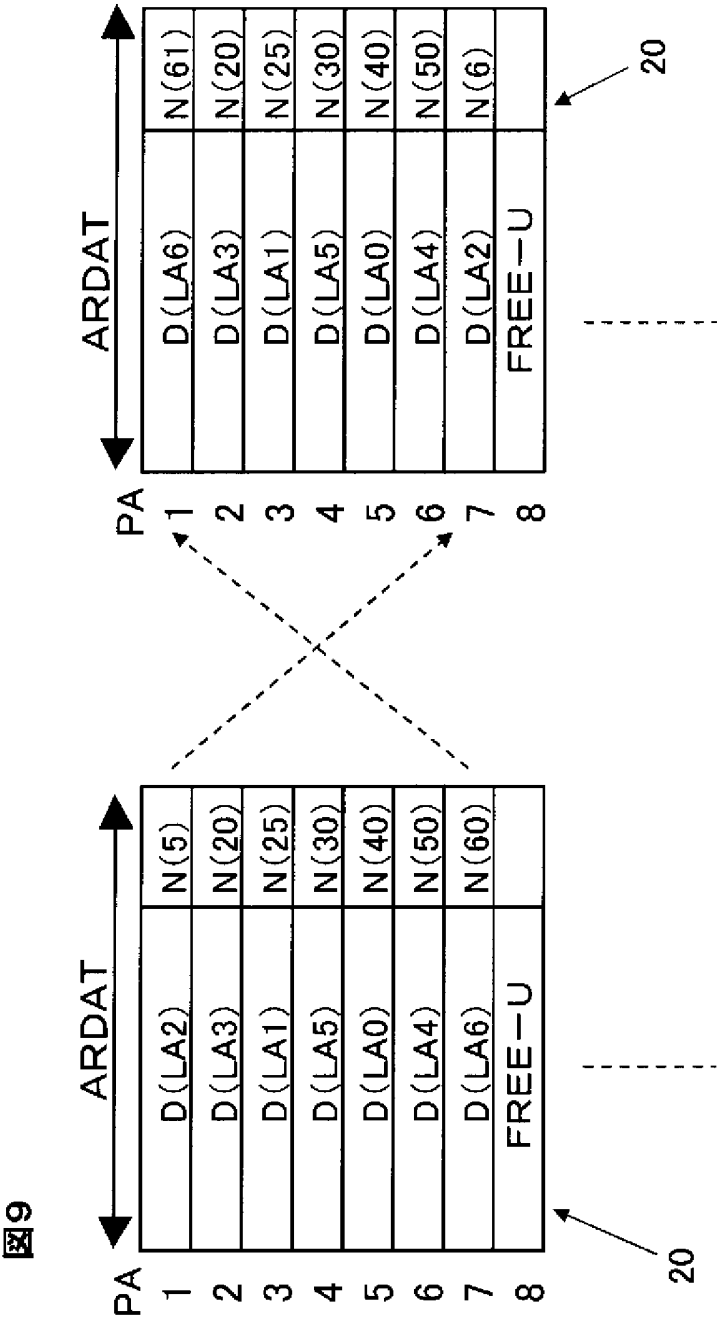
図7



[図8]

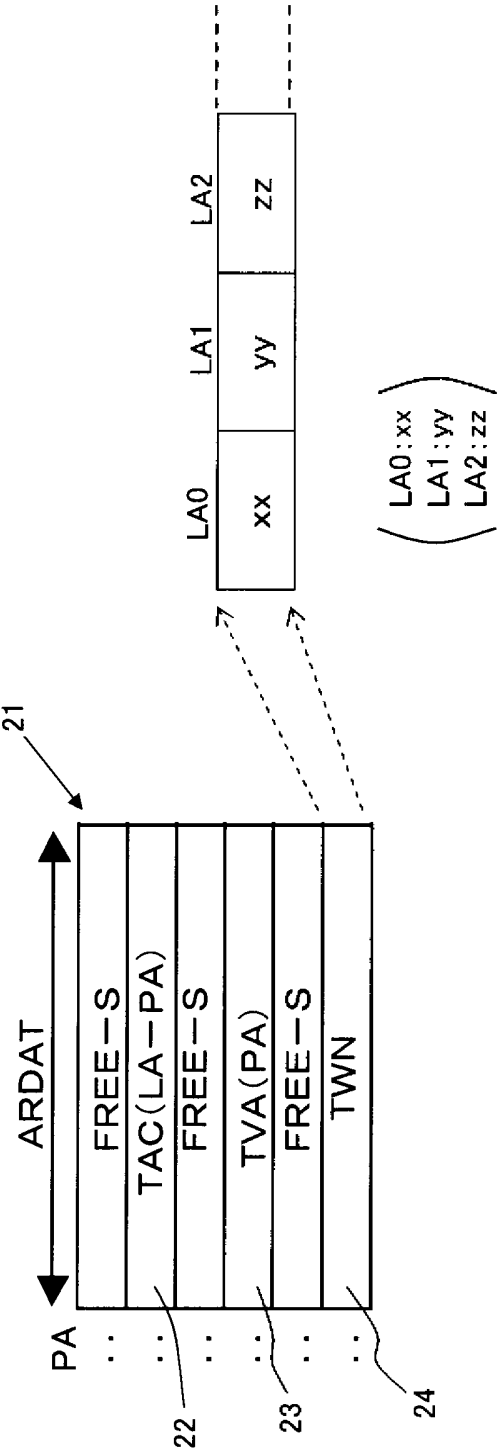


[図9]

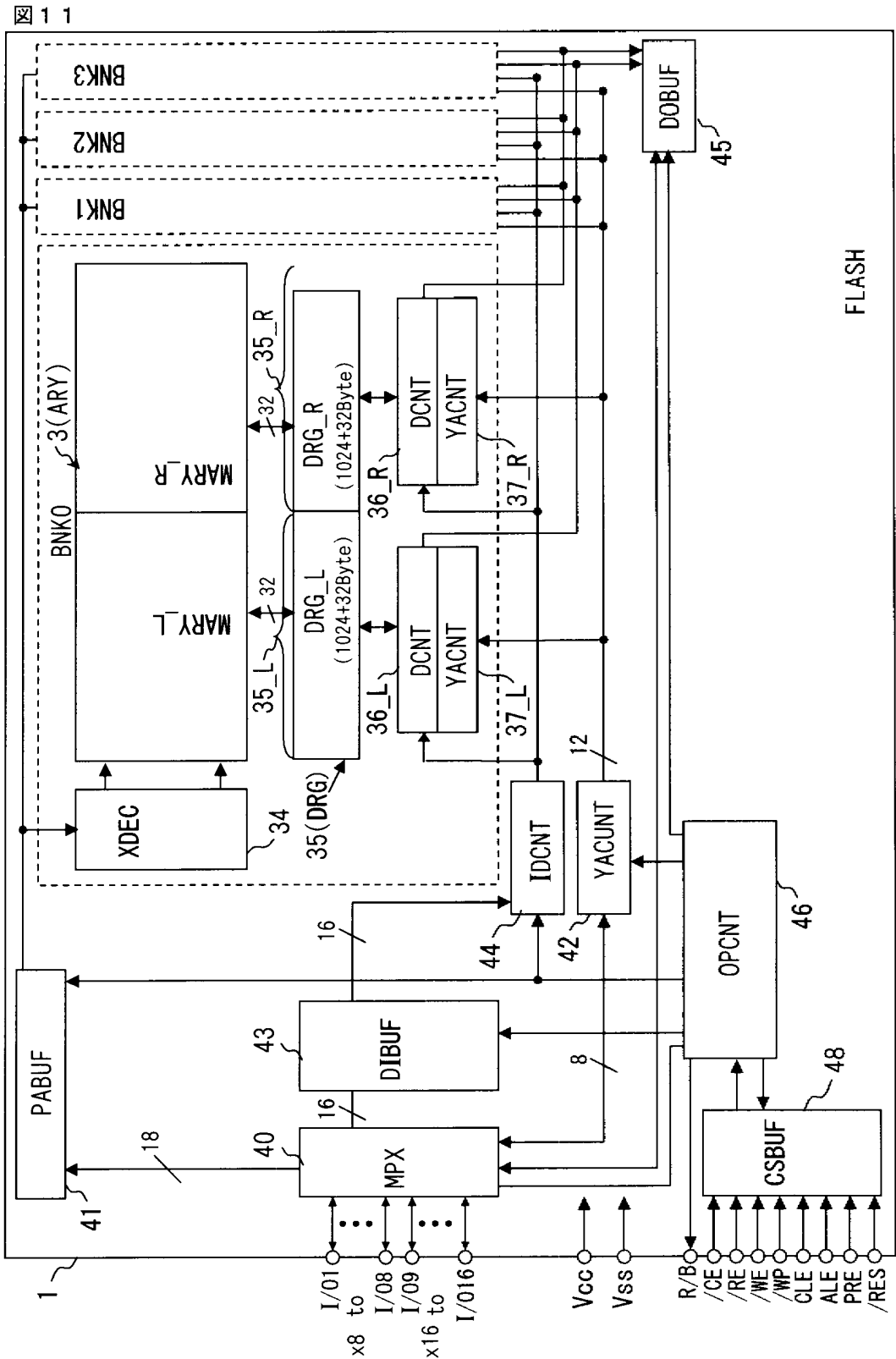


[図10]

図10



[図11]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/019183

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ G06F12/16

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ G06F12/16

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Toroku Jitsuyo Shinan Koho	1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2003-216506 A (Hitachi, Ltd.), 31 July, 2003 (31.07.03), Full text; Figs. 1 to 5 (Family: none)	1-17
Y	JP 11-003287 A (Hitachi, Ltd.), 06 January, 1999 (06.01.99), Full text; Figs. 1 to 8 (Family: none)	1-17

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
16 March, 2005 (16.03.05)

Date of mailing of the international search report
05 April, 2005 (05.04.05)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl.⁷ G06F12/16

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl.⁷ G06F12/16

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年

日本国公開実用新案公報 1971-2005年

日本国実用新案登録公報 1996-2005年

日本国登録実用新案公報 1994-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP2003-216506 A (株式会社日立製作所) 2003.07.31, 全文, 第1-5図 (ファミリーなし)	1-17
Y	JP11-003287 A (株式会社日立製作所) 1999.01.06, 全文, 第1-8図 (ファミリーなし)	1-17

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

16.03.2005

国際調査報告の発送日

05.4.2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

土田 行一

5N

9751

電話番号 03-3581-1101 内線 3545