

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.⁶
G11C 8/00
H03K 17/28

(45) 공고일자 1995년07월31일
(11) 공고번호 특1995-0008439

(21) 출원번호	특1987-0007757	(65) 공개번호	특1988-0002179
(22) 출원일자	1987년07월16일	(43) 공개일자	1988년04월29일
(30) 우선권주장	61-168539 1986년07월17일	일본(JP)	
(71) 출원인	가부시키키가이샤 도시바	아오이 조이치	
	일본국 가나가와현 가와사키시 사이와이구 호리가와정 72번지		

(72) 발명자 사쿠라이 다카야스
일본국 가나가와현 가와사키시 사이와이구 고무가이도시바정 1번지 가부시키키가이샤 도시바 종합연구소내
(74) 대리인 김윤배

심사관 : 이해평 (책자공보 제4067호)

(54) MOS형 반도체회로

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

MOS형 반도체회로

[도면의 간단한 설명]

제1도는 종래의 링 발진기의 회로도,

제2도 및 제3도는 각각 제1도의 링 발진기의 발진주파수와 온도 및 전원 전압간의 관계를 나타낸 특성도,

제4도는 제1도의 링 발진기의 동작을 설명하기 위한 파형도,

제5도는 본 발명의 1실시예에 따른 MOS형 반도체회로의 회로도,

제6도는 제5도는 MOS형 반도체회로에서 사용되는 다결정 실리콘 저항의 온도와 쉬트저항간의 관계를 나타낸 특성도,

제7도 및 제8도는 각각 제5도의 MOS형 반도체회로에서 사용되는 링 발진기의 발진주파수와 온도 및 전원전압간의 관계를 나타낸 특성도,

제9도는 본 발명의 제2실시예에 따른 MOS형 반도체회로의 회로도,

제10도는 본 발명의 제3실시예에 따른 MOS형 반도체회로의 회로도,

제11도는 본 발명의 제4실시예에 따른 MOS형 반도체회로의 회로도,

제12도는 본 발명의 제5실시예에 따른 MOS형 반도체회로의 회로도,

제13도는 본 발명의 제6실시예에 따른 MOS형 반도체회로의 회로도,

제14도는 본 발명의 제7실시예에 따른 MOS형 반도체회로의 회로도,

제15도는 제14도의 논리회로의 출력전압의 파형을 나타낸 도면,

제16도는 본 발명의 제8실시예에 따른 MOS형 반도체회로의 회로도,

제17도는 본 발명의 제9실시예에 따른 MOS형 반도체회로의 회로도,

제18도는 본 발명의 제10실시예에 따른 MOS형 반도체회로의 회로도,

제19도(a) 및 (b)는 제18도에 나타낸 MOS형 반도체회로의 동작을 설명하기 위한 파형도,

제20도는 본 발명의 제11실시예에 따른 MOS형 반도체회로의 회로도,
제21도는 본 발명의 제12실시예에 따른 MOS형 반도체회로의 회로도,
제22도는 본 발명의 회로를 일반화시켜 나타낸 회로도이다.

* 도면의 주요부분에 대한 부호의 설명

- 10 : 논리회로
- 11, 13 : P채널 MOS트랜지스터
- 12, 14 : N채널 MOS트랜지스터
- 15 : 전류제어수단
- P1~P5, P11~P19, P21~P23, P31~P35 : P채널 MOS트랜지스터
- N1~N5, N11~N19, N21~N23, N31~N35, N41, N42 : N채널 MOS트랜지스터
- I1~I8, I11~I15, I21~I23, I31, I32 : 인버터
- R : 저항
- G : 전류원
- D : 다이오드
- B : 바이어스 제어회로
- K1 : 낸드게이트
- K2 : 노아게이트

[발명의 상세한 설명]

[산업상의 이용분야]

본 발명은 온도특성이나 전압특성을 자유롭게 설정할 수 있는 MOS형 반도체회로에 관한 것으로, 특히 저소비전력, 소면적이고, 또 온도나 전압, 제조공정의 변동에 대해서 발진주파수 등의 안정성을 도모하도록 된 MOS형 반도체회로에 관한 것이다.

[종래의 기술 및 그 문제점]

일반적으로, 다이내믹 RAM(DRAM)에서는 정기적으로 리프레시 동작(기억유지동작)을 행할 필요가 있다. 최근의 DRAM에서는, 이 리프레시 동작을 RAM이 액세스되어 있지 않을때, 즉 스탠바이시에 자동적으로 행하도록 된 것이 많다. 이와 같은 RAM에서는 동일 칩상에 리프레시 타이머가 형성되어 있고, 이 리프레시 타이머에 의해 리프레시 간격을 계수해서 정기적으로 리프레시 트리거를 걸도록 하고 있다. 또, 이 리프레시 타이머로서는 통상 링 발진기가 사용되고 있다.

제1도는 리프레시 타이머로서 사용되는 종래의 링 발진기의 회로도이다. 이 링발진기는 P채널 MOS트랜지스터(P1~P5) 각각과 N채널 MOS트랜지스터(N1~N5) 각각을 고전위의 전원전압(VDD)과 저전위의 전원전압(VSS ; 접지=0V) 사이에 직렬로 접속시켜 구성된 5개의 CMOS인버터(I1~I5)를 환(環)형상으로 접속시키고, 그중 하나의 인버터(I5)의 출력을 P채널 MOS트랜지스터(P6)와 N채널 MOS트랜지스터(N6)로 구성된 파형 정형용 CMOS인버터(I6)에 공급하도록 한 것이다. 여기에서, 인버터(I1~I6)의 출력노드(S1~S6)에서 기생적인 정전용량(C1~C6)이 접속되어 있다.

이 링 발진기를 리프레시 타이머로서 사용하는 경우에 발진주기는 10 μ s 내지 100 μ s 정도이고, 링 발진기의 소비전력이 DRAM의 스탠바이시의 소비전력을 결정하기 때문에, 링 발진기 자체의 소비전력을 극력 작게 하는 것이 바람직하다.

여기에서 제1도의 링 발진기에 있어서, 예컨대 인버터(I1)를 구성하는 N채널 MOS트랜지스터(N1)와 P채널 MOS트랜지스터(P1)는 각각 작은 컨덕턴스로 되도록 채널길이(L)가 길게 되어 예컨대, 채널폭(w)은 2 μ m이지만, 채널길이(L)는 200 μ m이다. 한편, 파형정형용 인버터(I6)를 구성하는 트랜지스터(P6, N6)는 컨덕턴스가 비교적 크게 되어 있다. 예컨대, 채널폭(w)이 100 μ m 정도로 되어 있다. 이 파형정형용 인버터(I6)는 다른 회로를 구동시키도록 되어 있고, 그 출력노드(S6)에 접속되어 있는 정전용량(C6)의 값은 5pF 정도이다.

상기와 같은 링 발진기는 리프레시 타이머 뿐만 아니라 기판 바이어스 전압을 원점으로 만들어 내는 기판 바이어스회로 등에서도 사용되고 있다.

그런데, 상기와 같은 링 발진기를 리프레시 타이머로서 사용하는 경우, 발진주파수는 주위의 온도나 사용전압, 제조공정 등의 변화에 대해 그다지 변동이 없는 것이 바람직하다. 이것은 발진주파수가 높아지면 스탠바이전류가 커지게 되기 때문이다. 종래의 링 발진기의 발진주파수의 온도 특성을 제2도에, 전원전압 의존성을 제3도에 각각 나타냈다.

제2도의 특성도에서 나타낸 바와 같이 온도 0 $^{\circ}$ C와 85 $^{\circ}$ C 사이에서는 발진주파수가 30% 내지 40% 정도 변동한다. 또, 제3도의 특성도에 나타낸 바와 같이 전원전압(VDD)이 4V와 6V 사이에서 변동하면 발진주파수는 30% 정도 변동한다. DRAM의 메모리셀에서는 고온에서 누설전류가 증가하고, 저전압이 되면 메모리셀에 축적할 수 있는 전하량이 감소하게 된다. 이때문에, 리프레시 타이머에 요구되는 특성은 고온, 저전압에서 발진주파수가 높아지는 특성이다. 그렇지만, 실제의 리프레시 타이머에서는 제2도 및 제3도의 특성도에 나타낸 바와 같이 역의 특성으로 된다. 따라서, 종래에서는 적어도 고온, 저전압에서도 기억유지를 보장하기 위해 고온, 저전압에서 최저주파수가 얻어지도록 회로를 설계하고 있다. 그러면, 저온, 고전압의 영역에서는 보다 높은 주파수로 발진하기 때문에 스탠바이전류가 대단히 커지게 된다. 즉, 저온, 고전압의 영역에서는 리프레시 간격을 그다지 짧게 할 필요가 없으므로 리프레시 타이머가 높은 주파수로 발진하기 때문에, 리프레시 동작이 빈번하게 행해진다. 이것은 대단한 낭비이다. 또, 스탠바이전류가 필요량의 140%(온도변화에 따른) \times 130%(전원전압의 변동에 따른)로서, 약 180%로 되어 소비전력이 증가하게 된다. 그밖에 제조공정의 오차에 의한 마진을 살펴보면, 최적 스탠바이전류의 2배~3배의 스탠바이전류가 흐르게 된다.

또 종래에서는 인버터(I1)를 구성하는 트랜지스터(P1, N1)는 작은 컨덕턴스를 갖도록 채널길이(L)가

긴 트랜지스터로 되어 있기 때문에, 집적화했을때의 칩정유면적은 인버터 1개당 $1000 \mu m^2$ 이상으로 되어 전체의 면적이 커지게 된다고 하는 문제가 있다.

종래의 회로에서는 상기 문제점 이외에 다음과 같은 문제점도 있다.

제4도는 제1도의 링 발진기의 인버터(15, 16)의 출력노드(S5, S6)의 전압파형도이다. 인버터(15)의 출력노드(S5)의 전압파형은 파형정형용 인버터(16)의 출력노드(S6)의 전압파형에 비해 상당히 완만하게 변화하고 있다. 예컨대, S5의 전압파형의 값이 VSS일때의 시각(t_1)으로부터 N채널 MOS트랜지스터의 임계치전압(VIN)으로 상승한 시점의 시각(t_2)까지의 시간은 $20 \mu s$ 이다. 여기에서, 파형정형용 인버터(16)에 대해 살펴보자. 이 인버터(16)의 P채널 MOS트랜지스터(P6)의 임계치전압을 VIP로, N채널 MOS트랜지스터(N6)의 임계치전압을 VIN으로 하고, 노드(S5)의 전압이 VIN으로부터 상승해서(VDD-VTP)로 되는 시점의 시각을 t_3 로 하면, 상기 시각 t_2 로부터 t_3 까지의 범위에서는 트랜지스터(P6, N6)가 모두 온되게 된다. 이 때문에, 이 양 트랜지스터(P6, N6)를 통과해서 VDD와 VSS 사이에 직접 전류경로가 형성되게 된다. 또 인버터(15)의 출력노드(S5)의 전압이 완만하게 변화하고 있으므로, 전원간에 직접 전류가 흐르는 기간은 길어지게 된다. 여기에서, 이 링 발진기에 있어서 전원간에 흐르는 최대전류를 $5mA$ 로 하고, 트랜지스터(N6)의 채널폭(W)을 $100 \mu m$, 트랜지스터(P6)의 채널폭(W)을 $200 \mu m$ 로 하면, 평균해도 인버터(16)에 흐르는 직접 전류는 $50 \mu A$ 로 되어, 이 인버터(16)의 존재에 의해 저소비전력화는 곤란해지게 된다.

그래서, 상기 파형정형용 인버터(16)를 생각한다면 혹은 트랜지스터의 컨덕턴스를 작게 하면, 전원간의 직접 전류경로는 없어지거나 혹은 전류의 값이 작아지게 되지만, 이때는 지금까지 인버터(16)의 출력신호에 의해 구동되었던 다른 회로의 초단에 동일한 현상이 발생하기 때문에, 결국 저소비전력화를 꾀할 수 없게 된다. 또한, 인버터(16)의 출력신호에 의해 구동되는 회로에는 인버터(11)도 있지만, 이 인버터(11)는 컨덕턴스가 작아 파형정형용 인버터(16)의 $1/10000$ 정도이므로, 이 인버터(11)의 전원간의 직접 전류는 그다지 문제로는 되지 않는다.

이와 같이 종래의 회로에서는, 온도특성이나 전압특성을 자유자재로 설정할 수가 없고, 또 소비전력 및 칩면적을 줄일 수가 없으며, 온도나 전압, 제조공정의 오차에 대해 발진주파수 등의 동작의 안정성을 도모할 수 없다고 하는 문제가 있었다.

[발명의 목적]

이에 본 발명은 상기와 같은 사정을 고려해서 이루어진 것으로, 온도특성이나 전압특성을 자유자재로 설정할 수가 있고, 그에 따라 저소비 전력, 소면적이며, 또한 온도나 전압, 제조공정의 오차에 대해 발진주파수 등의 동작의 안정성을 도모할 수 있는 MOS형 반도체회로를 제공함에 그 목적이 있다.

[발명의 구성]

상기한 목적을 달성하기 위해 본 발명의 MOS형 반도체회로는, 제1 및 제2전원과 ; 종속접속된 복수의 논리회로 ; 상기 제1전원과 상기 각 논리회로의 출력노드 사이에 접속된 최소한 하나 이상의 제1MOS트랜지스터를 갖추고 있는 제1MOS트랜지스터회로 ; 상기 제1MOS트랜지스터와 동일도전형으로서, 게이트가 상기 제1MOS트랜지스터의 게이트와 공통 접속되고, 게이트, 드레인 사이가 단락된 제2MOS트랜지스터 및 ; 상기 제2MOS트랜지스터의 드레인에 접속되어 이 제2MOS트랜지스터의 소오스·드레인 경로를 통해 소정의 전류가 흐르게 하기 위한 전류제어회로를 구비하여 구성되어 있다.

(작용)

상기와 같이 구성된 본 발명의 MOS형 반도체회로에서는, 각 제1MOS트랜지스터와 제2MOS트랜지스터로 전류미러회로를 구성하고, 복수의 각 논리회로에 흐르는 전류를 제한하여 전류제어회로에 적당한 특성을 갖게 함으로써, 각 논리회로의 동작속도, 동작전류의 온도특성, 전원전압특성을 최적화하도록 되어 있다. 또, 이와 같이 함으로써 제조공정의 변동에 대해 변화가 적은 회로를 구성할 수가 있다. 특히 저소비전력, 소면적이며, 또한 온도나 전압, 제조공정의 오차에 대해 발진주파수 등의 동작의 안정성을 도모할 수 있게 된다.

(실시예)

이하, 도면을 참조하여 본 발명의 각 실시예를 상세히 설명한다.

제5도는 본 발명에 따른 MOS형 반도체회로를 링 발진기에 실시한 경우의 제1실시예의 구성을 나타낸 회로도이다. 여기에서, 본 실시예의 회로에 있어서 상기 제1도에 나타난 종래의 회로와 대응하는 부분에는 동일한 도면번호를 붙여서 설명을 행한다. 이 실시예에서는, 상기 각 인버터(11~15)의 N채널 MOS트랜지스터(N1~N5)와 전원(VSS) 사이에 N채널 MOS트랜지스터(N11~N15)가 새롭게 삽입되어 있다. 마찬가지로, 각 인버터(11~15)의 P채널 MOS트랜지스터(P1~P5)와 전원(VDD) 사이에 P채널 MOS트랜지스터(P11~P15)가 새롭게 삽입되어 있다.

상기 5개의 P채널 MOS트랜지스터(P11~P15)의 게이트는 공통으로 접속되어 있고, 이 공통 게이트는 또 하나의 P채널 MOS트랜지스터(P16)의 게이트에 접속되어 있다. 상기 트랜지스터(P16)의 소오스는 전원(VDD)에 접속되어 있고, 게이트, 드레인 사이가 단락되어 있다.

또, 상기 5개의 N채널 MOS트랜지스터(N11~N15)의 게이트도 공통으로 접속되어 있고, 이 공통 게이트는 또 하나의 N채널 MOS트랜지스터(N16)의 게이트에 접속되어 있다. 상기 트랜지스터(N16)의 소오스는 전원(VSS)에 접속되어 있고, 게이트, 드레인 사이가 단락되어 있다.

상기 P채널 MOS트랜지스터(P16)의 드레인과 상기 N채널 MOS트랜지스터(N16)의 드레인 사이에는 다결정 실리콘으로 구성된 저항(R1)이 삽입되어 있다. 이 저항(R1)과 트랜지스터(P16, N16)는 바이어스 제어회로(B1)를 구성하고 있다.

또, 상기 인버터(15)의 출력(S5)의 신호는 버퍼용의 2개의 인버터(17, 18)를 직렬로 매개해서 토글 플립플롭회로(TFF)에 공급되고 있다.

이와 같은 구성에 있어서, 트랜지스터(P16)의 게이트와 드레인이 단락되어 있고, 이 트랜지스터(P16)의 게이트에 트랜지스터(P11~P15) 각각의 게이트가 접속되어 있다. 또, 트랜지스터(N16)의 게이트와 드레인이 단락되어 있고, 이 트랜지스터(N16)의 게이트에 트랜지스터(N11~N15) 각각의 게이트가 접속되어 있다. 이와 같은 구성은 전류미러회로로서 알려져 있는 것으로서, 트랜지스터(N16)와 예컨대 트랜지스터(N11)의 게이트, 소오스 사이의 바이어스조건이 동일하므로, 각각의 채널길이와 채널폭이 같게 설정되어있으면 트랜지스터(N16)와 트랜지스터(N11)를 흐르는 전류는 같아지게 된다. 여기에서, 트랜지스터(N16)의 바이어스전류 제어수단은 다결정 실리콘으로 이루어진 저항(R1)으로 구성되고, 이 저항(R1)에 의해 결정되는 전류(d1)가 트랜지스터(N11)의 최대전류(d2)와 같다. 그리고, 이 전류(d2)에 의해 출력노드(S1)에 접속된 정전용량(C1)의 방전이 이루어지게 된다.

다음에는 이 경우의 발진주파수의 온도의존성에 대해 설명한다. 정전용량(C1)에는 거의 온도의존성이 없다. 또, 정전용량(C1)에 축적된 전하를 방전시킬때의 전류(d2)를 결정하는 전류(d1)는 다결정 실리콘으로 구성된 저항(R1)에 의해 결정되기 때문에, 전류(d2)에도 거의 온도의존성이 없다. 이것은 제6도에 나타낸 다결정 실리콘 저항의 쉬트저항(sheet resistance)의 온도의존성으로부터도 명확히 알 수 있는 것이다.

다결정 실리콘 저항은 온도변화에 대해 대단히 안정한 바, 트랜지스터의 등가저항이 캐리어의 이동도에 의해 결정되고 있기 때문에 큰 온도의존성을 갖는 것과는 대조적이다. 따라서, 용량(C1)에 축적된 전하를 방전시키는 시간도 또한 온도의존성이 평탄하고, 발진주파수의 온도의존성도 상기 제7도중에 실선으로 나타낸 바와 같이 제7도중에 점선으로 나타낸 종래회로와 비교하여 대폭적으로 개선되고 있다.

이 실시예 회로의 경우, 토글 플립플롭회로(TFF)는 인버터(15)의 출력신호를 분주(分周)하기 위해 사용되는 것으로, 보다 낮은 주파수를 이용할 수 있게 된다.

다음에는 전원전압의존성에 대해 설명한다. 상기 제1도의 종래의 회로에서는 트랜지스터의 등가저항이 전원전압(VDD)에 비례한다. 따라서, 각 정전용량(C)에 축적된 전하량은 전원전압(VDD)에 비례하게 되고, 정전용량(C)의 방전시간은 전원전압(VDD)에 반비례하게 된다. 그러나, 이 실시예의 회로에서는, 각 정전용량(C)의 방전시간은 트랜지스터의 등가저항에 의존하지 않고, 저항(R1)에 흐르는 전류(d1)에 비례한다. 여기에서, 저항(R1)에 흐르는 전류(d1)는 VDD에서 P채널 MOS트랜지스터의 임계치전압(VTP)과 N채널 MOS트랜지스터의 임계치전압(VIN)을 뺀 값을 저항치로 나눈 값으로 되기 때문에, 상기의 방전시간은 (VDD-VTP-VIN)에 비례한다. 또한, VTP와 VTNI가 VDD에 비해 충분히 작은 값이면 방전전류도 방전되어야 할 전하도 VDD에 비례하게 된다. 따라서, 상기 방전시간은 전원전압에는 거의 의존하지 않게 되고, 발진주파수도 전원전압에는 거의 의존하지 않게 되는 바, 상기 제8도중에 실선으로 나타낸 바와 같이 제8도중에 점선으로 나타낸 종래회로와 비교하여 대폭적으로 개선되고 있다.

제9도는 본 발명의 제2실시예의 구성을 나타낸 회로도이다. 보다 전원전압 의존성을 작게하기 위해서는 이 실시예의 회로와 같이 구성하면 좋다. 즉, 이 실시예의 회로는 상기 바이어스 제어회로(B1)를 P채널측과 N채널측에 독립적으로 설치하도록 한 것이다. P채널측의 바이어스 제어회로(B2)에서는 게이트, 드레인사이가 단락되고, 소오스가 전원전압(VDD)에 접속된 P채널 MOS트랜지스터(P17)의 드레인과 전원(VSS)사이에 바이어스전류 제어수단으로서의 다결정 실리콘으로 이루어진 저항(R2)을 삽입시키며, 트랜지스터(P17)의 게이트를 각 P채널 MOS트랜지스터(P11~P15)의 게이트에 접속시키고, 있다. 또, N채널측의 바이어스 제어회로(B3)에서는 게이트, 드레인 사이가 단락되고, 소오스가 전원(VSS)에 접속된 N채널 MOS트랜지스터(N17)의 드레인과 전원전압(VDD) 사이에 바이어스 전류 제어수단으로서의 다결정 실리콘으로 이루어진 저항(R3)을 삽입시키며, 트랜지스터(N17)의 게이트를 각 N채널 MOS트랜지스터(N11~N15)의 게이트에 접속시키고 있다.

이와 같이 바이어스 제어회로(B2, B3)에서는, 각각 하나의 트랜지스터만을 포함하고 있고, 저항(R3)에 흐르는 전류(d3)는 (VDD-VTN)에 비례하므로, 보다 더 VDD에 비례하게 된다. 그러나, 제5도의 실시예 회로쪽이, 전류제어용 트랜지스터(P16, N16)에는 반드시 같은 크기의 전류가 흐르기 때문에, 인버터(11~15)는 상승특성이 같은 것이 보증되게 되는 잇점이 있다. 또한, 이 실시예의 회로에서는 각 인버터, 예컨대 인버터(11)에 있어서 트랜지스터 P1과 P11, 트랜지스터 N1과 N11의 위치가 교체되어 있다. 이와같은 구성에서도 본질적으로는 제5도의 실시예 회로와 변함이 없지만, 중요한 것은 각 인버터(1)의 출력노드(S)와 전원(VSS) 사이에 전류제어용 N채널 MOS트랜지스터가 삽입되어 있는 것이다.

그런데, 본 발명은 저소비전력을 목적으로 하고 있으므로, 상기 실시예 회로에서는 P채널 MOS트랜지스터와 N채널 MOS트랜지스터를 조합시킨 CMOS구성으로 하고 있지만, 이것은 N채널 MOS트랜지스터를 사용한 것도 실시할 수가 있다.

제10도는 전부 N채널 MOS트랜지스터만으로 링 발진기를 구성한 본 발명의 제3실시예의 구성을 나타낸 회로도이다. 즉 이 실시예 회로에서는, 각 인버터(11~15)는 디플리션형 N채널 MOS트랜지스터(D1~D5) 각각과 인헨스먼트형 N채널 MOS트랜지스터(E1~E5) 각각으로 구성되어 있고, 또 인버터(11~15) 각각과 VSS 사이에는 전류제어용 인헨스먼트형 N채널 MOS트랜지스터(N11~N15)가 삽입되어 있다. 그리고 이 경우, 바이어스 제어회로(B4)에서의 전류제어수단은 전류원(G1)으로 대표되어 있다. 이 실시예의 회로에 있어서, 상기 저항(R) 대신에 전류원(G1)을 설치함으로써, 이 전류원으로서 특수한 특성을 갖춘 것을 사용하면 온도특성이나 전원전압 의존성이 임의의 것을 실현할 수 있게 된다. 예컨대, 이 전류원(G1)으로서 다이오드를 사용하면, 발진주파수의 온도특성은 지수함수적으로 되게 된다.

제11도 및 제12도는 각각 상기 전류원(G1)으로서 다이오드를 사용한 본 발명의 제4, 제5실시예의 구

성을 나타낸 회로도이다. 제11도는 상기 제5도의 실시예 회로의 트랜지스터(B1)내의 저항(R1)에 대해 도시된 극성으로 다이오드(D1)를 병렬 접속시켜 새로운 바이어스 제어회로(B5)를 구성하도록 한 것이다.

제12도는 상기 제5도의 실시예 회로의 바이어스 제어회로(B1)내의 저항(R1) 대신에 도시된 극성으로 복수개의 다이오드(D2)를 직렬 접속시킨 것을 삽입시켜서 새로운 바이어스 제어회로(B6)를 구성하도록 한 것이다.

또한 상기 각 실시예의 회로에서는 링 발진기를 구성하는 인버터라고 하는 표현을 하고 있지만, 이것은 동작시에 논리적으로 반전조작이 가능한 회로장치를 의미하는 것으로, 협의의 인버터를 지칭하는 것은 아니다. 예컨대, 상기 제12도의 실시예 회로에 있어서, 인버터(I1)에서는 P채널 MOS트랜지스터(P1)에 대해 P채널 MOS트랜지스터(P21)가 병렬로, 인버터(I2)에서는 P채널 MOS트랜지스터(P2)에 대해 P채널 MOS트랜지스터(P22)가 직렬로, 인버터(I4)에서는 P채널 MOS트랜지스터(P4)에 대해 P채널 MOS트랜지스터(P23)가 직렬로 각각 삽입되고, 각각의 게이트에는 발진을 개시시키기 위한 스타트신호(ST)가 인버터(I9)를 매개해서 공급되며, 더욱이 인버터(I1)에서는 N채널 MOS트랜지스터(N1)에 대한 N채널 MOS트랜지스터(N21)가 직렬로, 인버터(I3)에서는 N채널 MOS트랜지스터(N3)에 대해 N채널 MOS트랜지스터(N22)가 직렬로, 인버터(I5)에서는 N채널 MOS트랜지스터(N5)에 대해 N채널 MOS트랜지스터(N23)가 직렬로 각각 삽입되고, 각각의 게이트에는 상기 스타트신호(ST)가 공급되도록 되어 있는바, 각 단의 회로는 인버터와는 다른 것으로 볼 수가 있다. 그렇지만, 스타트신호(ST)가 '1'인때에 각 단은 인버터로서 동작하게 되는 것이다.

제13도는 본 발명의 제6실시예의 구성을 나타낸 회로도이다. 이 실시예에서는 상기 제5도의 실시예 회로의 다결정 실리콘으로 이루어진 저항(R1) 대신에 트랜지스터를 사용하도록 한 것이다. 즉, 상기 저항(R1) 대신에 소오스, 드레인 사이가 병렬 접속된 P채널 MOS트랜지스터(P18) 및 N채널 MOS트랜지스터(N18)를 사용하도록 하고 있다. 여기에서, 상기 P채널 MOS트랜지스터(P18)의 게이트는 VSS에 접속되고, N채널 MOS트랜지스터(N18)의 게이트는 VDD에 접속되어 모두 온되어 있다. 또한, 이 실시예의 회로에서는 상기 5개의 P채널 MOS트랜지스터(P11~P15)를 설치하는 대신에 1개의 P채널 MOS트랜지스터(P19)를 설치하고, 또 상기 5개의 N채널 MOS트랜지스터(N11~15)를 설치하는 대신에 1개의 N채널 MOS트랜지스터(N19)를 설치하도록 하고 있다.

이 실시예의 회로에서는 소정의 전류치를 설정하기 위해 트랜지스터(N18, P18)는 채널길이가 예컨대 400 μ m 정도 필요하므로 면적도 그만큼 커지게 된다. 그렇지만, 트랜지스터 P16, N16나 P19, N19 등은 작은 면적으로 족한 바, 전체적으로 보면 종래의 1/2 이하로 되게 된다. 이것은 제13도의 실시예 회로에 한정되는 것이 아니라 상기의 모든 실시예에 공통적으로 해당되는 것으로서, 종래 회로의 하나의 문제였던 면적의 문제는 해결된다. 또한, 제5도의 실시예 회로에서의 다결정 실리콘 저항(R1)은 길이가 10mm 정도 필요한 것이지만, 이것은 알루미늄배선 아래에 형성될 수가 있으므로, 면적증대에는 관계가 없다.

다음에는 제조공정 의존성에 대해 설명한다. 종래의 회로에서는 트랜지스터의 채널기이나 임계치전압이 변동하면, 트랜지스터의 전류구동능력이 30%~50% 정도 벗어나고, 발진주파수도 같은 정도로 벗어나게 된다. 그러나, 상기 각 실시예 회로에서는 발진주파수가 트랜지스터의 전류구동능력에 거의 의존하지 않기 때문에, 발진주파수는 제조공정의 오차에 의존하지 않고 항상 안정해지게 된다. 덧붙여서 말하면 다결정 실리콘 저항의 오차는 10% 정도이다.

이와 같이 상기 각 실시예에 따른 링 발진기는 발진주파수가 안정하기 때문에, 종래와 같이 쓸데없이 리프레시 전류를 소비하지 않게 되어 저소비전력의 리프레시 타이머를 실현할 수 있게 된다.

한편, 제5도의 회로에 있어서는 전류 d1과 d2의 값이 같은 경우에 대해 설명했지만, 이것은 반드시 같은 필요는 없다. 즉, 트랜지스터 N16과 N11 등의 치수를 동일하게 설정하면 d1과 d2는 같아지게 되지만, 일반적으로는 트랜지스터 N16, N11의 채널길이(L), 채널폭(W)를 가감하면 d1과 d2의 사이에서 임의의 비를 갖게 할 수가 있다. 예컨대, 트랜지스터(N16)의 W/L을 50 μ m/2 μ m로 하고, 트랜지스터(N11)의 W/L을 10 μ m/2 μ m로 하면, d1 : d2=50 : 10=5 : 1로 할 수가 있게 된다. 이 경우, 확실하게 이 전류비를 실현하기 위해서는 트랜지스터 N16과 N11의 채널길이는 동일한 것을 사용하는 쪽이 짧은 채널효과(short channel effect)에 의한 오차를 최소로 할 수 있게 된다. 또, 넓은 채널효과(narrow channel effect)에 의한 오차를 최소로 하기 위해서는 동일한 채널폭을 갖는 트랜지스터 복수개 병렬로 접속시켜 구성하면 좋다.

제14도는 본 발명의 제7실시예의 구성을 나타낸 회로도이다. 이 실시예의 회로는 종래의 회로에서 문제로 되었던 인버터의 출력파형의 완만한 변화에 기초해서 전원간의 직접 전류경로의 발생을 방지하도록 한 것이다.

이 실시예의 회로에서는 상기 제5도의 실시예의 회로에서의 버퍼용 인버터(I7, I8)가 삭제되고, 새롭게 상기 인버터(I5)의 출력노드(S5)와 상기 인버터(I2)의 출력노드(S2)의 신호를 입력으로 하는 낸드게이트(K1), 마찬가지로 상기 인버터(I5)의 출력노드(S5)와 상기 인버터(I2)의 출력노드(S2)의 신호를 입력으로하는 노아게이트(K2)가 설치되며, 더욱이 소오스가 VDD에 접속되어 있는 P채널 MOS트랜지스터(P31)와소오스가 VSS에 접속되고 드레인이 상기 트랜지스터(P31)의 드레인에 접속되어 있는 N채널 MOS트랜지스터(N31)가 설치되어 있다. 상기 트랜지스터(P31, N31)는 파형정형회로(I11)를 구성하고 있고, 트랜지스터(P31)의 게이트에는 상기 낸드게이트(K1)의 출력노드(S11)의 신호가 공급되며, 트랜지스터(N31)의 게이트에는 상기 노아게이트(K2)의 출력노드(S12)의 신호가 공급된다. 또한, 상기 낸드게이트(K1) 및 노아게이트(K2)에 대해서도 각 인버터(I)와 동일한 효과를 얻기 위해, P채널측에는 게이트가 상기 바이어스 제어회로(B1)내의 P채널 MOS트랜지스터(P16)의 게이트에 접속된 P채널 MOS트랜지스터(P32, P33)가 각각 접속되어 있고, N채널측에는 게이트가 상기 N채널 MOS트랜지스터(N16)의 게이트에 접속된 N채널 MOS트랜지스터(N32, N33)가 각각 접속되어 있다. 그리고, 상기 파형정형회로(I11)의 출력노드, (S13)의 신호는 직렬 접속된 2개의 인버터(I12, I13)를 매개해서 발진신호(**RING**)로서 출력되고, 더욱이 상기 인버터(I13)의 출력신호는 다른 1개의 인버

터(I14)를 매개해서 발진신호(RING)로서 출력된다.

제15도는 제14도의 실시예 회로의 노드(S11, S12)의 전압파형도이다. 이 노드(S11, S12)의 전압파형을 보면 알 수 있듯이 노드(S12)의 전압이 N채널 MOS트랜지스터의 임계치전압(VIN) 이하로 저하되는 시각(t1) 이전에서는 N채널 MOS트랜지스터(N31)는 온되지만, 노드(S11)의 전압이 (VDD-VTP) 이상이므로 P채널 MOS트랜지스터(P31)는 오프된다. 상기 시각(t1)으로부터 노드(S11)의 전압이 (VDD-VTP) 이하로 저하되는 시각(t2)까지는 P채널 MOS트랜지스터(P31) 및 N채널 MOS트랜지스터(N31)는 모두 오프된다. 시각(t2) 이후에서는 노드(S11)의 전압은(VDD-VTP) 이하로 되어 P채널 MOS트랜지스터(P31)는 온되지만, 노드(S12)의 전압은 VIN 이하로 되어 N채널 MOS트랜지스터(N31)는 오프된다. 이 때문에, 파형정형회로(I11)의 트랜지스터(P31, N31)가 동시에 온되는 시간이 없고, 파형정형회로(I11)에 있어서 전원간의 직접 전류경로가 생기지 않게 되어 저소비전력의 회로를 실현할 수 있게 된다. 또한, 낸드게이트(K1) 및 노아게이트(K2)에서 생기는 전원간의 직접 전류는 전원제어용 P채널 MOS트랜지스터(P32, P33) 및 N채널 MOS트랜지스터(N32, N33)에 의해 제한되기 때문에 문제가 발생하지 않게 된다.

여기에서, 가령 이 실시예 회로에서의 파형정형회로(I11)의 출력노드(S13)의 파형의 변화가 너무나도 완만하고, 이 신호가 공급되는 인버터(I12)에서 전원간의 직접 전류가 문제로 되는 경우에는 인버터(I12)의 전단에 버퍼용 인버터를 2개 직렬로 삽입시키면 좋다. 이 경우 전단의 인버터는 작은 컨덕턴스를 갖는 트랜지스터로 구성하고 후단의 인버터는 큰 컨덕턴스를 갖는 트랜지스터로 구성하는 쪽이 전체에서의 전원간의 직접 전류를 감소시킬 수 있게 된다.

또, 이 제14도의 실시예 회로에서는 상기한 바와 같이 제15도의 파형도중의 시각 t1과 t2 사이의 기간에서는 파형정형회로(I11)의 P채널 MOS트랜지스터(P31)와 N채널 MOS트랜지스터(N31)가 모두 오프상태로 되어 노드(S13)는 고임피던스상태로 되게 된다. 통상, 이 고임피던스상태는 전혀 문제로는 되지 않지만, 되도록이면 이 기간을 가능한 한 짧게하는 것이 좋다. 이를 위해서는 낸드게이트(K1) 및 노아게이트(K2)의 한쪽 입력노드와 다른쪽 입력노드가 가능한 한 가까운 것이 좋다. 즉, 양노드의 신호는 서로 동위상관계인 것이 필요하기 때문에, 양노드간에는 2개의 인버터가, 즉 양인버터간에는 하나의 인버터가 존재하는 것이 최선의 조건이다. 또한, 이 실시예 회로에서는 상기 제15도에 나타낸 바와 같은 노드(S11, S12)의 파형을 얻기 위해 인버터(I1~I5)중에서 2개의 인버터의 출력노드의 신호를 사용하도록 하고 있지만, 이것은 하나의 인버터의 출력노드의 신호와 그것을 지연시킨 신호를 사용하도록 해도 좋다. 더욱이, 상기 실시예의 회로와 같이 출력노드(S13)의 고임피던스상태를 허용할 수 없는 경우에는 제16도와 같이 구성하면 좋다.

즉, 제16도는 본 발명의 제8실시예의 구성을 나타낸 회로도이다. 이 실시예의 회로에서는 상기 제14도의 실시예 회로에 대해 인버터(I15)를 다 추가한 것이다. 이 인버터(I15)에는 상기 인버터(I12)의 출력신호가 공급되고 있고, 이 인버터(I15)의 출력신호는 상기 파형정형회로(I11)의 출력노드(S13)로 귀환되고 있다. 또한, 이 인버터(I15)의 경우에도 전원제어용 P채널 MOS트랜지스터(P34) 및 N채널 MOS트랜지스터(N34)가 설치되어 있다.

이와 같은 구성으로 함으로서, 인버터(I11)의 출력노드(S13)의 신호가 P채널 MOS트랜지스터(P31) 혹은 N채널 MOS트랜지스터(N31)에 의해 '1' 또는 '0'으로 설정되어 있는 상태에서, 다음에 트랜지스터(P31, N31)가 모두 오프상태로 되어 출력노드(S13)가 고임피던스상태로 되려고 해도 인버터(I15)에 의한 귀환에 의해 출력노드(S13)는 전상태 그대로 유지되게 된다. 즉, 고임피던스상태는 존재하지 않게 된다.

제17도는 본 발명의 제9 실시예의 구성을 나타낸 회로도이다. 이 실시예의 회로에서는 파형정형회로(I11)로서 도시된 구성의 것을 사용하도록 한 것이다. 즉, P채널 MOS트랜지스터(P35)의 소오스가 전원(VDD)에 접속되어 있고, N채널 MOS트랜지스터(N35)의 드레인인 상기 트랜지스터(P35)의 드레인에 접속되어있으며, 소오스가 전원(VSS)에 접속되어 있다. 그리고, 상기 트랜지스터(P35)의 게이트는 상기 트랜지스터(P15, P5)의 직렬접속노드에 접속되어 있고, 트랜지스터(N35)의 게이트는 상기 트랜지스터(N15, N5)의 직렬접속노드에 접속되어 있다. 즉, 파형정형회로(I11)는 인버터(I5)의 출력노드가 아니라 중간노드의 신호에 의해 제어되고 있지만, 이와 같은 구성에서도 트랜지스터(P35, N35)가 동시에 온되는 기간이 존재하지 않기 때문에, 전원간의 직접 전류경로는 형성되지 않게 된다. 또한, 이 실시예의 회로에서 바이어스 제어회로(B1)의 전류제어수단은 전류원(G2)으로 대표되어 있다.

제18도는 본 발명의 제10실시예의 구성을 나타낸 회로도이다. 이 실시예의 회로에서는 종래의 회로에서 문제로 되었던 전원간의 직접 전류경로만을 제거하도록 한 것이다. 즉, 이 실시예의 회로에서는 상기 제14도의 실시예 회로로부터 바이어스 제어회로(B1), 인버터(I1~I5)에 설치되어 있는 전류제어용 트랜지스터(P11~P15, N11~N15), 낸드게이트(K1) 및 노아게이트(K2)의 전류제어용 트랜지스터(P32, P33, N32, N33)를 제거하도록 한 것이다.

제19도(a), (b)는 상기 실시예 회로의 출력노드(S2, S5, S11, S12) 각각의 전압파형을 나타낸 도면이다. 이 경우에도, 상기 제14도의 실시예 회로에서 설명한 경우와 마찬가지로 파형정형회로(I11)의 P채널 MOS트랜지스터(P31)와 N채널 MOS트랜지스터(N31)가 모두 온상태로 되는 기간이 존재하지 않기 때문에, 파형정형회로(I11)에서의 전원간의 직접 전류경로는 존재하지 않는다.

또한, 이 실시예 회로에 있어서 낸드게이트(K1)와 노아게이트(K2)에서 생기는 전원간의 직접 전류경로는 이들 회로를 작은 컨덕턴스를 갖는 트랜지스터로 구성하면 문제없는 정도까지 작게 할 수 있게 된다.

제20도는 본 발명의 제11실시예의 구성을 나타낸 회로도이다. 이 실시예 회로에서는 상기 제18도의 실시예 회로에 있어서 인버터(I1~I5)를 구성하는 P채널 MOS트랜지스터(P1~P5)와 전원(VDD) 사이에 전류제한용 저항(R11~R15)을 삽입함과 더불어 N채널 MOS트랜지스터(N1~N5)와 전원(VSS) 사이에 전류제한용 저항(R21~R25)을 삽입한 것이다. 더욱이, 파형정형회로(I11)를 2개의 동일 채널형인 N채널 MOS트랜지스터(N41, N42)로 구성하기 위해 낸드게이트(K1)의 출력노드(S11)와 트랜지스터(N41)의 게이트 사이에 인버터(I21)를 삽입한 것이다. 또, 이 실시예의 회로에서는 파형정형회로(I11)의 출

력노드에 2개의 인버터(122, 123)를 역병렬 접속시켜 구성한 렛치회로(LC)가 설치되어 있다.

제21도는 본 발명의 제12실시예의 구성을 나타낸 회로도이다. 상기 제18도의 실시예 회로에서는 낸드게이트(K1) 및 노아게이트(K2)에 대해 인버터(11~15)중에서 2개의 인버터(15, 12)의 출력노드(S5, S2)의 신호를 공급하도록 하고 있지만, 이것은 하나의 인버터의 출력노드의 신호를 사용하도록 해도 좋다. 그리고, 이 실시예 회로에서는 인버터(15)의 출력신호와 이 신호를 직렬 접속된 2개의 인버터(131, 32)에 의해 지연시킨 신호를 낸드게이트(K1) 및 노아게이트(K2)에 공급하도록 하고 있다.

이상, 본 발명의 중요한 응용예인 링 발진기에 대해 상세히 설명했지만, 본 발명의 개념을 일반화하면 제22도와 같이 된다. 즉, 제22도에 있어서, 도면번호 10은 각각 논리회로이고, 11은 이들 각 논리회로(10)의 각 출력노드와 전원(VDD) 사이에 삽입된 전류제어용 P채널 MOS트랜지스터이며, 12는 각 논리회로(10)의 출력노드와 전원(VSS) 사이에 삽입된 전류제어용 N채널 MOS트랜지스터이고, 13은 상기 각 트랜지스터(11) 각각과 함께 전류미러회로를 구성하는 게이트, 드레인 사이가 접속된 P채널 MOS트랜지스터이며, 14는 상기 각 트랜지스터(12) 각각과 함께 전류 미러회로를 구성하는 게이트, 드레인 사이가 접속된 N채널 MOS트랜지스터이고, 15는 전류원으로 대표되는 전류제어수단이다. 이와 같이 구성된 회로에서는 특수한 온도특성이나 전원전압 의존성을 갖도록 설계할 수 있게 된다. 또한, 본 발명을 상기 각 실시예처럼 링 발진기에 실시하는 경우에는 상기 각 인버터(11~15)의 레이아웃(layout)은 공통으로 할 수가 있으므로, 전류제어용 트랜지스터를 보다 오차가 작게 실현할 수 있게 된다. 그 밖에 링 발진기에서는 상승의 파형과 하강의 파형이 가깝게 존재하므로, 잡음이 캔슬됨으로써 보다 안정한 동작을 기대할 수 있게 된다. 또, 상기 전류원(15)으로서는 캐패시터의 누설전류를 이용한 형식의 회로를 사용하도록 해도 좋다.

[발명의 효과]

이상 설명한 바와 같이 본 발명의 MOS형 반도체회로에서는, 온도특성이나 전압특성을 자유자재로 설정할 수가 있고, 전체의 동작속도나 동작전류의 온도특성, 전원전압 의존성을 최적화할 수 있게 된다. 특히, 저소비전력, 소면적이고, 또 온도나 전압, 제조공정의 오차에 대해 발진주파수 등의 동작이 안정한 회로를 구성할 수 있게 된다.

(57) 청구의 범위

청구항 1

제1, 제2전원(VDD, VSS)과 ; 중속접속된 복수의 논리회로(11~15 : 10) ; 상기 제1전원(VDD)과 상기 각 논리회로(11~15 : 10)의 출력노드 사이에 접속된 최소한 한 이상의 제1MOS트랜지스터(P11~P15)를 갖추고 있는 제1MOS트랜지스터회로 ; 상기 제1MOS트랜지스터(P11~P15)와 동일 도전형으로서, 게이트가 상기 제1MOS트랜지스터(P11~P15)의 게이트와 공통 접속되고, 게이트, 드레인 사이가 단락된 제2MOS트랜지스터(P16 ; P17) 및 ; 상기 제2MOS트랜지스터(P16)의 드레인에 접속되어 이 제2MOS트랜지스터(P16)의 소오스·드레인 경로를 통해 소정의 전류가 흐르게 하기 위한 전류제어회로(R1 ; R2 ; G1 ; R1 ; D1 ; D2 ; D2 ; P18, N18 ; G2 ; 15)를 구비하여 구성된 것을 특징으로 하는 MOS형 반도체회로.

청구항 2

제1항에 있어서, 상기 제2전원(VSS)과 상기 각 논리회로(11~15 ; 10)의 출력노드 사이에 접속된 최소한 하나 이상의 제3MOS트랜지스터(N11~N15)를 갖추고 있는 제2MOS트랜지스터회로와 ; 상기 제3MOS트랜지스터(N11~N15)와 동일 도전형으로서, 게이트가 상기 제3MOS트랜지스터(N11~N15)의 게이트와 공통 접속되고, 게이트, 드레인 사이가 단락된 제4MOS트랜지스터(N16)를 더 구비하여 구성되고, 상기 전류제어회로가 상기 제2 및 제4MOS트랜지스터(P16, N16)의 상기 드레인 사이에 접속된 전류원(R1 ; G1 ; G2 ; R1, D1 ; D2 ; P18, N18 ; 15)을 갖추고 있는 것을 특징으로 하는 MOS형 반도체회로.

청구항 3

제1항에 있어서, 상기 제2전원(VSS)과 상기 각 논리회로(11~15 ; 10)의 출력노드 사이에 접속된 최소한 하나 이상의 제3MOS트랜지스터(N11~N15)를 갖추고 있는 제2MOS트랜지스터를 더 구비하여 구성하고, 상기 전류제어회로가 상기 제3MOS트랜지스터(N11~N15)와 동일 도전형으로서, 게이트가 상기 제3MOS트랜지스터(N11~N15)의 게이트와 공통 접속되고, 게이트, 드레인 사이가 단락된 제4MOS트랜지스터(N17)와 ; 상기 제1전원(VDD)과 상기 제4MOS트랜지스터(N17)의 드레인 사이에 접속되어 이 제4MOS트랜지스터(N17)의 소오스와 드레인 사이에 소정의 전류가 흐르게 하기 위한 전류원(R3)을 갖추고 있는 것을 특징으로 하는 MOS형 반도체회로.

청구항 4

제2항 또는 제3항에 있어서, 상기 전류원이 다결정 실리콘 저항(R1 ; R2 ; R3)으로 이루어진 것을 특징으로 하는 MOS형 반도체회로.

청구항 5

제4항에 있어서, 상기 전류원이 상기 다결정 실리콘 저항(R1)과, 이 저항(R1)과 병렬로 접속된 다이오드(D1)를 갖추고 있는 것을 특징으로 하는 MOS형 반도체회로.

청구항 6

제2항에 있어서, 상기 전류원이 직렬 접속된 복수개의 다이오드(D2, ...)를 갖추고 있는 것을 특징으로 하는 MOS형 반도체회로.

로 하는 MOS형 반도체회로.

청구항 7

제4항에 있어서, 상기 전류원이 서로 다른 도전형으로서 병렬 접속된 2개의 MOS트랜지스터(P18, N18)를 갖추고 있는 것을 특징으로 하는 MOS형 반도체회로.

청구항 8

제1항에 있어서, 상기 제1 및 제2MOS트랜지스터(P11~P15, P16)의 채널길이가 같게 설정되어 있는 것을 특징으로 하는 MOS형 반도체회로.

청구항 9

제1항에 있어서, 상기 제1 및 제2MOS트랜지스터(P11~P15, P16)의 채널폭이 같게 설정되어 있는 것을 특징으로 하는 MOS형 반도체회로.

청구항 10

제1항에 있어서, 상기 각 논리회로가 인버터(I1~I5)를 구비하여 이루어지고, 상기 논리회로가 상기 인버터(I1~I5)중 2개로부터 동위상 출력신호를 수신하는 노아 및 낸드게이트(K2, K1)와, 상기 노아 및 낸드게이트(K2, K1)의 출력신호에 따라 상기 2개의 인버터로부터의 출력신호에 대응해서 출력신호를 발생시키는 파형정형회로(I11)를 포함하고 있는 것을 특징으로 하는 MOS형 반도체회로.

청구항 11

제1항에 있어서, 상기 각 논리회로가 인버터(I1~I5)를 구비하여 이루어지고, 상기 인버터(I1~I5)의 최초단의 입력단자와 상기 인버터(I1~I5)의 최종단의 출력단자를 접속시킴으로써 링 발진기를 구성하도록 된 것을 특징으로 하는 MOS형 반도체회로.

청구항 12

제11항에 있어서, 상기 인버터(I1~I5)중 2개의 동위상 출력신호를 수신하는 노아 및 낸드게이트(K2, K1)와, 상기 노아 및 낸드게이트(K2, K1)의 출력신호에 따라 상기 2개의 인버터로부터의 출력신호에 대응해서 출력신호를 발생시키는 파형정형회로(I11)를 더 구비하여 구성된 것을 특징으로 하는 MOS형 반도체회로.

청구항 13

제10항 또는 제12항에 있어서, 상기 파형정형회로(I11)가 게이트가 상기 낸드게이트(K1)의 출력단자에 접속된 P채널 MOS트랜지스터(P31)와, 게이트가 상기 노아게이트(K2)의 출력단자에 접속된 N채널 MOS트랜지스터(N31)를 갖추고 있고, 상기 P채널 MOS트랜지스터(P31) 및 N채널 MOS트랜지스터(N31)가 제1 및 제2전원(VDD, VSS) 사이에 직렬로 접속되어 있는 것을 특징으로 하는 MOS형 반도체회로.

청구항 14

제13항에 있어서, 상기 파형정형회로(I11)의 출력단자에 접속되어 이 파형정형회로(I11)의 출력단자의 전위를 안정화시키는 피드백수단(I12, I15)을 더 구비하여 구성된 것을 특징으로 하는 MOS형 반도체회로.

청구항 15

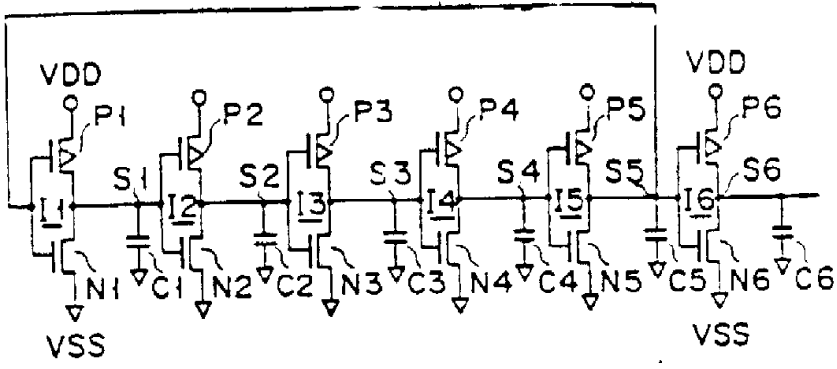
기수개의 인버터(I1~I5)를 구비하여 이루어진 링 발진기와, 상기 인버터(I1~I5)중 2개로부터 동위상 출력신호를 수신하는 노아 및 낸드게이트(K2, K1) 및, 상기 노아 및 낸드게이트(K2, K1)의 출력신호에 따라 상기 2개의 인버터로부터의 출력신호에 대응해서 출력신호를 발생시키는 파형정형회로(I11)를 구비하여 구성된 것을 특징으로 하는 MOS형 반도체회로.

청구항 16

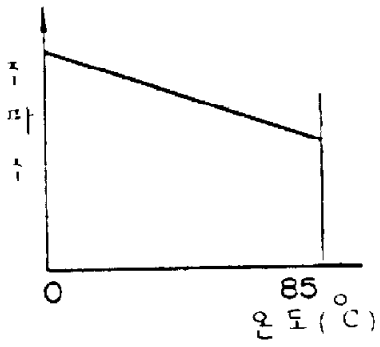
제15항에 있어서, 상기 파형정형회로(I11)가 게이트가 상기 낸드게이트(K1)의 출력단자에 접속된 P채널 MOS트랜지스터(P31)와, 게이트가 상기 노아게이트(K2)의 출력단자에 접속된 N채널 MOS트랜지스터(N31)를 갖추고 있고, 상기 P채널 MOS트랜지스터(P31) 및 N채널 MOS트랜지스터(N31)가 직렬로 접속되어 있는 것을 특징으로 하는 MOS형 반도체회로.

도면

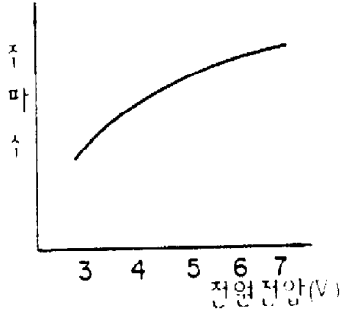
도면1



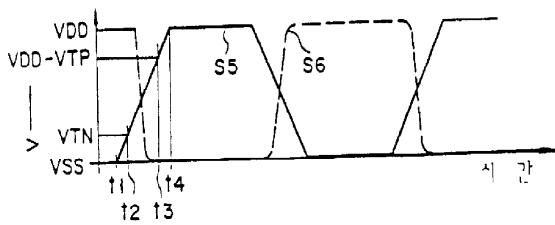
도면2



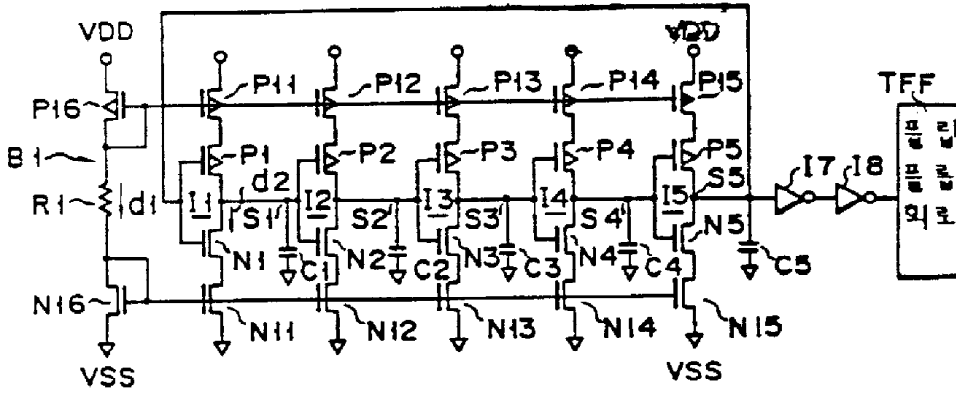
도면3



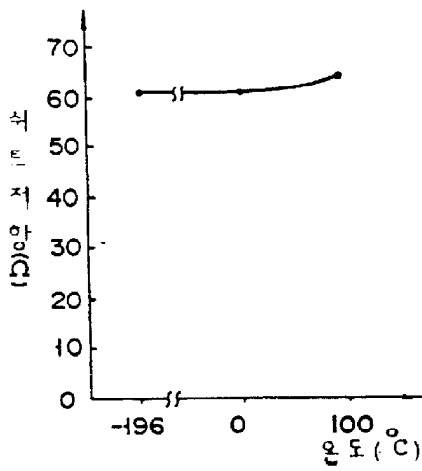
도면4



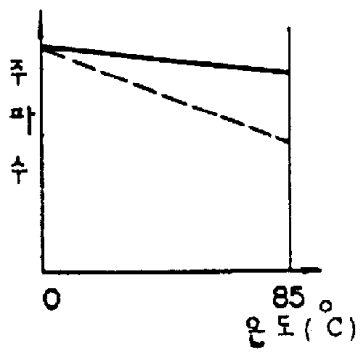
도면5



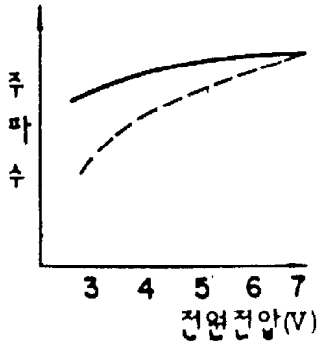
도면6



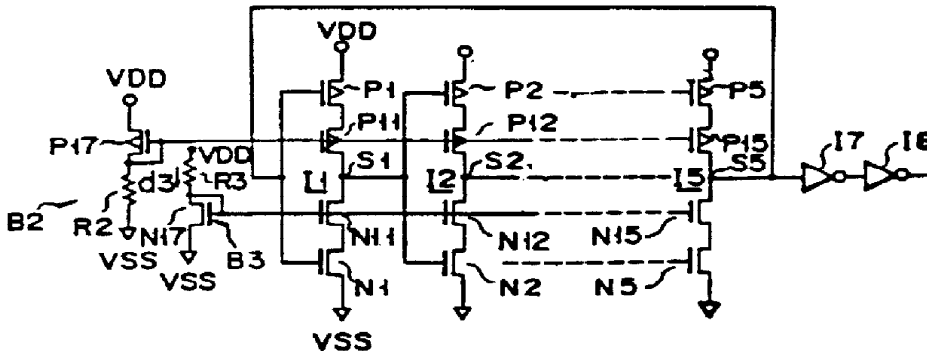
도면7



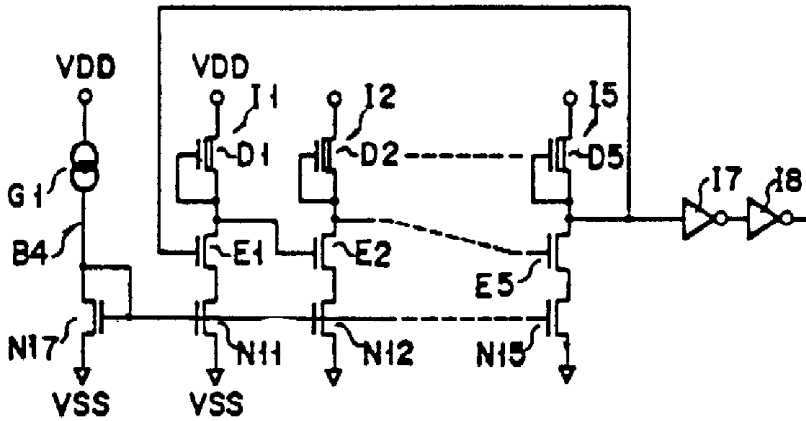
도면8



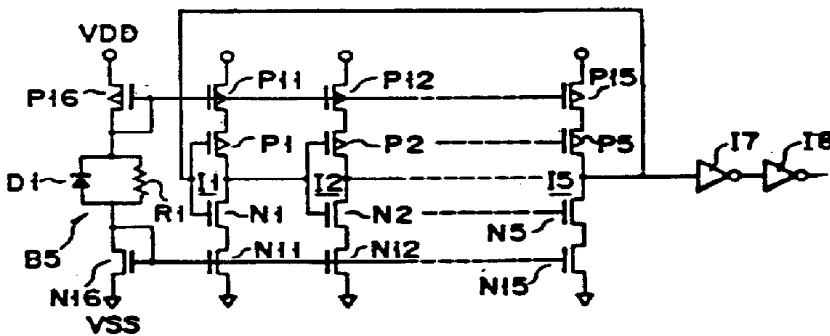
도면9



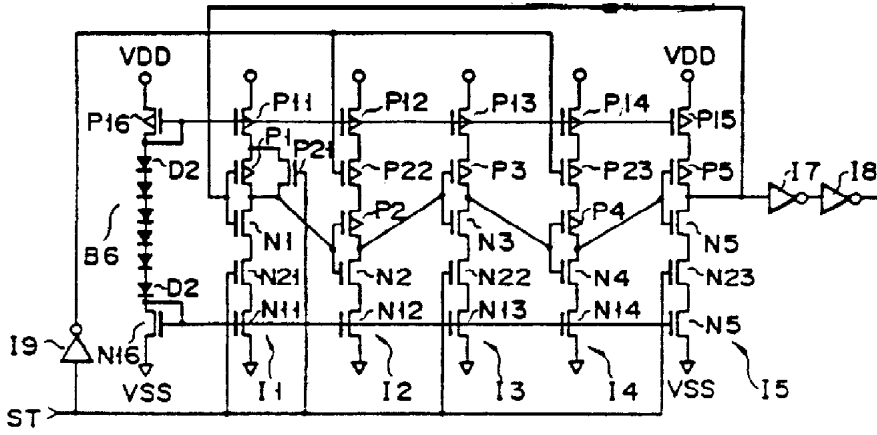
도면10



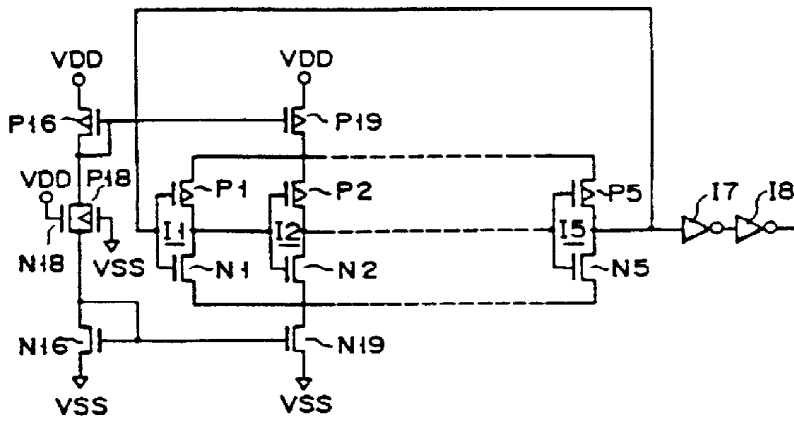
도면11



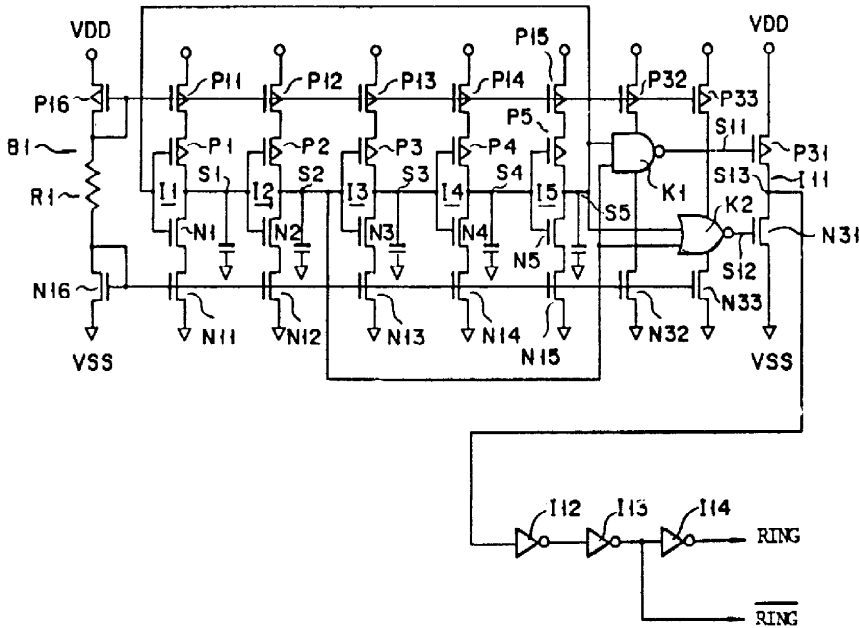
도면 12



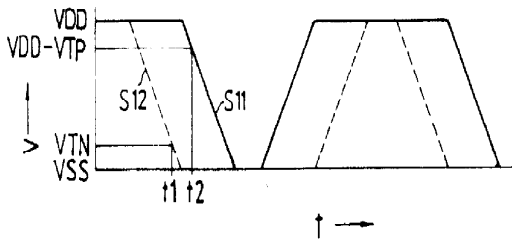
도면 13



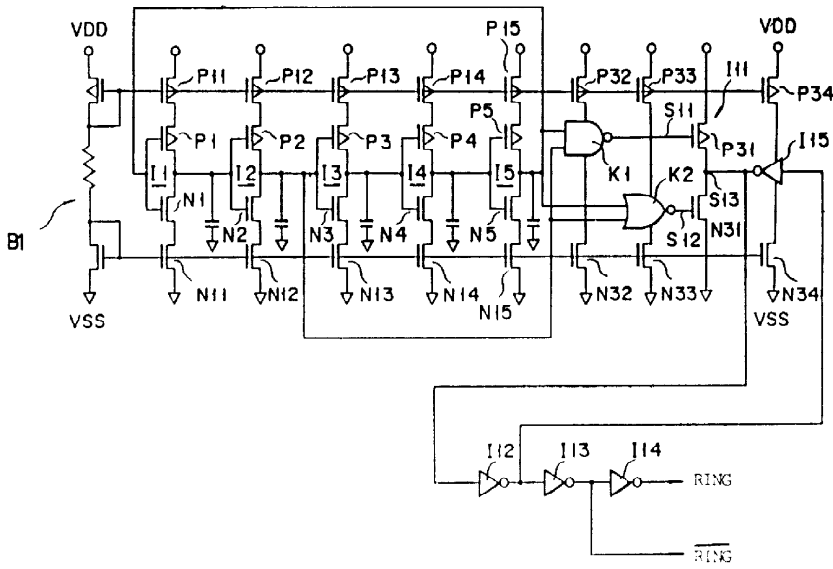
도면 14



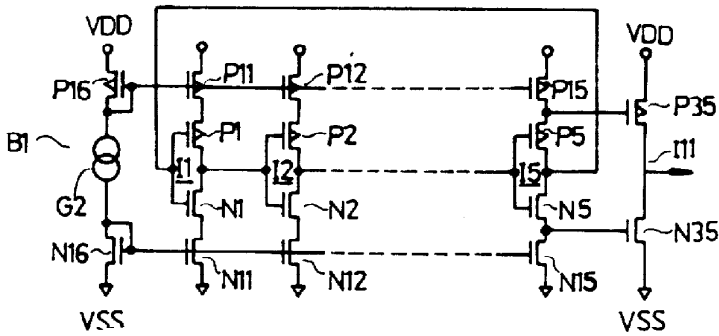
도면 15



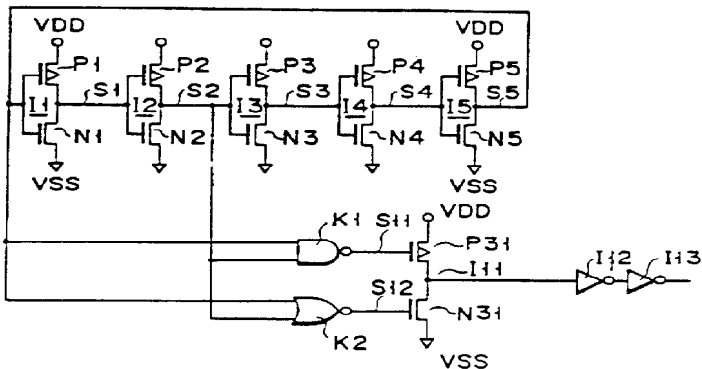
도면 16



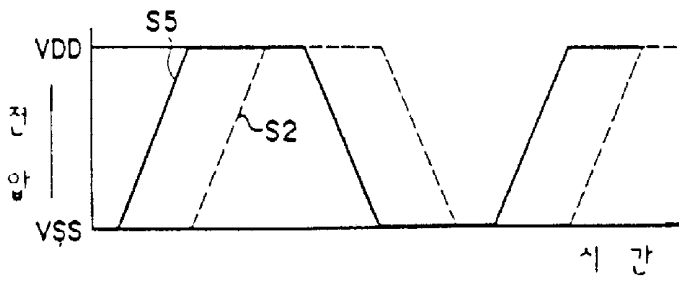
도면 17



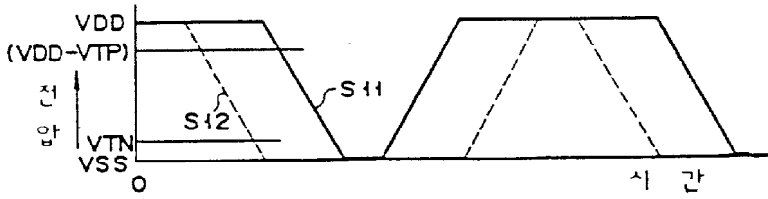
도면 18



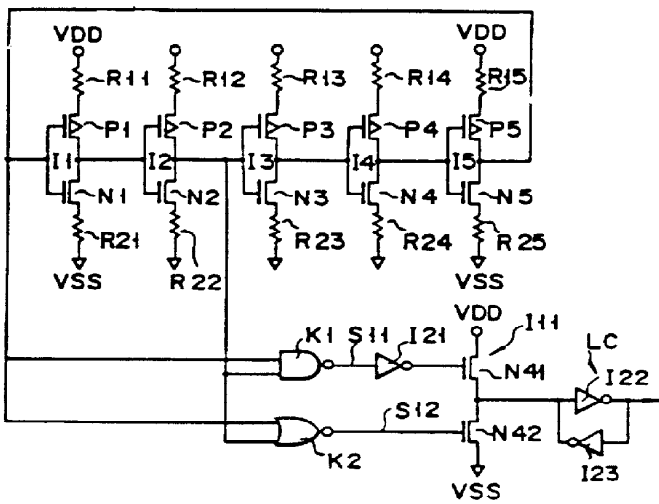
도면 19A



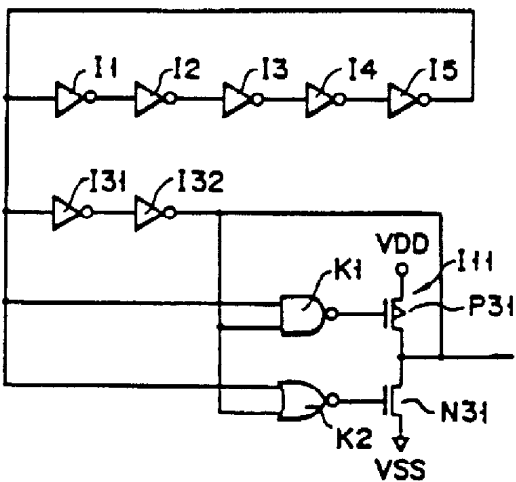
도면 19B



도면 20



도면 21



도면22

