

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-46894

(P2004-46894A)

(43) 公開日 平成16年2月12日(2004.2.12)

(51) Int.Cl.⁷

G06F 12/00

G06F 12/06

F I

G06F 12/00 5 6 4 A

G06F 12/00 5 6 0 B

G06F 12/06 5 1 5 J

テーマコード (参考)

5 B 0 6 0

審査請求 有 請求項の数 5 O L (全 20 頁)

(21) 出願番号 特願2003-314902 (P2003-314902)

(22) 出願日 平成15年9月8日 (2003.9.8)

(62) 分割の表示 特願平6-21969の分割

原出願日 平成6年1月21日 (1994.1.21)

(71) 出願人 503121103

株式会社ルネサステクノロジ

東京都千代田区丸の内二丁目4番1号

(74) 代理人 100089071

弁理士 玉村 静世

(72) 発明者 武田 博

東京都小平市上水本町5丁目20番1号

株式会社日立製作所半導体事業部内

Fターム(参考) 5B060 CA12 CC02 CC03 CC05

(54) 【発明の名称】 データ処理システム及びデータプロセッサ

(57) 【要約】

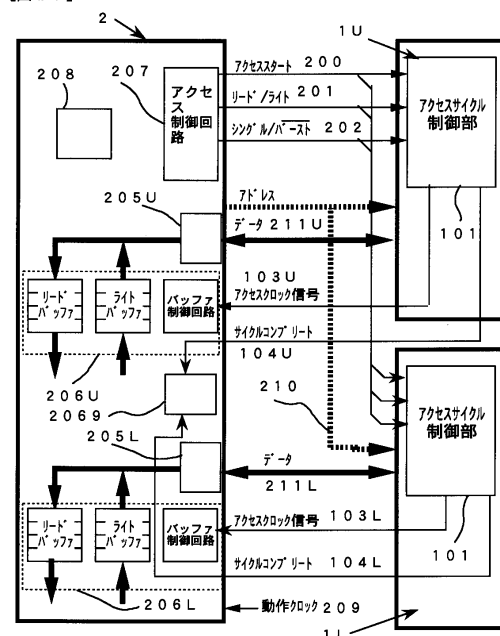
【課題】 周辺回路の持つ本来の特性を十分に発揮させてデータ転送を行得るようになる。

【解決手段】 第1の並列入出力ビット数を有する第1及び第2メモリ(206U, 206L)と、第2の並列入出力ビット数を有するデータプロセッサ(2)とを有する。データプロセッサは、アクセス制御回路(207)、第1バッファ回路(206U)、第2バッファ回路(206L)、及び第1及び第2サイクルコンプリート信号とが供給されるサイクルコンプリート制御回路(2069)を有する。第1バッファ回路は第1メモリから供給される第1アクセスクロック信号(103U)に従って動作し、第2バッファ回路は第2メモリから供給される第2アクセスクロック信号(103L)に従って動作し、サイクルコンプリート制御回路は、第1及び第2サイクルコンプリート信号の双方を受けて第1及び第2メモリ双方のメモリアクセス終了をアクセス制御回路に伝達する。

【選択図】

図13

【図13】



複数ビット単位にバッファを持つCPU

【特許請求の範囲】

【請求項 1】

第 1 の並列入出力ビット数を有する第 1 及び第 2 メモリと、第 2 の並列入出力ビット数を有するデータプロセッサとを有するデータ処理システムであって、

上記データプロセッサは、アクセス制御回路と、上記第 1 メモリに対応する第 1 バッファ回路と、上記第 2 メモリに対応する第 2 バッファ回路と、上記第 1 メモリから出力される第 1 サイクルコンプリート信号と上記第 2 メモリから出力される第 2 サイクルコンプリート信号とを供給されるサイクルコンプリート制御回路とを有し、

上記第 1 バッファ回路は上記第 1 メモリから供給される第 1 アクセスクロック信号に従って動作し、

上記第 2 バッファ回路は上記第 2 メモリから供給される第 2 アクセスクロック信号に従って動作し、

上記サイクルコンプリート制御回路は、上記第 1 サイクルコンプリート信号と上記第 2 サイクルコンプリート信号の双方を受けて、上記第 1 メモリ及び上記第 2 メモリ双方のメモリアクセス終了を上記アクセス制御回路に伝達するデータ処理システム。

【請求項 2】

請求項 1 において、

上記第 1 及び第 2 メモリに共通接続されるアドレスバスを有するデータ処理システム。

【請求項 3】

請求項 1 または 2 において、

上記第 1 メモリは上位側データバスを介して上記データプロセッサに接続され、上記第 2 メモリは下位側データバスを介して上記データプロセッサに接続されるデータ処理システム。

【請求項 4】

第 1 の並列入出力ビット数を有する第 1 及び第 2 メモリとデータバスを介して接続される第 2 の並列入出力ビット数を有するデータプロセッサであって、

アクセス制御回路と、

上記第 1 メモリに対応する第 1 バッファ回路と、

上記第 2 メモリに対応する第 2 バッファ回路と、

上記第 1 メモリから出力される第 1 サイクルコンプリート信号と上記第 2 メモリから出力される第 2 サイクルコンプリート信号とを供給されるサイクルコンプリート制御回路とを有し、

上記第 1 バッファ回路は上記第 1 メモリから供給される第 1 アクセスクロック信号に従って動作し、

上記第 2 バッファ回路は上記第 2 メモリから供給される第 2 アクセスクロック信号に従って動作し、

上記サイクルコンプリート制御回路は、上記第 1 サイクルコンプリート信号と上記第 2 サイクルコンプリート信号の双方を受けて、上記第 1 メモリ及び上記第 2 メモリ双方のメモリアクセス終了を上記アクセス制御回路に伝達するデータプロセッサ。

【請求項 5】

複数のメモリと接続されるデータプロセッサであって、互いに非同期であることを特徴とするデータプロセッサ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、命令情報やデータ情報などの各所情報をメモリや周辺回路とデータプロセッサとの間で転送制御する方法、並びにその方法を利用する周辺回路、データプロセッサ、及びデータ処理システムに係り、例えばデータプロセッサとメモリとの間でのデータ転送制御技術に適用して特に有効な技術に関する。尚、本明細書においてデータプロセッサは、CPU（セントラル・プロセッシング・ユニット）、マイクロプロセッサ、マイクロコ

10

20

30

40

50

ンピュータ、シングルチップマイクロコンピュータ、ディジタル・シグナル・プロセッサ、ダイレクト・メモリ・アクセス・コントローラなどのコントローラを総称する概念とされる。

【背景技術】

【0002】

従来のCPUは、たとえば『日立32ビットRISCプロセッサ PA/10 HD69010 ハードウェアマニュアル-暫定版- :ADJ-602-065』に記載のように、LSIの性能、価格、製造プロセス技術レベルなどの諸々の条件からチップ内に一つもしくは複数のキャッシュ・メモリを内蔵するものがある。これらのCPUは、実装ボード上に置いて多くのメモリや入出力回路(I/O)と接続され、システムを構成する。システムの動作の基準となるのは、動作クロック(システムクロック)を用いているのが一般的である。通常、システムを構成するメモリや入出力回路などの周辺回路は、それぞれ個別の機能や特性を備えているため、動作手順や応答時間若しくは動作速度もそれぞれに異なっている。言うまでもないがメモリや入出力回路が備えるCPUインタフェースも機能やタイミングなどに関し類似点はあるものの個々に相違する場合が多い。

10

【0003】

このように機能、動作速度、インタフェース仕様などの相違に対して、メモリにはメモリコントローラ、入出力回路にはI/Oコントローラが利用される。このようなコントローラの機能は大きく分けると以下の2点とされる。

【0004】

20

第1には、CPUがどのメモリや入出力回路を選択したかをメモリや入出力回路に伝え、データ転送の起動をかける機能であり、所謂チップ選択若しくはチップイネーブルの制御などとして把握することができる。例えば、アドレスやアクセスの種類を示す信号間で論理を採り、動作クロックなどを用いてパルスまたはレベル信号を形成して、選択したメモリまたは入出力回路に接続された信号のみを真(Active)にする。

【0005】

第2には、動作クロックをカウンタなどで計数してウェイトやレディーなどといった動作クロック単位でCPUにアクセス期間の延長を要求する信号を生成し、この信号をCPUが動作クロックごとに確認するという規則でCPUとメモリや周辺回路とのタイミングの違い若しくは動作速度の違いを吸収し、確実にデータ転送を実現するための機能である。この機能は所謂ウェイトステート制御機能である。

30

【発明の開示】

【発明が解決しようとする課題】

【0006】

しかしながらコントローラによる上述のウェイトステート制御には以下の問題点の有ることが本発明者によって明らかにされた。

【0007】

(1)ウェイトステートによって延長されるデータ転送時間の長さが常にシステムの動作クロック単位で決められてしまうため、メモリや周辺回路の持つ固有の性能を十分引き出すことができない。さらには、そのメモリや入出力回路について製造/販売者から提出される設計データに基づく性能を極限状態で使用してシステムを設計することは実質上不可能であり、ある程度の動作マージンを見込むため、ほとんどの場合、データ転送に無駄時間が必ず発生し、データバス上でのデータ転送効率が低下することが余儀なくされる。この問題点は、実装ボード上でシステムを構成する場合、即ちメモリや入出力回路とCPUとの接続を実装ボード上のバスで行う場合に限らず、同一半導体チップにCPUやメモリを形成する場合にもある程度あてはまる事柄である。すなわち、電気的特性ならびに回路素子の配置を考慮して最適化設計を施せば、コントローラとメモリがコントローラの動作クロックに対して無駄無くデータ転送を行なえるようにできるが、実際の回路設計では、個々の論理回路ブロックの特性を考慮して、微妙なタイミングをチップ内部で行わなければならない、必ずしも容易ではない。

40

50

【 0 0 0 8 】

(2) 上記ウェイトステート制御は、メモリや入出力回路が複数ある場合、機能(プロトコール含む)や性能の違いからそれぞれのメモリや入出力回路毎にシステム設計者が設計する必要があり、膨大な手間を要する。

【 0 0 0 9 】

(3) ウェイトステート制御のための回路部分がメモリや入出力回路の数分だけ必要になり、システムの複雑化、部品点数の増加、信号系統の負荷の増加など高速化、小型化、低価格化などに対する弊害の原因を生む。

【 0 0 1 0 】

(4) 上記(1)で説明したようにウェイトステート制御ではメモリや周辺回路の持つ固有の性能を十分引き出すことができず、動作の高速化には限界があるので、それに対処するために、全てまたはシステム効率上効果の高いメモリや入出力回路に対してウェイトステート制御無しで接続することも可能ではある。しかしながら、そのとき、メモリや入出力回路の動作速度などの特性に合わせてコントローラの動作クロックを抑えると、CPUなどのコントローラの動作クロックは高速化される傾向にあるため、システムの価値を低下させてしまう。その逆に、コントローラの動作クロックに合わせて高速なメモリや入出力回路を使用すると、システム価格の極端な上昇を招いてしまう。

【 0 0 1 1 】

このように、CPUと周辺回路とのデータ転送タイミングをCPU若しくはシステムの動作クロックから生成している従来方式では、メモリなどの周辺回路が持つ本来の性能を十分に活かすデータ転送を実現することはできない。すなわち、周辺回路の特性を基に動作クロックの整数倍のタイミングでウェイト信号をCPUに返し、確実な動作に重点をおいたウェイトステート制御機能でCPUと周辺回路を接続していたのでは、根本的な高速化への発展を望むことは難しいと本発明者は判断した。

【 0 0 1 2 】

本発明の目的は、メモリなどの周辺回路の持つ本来の特性を充分に発揮させてデータ転送を行うことができる技術を提供することにある。

【 0 0 1 3 】

本発明の別の目的は自らの特性にしたがってデータ転送のタイミングを発生する周辺回路を提供することにある。

【 0 0 1 4 】

本発明の更に別の目的は、そのような周辺回路と効率的にデータ転送を行うことができるデータプロセッサを提供することにある。

【 0 0 1 5 】

本発明のその他の目的は、メモリなどの周辺回路の持つ本来の特性を充分に発揮させてデータプロセッサとの間で高速にデータ転送を行うことができるデータ処理システムを提供することにある。

【 0 0 1 6 】

本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【 課題を解決するための手段 】

【 0 0 1 7 】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【 0 0 1 8 】

すなわち、図 1 に代表的に示されるように、周辺回路(1)としては、データプロセッサ(2)からのアクセス要求(2 0 0 , 2 0 1 , 2 0 2)に対して自ら内蔵する自励発振回路(1 0 2)の発振出力に同期して当該アクセス要求に従った内部動作を行うと共に、その内部動作に同期して上記データプロセッサに上記アクセス要求に対する応答要求(1 0 3)を出力する構成を採用する。

10

20

30

40

50

【 0 0 1 9 】

データプロセッサには、所要の周辺回路に対してアクセス要求を行うと共に、アクセス要求を行った周辺回路からの応答要求を受け、これに同期して当該アクセス要求の種別に
10 応じ外部からデータを取り込み又は外部にデータを出力する構成を採用する。

【 0 0 2 0 】

斯るデータプロセッサと周辺回路との間のデータ転送制御は、データプロセッサが周辺
回路に対してアクセス要求を行う処理と、アクセス要求された周辺回路が自ら内蔵する自
励発振回路の発振出力に同期して当該アクセス要求に従った内部動作を行う処理と、上記
アクセス要求された周辺回路がその内部動作に同期して上記データプロセッサに上記アク
セス要求に対する応答要求を出力する処理と、上記応答要求を受けた上記データプロセッ
10 サがそれに同期して上記アクセス要求の種別に
10 応じ外部からデータを取り込む処理又は外
部にデータを出力する処理を行う処理と、によって実現される。

【 0 0 2 1 】

既存のデータプロセッサや周辺回路の構成に対する付加回路を極力減らして上記手段を
実現するには、上記アクセス要求は、アクセス対象として選択されるべき周辺回路とデー
タの転送方向とを示すための情報（ 2 0 0 , 2 0 1 ）によって行い、上記応答要求は、周
辺回路の内部動作に同期して変化される一つの信号（ 1 0 3 ）によって行うことができる
。

【 0 0 2 2 】

上述の機能を有する周辺回路を比較的簡単に構成するには、図 5 に代表的に示されるよ
うに、データプロセッサからのアクセス要求に応答して内部動作のアクセスサイクル信号
（ 1 0 1 3 ）を自励発振回路（ 1 0 2 ）の発振出力に基づいて生成するサイクルタイミン
グ発生回路（ 1 0 1 0 ）と、上記アクセスサイクル信号を上記応答要求として外部に出力
する外部端子（ A C ）と、上記アクセスサイクル信号（ 1 0 3 ）に同期して内部動作タイ
ミング信号を生成する内部タイミング発生回路（ 1 0 1 1 ）と、を設けて周辺回路を構成
する。
20

【 0 0 2 3 】

その様な周辺回路をバースト読出し（複数語の連続データ読出し）可能なメモリとして
構成する場合には、図 6 に代表的に示されるように、メモリセルアレイからの連続デー
タ読出し語数を上記アクセスサイクル信号の変化に基づいて計数し、その計数結果が所定の
計数値に到達する状態を以って上記自励発振回路の発振動作を停止させる計数回路（ 1 0
30 5 ）をさらに追加すればよい。このとき、連続データ読出し語数をプログラマブルに設定
可能にするには、図 1 2 に代表的に示されるように、上記計数回路には、上記所定の計数
値を外部からプリセット可能に保持するパラメータレジスタ（ 1 0 5 1 ）を設ける。この
パラメータレジスタは、計数回路がその計数ビット数に応じた記憶段を有する場合、当該
記憶段をプリセット可能にしてこれを実質的なパラメータレジスタとして位置付けること
ができる。

【 0 0 2 4 】

上述の機能を有するデータプロセッサにおいて、内部ユニットと外部との間で転送速度
の異なるデータの受け渡しを高速若しくは効率的に行うには、図 8 に代表的に示されるよ
うに、上記応答要求に基づいて書込み及び読出し可能な非同期ポート（ 2 0 6 4 ）と、内
部の動作クロックに同期して書込み及び読出し可能な同期ポート（ 2 0 6 5 ）とを有する
バッファメモリ（ 2 0 6 ）を採用する。上記バッファメモリの同期ポートは内部ユニット
としての演算回路やレジスタなどに結合され、上記バッファメモリの非同期ポートは外部
とインタフェースされる入出力バッファ回路（ 2 0 5 ）に接続される。このとき、周辺回
路からバッファメモリに転送されたデータを逸早く内部ユニット（ 2 0 4 ）の処理に供せ
るようにするには、上記バッファメモリは、アクセス制御回路が周辺回路にアクセス要求
した連続読出しアクセス回数を上記応答要求の変化回数から検出する計数回路（ 2 0 6 6
40 ）を備え、これによる上記検出結果を、当該アクセス要求による読出しデータ取得の完了
を意味する情報（図 9 に代表的に示されたアンドゲート 2 0 6 3 R 5 の出力情報）として
50

中央処理装置に与えるようにするとよい。バッファメモリは完全デュアルポートに限定されず、ユニポートバッファメモリを時分割的に見掛け上デュアルポートとして利用してもよい。

【0025】

種類の異なる複数の周辺回路に上記データプロセッサをインタフェースさせるときは、図14に代表的に示されるように、データプロセッサにおける単一の応答要求の入力端子を夫々の周辺回路における応答要求の出力端子が共有するように、例えば論理和ゲートを介して或はワイヤード・オアでそれらを接続する。

【0026】

データバスのビット数に対して例えば1/2nビットのマルチビット入出力機能を有する相互に同一の周辺回路をデータプロセッサとインタフェースさせるには、図13に代表的に示されるように、データプロセッサは、応答要求に基づいて書込み及び読出し可能な非同期ポートと、内部の動作クロックに同期して書込み及び読出し可能な同期ポートとを有するバッファメモリ(206U, 206L)を複数組み備えればよい。

【0027】

上記した手段によれば、周辺回路はそれ固有の内蔵自励発振回路の発振出力に同期して動作され、当該周辺回路に対してアクセス要求を行うデータプロセッサの動作クロック信号とは非同期で動作される。この関係において、相互間のデータインタフェースは相互に対等なアクセス要求とそれに対する応答要求によって実現する。このことは、従来データプロセッサの基本動作クロックの整数倍に限定されていた一連のデータ転送時間を、メモリなどの周辺回路の動作速度などの特性に応じて発生される固有自励発振周波数に依存した応答要求のクロックサイクルに従って決定する。したがって、周辺回路及びデータプロセッサ夫々の特性の限界時間でのデータ転送が容易に実現される。換言すれば、従来の問題点であるところのデータプロセッサの動作クロックとの同期のために発生されていた無駄時間が軽減される。さらに、データプロセッサと個々の周辺回路とのインタフェースのためのウェイトステート制御回路なども不要になって、回路接続手段の簡素化も実現する。

【0028】

周辺回路とインタフェースされるバッファメモリをオンチップで備えるデータプロセッサは、データプロセッサの内部ユニットと外部との間のデータ転送速度の相違を内部で吸収し、アクセス要求によるリードデータやライトデータの処理に逐次的な待ち時間を要しない。

【発明の効果】

【0029】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【0030】

すなわち、周辺回路はそれ固有の内蔵自励発振回路の発振出力に同期して動作され、当該周辺回路に対してアクセス要求を行うデータプロセッサの動作クロック信号とは非同期で動作され、この関係において、相互間のデータインタフェースは相互に対等なアクセス要求とそれに対する応答要求によって実現される。したがって、データプロセッサの基本動作クロックの整数倍に限定されていた一連のデータ転送時間を、メモリなどの周辺回路の動作速度などの特性に応じて発生される固有自励発振周波数に依存した応答要求のクロックサイクルに従って決定することができる。

【0031】

上記より、周辺回路及びデータプロセッサ夫々の特性の限界時間でのデータ転送を容易に実現できる。換言すれば、従来問題とされたデータプロセッサの動作クロックとの同期のために発生されていた無駄時間を軽減できる。

【0032】

上記より、さらに、データプロセッサと個々の周辺回路とのインタフェースのためのウ

10

20

30

40

50

ェイトステート制御回路なども不要になって、回路接続手段の簡素化ができる。

【0033】

周辺回路とインタフェースされるバッファメモリをオンチップで備えるデータプロセッサは、データプロセッサの内部ユニットと外部との間のデータ転送速度の相違を内部で吸収でき、アクセス要求によるリードデータやライトデータの処理に逐次的な待ち時間を削減できる。

【0034】

種類の異なる複数の周辺回路にデータプロセッサをインタフェースさせたり、データバスのビット数に対して例えば1/2nビットのマルチビット入出力機能を有する相互に同一の周辺回路をデータプロセッサとインタフェースさせてデータ処理システムを自由に構成できる。 10

【発明を実施するための最良の形態】

【0035】

図1には本発明に係るデータプロセッサの一実施例であるCPUと本発明に係る周辺回路の一実施例であるメモリとが接続された状態で示される。

【0036】

同図に示されるメモリ1は、代表的に示されたメモリセルアレイ100とアクセスサイクル制御部101を一つの半導体基板に備え、データプロセッサ2からのアクセス要求(200, 201, 202)に対して自ら内蔵する自励発振回路102の発振出力に同期して当該アクセス要求に従ったリード動作又はライト動作を行うと共に、その内部動作に同期して上記データプロセッサ2に上記アクセス要求に対する応答要求(103)を出力する。 20

【0037】

同図に示されるCPU2は、代表的に示された演算回路204、演算回路204に一方のポートが結合されたバッファメモリ206、バッファメモリ206の他方のポートと外部のデータバス211とに結合された入出力バッファ回路205、外部のメモリ1やその他図示しない周辺回路にアクセス要求などを行うアクセス制御回路207、及び命令実行シーケンス制御回路や割り込み制御回路など中央処理装置全体の動作を制御する中央制御部208を一つの半導体基板に備え、メモリ1などの所要の周辺回路に対してアクセス要求(200、201、202)を行うと共に、アクセス要求を行った周辺回路例えばメモリ1からの応答要求(103)を受け、これに同期して当該アクセス要求の種別に応じ外部からバッファメモリ206にデータを取り込み又はバッファメモリ206から外部にデータを出力する。上記メモリ1はそれ固有の内蔵自励発振回路102の発振出力に同期して動作される。その一方においてCPU2はシステムの動作クロックに209に同期し動作される。 30

【0038】

CPU2がメモリ1に対してアクセスを行う場合、アクセスの開始をメモリ1にアクセススタート信号200によって伝える。アクセススタート信号200はメモリにとってチップ選択信号と等価な信号とみなされる。特に制限されないが、本実施例に従えば、アクセス制御回路207はチップ選択コントローラとしての機能を内蔵する。この機能は、CPU2から外部に出力されるアドレス信号の上位数ビットをデコードしてチップ選択信号を形成するデコーダに置き換えることができる。何れの場合においても、アクセス対象とすべき周辺回路に割り当てられたアドレスとCPU2で生成されるアドレスを参照するものであり、この意味において、メモリなどの周辺回路へのアクセス要求特にアクセス開始の指示は、アクセスアドレスを生成する回路部分が直接的又は間接的に行うものであり、アクセス制御回路はそのような回路部分を含めたものとして把握される。 40

【0039】

データ転送の方向はリード/ライト信号201によって指示される。リードとは、メモリ1などの周辺回路からCPU2へのデータ転送であり、ライトとは、CPU2からメモリ1などの周辺回路へのデータ転送である。本実施例に従えば、アクセスが要求された周 50

辺回路内のデータの位置指定(ポインタ)はアドレスバス210に供給されるアドレス信号で指定される。データ転送語数はシングルモード/バーストモードの指示信号(シングル/バースト信号)202によって指示される。連続データ転送モードであるバーストモードを有しないものにあつてはシングル/バースト信号202は不要である。

【0040】

アクセスサイクル制御部101は、アクセススタート信号200によってアクセス要求を検出すると、これに応答して内部動作のアクセスサイクル信号を自励発振回路102の発振出力に基づいて生成する。メモリ1の内部ではリード/ライト制御信号201によって指示されたリードまたはライト動作が上記アクセスサイクル信号に同期して行われる。さらに、メモリ1の外部に対しては、上記アクセスサイクル信号をアクセスクロック信号103としてCPU2に出力する。このアクセスクロック信号103はメモリ1にとって固有のクロック信号であり、これがCPU2からのアクセス要求に対する応答要求としてCPU2に与えられる。

【0041】

図2にはリード動作におけるメモリ1のデータ出力及びライト動作におけるCPU2のデータ出力タイミングとアクセスクロック信号103との関係が示される。図2に従えば、リード動作が指示されたメモリ1は、アクセスクロック信号103(メモリ内部においてはアクセスサイクル信号)の立ち上がりエッジに対してセットアップタイム(T_{rs})/ホールドタイム(T_{rh})を保証するタイミングを以って、所望のデータをデータバス211に出力する。CPU2はそのデータを、アクセスクロック信号103の立ち上がりタイミングでバッファメモリ206に取り込む。ライトにおいては、CPU2はアクセスクロック信号103の立ち下がり対してセットアップタイム(T_{ws})/ホールドタイム(T_{wh})を保証するようバッファメモリ206からデータバス211に出力する。メモリ1はそのデータを上記アクセスサイクル信号の立ち下がりタイミングで取り込む。尚、ライト動作においてもアクセスクロック信号103の立ち上がりを基準にすることもできる。

【0042】

図1の実施例に従えば、アクセスサイクル制御部101はバーストモードにおける連続データ転送の完了をCPU2に通知するサイクルコンプリート信号104を出力する。アクセス制御部101はアクセスクロック信号103と等価なアクセスサイクル信号によって転送語数をバーストカウンタ105で計数し、カウントアップの状態をサイクルコンプリート信号104として出力する。サイクルコンプリート信号104に代えてそれと同一の機能をCPU2側に実現してもよい。即ち、CPU2側にアクセスクロック信号103を計数するバーストカウンタを設ければよい。

【0043】

図3には上記実施例の比較例としてウェイトステート制御部を介してデータ転送を可能にするシステムのブロック図が示され、図4にはそのデータ転送タイミングが示される。

【0044】

図3においてCPU400が外部のメモリ401に対してデータ転送を行う場合、データ転送の開始がメモリ401とウェイトステート制御部402にアクセススタート信号403で通知される。アクセススタート信号403を受け取ったメモリ401は、リード/ライト制御回路404にてリード/ライト信号405に従ってリードまたはライト動作を開始する。これに同期して上記ウェイトステート制御部402もアクセススタート信号403及びリード/ライト信号405などを解釈して、CPU400と同一の動作クロック406を基にアクセス完了を示すためのウェイト信号407を発生すべく、ウェイトカウンタ408の計数を開始する。リード動作においてメモリ401はその製造/販売業者が保証する時間を経過することによってリードされるべきデータをデータバス409に出力することができる。また、ライト動作においてメモリ401はその製造/販売業者が保証する時間を経過することによってCPU400が出力したデータバス409上のデータを内部に取り込むことができる。上記製造/販売業者が保証する時間を経過したことによる

リード動作又はライト動作の完了は、ウェイトステート制御部402からCPU400にウェイト信号407の偽(False)への変化を以って、通常はCPUの動作クロック406に同期して伝えられる(ウェイト信号が非同期信号の場合はCPU側でその動作クロックに同期してウェイト信号を確認する)。例えば図4において、リード動作で時刻t1にウェイト信号が偽(ローレベル)にされると、CPUはデータバス上のデータを読み込む。ライト動作において時刻t2にウェイト信号が偽にされると、CPUはライトすべきデータがメモリに取り込まれたことを確認して当該ライトデータの出力を止める。

【0045】

図4のタイミングから明らかなように、リードサイクルとライトサイクルでは、通常、ウェイト信号を偽にする位置(タイミング)が異なる。また、バーストモードにおいてウェイト信号は、転送語数分連続してサイクリックに発生されるべきであることは当然であるが、第一語目の発生間隔と第二語目以降の発生間隔が異なる。このため、ウェイト信号407の変化をCPU400が確認すると、CPU400は一連のリードまたはライトサイクルを完了し、次のサイクル開始までアクセス制御回路410を待機させる。また、同一動作モードにおけるリードサイクルとライトサイクルの切換え時には、図4のTdisで示されるような切換え時間が必要とされる。これはクロックにて同期してウェイト信号を確認しているためである。このように、ウェイト信号を利用するデータ転送の場合には複雑な制御と余計な時間を費やさなければならない。

【0046】

上記実施の形態によれば以下の作用効果がある。

【0047】

(1) 図1及び図2に示される本実施例においては、リードサイクルとライトサイクルでは、通常、メモリなどの周辺回路が発生するアクセスサイクルの発生開始位置ならびにその変化の更新タイミングが異なるが、CPU2はこれらの複雑なタイミングを考慮することなくアクセスクロック信号103の変化に従ってデータの入出力だけに専念すればよい。すなわち、従来必要とされたウェイトステート制御部無しでも複雑なタイミングでのデータ転送が実現できる。このことは、もちろんシングル転送とバースト転送の両方に適応している。

【0048】

(2) ウェイトステート制御部を無くし、メモリなどの周辺回路から出力されるアクセスクロック信号103でデータ転送を行うので、実質的にアクセスサイクル時間の低減とバス使用効率向上が実現できる。すなわち、メモリなどの周辺回路はそれ固有の内蔵自励発振回路102の発振出力に同期して動作され、当該周辺回路に対してアクセス要求を行うCPUの動作クロック信号209とは非同期で動作され、相互間のデータインタフェースは相互に対等なアクセス要求とそれに対する応答要求によって実現する。したがって、従来CPUなどのデータプロセッサの基本動作クロックの整数倍に限定されていた一連のデータ転送時間を、メモリなどの周辺回路の動作速度などの特性に応じて発生される固有自励発振周波数に依存した応答要求のクロックサイクルに従って決定することができる。これにより、周辺回路及びCPU夫々の特性の限界時間でのデータ転送が容易に実現できる。換言すれば、従来問題とされたCPUの動作クロックとの同期のために発生されていた無駄時間を軽減できる。

【0049】

(3) CPU2は、周辺回路とインタフェースされるバッファメモリ206をオンチップで備えるから、CPU内部ユニット204と外部との間のデータ転送速度の相違を内部で吸収し、アクセス要求によるリードデータやライトデータの処理に対して逐次的な待ち時間が介在されることを防止できる。

【0050】

(4) 上記実施例によるデータ転送形式は、局所的に考えればメモリにもバス権を持たせたと拡張して考えることもできる。すなわち、データ転送の開始時は、CPU2の動作クロック209でシステムが動作していたものが、データ転送中は、メモリの動作クロッ

10

20

30

40

50

ク 1 0 3 でシステムが動作していると考えられ、動的にバス権が移動したように見える。この考え方は、将来 L S I の集積度が向上し論理機能がメモリにもマージされる時期には特に有効な意味を持つものと考えられる。

【 0 0 5 1 】

図 5 には上記メモリの一実施例ブロック図が示される。同図に示されるメモリ 1 は、特に制限されないが、スタティック・ランダム・アクセス・メモリ (S R A M) として、公知の半導体集積回路製造技術によって単結晶シリコンのような 1 個の半導体基板に形成される。

【 0 0 5 2 】

同図に示されるメモリ 1 は、ロウアドレス信号の入力端子 A R 0 ~ A R m、カラムアドレス信号の入力端子 A C 0 ~ A C n、データ入出力端子 I / O 0 ~ I / O p、チップ選択信号入力端子 C S、アウトプットイネーブル信号入力端子 O E、ライトイネーブル信号入力端子 W E、アクセスサイクル信号出力端子 A C、バースト/シングル切換信号入力端子 B / S、そして図示しない電源端子が設けられている。図 1 との対応で説明すれば、チップ選択信号入力端子 C S にはアクセススタート信号 2 0 0 が供給され、アウトプットイネーブル信号入力端子 O E にはリード/ライト信号 2 0 1 を構成するリード信号が供給され、ライトイネーブル信号入力端子 W E にはリード/ライト信号 2 0 1 を構成するライト信号が供給され、アクセスサイクル信号出力端子 A C からは上記アクセスサイクル信号 1 0 3 が出力される。

【 0 0 5 3 】

メモリセルアレイ 1 0 0 にはスタティック型メモリセルがマトリクス配置されており、メモリセルの選択端子に結合されたワード線はロウアドレスデコード 1 1 0 の出力に結合される。ロウアドレスデコード 1 1 0 は外部から供給されるロウアドレス信号を内部相補アドレス信号に変換して出力するロウアドレスバッファ 1 1 1 の出力を受け、これをデコードすることによって、ロウアドレス信号に対応する 1 本のワード線を選択レベルに駆動する。メモリセルのデータ入出力端子に結合されたビット線はカラムスイッチ回路 1 1 2 を介してコモンデータ線 1 1 3 に共通接続される。コモンデータ線 1 1 3 に導通されるべきビット線の選択はカラムアドレスデコード 1 1 4 の出力を受ける上記カラムスイッチ回路 1 1 2 が行う。カラムアドレスデコード 1 1 4 は外部から供給されるカラムアドレス信号を内部相補アドレス信号に変換して出力するカラムアドレスバッファ 1 1 5 の出力を受け、これをデコードすることによって、カラムスイッチ回路 1 1 2 によるビット線の選択動作を行う。1 1 6 はメモリセルからのコモンデータ線 1 1 3 に読出されたデータを増幅して外部に出力するセンスアンプ及び出力バッファ回路であり、その入力のコモンデータ線 1 1 3 に、出力はデータ入出力端子 I / O 0 ~ I / O p に結合される。1 1 7 はデータ入出力端子 I / O 0 ~ I / O p に与えられた書込みデータを入力する入力バッファであり、その出力はコモンデータ線 1 1 3 に結合される。1 1 8 はデータラッチ回路若しくはコモンデータ線のイコライズ又はプリチャージのためのデータコントロール回路である。

【 0 0 5 4 】

アクセス制御部 1 0 1 は、サイクルタイミング発生回路 1 0 1 0 と、内部タイミング発生回路 1 0 1 1 を備える。内部タイミング発生回路 1 0 1 1 は上記入力端子 C S , O E , W E , B / S に結合され、アクセススタートの検出、リード/ライト動作の判定、バーストモード/シングルモードの判定などを行って内部動作モードを決定し、サイクルタイミング発生回路 1 0 1 0 から供給されるアクセスサイクル信号に同期してその動作モードに対応した内部動作タイミング信号を生成する。サイクルタイミング発生回路 1 0 1 0 は C S 端子から与えられるアクセススタートの指示に基づいて上記内部タイミング発生回路 1 0 1 1 から与えられる信号に同期して自励発振回路 1 0 2 の発振出力に基づいてサイクルタイミング信号 1 0 1 3 及びアクセスクロック信号 1 0 3 を生成する。尚、遅延回路 1 0 1 4 は自励発振出力の位相調整用に用いられ、遅延回路 1 0 1 5 は外部に出力されたアクセスクロック信号 1 0 3 とサイクルタイミング信号 1 0 1 3 との位相合わせ用に用いられる。

10

20

30

40

50

【 0 0 5 5 】

図 6 には上記サイクルタイミング発生回路 1 0 1 0 の詳細な一例回路が示される。自励発振回路 1 0 2 は、特に制限されないが、2 入力型アンドゲート 1 0 2 0 と当該アンドゲート 1 0 2 0 の出力をその一方の入力に帰還させるインバータアンプ 1 0 2 1 から成る帰還ループを有し、その発振及び停止を制御するトリガ回路がアンドゲート 1 0 2 0 の他方に入力に接続されて構成される。トリガ回路は、初期状態において出力がハイレベルにされるセクタ 1 0 2 2 の出力が入力されると共にオアゲート 1 0 2 3 の出力が帰還入力されるアンドゲート 1 0 2 4 を備える。上記オアゲート 1 0 2 3 はそのアンドゲート 1 0 2 4 の出力と上記内部タイミング発生回路 1 0 1 1 からリード或はライト動作の開始に同期して供給されるワンショットパルスのようなトリガ信号 1 0 2 5 とを受けて、その出力を
10 アンドゲート 1 0 2 0 に供給する。尚、1 0 2 6 ~ 1 0 2 8 で示されるものは波形整形素子（若しくは遅延素子）である。この自励発振回路 1 0 2 は初期状態においてローレベルを出力する。この状態でトリガ信号 1 0 2 5 がワンショットパルスで変化されると、アンドゲート 1 0 2 0 とインバータアンプ 1 0 2 1 で構成される帰還ループに発振を生ずる。この発振状態はセクタ 1 0 2 2 の出力がローレベルにパルス変化されてオアゲート 1 0 2 3 の出力がローレベルにされるまで継続される。

【 0 0 5 6 】

図 6 の構成においては、発振の停止を制御するために、バーストカウンタ 1 0 5 及びセレクト 1 0 2 2 が利用される。セクタ 1 0 2 2 は B / S 信号若しくはそれと等価な内部信号が供給され、シングルモードにおいて波形整形素子 1 0 2 7 の出力を選択する。したがって、シングルモードにおいて自励発振回路 1 0 2 はアクセスクロック信号 1 0 3 及び
20 サイクルタイミング信号 1 0 1 3 をその 1 サイクル分変化させて発振動作を停止する。バーストモードではバーストカウンタ 1 0 5 の出力を選択する。バーストカウンタ 1 0 5 は、メモリセルアレイからの連続データ読出し語数を波形整形素子 1 0 2 7 の出力パルス変化に基づいて計数し、その計数結果が所定の計数値（目的とするバースト転送語数）に到達する状態を以ってハイレベルからローレベルに変化するワンショットパルスを出力する。したがって、バーストモードにおける連続読出し語数分のアクセスサイクルが発生されると、自励発振回路 1 0 2 の発振動作を停止させる。

【 0 0 5 7 】

図 7 には図 6 のメモリの一例動作タイミングチャートが示される。同図に示されるようにリードサイクルにおいて読出しデータが出力されるタイミングに同期してアクセスサイクル信号出力端子 A C が変化され、また、ライトサイクルにおいてアクセスサイクル信号出力端子 A C が変化されタイミングに同期して C P U から書込みデータが供給される。
30

【 0 0 5 8 】

図 8 には上記 C P U 2 の詳細な一実施例ブロック図が示される。同図に示される C P U 2 は、特に制限されないが、公知の半導体集積回路製造技術によって単結晶シリコンのような 1 個の半導体基板に形成される。図 1 と同一の回路ブロックには同一符合を付してその詳細な説明を省略する。ここではバッファメモリ 2 0 6 について詳細に説明する。

【 0 0 5 9 】

バッファメモリ 2 0 6 は F I F O（ファーストイン・ファーストアウト）形式のリード
40 バッファ 2 0 6 1、ライトバッファ 2 0 6 2、及びバッファ制御回路 2 0 6 3 を有する。リードバッファ 2 0 6 1 は C P U によるリード方向にデータ転送専用とされ、ライトバッファ 2 0 6 2 は C P U によるライト方向のデータ転送専用とされる。双方のバッファ 2 0 6 1、2 0 6 2 は上記アクセスクロック信号 1 0 3 で与えられるメモリ 1 からの応答要求に基づいて制御される非同期ポート 2 0 6 4 と、内部の動作クロック 2 0 9 に同期して制御される同期ポート 2 0 6 5 とを有する。バッファ制御回路 2 0 6 3 は非同期ポート 2 0 6 4 を制御するための非同期制御部 2 0 6 3 A と、同期ポート 2 0 6 5 を制御するための同期制御部 2 0 6 3 B を有する。非同期ポート 2 0 6 4 は上記入出力バッファ回路 2 0 5 に結合され、同期ポート 2 0 6 5 は演算回路 2 0 4 に含まれるレジスタ群やキャッシュメモリなどにインタフェース可能にされる。
50

【 0 0 6 0 】

非同期制御部 2 0 6 3 A は、アクセスクロック信号 1 0 3 の上記変化に同期してライトバッファ 2 0 6 2 にリード動作を指示する非同期リード信号 (ASync Read Signal) とそのときの非同期リードアドレス (ASync Read Pointer) を供給し、また、アクセスクロック信号 1 0 3 の上記変化に同期してリードバッファ 2 0 6 1 にライト動作を指示する非同期ライト信号 (ASync Write Signal) とそのときの非同期ライトアドレス (ASync Write Pointer) を供給する。アクセスクロック信号 1 0 3 の変化に同期してリードバッファ 2 0 6 1 をアクセスすべきかライトバッファ 2 0 6 2 をアクセスすべきかは、そのアクセスクロック信号 1 0 3 に対応される C P U 2 のアクセス要求がリード或はライトの何れであることを示す情報を中央制御部 2 0 8 から受け取ることによって判定する。

10

【 0 0 6 1 】

同期制御部 2 0 6 3 B は、中央制御部 2 0 8 における命令実行制御の一環として動作される。例えばロード命令やストア命令或はムーブ命令のようなデータ転送命令などの実行に伴ってメモリリード動作を必要とするときは、動作クロック 2 0 9 に同期してリードバッファ 2 0 6 1 にリード動作を指示する同期リード信号 (Sync Read Signal) とそのときの同期リードアドレス (Sync Read Pointer) を供給し、また、データ転送命令などの実行に伴ってメモリライト動作を必要とするときは、動作クロック 2 0 9 に同期してライトバッファ 2 0 6 2 にライト動作を指示する同期ライト信号 (Sync Write Signal) とそのときの同期ライトアドレス (Sync Write Pointer) を供給する。リードバッファ 2 0 6 1 をアクセスすべきかライトバッファ 2 0 6 2 をアクセスすべきかは、命令実行に伴って中央制御部 2 0 8 から出力される命令解読信号が与えられることによって決定される。

20

【 0 0 6 2 】

図 8 の例ではメモリ 1 は上記サイクルコンプリート信号 1 0 4 の出力機能を有していない。それと同等の機能は非同期制御部 2 0 6 3 A に内蔵されるバーストカウンタ 2 0 6 6 が行って、バースト転送サイクル終了をアクセス制御回路 2 0 7 に与える。本実施例の C P U 2 においてバーストカウンタ 2 0 6 6 のカウントアップ信号はリードバッファ 2 0 6 1 への書込み完了及びライトバッファ 2 0 6 2 からの読出し完了を中央制御部 2 0 8 へ通知することにも利用される。図 9 に基づいてこれを説明する。

【 0 0 6 3 】

図 9 にはバッファ制御回路 2 0 6 3 におけるリードバッファ 2 0 6 1 に関する回路部分の詳細な一例ブロック図が示される。リードバッファ 2 0 6 1 の同期リードアドレスはアップカウンタ 2 0 6 3 R 1 が生成し、リードバッファ 2 0 6 1 の非同期ライトアドレスはアップカウンタ 2 0 6 3 R 2 が生成する。アップカウンタ 2 0 6 3 R 2 のアップカウント動作はアクセスクロック信号 1 0 3 がハイレベルに変化され且つ中央制御部 2 0 8 からのリードバッファライト信号が活性化されたタイミングに同期して行われる。アップカウンタ 2 0 6 3 R 1 のアップカウント動作は中央制御部 2 0 8 からのリードバッファリード信号が活性化されると動作クロック 2 0 9 に同期して行われる。双方のアップカウンタ 2 0 6 3 R 1 , 2 0 6 3 R 2 はアンドゲート 2 0 6 3 R 3 のハイレベル出力によって 0 にクリアされる。クリアされるタイミングはアップカウンタ 2 0 6 3 R 1 の出力値が 0 でない場合に双方のアップカウンタ 2 0 6 3 R 1 , 2 0 6 3 R 2 の出力が一致されたことが一致検出回路 2 0 6 3 R 6 で検出されたときである。アップカウンタ 2 0 6 3 R 1 の出力値が 0 であることは、0 検出回路 2 0 6 3 R 4 が検出する。アップカウンタ 2 0 6 3 R 1 の出力値が 0 である場合、0 検出回路 2 0 6 3 R 4 による 0 検出結果はリードバッファ 2 0 6 1 の空を意味し、これが中央制御部 2 0 8 に与えられる。中央制御部 2 0 8 は、その状態を検出すると、メモリ 1 からのリードデータが全て演算回路 2 0 4 に渡ったことを確認できる。図 8 に示されるバーストカウンタ 2 0 6 6 は連続データ転送語数が転送すべき語数に到達したか否かを検出する。到達したことがバーストカウンタ 2 0 6 6 によって検出されると、当該バーストカウンタ 2 0 6 6 の出力は所定期間ハイレベルに変化される。メモリ 1 に対するリード動作において上記バーストカウンタ 2 0 6 6 の上記ハイレベルへの変化はリード完了を意味する信号としてアンドゲート 2 0 6 3 R 5 に供給される。アンドゲ

30

40

50

ト 2 0 6 3 R 5 は、0 検出回路 2 0 3 R 6 によってアップカウンタ 2 0 6 3 R 1 の出力が 0 出ないときに上記リード完了を意味する信号を受けると、リードバッファ 2 0 6 1 へのリード完了を検出して、これを中央制御部 2 0 8 に渡す。中央制御部 2 0 8 は、リードバッファ 2 0 6 1 へのリード完了を検出すると、メモリ 1 からのリードデータが全てリードバッファ 2 0 6 1 に貯えられたことを確認でき、これによって、中央制御部 2 0 8 はリードデータをリードバッファ 2 0 6 1 から読出して内部演算処理を即座に開始させることができる。

【 0 0 6 4 】

図 1 0 にはバッファ制御回路 2 0 6 3 におけるライトバッファ 2 0 6 2 に関する回路部分の詳細な一例ブロック図が示される。ライトバッファ 2 0 6 2 の同期ライトアドレスはアップカウンタ 2 0 6 3 W 2 が生成し、ライトバッファ 2 0 6 2 の非同期リードアドレスはアップカウンタ 2 0 6 3 W 1 が生成する。アップカウンタ 2 0 6 3 W 1 のアップカウント動作はアクセスクロック信号 1 0 3 がハイレベルに変化され且つ中央制御部 2 0 8 からのライトバッファリード信号が活性化されたタイミングに同期して行われる。アップカウンタ 2 0 6 3 W 2 のアップカウント動作は中央制御部 2 0 8 からのライトバッファライト信号が活性化されると動作クロック 2 0 9 に同期して行われる。双方のアップカウンタ 2 0 6 3 W 1 , 2 0 6 3 W 2 はアンドゲート 2 0 6 3 W 3 のハイレベル出力によって 0 にクリアされる。クリアされるタイミングはアップカウンタ 2 0 6 3 W 1 の出力値が 0 でない場合に双方のアップカウンタ 2 0 6 3 W 1 , 2 0 6 3 W 2 の出力が一致されたことが一致検出回路 2 0 6 3 W 6 で検出されたときである。アップカウンタ 2 0 6 3 W 1 の出力値が 0 であることは、0 検出回路 2 0 6 3 W 4 が検出する。アップカウンタ 2 0 6 3 W 1 の出力値が 0 である場合、0 検出回路 2 0 6 3 W 4 による 0 検出結果はライトバッファ 2 0 6 2 の空を意味し、これによって中央制御部 2 0 8 はライトバッファ 2 0 6 2 の空の状態を認識する。メモリ 1 に対するライト動作において上記バーストカウンタ 2 0 6 6 の上記ハイレベルへの変化はライト動作完了を意味する信号としてアンドゲート 2 0 6 3 W 5 に供給される。アンドゲート 2 0 6 3 W 5 は、0 検出回路 2 0 6 3 W 4 によってアップカウンタ 2 0 6 3 W 1 の出力が 0 でないときに上記ライト完了を意味する信号を受けると、ライトバッファ 2 0 6 2 へのライト動作完了を検出して、これを中央制御部 2 0 8 に渡す。中央制御部 2 0 8 は、ライトバッファ 2 0 6 2 へのライト完了を検出すると、当該メモリライトアクセスに対するメモリからの応答要求に応ずるメモリ 1 へのライトデータが全てライトバッファ 2 0 6 2 から出力されたことを確認できる。

【 0 0 6 5 】

図 1 1 には図 8 に示されるバッファメモリ 2 0 6 とは別のバッファメモリが示される。同図に示されるバッファメモリ 2 0 6 はリードバッファ 2 0 6 1 とライトバッファ 2 0 6 2 とに共用されるリード/ライトバッファ 2 0 6 7 を有し、バッファ制御回路 2 0 6 3 にはそのリード/ライトバッファ 2 0 6 7 をリードバッファとして動作させるかライトバッファとして動作させるかの情報が設定されるリード/ライトバッファイネーブルフラグ 2 0 6 8 が設けられ、中央制御部 2 0 8 からの指示に従ってその動作が制御される。その他の点は図 8 と同様であり、それと同一回路ブロックには同一符合を付してその詳細な説明を省略する。これによってチップ面積の低減に寄与する。

【 0 0 6 6 】

図 1 2 には図 5 のメモリに対して制御パラメータレジスタを有する実施例の要部が示される。すなわち、図 6 のバーストカウンタ 1 0 5 によって計数すべき連続データ転送語数の目的転送語数(カウントアップする転送語数)をプリセット可能に保持するパラメータレジスタ 1 0 5 1 を有する。このパラメータレジスタ 1 0 5 1 は C P U 2 の中央制御部 2 0 8 の制御によってプログラマブルに所望のパラメータ(バースト転送語数を特定する情報)が転送される。その他の構成は図 5 及び図 6 と同様であり、それと同一回路ブロックには同一符合を付してその詳細な説明を省略する。これによってデータ転送の自由度若しくはその制御の柔軟性が増す。尚、パラメータレジスタ 1 0 5 1 は、バーストカウンタ 1 0 5 がその計数ビット数に応じた記憶段を有する場合、当該記憶段をプリセット可能に構

10

20

30

40

50

成してこれをパラメータレジスタとすることができる。

【 0 0 6 7 】

図 1 3 にはデータバスのビット数に対して例えば $1/2^n$ ビットのマルチビット入出力機能を有する相互に同一のメモリを C P U 2 とインタフェースさせるときの実施例が示される。この実施例において C P U 2 は、バッファメモリ 2 0 6 及び入出力バッファ回路 2 0 5 を複数組み備える。例えば、データバス 2 1 1 が 3 2 ビットでメモリ 1 の並列入出力ビット数が 1 6 ビットのとき、1 6 ビットの上位側データバス 2 1 1 U は入出力バッファ回路 2 0 5 U を介して一方のメモリ 1 U に、1 6 ビットの下位側データバス 2 1 1 L は入出力バッファ回路 2 0 5 L を介して他方のメモリ 1 L に結合される。アクセススタート信号 2 0 0、リード/ライト信号 2 0 1、シングル/バースト信号 2 0 2、アドレスバス 2 1 0 はメモリ 1 U 及び 1 L に共通接続される。アクセスクロック信号 1 0 3 U はバッファメモリ 2 0 6 U に、アクセスクロック信号 1 0 3 L はバッファメモリ 2 0 6 L に夫々各別に接続される。夫々のメモリ 1 U、1 L から出力されるサイクルコンプリート信号 1 0 4 U、1 0 4 L はサイクルコンプリート制御回路 2 0 6 9 に供給され、双方のメモリアクセス終了をアクセス制御回路 2 0 7 に伝達する。

10

【 0 0 6 8 】

実際のメモリの並列入出力ビット数は、 $\times 4$ 、 $\times 8$ 、 $\times 9$ 、 $\times 16$ 、 $\times 18$ ビットが主流であり、C P U の並列データ入出力ビット数は、 $\times 16$ 、 $\times 32$ 、 $\times 36$ 、 $\times 64$ 、 $\times 72$ ビットなどとされているから、それに対応してメモリと C P U をインタフェースさせるには、図 1 3 で示したように、複数ビット毎にバッファメモリを設けることが必要かつ

20

【 0 0 6 9 】

図 1 4 には異なる特性/機能を有するメモリを混在させてシステムを構成する場合の実施例が示される。この場合には、細かい端子機能や接続条件を無視すれば、基本的にはアクセスクロックに合わせてデータ転送が可能であるため、メモリ 1 - 1 のアクセスクロック信号 1 0 3 - 1 とメモリ 1 - 2 のアクセスクロック信号 1 0 3 - 2 が C P U 2 の外部でオア (O R) ゲート 3 0 0 を介してバッファ制御回路 2 0 6 3 に結合される。同様に、メモリ 1 - 1 のアクセスコンプリート信号 1 0 4 - 1 とメモリ 1 - 2 のアクセスコンプリート信号 1 0 4 - 2 も C P U 2 の外部でオアゲート 3 0 1 を介してアクセス制御回路 2 0 7 に結合される。その他のアクセススタート信号 2 0 0、リード/ライト信号 2 0 1、シングル/バースト信号 2 0 2、アドレスバス 2 1 0、データバス 2 1 1 などはメモリ 1 - 1、1 - 2 に共通接続される。これによって、異なる特性/機能を有するメモリなどの周辺回路を混在させてシステムを構成することができる。

30

【 0 0 7 0 】

図 1 5 には上記実施例で説明した C P U 2 やメモリ 1 を用いたデータ処理システムの全体的な一実施例が示される。図 1 5 において上記実施例のメモリ (R A M) 1 と同様のプロトコルでデータ転送可能にされた周辺回路として、メモリ (R O M) 3、ハードディスク装置 4 1 及びフレキシブルディスク装置 4 2 とインタフェースされるファイル制御装置 4、フレームバッファ 5 1 に対する描画制御及び描画された画像データをモニタ 5 2 に表示させる表示制御を行う表示制御装置 5、プリンタ 6 1 やキーボード 6 2 とインタフェースされるパラレル/シリアルポート 6、及びコミュニケーション装置 1 0 が設けられる。それらの周辺回路は自らの動作特性に応じた固有の自励発振回路 1 0 2 を備えて、上記メモリ同様に C P U 2 からのアクセス要求に対して応答要求を返すことでデータ転送を実現する。図 1 5 において 9 はシステム監視装置であり、ウォッチドッグタイマによってシステム異常を監視したり電源電圧の状態を監視したりする。高速データ転送装置 8 は例えばダイレクト・メモリ・アクセス・コントローラのような回路であって、C P U 2 とのバス権調停はバス権監視装置 7 が行う。高速データ転送装置も C P U 2 と同様のデータ転送制御を行う。2 1 は C P U 2 に固有の外付けキャッシュメモリであり、C P U 2 の内蔵キャッシュメモリ 2 2 に対して 2 次キャッシュメモリとされる。図 1 5 のデータ処理システムは、アドレス及びデータバス 1 1 やコントロールバス 1 2 が形成された実装基板に構成

40

50

されている。

【0071】

図15のデータ処理システムにおいて、メモリや入出力回路に対するウェイトステート制御を要しないため、そのためのメモリコントローラや入出力コントローラは実装基板上に設けられていない。

【0072】

以上本発明者によってなされた発明を実施例に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【0073】

例えば、上記実施例では周辺回路としてRAMのようなメモリに適用した場合について説明したが、周辺回路はそれに限定されず、図15に示される周辺回路はもとよりそれ以外の各種周辺回路に適用できる。また、そのような周辺回路に適用されるものはCPUやダイレクト・メモリ・アクセス・コントローラに限定されず、マイクロプロセッサ、マイクロコンピュータ、シングルチップマイクロコンピュータ、ディジタル・シグナル・プロセッサなどの各種データプロセッサに適用することができる。

【0074】

また、バッファメモリは上記実施例のような完全ディアルポートバッファに限定されず、ユニポートのバッファメモリを時分割でディアルポートに見せかけて用いることも可能である。また、データプロセッサのチップ面積の観点からはバッファメモリの深さ（記憶容量）も重要であるが、あまり機能を落とすとバスの速度向上に貢献しなくなるため、この項目に関しては、コストパフォーマンスからのトレードオフを考慮して決定される設計的な事項である。なお、バッファメモリの深さは、1度のデータ転送で扱う語数に限定すること（バースト転送での語数の最大値など）がバッファ制御回路の簡略化に役立つと考えられる。

【図面の簡単な説明】

【0075】

【図1】本発明に係るデータプロセッサの一実施例であるCPUと本発明に係る周辺回路の一実施例であるメモリとを示すシステムブロック図である。

【図2】図1のシステムにおけるデータ転送動作の一例タイミングチャートである。

【図3】図1の上記実施例との比較例としてウェイトステート制御部を介してデータ転送を可能にするシステムのブロック図である。

【図4】図3のデータ転送動作タイミングチャートである。

【図5】図1のメモリの一実施例ブロック図である。

【図6】図5のサイクルタイミング発生回路の詳細な一例回路図である。

【図7】図6のメモリの一例動作タイミングチャートである。

【図8】図1のCPUの詳細な一実施例ブロック図である。

【図9】図8のバッファ制御回路におけるリードバッファに関する回路部分の詳細な一例ブロック図である。

【図10】図8のバッファ制御回路におけるライトバッファに関する回路部分の詳細な一例ブロック図である。

【図11】リードバッファとライトバッファを共用する形式のバッファメモリを持つCPUの一実施例ブロック図である。

【図12】バーストカウンタにパラメータレジスタを設けたメモリの一実施例ブロック図である。

【図13】データバスのビット数に対して例えば1/2nビットのマルチビット入出力機能を有する相互に同一のメモリをCPUとインタフェースさせるときの一実施例ブロック図である。

【図14】異なる特性/機能を有するメモリを混在させてシステムを構成する場合の一実施例ブロック図である。

10

20

30

40

50

【図 15】データ処理システムの全体的な一実施例ブロック図である。

【符号の説明】

【0076】

1 メモリ

1 U, 1 L メモリ

1 0 0 メモリセルアレイ

1 - 1, 1 - 2 メモリ

1 0 1 アクセスサイクル制御部

1 0 1 0 サイクルタイミング発生回路

1 0 1 1 内部タイミング発生回路

1 0 1 3 サイクルタイミング信号

1 0 2 自励発振回路

1 0 3 アクセスクロック信号

1 0 3 U, 1 0 3 L アクセスクロック信号

1 0 3 - 1, 1 0 3 - 2 アクセスクロック信号

1 0 5 バーストカウンタ

1 0 5 1 パラメータレジスタ

2 CPU

2 0 0 アクセススタート信号

2 0 4 演算回路

2 0 5 入出力バッファ回路

2 0 5 U, 2 0 5 L 入出力バッファ回路

2 0 6 バッファメモリ

2 0 6 U, 2 0 6 L バッファメモリ

2 0 6 1 リードバッファ

2 0 6 2 ライトバッファ

2 0 6 3 バッファ制御回路

2 0 6 3 A 非同期制御部

2 0 6 3 B 同期制御部

2 0 6 4 非同期ポート

2 0 6 5 同期ポート

2 0 6 6 バーストカウンタ

2 0 7 アクセス制御回路

2 0 8 中央制御部

2 0 9 動作クロック信号

2 1 0 アドレスバス

2 1 1 データバス

2 1 1 U, 2 1 1 L データバス

3 0 0, 3 0 1 オアゲート

3 メモリ

4 ファイル制御装置

5 表示制御装置

6 パラレルシリアルポート

1 0 コミュニケーション装置

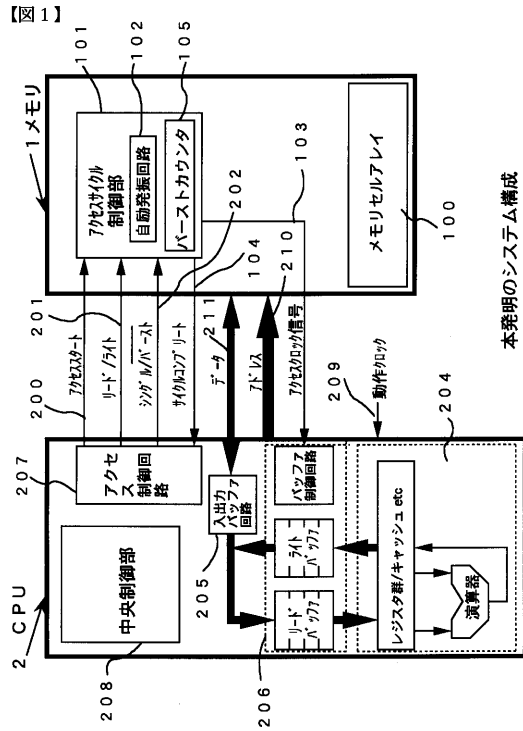
10

20

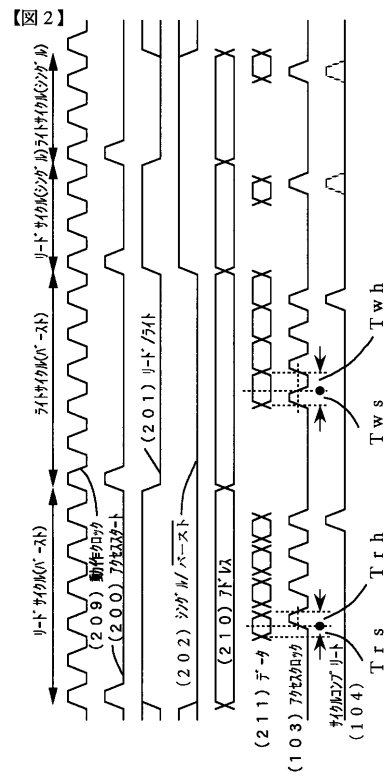
30

40

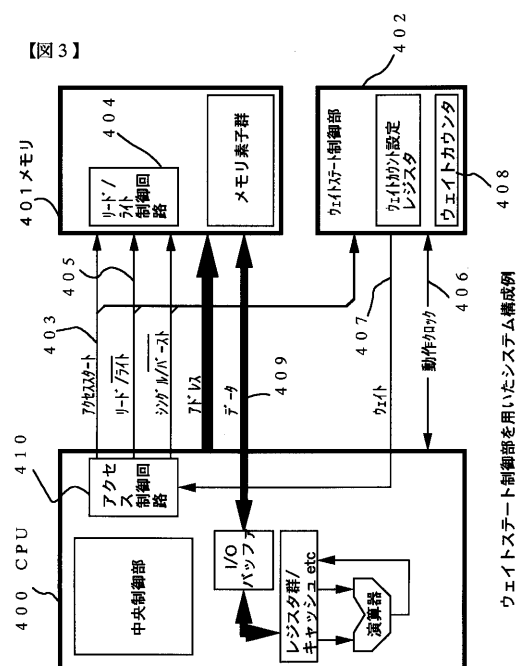
【図 1】



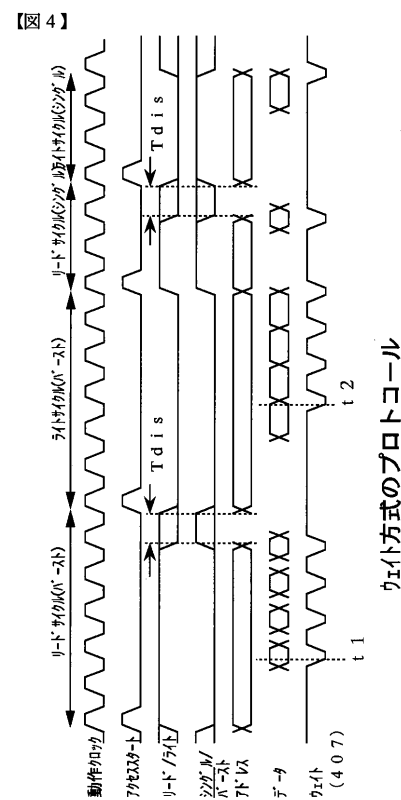
【図 2】



【図 3】

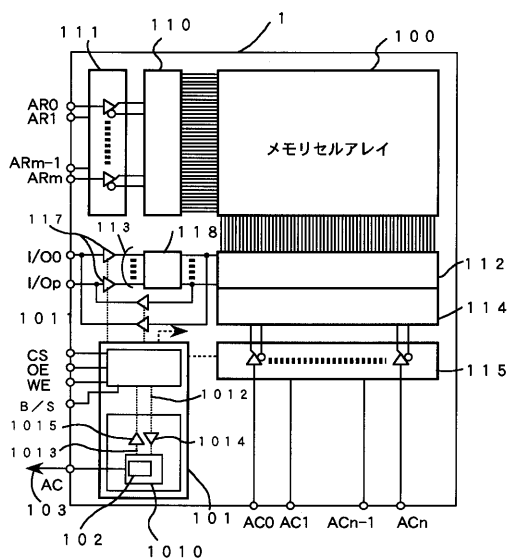


【図 4】



【图 5】

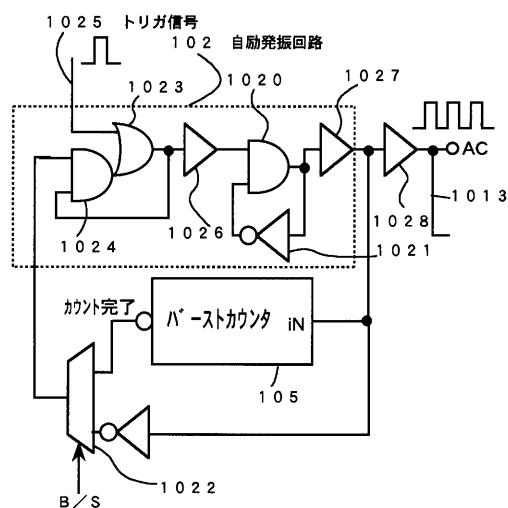
【图 5】



1010; サイクルタイミング発生回路
1011; 内部タイミング発生回路

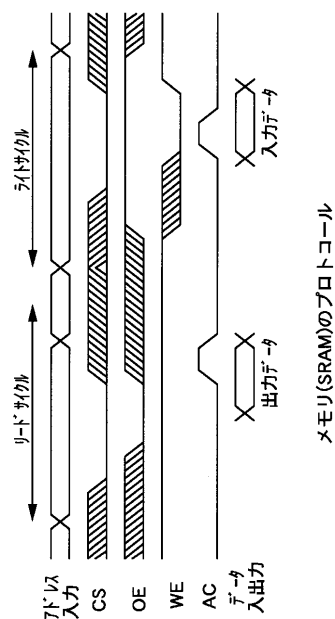
【图 6】

【图 6】



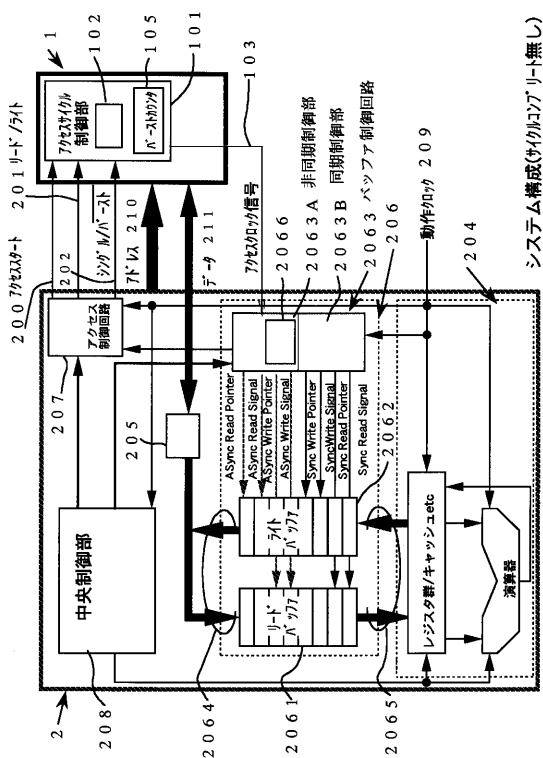
【 図 7 】

【图 7】



【 図 8 】

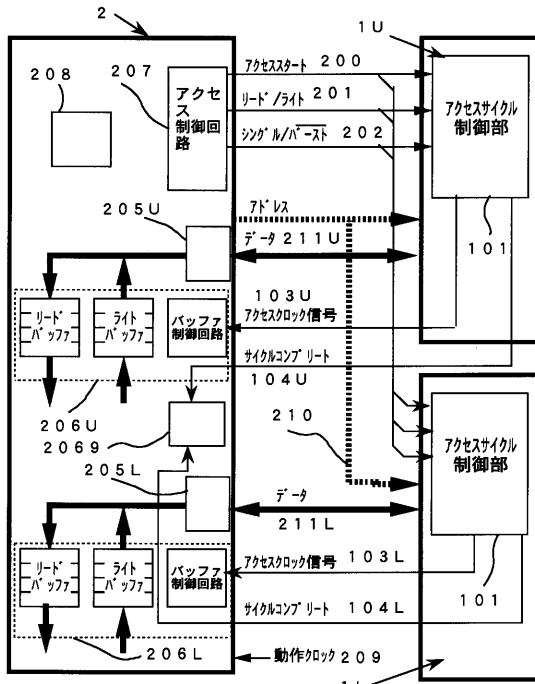
【图 8】



システム構成(サイクルコンプリット無し)

【図 13】

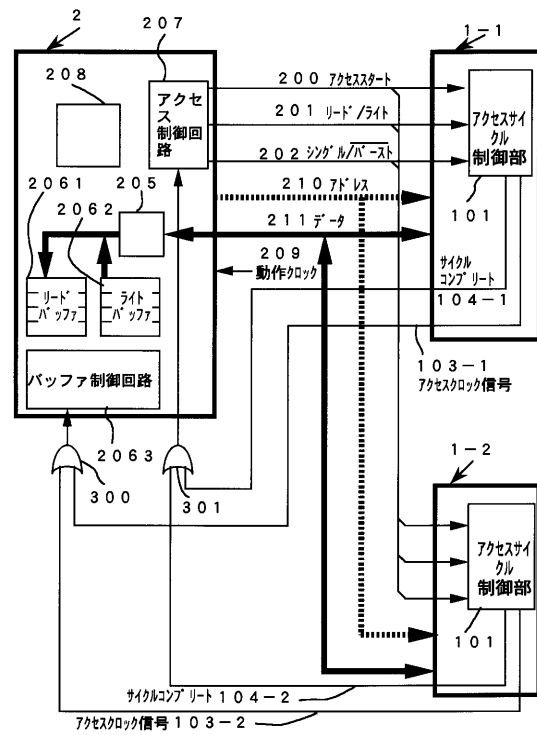
【図 13】



複数ビット単位にバッファを持つCPU

【図 14】

【図 14】



異なる特性/機能を有するメモリが混在する場合のシステム構成

【図 15】

【図 15】

