

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2016 年 7 月 7 日 (07.07.2016)



(10) 国际公布号
WO 2016/106825 A1

- (51) 国际专利分类号:
H01L 29/786 (2006.01)
- (21) 国际申请号: PCT/CN2015/070520
- (22) 国际申请日: 2015 年 1 月 12 日 (12.01.2015)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201410856640.2 2014 年 12 月 31 日 (31.12.2014) CN
- (71) 申请人: 深圳市华星光电技术有限公司 (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。
- (72) 发明人: 陈秋权 (CHEN, Chiu-chuan); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。
- (74) 代理人: 深圳市威世博知识产权代理事务所 (普通合伙) (CHINA WISPRO INTELLECTUAL PROPERTY LLP.); 中国广东省深圳市南山区高新区粤兴三道 8 号中国地质大学产学研基地中地大楼 A806, Guangdong 518057 (CN)。

- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告(条约第 21 条(3))。

(54) Title: LOW-TEMPERATURE POLYCRYSTALLINE SILICON THIN FILM TRANSISTOR AND THIN FILM TRANSISTOR SUBSTRATE

(54) 发明名称: 低温多晶硅薄膜晶体管及薄膜晶体管基板

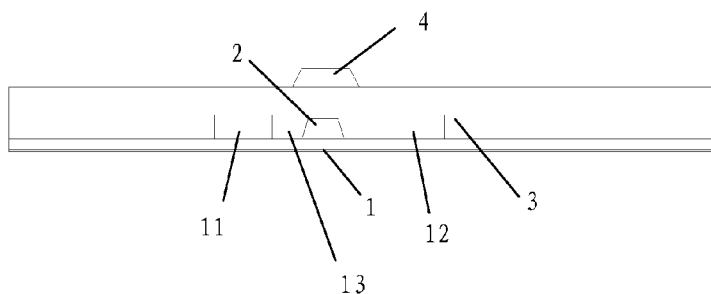


图 1 / FIG.1

(57) Abstract: Provided are a low-temperature polycrystalline silicon thin film transistor and a thin film transistor substrate. The low-temperature polycrystalline silicon thin film transistor comprises a base (1), a first gate (2), a polycrystalline silicon layer (3), and a second gate (4). The first gate (2) is disposed on the base (1). The polycrystalline silicon layer (3) is disposed on the base (1) and covers the first gate (2). The polycrystalline silicon layer (3) comprises a source region (11), a drain region (12), and a channel region (13) formed between the source region (11) and the drain region (12). The second gate (4) is disposed on the polycrystalline silicon layer (3). When the low-temperature polycrystalline silicon thin film transistor is driven, the first gate (2) and the second gate (4) apply a first voltage and a second voltage respectively, wherein the first voltage and the second voltage are opposite in polarity. In this way, a kick-back voltage can be reduced, and the TFT efficiency can be improved.

(57) 摘要:

[见续页]

WO 2016/106825 A1



提供了一种低温多晶硅薄膜晶体管及薄膜晶体管基板，该低温多晶硅薄膜晶体管包括：基底（1）；第一栅极（2），设置在基底（1）上；多晶硅层（3），设置在基底（1）上并覆盖第一栅极（2），其中，多晶硅层（3）包括源极区域（11）、漏极区域（12）以及形成在源极区域（11）与漏极区域（12）之间的沟道区域（13）；第二栅极（4），设置在多晶硅层（3）上；其中，低温多晶硅薄膜晶体管在驱动时，第一栅极（2）与第二栅极（4）分别施加极性相反的第一电压和第二电压。通过上述方式，能够降低回踢电压，提升 TFT 效能。

发明名称：低温多晶硅薄膜晶体管及薄膜晶体管基板

[1] 【技术领域】

[2] 本发明涉及液晶显示技术领域，特别是涉及一种低温多晶硅薄膜晶体管及薄膜晶体管基板。

[3] 【背景技术】

[4] LTPS TFT (low temperature poly-silicon thin film transistor)液晶显示器 (Liquid Crystal Display, 简称为LCD) 具有高分辨率、反应速度快、高亮度、高开口率等优点；另外，由于LTPS TFT LCD的硅结晶排列有次序，电子移动率相对高，可以将外围驱动电路同时制作在玻璃基板上，达到系统整合、节省空间及降低驱动IC成本的目标。

[5] 目前的LTPS TFT 结构中，为了避免背光源 (back light) 的照光，在导电通道 (channel) 产生光电流 (photo current) 而造成漏电流 (leakage current)，一般在玻璃基板上先镀上一层金属，作为遮光层 (Light shielding layer)。

[6] 但是，遮光层仅有遮光效果，其与其他导电层形成寄生电容，造成闸极的回踢电压 (Vfeed-through)，进而影响TFT效能。

[7] 【发明内容】

[8] 本发明主要解决的技术问题是提供一种低温多晶硅薄膜晶体管及薄膜晶体管基板，能够降低回踢电压，提升TFT效能。

[9] 为解决上述技术问题，本发明采用的一个技术方案是：提供一种低温多晶硅薄膜晶体管，包括：

[10] 基底；

[11] 第一栅极，设置在所述基底上；

[12] 多晶硅层，设置在所述基底上并覆盖所述第一栅极，其中，所述多晶硅层包括源极区域、漏极区域以及形成在所述源极区域与所述漏极区域之间的沟道区域；

[13] 第二栅极，设置在所述多晶硅层上；

- [14] 其中，所述低温多晶硅薄膜晶体管在驱动时，所述第一栅极与所述第二栅极分别施加极性相反的第一电压和第二电压。
- [15] 其中，所述第一栅极、所述沟道区域以及所述第二栅极分别至少部分重叠。
- [16] 其中，进一步包括：
- [17] 栅极绝缘层，覆盖所述多晶硅层以及所述第二栅极；
- [18] 源极，设置在所述栅极绝缘层上，并通过设置在所述栅极绝缘层中的第一通孔，连接至所述源极区域；
- [19] 漏极，设置在所述栅极绝缘层上，并通过设置在所述栅极绝缘层中的第二通孔，连接至所述漏极区域。
- [20] 其中，进一步包括：
- [21] 钝化层，覆盖所述栅极绝缘层、所述源极以及所述漏极；
- [22] 其中，所述钝化层中设置有第三通孔，当所述钝化层上设置像素电极时，所述像素电极通过所述第三通孔连接所述漏极。
- [23] 为解决上述技术问题，本发明采用的另一个技术方案是：提供一种薄膜晶体管基板，所述薄膜晶体管基板包括基底以及设置在所述基底上的多个像素，所述多个像素阵列排列，且每个所述像素分别包括低温多晶硅薄膜晶体管以及与所述低温多晶硅薄膜晶体管电性连接的像素电极，其中，所述低温多晶硅薄膜晶体管包括：
- [24] 第一栅极，设置在所述基底上；
- [25] 多晶硅层，设置在所述基底上并覆盖所述第一栅极，其中，所述多晶硅层包括源极区域、漏极区域以及形成在所述源极区域与所述漏极区域之间的沟道区域；
- [26] 第二栅极，设置在所述多晶硅层上；
- [27] 其中，所述低温多晶硅薄膜晶体管在驱动时，所述第一栅极与所述第二栅极分别施加极性相反的第一电压和第二电压。
- [28] 其中，所述所述第一栅极、所述沟道区域以及所述第二栅极分别至少部分重叠。
- [29] 其中，所述低温多晶硅薄膜晶体管进一步包括：

- [30] 栅极绝缘层，覆盖所述多晶硅层以及所述第二栅极；
- [31] 源极，设置在所述栅极绝缘层上，并通过设置在所述栅极绝缘层中的第一通孔，连接至所述源极区域；
- [32] 漏极，设置在所述栅极绝缘层上，并通过设置在所述栅极绝缘层中的第二通孔，连接至所述漏极区域；
- [33] 钝化层，覆盖所述栅极绝缘层、所述源极以及所述漏极；
- [34] 其中，所述像素电极设置在所述钝化层上并通过设置在所述钝化层中的第三通孔连接所述漏极。
- [35] 其中，所述薄膜晶体管基板进一步包括：多条第一扫描线，其中，每个像素中的所述低温多晶硅薄膜晶体管的所述第一栅极分别电性连接一条对应的所述第一扫描线，以通过所述第一扫描线而提供所述第一电压至所述第一栅极；
- [36] 多条第二扫描线，其中，每个像素中的所述低温多晶硅薄膜晶体管的所述第二栅极分别电性连接一条对应的所述第二扫描线，以通过所述第二扫描线而提供所述第二电压至所述第二栅极；
- [37] 多条数据线，其中，每个像素中的所述低温多晶硅薄膜晶体管的所述源极分别电性连接一条对应的所述数据线，以在所述低温多晶硅薄膜晶体管导通时，通过所述数据线以及导通的所述低温多晶硅薄膜晶体管而将数据电压提供至所述像素电极。
- [38] 其中，所述第一扫描线与所述低温多晶硅薄膜晶体管的所述第一栅极分别设置在同一层中；而所述第二扫描线与所述低温多晶硅薄膜晶体管的所述第二栅极分别设置在同一层中。
- [39] 所述薄膜晶体管基板进一步包括闸极驱动器，所述闸极驱动器包括多个闸极驱动单元，其中，每个所述闸极驱动单元分别电性连接所述第一扫描线与所述第二扫描线以同时驱动同一行排列的多个所述低温多晶硅薄膜晶体管，且每个所述闸极驱动单元分别包括：
- [40] 第一开关元件，其包括控制端，输入端以及输出端，其中，所述控制端电性连接时钟信号，所述输入端电性连接所述闸极驱动单元的输入端以接收闸极驱动信号，而所述输出端作为所述闸极驱动单元的第一输出端，其电性连接所述第

二扫描线以输出所述第二电压至所述第二扫描线；

[41] 反相器，其包括：

[42] 第二开关元件，其包括控制端，输入端以及输出端，其中，所述控制端电性连接所述栅极驱动单元的输入端以接收栅极驱动信号，所述输入端电性连接第一电压源；

[43] 第三开关元件，其包括控制端，输入端以及输出端，其中，所述控制端电性连接所述栅极驱动单元的输入端以接收栅极驱动信号，所述输入端电性连接第二电压源；

[44] 其中，所述第二开关元件与所述第三开关元件的输出端电性连接在一起并作为所述栅极驱动单元的第二输出端，其电性连接所述第一扫描线以输出所述第一电压至所述第一扫描线。

[45] 其中，所述第二开关元件为p型晶体管，而所述第三开关元件为n型晶体管；且所述第二电压源所提供的电压与所述栅极驱动单元的输入端所输入的栅极驱动信号的脉冲信号的极性相反。

[46] 本发明的有益效果是：区别于现有技术的情况，本发明低温多晶硅薄膜晶体管包括：基底；第一栅极，设置在所述基底上；多晶硅层，设置在所述基底上并覆盖所述第一栅极，其中，所述多晶硅层包括源极区域、漏极区域以及形成在所述源极区域与所述漏极区域之间的沟道区域；第二栅极，设置在所述多晶硅层上；其中，所述低温多晶硅薄膜晶体管在驱动时，所述第一栅极与所述第二栅极分别施加极性相反的第一电压和第二电压。由于低温多晶硅薄膜晶体管包括两个栅极，且两个栅极施加极性相反的电压，通过这种方式，能够降低回踢电压，提升TFT效能。

[47] 【附图说明】

[48] 图1是本发明低温多晶硅薄膜晶体管一实施例的结构示意图；

[49] 图2是本发明低温多晶硅薄膜晶体管另一实施例的结构示意图；

[50] 图3是本发明低温多晶硅薄膜晶体管和现有技术中一个栅极的情况的设计示意图；

[51] 图4是本发明薄膜晶体管基板中低温多晶硅薄膜晶体管一实施例的结构示意图

;

[52] 图5是本发明薄膜晶体管基板中栅极驱动单元一实施例的结构示意图。

[53] 【具体实施方式】

[54] 下面结合附图和实施方式对本发明进行详细说明。

[55] 参阅图1，图1是本发明低温多晶硅薄膜晶体管(low temperature poly-silicon thin film transistor, LTPS TFT)一实施例的结构示意图。

[56] 低温多晶硅薄膜晶体管包括：基底1、第一栅极2、多晶硅层3以及第二栅极4；第一栅极2设置在基底1上；多晶硅层3设置在基底1上并覆盖第一栅极2，其中，多晶硅层1包括源极区域11、漏极区域12以及形成在源极区域11与漏极区域12之间的沟道区域13；第二栅极4设置在多晶硅层3上。

[57] 其中，低温多晶硅薄膜晶体管在驱动时，第一栅极2与第二栅极4分别施加极性相反的第一电压和第二电压。

[58] 由于低温多晶硅薄膜晶体管包括第一栅极2和第二栅极4，在驱动时，第一栅极2与第二栅极4分别施加极性相反的第一电压和第二电压，这样使得回踢电压有效降低，进而提高TFT效能；在低温多晶硅薄膜晶体管的驱动电压相同的情况下，由于施加正向电压的栅极的正向电压和原来低温多晶硅薄膜晶体管只有一个栅极的情况相比，是减小的，因此施加正向电压的栅极电路宽度可以缩小，进而能够提升开口率及解析度；由于施加负向电压的栅极也可以同时作为遮光层，因此遮光效果能够保持不变；由于制作工艺可以利用现有的制程及设备，因此不需要额外增加投资成本。

[59] 例如：如果低温多晶硅薄膜晶体管的导通电压最低为8V，在现有技术中，只有一个栅极的时候，施加在栅极上的电压为10V，由于回踢电压的影响，低温多晶硅薄膜晶体管的实际导通电压刚刚为8V，也就是说回踢电压为2V；本发明的低温多晶硅薄膜晶体管包括两个栅极，假如一个施加的电压为5V，此时回踢电压为1V，另一个施加的电压为-5V，低温多晶硅薄膜晶体管的实际导通电压为5V-1V-（-5V），即9V。因此通过这种方式，可以有效降低回踢电压，进而提高TFT效能。

[60] 其中，第一栅极2、沟道区域13以及第二栅极4分别至少部分重叠。一般来说，

第一栅极2、沟道区域13以及第二栅极4可以相互之间完全重叠，也可以部分重叠；完全重叠时，第一栅极2和/或第二栅极4还可以超过沟道区域13。

[61] 参阅图2，低温多晶硅薄膜晶体管进一步包括：栅极绝缘层5、源极6以及漏极7；栅极绝缘层5覆盖多晶硅层3以及第二栅极4；源极6设置在栅极绝缘层5上，并通过设置在栅极绝缘层5中的第一通孔51，连接至源极区域11；漏极7设置在栅极绝缘层5上，并通过设置在栅极绝缘层5中的第二通孔52，连接至漏极区域12。

[62] 参见图3，图3是本发明低温多晶硅薄膜晶体管和现有技术中一个栅极的情况的设计示意图。由图可以看出，在低温多晶硅薄膜晶体管的驱动电压相同的情况下，施加正向电压的栅极的正向电压和原来低温多晶硅薄膜晶体管只有一个栅极的情况相比，是减小的。例如，原来低温多晶硅薄膜晶体管只有一个栅极的情况，施加在栅极上的正向电压是10V，在本发明的低温多晶硅薄膜晶体管包括两个栅极的情况下，施加在其中一个栅极上的正向电压可以是5V。

[63] 本发明还提供一种薄膜晶体管基板，薄膜晶体管基板包括基底以及设置在基底上的多个像素，多个像素阵列排列，且每个像素分别包括低温多晶硅薄膜晶体管以及与低温多晶硅薄膜晶体管电性连接的像素电极，其中，参见图1，低温多晶硅薄膜晶体管包括：第一栅极2、多晶硅层3以及第二栅极4；第一栅极2设置在基底1上；多晶硅层3设置在基底1上并覆盖第一栅极2，其中，多晶硅层3包括源极区域11、漏极区域12以及形成在源极区域11与漏极区域12之间的沟道区域13；第二栅极4设置在多晶硅层3上；其中，低温多晶硅薄膜晶体管在驱动时，第一栅极2与第二栅极4分别施加极性相反的第一电压和第二电压。

[64] 由于低温多晶硅薄膜晶体管包括第一栅极2和第二栅极4，在驱动时，第一栅极2与第二栅极4分别施加极性相反的第一电压和第二电压，这样使得回踢电压有效降低，进而提高TFT效能；在低温多晶硅薄膜晶体管的驱动电压相同的情况下，由于施加正向电压的栅极的正向电压和原来低温多晶硅薄膜晶体管只有一个栅极的情况相比，是减小的，因此施加正向电压的栅极电路宽度可以缩小，进而能够提升开口率及解析度；由于施加负向电压的栅极也可以同时作为遮光层，因此遮光效果能够保持不变；由于制作工艺可以利用现有的制程及设备，因

此不需要额外增加投资成本。

[65] 其中，第一栅极2、沟道区域13以及第二栅极4分别至少部分重叠。一般来说，第一栅极2、沟道区域13以及第二栅极4可以相互之间完全重叠，也可以部分重叠；完全重叠时，第一栅极2和/或第二栅极4还可以超过沟道区域13。

[66] 参见图4，低温多晶硅薄膜晶体管进一步包括：栅极绝缘层5、源极6、漏极7以及钝化层8；栅极绝缘层5覆盖多晶硅层3以及第二栅极4；源极6设置在栅极绝缘层5上，并通过设置在栅极绝缘层5中的第一通孔51，连接至源极区域11；漏极7设置在栅极绝缘层5上，并通过设置在栅极绝缘层5中的第二通孔52，连接至漏极区域12；钝化层8覆盖栅极绝缘层5、源极6以及漏极7；其中，像素电极9设置在钝化层8上并通过设置在钝化层8中的第三通孔81连接漏极7。

[67] 其中，薄膜晶体管基板进一步包括：多条第一扫描线、多条第二扫描线以及多条数据线。

[68] 其中，每个像素中的低温多晶硅薄膜晶体管的第一栅极分别电性连接一条对应的第一扫描线，以通过第一扫描线而提供第一电压至第一栅极；每个像素中的低温多晶硅薄膜晶体管的第二栅极分别电性连接一条对应的第二扫描线，以通过第二扫描线而提供第二电压至第二栅极；每个像素中的低温多晶硅薄膜晶体管的源极分别电性连接一条对应的数据线，以在低温多晶硅薄膜晶体管导通时，通过数据线以及导通的低温多晶硅薄膜晶体管而将数据电压提供至像素电极。

[69] 其中，第一扫描线与低温多晶硅薄膜晶体管的第一栅极分别设置在同一层中；而第二扫描线与低温多晶硅薄膜晶体管的第二栅极分别设置在同一层中。通过这种方式，可以进一步地达到系统整合、节省空间的目标。

[70] 其中，薄膜晶体管基板进一步包括闸极驱动器，闸极驱动器包括多个闸极驱动单元，其中，每个闸极驱动单元分别电性连接第一扫描线与第二扫描线以同时驱动同一行排列的多个低温多晶硅薄膜晶体管。

[71] 参见图5，每个闸极驱动单元分别包括：第一开关元件10和反相器20。

[72] 第一开关元件10包括控制端101，输入端102以及输出端103，其中，控制端101电性连接时钟信号，输入端102电性连接闸极驱动单元的输入端301以接收闸极

驱动信号，而输出端103作为闸极驱动单元的第一输出端302，其电性连接第二扫描线以输出第二电压至第二扫描线；

[73] 反相器20包括第二开关元件21和第三开关元件22。利用闸极驱动电路基板技术（Gate on Array，简称为GOA），可以将反相器电路增加在外围线路区。

[74] 第二开关元件21包括控制端211，输入端212以及输出端213，其中，控制端211电性连接闸极驱动单元的输入端301以接收闸极驱动信号，输入端212电性连接第一电压源；第三开关元件22其包括控制端221，输入端222以及输出端223，其中，控制端221电性连接闸极驱动单元的输入端301以接收闸极驱动信号，输入端222电性连接第二电压源；其中，第二开关元件21与第三开关元件22的输出端213、223电性连接在一起并作为闸极驱动单元的第二输出端303，其电性连接第一扫描线以输出第一电压至第一扫描线。

[75] 反相器可以将输入信号的相位反转180度，在实际应用中，还可以使用其它的反相器，在此不做限制。

[76] 其中，第二开关元件21为p型晶体管，而第三开关元件22为n型晶体管；且第二电压源所提供的电压与闸极驱动单元的输入端301所输入的闸极驱动信号的脉冲信号的极性相反。

[77] 以上所述仅为本发明的实施方式，并非因此限制本发明的专利范围，凡是利用本发明说明书及附图内容所作的等效结构或等效流程变换，或直接或间接运用在其他相关的技术领域，均同理包括在本发明的专利保护范围内。

权利要求书

- [权利要求 1] 一种低温多晶硅薄膜晶体管，其中，包括：
基底；
第一栅极，设置在所述基底上；
多晶硅层，设置在所述基底上并覆盖所述第一栅极，其中，所述多晶硅层包括源极区域、漏极区域以及形成在所述源极区域与所述漏极区域之间的沟道区域；
第二栅极，设置在所述多晶硅层上；
其中，所述低温多晶硅薄膜晶体管在驱动时，所述第一栅极与所述第二栅极分别施加极性相反的第一电压和第二电压。
- [权利要求 2] 根据权利要求1所述的低温多晶硅薄膜晶体管，其中，所述第一栅极、所述沟道区域以及所述第二栅极分别至少部分重叠。
- [权利要求 3] 根据权利要求2所述的低温多晶硅薄膜晶体管，其中，进一步包括：
栅极绝缘层，覆盖所述多晶硅层以及所述第二栅极；
源极，设置在所述栅极绝缘层上，并通过设置在所述栅极绝缘层中的第一通孔，连接至所述源极区域；
漏极，设置在所述栅极绝缘层上，并通过设置在所述栅极绝缘层中的第二通孔，连接至所述漏极区域。
- [权利要求 4] 根据权利要求3所述的低温多晶硅薄膜晶体管，其中，进一步包括：
钝化层，覆盖所述栅极绝缘层、所述源极以及所述漏极；
其中，所述钝化层中设置有第三通孔，当所述钝化层上设置像素电极时，所述像素电极通过所述第三通孔连接所述漏极。
- [权利要求 5] 一种薄膜晶体管基板，其中，所述薄膜晶体管基板包括基底以及设置在所述基底上的多个像素，所述多个像素阵列排列，且每个所述像素分别包括低温多晶硅薄膜晶体管以及与所述低温多晶硅薄膜晶体管电性连接的像素电极，其中，所述低温多晶硅薄膜晶

体管包括：

第一栅极，设置在所述基底上；

多晶硅层，设置在所述基底上并覆盖所述第一栅极，其中，所述多晶硅层包括源极区域、漏极区域以及形成在所述源极区域与所述漏极区域之间的沟道区域；

第二栅极，设置在所述多晶硅层上；

其中，所述低温多晶硅薄膜晶体管在驱动时，所述第一栅极与所述第二栅极分别施加极性相反的第一电压和第二电压。

[权利要求 6] 根据权利要求5所述的薄膜晶体管基板，其中，所述所述第一栅极、所述沟道区域以及所述第二栅极分别至少部分重叠。

[权利要求 7] 根据权利要求6所述的薄膜晶体管基板，其中，所述低温多晶硅薄膜晶体管进一步包括：

栅极绝缘层，覆盖所述多晶硅层以及所述第二栅极；

源极，设置在所述栅极绝缘层上，并通过设置在所述栅极绝缘层中的第一通孔，连接至所述源极区域；

漏极，设置在所述栅极绝缘层上，并通过设置在所述栅极绝缘层中的第二通孔，连接至所述漏极区域；

钝化层，覆盖所述栅极绝缘层、所述源极以及所述漏极；

其中，所述像素电极设置在所述钝化层上并通过设置在所述钝化层中的第三通孔连接所述漏极。

[权利要求 8] 根据权利要求7所述的薄膜晶体管基板，其中，所述薄膜晶体管基板进一步包括：

多条第一扫描线，其中，每个像素中的所述低温多晶硅薄膜晶体管的所述第一栅极分别电性连接一条对应的所述第一扫描线，以通过所述第一扫描线而提供所述第一电压至所述第一栅极；

多条第二扫描线，其中，每个像素中的所述低温多晶硅薄膜晶体管的所述第二栅极分别电性连接一条对应的所述第二扫描线，以通过所述第二扫描线而提供所述第二电压至所述第二栅极；

多条数据线，其中，每个像素中的所述低温多晶硅薄膜晶体管的所述源极分别电性连接一条对应的所述数据线，以在所述低温多晶硅薄膜晶体管导通时，通过所述数据线以及导通的所述低温多晶硅薄膜晶体管而将数据电压提供至所述像素电极。

[权利要求 9] 根据权利要求8所述的薄膜晶体管基板，其中，所述第一扫描线与所述低温多晶硅薄膜晶体管的所述第一栅极分别设置在同一层中；而所述第二扫描线与所述低温多晶硅薄膜晶体管的所述第二栅极分别设置在同一层中。

[权利要求 10] 根据权利要求8所述的薄膜晶体管基板，其中，所述薄膜晶体管基板进一步包括闸极驱动器，所述闸极驱动器包括多个闸极驱动单元，其中，每个所述闸极驱动单元分别电性连接所述第一扫描线与所述第二扫描线以同时驱动同一行排列的多个所述低温多晶硅薄膜晶体管，且每个所述闸极驱动单元分别包括：

第一开关元件，其包括控制端，输入端以及输出端，其中，所述控制端电性连接时钟信号，所述输入端电性连接所述闸极驱动单元的输入端以接收闸极驱动信号，而所述输出端作为所述闸极驱动单元的第一输出端，其电性连接所述第二扫描线以输出所述第二电压至所述第二扫描线；

反相器，其包括：

第二开关元件，其包括控制端，输入端以及输出端，其中，所述控制端电性连接所述闸极驱动单元的输入端以接收闸极驱动信号，所述输入端电性连接第一电压源；

第三开关元件，其包括控制端，输入端以及输出端，其中，所述控制端电性连接所述闸极驱动单元的输入端以接收闸极驱动信号，所述输入端电性连接第二电压源；

其中，所述第二开关元件与所述第三开关元件的输出端电性连接在一起并作为所述闸极驱动单元的第二输出端，其电性连接所述第一扫描线以输出所述第一电压至所述第一扫描线。

[权利要求 11] 根据权利要求10所述的薄膜晶体管基板，其中，所述第二开关元件为p型晶体管，而所述第三开关元件为n型晶体管；且所述第二电压源所提供的电压与所述栅极驱动单元的输入端所输入的栅极驱动信号的脉冲信号的极性相反。

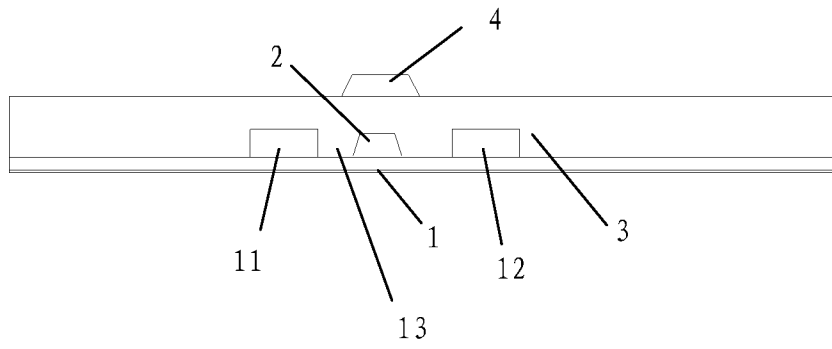


图 1

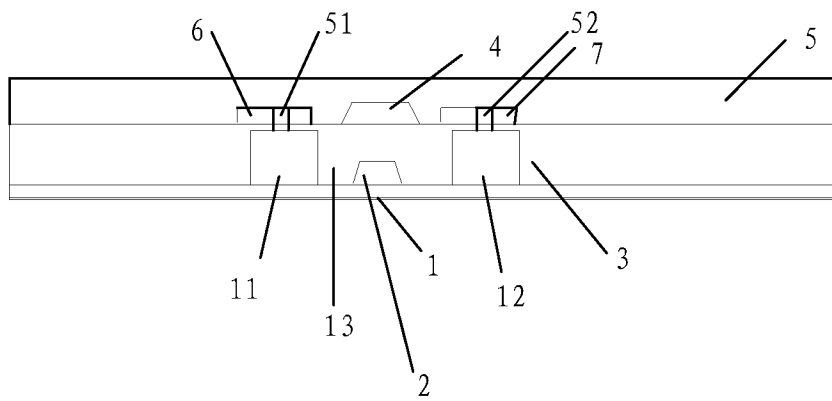


图 2

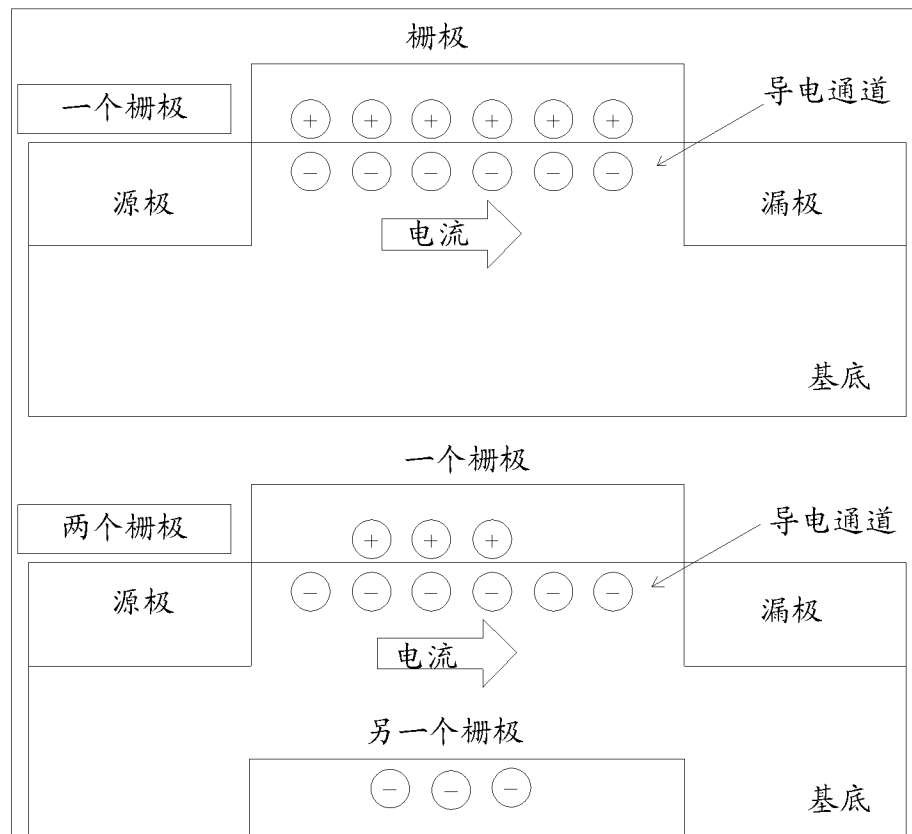


图 3

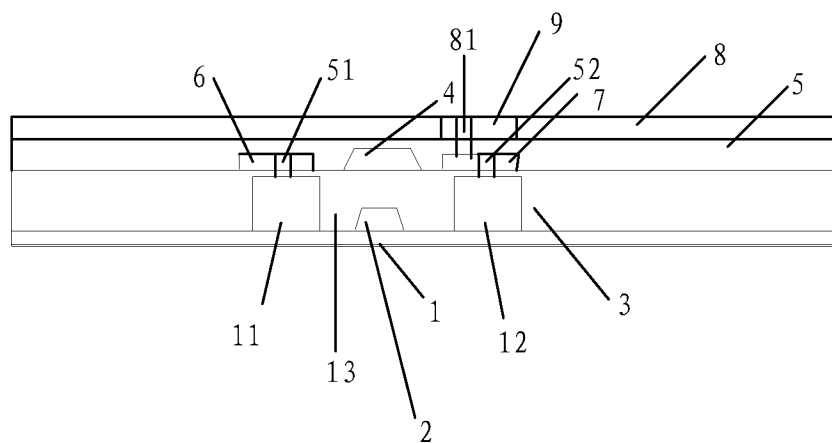


图 4

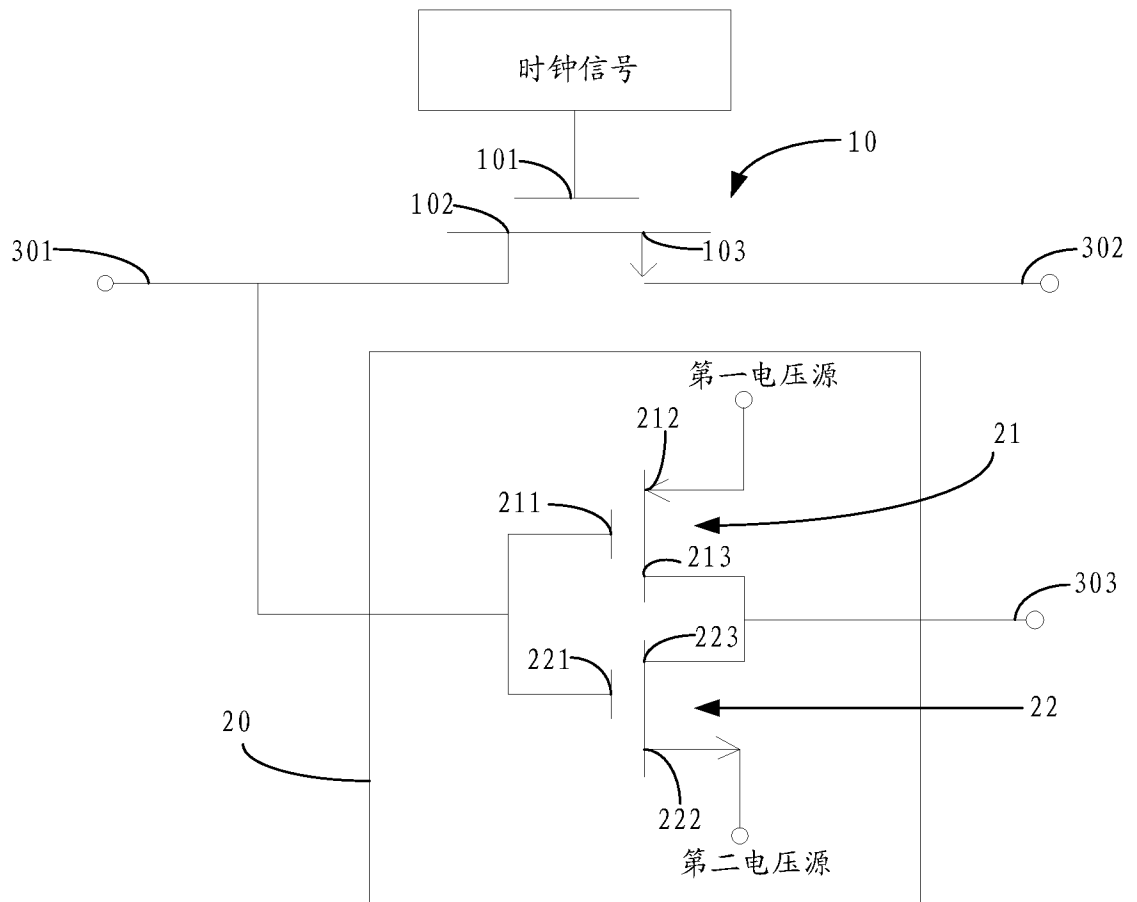


图 5

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2015/070520

A. CLASSIFICATION OF SUBJECT MATTER

H01L 29/786 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

WPI, EPODOC, CNPAT, CNKI: TFT, low-temperature polycrystalline silicon, LTPS, first 1w gate, second 1w gate, low 1w temperature 1w poly+, transistor, opposite, source, drain, overlap+.

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 102593164 A (SONY CORPORATION), 18 July 2012 (18.07.2012), description, paragraphs [0058]-[0083] and [0120], and figures 3-9 and 19	1-11
A	CN 103456753 A (SONY CORPORATION), 18 December 2013 (18.12.2013), the whole document	1-11
A	CN 102820337 A (SONY CORPORATION), 12 December 2012 (12.12.2012), the whole document	1-11
A	US 2007051993 A1 (HO, M. et al.), 08 March 2007 (08.03.2007), the whole document	1-11

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 23 July 2015 (23.07.2015)	Date of mailing of the international search report 11 September 2015 (11.09.2015)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer JL, Maoyuan Telephone No.: (86-10) 61648083

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2015/070520

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 102593164 A	18 July 2012	US 2012175618 A1	12 July 2012
		US 8901562 B2	02 December 2014
		TW I472024 B	01 February 2015
		KR 20120081926 A	20 July 2012
		TW 201244069 A	01 November 2012
		JP 2012146805 A	02 August 2012
CN 103456753 A	18 December 2013	JP 2013247270 A	09 December 2013
		US 9053994 B2	09 June 2015
CN 102820337 A	12 December 2012	US 2013313621 A1	28 November 2013
		JP 2013016772 A	24 January 2013
		US 2012313103 A1	13 December 2012
US 2007051993 A1	08 March 2007	US 2013234219 A1	12 September 2013
		None	

A. 主题的分类		
H01L 29/786(2006.01)i		
按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类		
B. 检索领域		
检索的最低限度文献(标明分类系统和分类号)		
H01L		
包含在检索领域中的除最低限度文献以外的检索文献		
在国际检索时查阅的电子数据库(数据库的名称,和使用的检索词(如使用))		
WPI, EPODOC, CNPAT, CNKI:第一栅极,第二栅极,TFT,晶体管,相反,低温多晶硅,LTPS,源,漏,重叠,叠置, first lw gate,second lw gate,low lw temperature lw poly+,transistor,opposite,source,drain,overlap+.		
C. 相关文件		
类 型*	引用文件,必要时,指明相关段落	相关的权利要求
A	CN 102593164 A (索尼公司) 2012年 7月 18日 (2012 - 07 - 18) 说明书第[0058]-[0083], [0120]段、附图3-9, 19	1-11
A	CN 103456753 A (索尼公司) 2013年 12月 18日 (2013 - 12 - 18) 全文	1-11
A	CN 102820337 A (索尼公司) 2012年 12月 12日 (2012 - 12 - 12) 全文	1-11
A	US 2007051993 A1 (HO, MINGCHE等) 2007年 3月 8日 (2007 - 03 - 08) 全文	1-11
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。		
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件,或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布,与申请不相抵触,但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件,单独考虑该文件,认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件,当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时,要求保护的发明不具有创造性 “&” 同族专利的文件		
国际检索实际完成的日期		国际检索报告邮寄日期
2015年 7月 23日		2015年 9月 11日
ISA/CN的名称和邮寄地址		授权官员
中华人民共和国国家知识产权局(ISA/CN) 北京市海淀区蓟门桥西土城路6号 100088 中国		季茂源
传真号 (86-10)62019451		电话号码 (86-10)61648083

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2015/070520

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	102593164	A	2012年 7月 18日	US	2012175618	A1	2012年 7月 12日
				US	8901562	B2	2014年 12月 2日
				TW	I472024	B	2015年 2月 1日
				KR	20120081926	A	2012年 7月 20日
				TW	201244069	A	2012年 11月 1日
				JP	2012146805	A	2012年 8月 2日
CN	103456753	A	2013年 12月 18日	JP	2013247270	A	2013年 12月 9日
				US	9053994	B2	2015年 6月 9日
				US	2013313621	A1	2013年 11月 28日
CN	102820337	A	2012年 12月 12日	JP	2013016772	A	2013年 1月 24日
				US	2012313103	A1	2012年 12月 13日
				US	2013234219	A1	2013年 9月 12日
US	2007051993	A1	2007年 3月 8日	无			