

發明專利說明書

90245/-05640/mu
541839TW01
200411664

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：P2117782

※申請日期：P2. 6. 30

※IPC 分類：~~H01L~~ G11C 11/40

壹、發明名稱：(中文/英文)

半導體記憶裝置及半導體裝置

SEMICONDUCTOR MEMORY DEVICE AND SEMICONDUCTOR DEVICE

貳、申請人：(共1人)

姓名或名稱：(中文/英文)

瑞薩科技股份有限公司/RENESAS TECHNOLOGY CORP.

代表人：(中文/英文) 伊藤達/ITO, SATORU

住居所或營業所地址：(中文/英文)

日本國東京都千代田區丸之內二丁目4番1號

4-1, Marunouchi 2-chome, Chiyoda-ku, Tokyo, Japan

國籍：(中文/英文) 日本國/JAPAN

參、發明人：(共3人)

姓名：(中文/英文)

1. 石垣佳之/ISHIGAKI, YOSHIYUKI 2. 古賀剛/KOGA, TSUYOSHI

3. 藤井康博/FUJII, YASUHIRO

住居所地址：(中文/英文)

1. 至 3. 地址同

日本國東京都千代田區丸之內二丁目4番1號 瑞薩科技股份有限公司內

c/o RENESAS TECHNOLOGY CORP., 4-1, Marunouchi 2-chome,

Chiyoda-ku, Tokyo, Japan

國籍：(中文/英文) 日本國/JAPAN

肆、聲明事項：

☐ 本案係符合專利法第二十條第一項 ☐ 第一款但書或 ☐ 第二款但書規定之期間，其日期為： 年 月 日。

◎本案申請前已向下列國家（地區）申請專利 ☒ 主張國際優先權：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 日本國 2002 年 12 月 20 日 特願 2002-370446 （主張優先權）

2.

3.

4.

5.

☐ 主張國內優先權（專利法第二十五條之一）：

【格式請依：申請日；申請案號數 順序註記】

1.

2.

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

☐ 熟習該項技術者易於獲得，不須寄存。

玖、發明說明

[發明所屬技術領域]

本發明係關於一種半導體記憶裝置及半導體裝置，尤其係關於具備鎖門電路(latch circuit)之半導體裝置者。

[先前技術]

以往半導體記憶裝置眾所周知有 DRAM(動態隨機存取記憶體)。且，另一型半導體記憶裝置眾所周知有 SRAM(靜態隨機存取記憶體)。(參照特許文獻 1 日本特開平 3-34191 號公報及 2 日本特開昭 63-285794 號公報)

如上述，習知之 DRAM 係隨著經過特定時間，儲存在電容器之電荷從儲存節點經過井洩漏到半導體基板，而失去電容器之電荷。電荷洩漏失去意即失去資訊。為了防止電荷洩漏，DRAM 在完全地失去電荷前，以特定週期進行使在電容器失去的電荷復原之更新。DRAM 必須有該更新之電路，且於待機狀態(stand by)，為了保持記憶仍必須經常地動作，造成 DRAM 消耗電力較大之要因。所謂待機狀態係指不進行從外部之存取動作而僅將電源施加在記憶胞之待機狀態。

不須如上述之更新的半導體記憶裝置係 SRAM。但是，SRAM 每 1 個記憶胞在矽基板上方必須形成 6 個電晶體。因此，有記憶體尺寸比 DRAM 顯著地較大之問題。

且，習知之 SRAM 在記憶節點部之電荷容量較小，容易產生軟錯誤(soft error)。軟錯誤係指伸入矽基板中的阿法(α)線生成電子-電洞對而改變記憶節點部之儲存電

荷，失去記憶之現象。

[發明內容]

本發明係以提供一種不須更新之半導體裝置為目的。且，本發明係以提供一種提高上述半導體裝置之軟錯誤耐性之可靠度高的半導體裝置為目的。

依據本發明之半導體記憶裝置，具備：電容器，位於半導體基板上方，具有儲存節點(storage node)，且保持對應2進位資訊之邏輯等級之電荷；存取電晶體，位於半導體基板表面，具有1對雜質區域，且1對雜質區域之一方連接在電容器而控制儲存在電容器之電荷進出；鎖門電路，位於半導體基板上方，保持電容器儲存節點之電位；和位元線，連接在存取電晶體之1對雜質區域另一方。鎖門電路之至少一部分係設在位元線上方。

如此構成之半導體記憶裝置，為了保持電容器儲存節點之電位而設有鎖門電路。因此不須為了保持電容器之電位而進行更新動作。再者，由於藉由電容器保持對應2進位資訊之邏輯等級之電荷，因此比習知之SRAM般電荷儲存在記憶節點部之半導體裝置，可提高阿法線造成之軟錯誤之耐性。

再者，由於鎖門電路之至少一部分係設在位元線上方，因此可將之半導體裝置小型化。

[實施方式]

實施例 1

以下參照圖面說明關於本發明之實施型態。以下實施

型態中，關於相同或相當之部分賦予相同符號，而不反覆該說明。

參照第 1 圖，當作依據本發明實施型態 1 之半導體記憶裝置之半導體裝置 100，具有位元線對 BL 及 /BL、字元線 WL 和鎖門電路 130。

1 對位元線對 BL 及 /BL 分別連接有 1 對存取電晶體 T5 及 T6。存取電晶體 T5 之汲極區域連接在位元線 BL，源極區域 S 連接在電容器 C1，閘極電極 G 連接在字元線 WL。

存取電晶體 T6 之汲極區域 D 連接在位元線 /BL，源極區域 S 連接在電容器 C2，閘極電極 G 連接在字元線 WL。

存取電晶體 T5 和電容器 C1 對應在 DRAM 之記憶胞。存取電晶體 T6 和電容器 C2 對應在 DRAM 之記憶胞。電位為 V_{cc} 之電源連接有 p 通道型負載電晶體 T3 及 T4，負載電晶體 T3 及 T4 連接有驅動電晶體 T1 及 T2。驅動電晶體 T1 及負載電晶體 T3 共有記憶節點 n1，驅動電晶體 T2 及負載電晶體 T4 共有記憶節點 n2。

負載電晶體 T3 和驅動電晶體 T1 形成一方 CMOS(相輔型金屬氧化膜半導體)反相器，驅動電晶體 T2 及負載電晶體 T4 形成另一方 CMOS 反相器。由該等 2 個 CMOS 反相器構成之正反器電路形成對上述 DRAM 記憶胞之鎖門電路 130。鎖門電路 130 係通過半導體基板表面及層間絕緣膜而形成。

參照第 2 圖及第 3 圖，當作半導體基板之矽基板 1 上方，設有隔離各元件區域之元件隔離區域 2。元件區域下

側之矽基板 1 內部，設有底部 n 型井區域 3a、n 型井區域 3b 及 p 型井區域 4。且，設有當作閘極絕緣膜之閘極氧化膜 5，接觸在形成有電晶體之矽基板 1。摻雜多晶矽層 6 位於閘極氧化膜 5 上方，矽化鎢層 7 位於摻雜多晶矽層 6 上方。再者，積層有矽氧化膜 8 及矽氮化膜 51，接觸在該矽化鎢層 7 上方。閘極電極 9 包含摻雜多晶矽層 6 和矽化鎢層 7。閘極電極 9 之側壁設有側壁絕緣膜 10，藉此使閘極電極 9 絕緣。再者，以矽氧化膜 8 及矽氮化膜 51 使閘極電極 9 上面絕緣。

p 型井區域 4 內部配設有當作 n 型雜質濃度較低的源極汲極區域之低濃度雜質區域 11a，和當作 n 型雜質濃度較高的源極汲極區域之高濃度雜質區域 11b。且，n 型井區域 3b 配設有當作包含 n 型雜質之源極汲極區域之雜質區域 12。

配設有由矽氧化膜構成之層間絕緣膜 13，覆蓋該等雜質區域及井區域，層間絕緣膜 13 形成有複數個接觸孔 13a。

部分接觸孔 13a 底面設有埋入接觸部 20，接觸在矽基板 1。且，埋入接觸部 14 上方設有導熱絕緣墊 15。

再者，配設有在閘極電極 9 上方當作導電路之導熱絕緣墊 17，和閘極電極 9 之矽化鎢層 7 導通。導熱絕緣墊 17 和閘極電極 9 之接觸部分係埋入接觸部 22。該埋入接觸部 22 上方設有薄膜電晶體(TFT)用之電極，即當作 TFT 電極之 TFT 閘極電極 23。該 TFT 閘極電極 23 形成反相器之負

載電晶體之閘極電極，該反相器構成當作鎖門電路之正反器電路。

配設有由矽氧化膜構成之層間絕緣膜 18，覆蓋矽基板 1 上方之埋入接觸部 14 及矽基板 1 上方之導熱絕緣墊 15 上端。層間絕緣膜 18 貫穿上下方，配設有鎢配線 119、位元線 19b 及矽化鎢之埋入接觸部 20，而和下方雜質區域導通。且積層有由矽氮化膜 53 及矽氧化膜構成之層間絕緣膜 21 而覆蓋該等。

TFT 閘極電極 23 貫穿矽氮化膜 53 及層間絕緣膜 21，進一步延伸到上下方。TFT 閘極電極 23 之側壁設有側壁絕緣膜 24a，且設有 TFT 閘極氧化膜 24b 接觸在 TFT 閘極電極 23 上部，進一步，該上方設有 TFT 多晶矽 25 及 125。因而，位於矽基板 1 表面(表體)之電晶體和上述薄膜電晶體，係上下關係形成相反。

設有由矽氧化膜構成之層間絕緣膜 26 及矽氮化膜 54，覆蓋該等 TFT。設有埋入接觸部 27 及導熱絕緣墊 28，導通到 TFT 閘極電極 23，且填充設在層間絕緣膜 26 之接觸孔 26a。埋入接觸部 27 表示導熱絕緣墊 28 和 TFT 閘極電極 23 接觸之區域。

層間絕緣膜 26 上方設有矽氮化膜 54 和層間絕緣膜 29。由矽氧化膜構成之層間絕緣膜 29 設有孔 29a，孔 29a 內部設有圓筒型電容器 32a(C1)及 32b(C2)。設有儲存節點 30 連接在導熱絕緣墊 28 上端部。該儲存節點 30 上方形成有由介電體構成之電容膜 31。

再者，當作電容電極之胞板 40 位於該上方。用於提高電容器之絕緣膜可靠性的胞板 40 之電位設定為 $V_{cc}/2$ 。但是，絕緣膜之可靠性沒有問題時，亦可將胞板 40 之電位固定在 OV、 V_{cc} 。

為了增大電容器之容量，將儲存節點 30 粗面化處理較佳。但是，亦可不粗面化處理。設有由矽氧化膜構成之層間絕緣膜 33，覆蓋當作電容器之上部電極的胞板 40 和層間絕緣膜 29。

設有接觸孔 33a 貫穿層間絕緣膜 21、TFT 閘極氧化膜 24b、層間絕緣膜 26、矽氮化膜 53 及 54、層間絕緣膜 29 及 33。埋入有金屬接觸部 34 而填充接觸孔 33a，金屬接觸部 34 上方配設有金屬配線 35。金屬配線 35 上下方設有阻障層 55 及 56。以由矽氧化膜構成之層間絕緣膜 36 覆蓋金屬配線 35，層間絕緣膜 36 形成有接觸孔 36a。形成有金屬接觸部 37，填充接觸孔 36a。設有阻障層 57，接觸在金屬接觸 37 上端，該上方設有金屬配線 38 及阻障層 58。進一步鈍化膜(passivation)39 位於覆蓋該等。

上述構造係存取電晶體 T6 形成在矽基板 1 表面。電容器 32b(C2)形成在矽基板 1 上方。但是，存取電晶體 T6 之閘極電極形成在層間絕緣膜 13 內部，夾住閘極氧化膜 5 且接觸在矽基板 1。該層間絕緣膜 13 稱為下部層間絕緣膜。且，形成有電容器之層間絕緣膜 29 稱為上部層間絕緣膜。位於下部層間絕緣膜和上部層間絕緣膜之間的層間絕緣膜 26 稱為中間層間絕緣膜。

當作存取電晶體 T6 之源極汲極區域的雜質區域 11a 和電容器 32b(C2)之存取節點 30，係以電性方式連接在埋入接觸部 14、導熱絕緣墊 15、埋入接觸部 22、TFT 閘極電極 23、埋入接觸部 27 及導熱絕緣墊 28。該等構成導電路。該導電路連接有正反器電路之端子，將儲存節點之電位保持在特定電位。且，藉由埋入接觸部 16 及導熱絕緣墊 17 連接驅動電晶體 T2 和薄膜電晶體之負載電晶體 T3 的閘極電極彼此。然後，閘極電極上方之埋入接觸部 16 表示閘極電極 9 和導熱絕緣墊 17 接觸之部分。

半導體裝置 100 具備：電容器 32a(C1)及 32b(C2)，位於當作半導體基板之矽基板 1 上方，具有儲存節點 30，且保持對應 2 進位資訊之邏輯等級的電荷；存取電晶體 T6，位於矽基板 1 表面，具有 1 對雜質區域 11a，且 1 對雜質區域 11a 之一方以電性方式連接在電容器 32b(C2)而控制儲存在電容器 32b(C2)之電荷進出；鎖門電路(正反器電路)130，位於矽基板 1 上方，保持電容器 32b(C2)之儲存節點 30 之電位；和位元線 19b，連接在 1 對雜質區域 11a 另一方。鎖門電路 130 之一部分的負載電晶體 T3 係設在位元線 19b 上方。即，從矽基板 1 之主表面 1f 到負載電晶體 T3 為止之距離，比從主表面 1f 到位元線 19b 為止之距離大。

鎖門電路 130 係包含負載電晶體 T3 之正反器電路。負載電晶體 T3 設在藉由薄膜電晶體構成之位元線 19b 上方。

半導體裝置 100 進一步具備設在矽基板 1 上方之驅動電晶體 T1 及 T2，和覆蓋驅動電晶體 T1 及 T2 之第 1 層間絕緣膜 13。第 1 層間絕緣膜 13 上方設有位元線 19b。當作第 1 層間絕緣膜之層間絕緣膜 13 及 18 上方，設有當作第 2 層間絕緣膜之層間絕緣膜 21，覆蓋位元線 19b。

半導體裝置 100 進一步具備連接在鎖門電路 130 之接地線 19c 及 19d。藉由同一步驟製造接地線 19c 及 19d 和接地線 19a 及 19b，且從主表面 1f 位於大致同一高度，藉由同一導電層構成。

半導體裝置 100 進一步具備層間絕緣膜 29，具有覆蓋當作半導體基板之矽基板 1 的孔 29a。孔 29a 內部設有電容器 32a(C1)及 32b(C2)。鎖門電路 130 上方設有電容器 32a(C1)及 32b(C2)。藉此，電容器 32a(C1)及 32b(C2)之設計自由度增加，同時可進一步將半導體裝置 100 小型化。

電容器 32a(C1)及 32b(C2)和 2 條位元線 19a 及 19b 平面地重疊。

電容器 32a(C1)及 32b(C2)之容量為 6fF 以上。

半導體裝置 100 具備：鎖門電路 130，位於矽基板 1 上方；存取電晶體 T6，位於矽基板 1 表面，具有 1 對雜質區域 11a，且 1 對雜質區域之一方連接在鎖門電路 130；和位元線 19b，連接在存取電晶體 T6 之 1 對雜質區域 11a 另一方。鎖門電路 130 之至少一部分係設在位元線 19b 上方。

接著，使用第 1 圖說明關於上述記憶胞電路中的訊號寫入和讀出。

上述記憶胞連接有位元線 BL 和相輔位元線 /BL。寫入時，例如將字元線 WL 之電位設定為超級 $V_{cc}(V_{cc} + \text{驅動電晶體 } T1 \text{ 及 } T2 \text{ 之臨限值電壓以上})$ 之狀態，在位元線 BL 和相輔位元線 /BL 施加相反之訊號。例如在位元線 BL 施加 High 電位(高電位，例如 V_{cc} 電位)時，連接點 m1 之電位形成 High 電位。因而，將電荷充電到電容器 C1。另一方面，從相輔位元線 /BL 在連接點 m2 施加負電位或零電位。因此在連接點 m2 形成 Low 電位，不將電荷充電到電容器 C2。在正反器電路，連接點 m1 為內部 V_{cc} 電位，連接點 m2 形成零電位或接地電位。雖然產生接合洩漏或於驅動電晶體 T1、存取電晶體 T5 洩漏，但由於從負載電晶體 T3 供應電荷，因此，連接點 m1 中的電位不會降低，而安定地在連接點 m1 保持 High 電位。

另一方面，在讀出時，以感測放大器檢測位元線 BL 和相輔位元線 /BL 之間的電位差，讀取資料。此時，為了防止破壞資料，本發明係使用以下方法。首先，將位元線對 BL 及 /BL 之電位當作 V_{cc} 而將該等先行充電後，將字元線 WL 之電位當作超級 V_{cc} 而將字元線活性化。字元線 WL 活性化時關閉位元線對 BL 及 /BL 之先行充電。此時由於電位低的記憶節點(Low 側)之電位上升，因此 High 側(反側)反相器之驅動電晶體形成 ON，而有破壞資料之危險性，但由於本發明中設較大的電容器 C1 及 C2，因此抑制急劇的電位上升，Low 側之記憶節點電位不會上升到驅動電晶體之臨限值電壓 V_{th} 以上。

如上述，由於連接點 m1 及 m2 之電位保持在特定電位，因此可防止電容器 C1 及 C2 中的洩漏，而不須更新。

在第 3 圖，驅動電晶體 T1 及 T2 係 CMOS 反相器之驅動電晶體，負載電晶體 T3 係該 CMOS 反相器之負載電晶體。兩方之電晶體 T1 及 T3 係該閘極電極(記憶節點 n1)彼此互相地以電性方式連接。且，TFT 閘極電極 23 介置以導熱絕緣墊 15 及埋入接觸部 14 而連接在存取電晶體 T6 之源極區域 S(雜質區域 11a)。且，導熱絕緣墊 28 連接在電容器 32b(C2)之儲存節點 30。該電容器 C2 另一方電極之胞板 40 之電位設定成 $V_{cc}/2$ 。

另一方薄膜電晶體之負載電晶體 T4 通過第 3 圖剖面中不顯示之插塞接觸件(plug contact)，而連接到另一方電容器 C1(32a)。

上述薄膜電晶體之負載電晶體 T3 及 T4 係立體地形成在驅動電晶體 T1 及 T2 等之上方。因此，可使半導體裝置 100 非常地小型化。

接著，說明關於第 1 圖至第 3 圖所示之半導體裝置之製造方法。參照第圖至第 6 圖，在矽基板 1 上方選擇性地形成元件隔離區域 2。此處，使用 STI(Shallow Trench Isolation：淺溝槽隔離)法之元件隔離。接著，在矽基板 1 之較深區域使用離子植入法形成底部 n 型井區域 3a。然後，以離子植入法在形成 pMOS 電晶體之區域形成 n 型井區域 3b，在形成 nMOS 電晶體之區域形成 p 型井區域 4。然後，並非必須設底部 n 型井區域 3a，亦可省略。然後，

如第 4 圖及第 5 圖所示，在 1 個記憶胞 60 內部形成元件隔離區域 2。如第 5 圖所示，設複數個記憶胞 60 而形成記憶胞區域 100a。

參照第 7 圖及第 8 圖，沈積閘極氧化膜 5、摻雜多晶矽層 6、矽化鎢層 7、矽氧化膜 8 和矽氮化膜 51，藉由將該等蝕刻之方式而形成閘極電極 9。接著，藉由以植入量 $5 \times 10^{12} \text{ cm}^{-2}$ 以上 $1 \times 10^{14} \text{ cm}^{-2}$ 程度之植入量將砷或磷植入矽基板 1 的方式，形成 n 型雜質區域 11a。然後，在圖式中，僅於 nMOS 區域形成 n 型雜質區域 11a，但亦可藉由全面植入而形成在 pMOS 區域。然後，如第 7 圖所示，存取電晶體 T5 及 T6 之閘極長度 L、存取電晶體 T5 及 T6 之閘極寬度 W、驅動電晶體 T1 及 T2 之閘極長度 L、驅動電晶體 T1 及 T2 之閘極寬度 W 大致相等。如此，以將各驅動電晶體之閘極長度及閘極寬度設定成大致相同之方式，可以最小尺寸形成半導體裝置 100。

在 nMOS 區域藉由植入砷而形成高濃度(例如 $1 \times 10^{18} \text{ cm}^{-3}$ 以上)之方式，形成雜質區域 11b 當作 n 型電晶體之驅動電晶體 T2 之 n 型高濃度源極汲極區域。然後，在圖式中，為了 GND 電位之安定化，僅在驅動電晶體 T2 之源極側形成高濃度雜質區域而低電阻化，但亦可在驅動電晶體 T2 之汲極、其他記憶胞或周邊區域內之 nMOS 區域形成之。且，相反地亦可不將高濃度雜質區域形成在全體記憶胞區域。然後，形成高濃度 p 型源極汲極區域之雜質區域 12。

參照第 9 圖及第 10 圖，在主表面 1f 上方形成層間絕緣膜 13。接著，藉由將層間絕緣膜 13 部分地蝕刻之方式，形成接觸孔 13b。沈積摻雜多晶矽而填充接觸孔 13b。藉由將該摻雜多晶矽全面蝕刻或 CMP(化學機械研磨法)而形成聚矽墊(poly pad)17。同時地形成聚矽墊 17 和該下方雜質區域 11a 之接觸區域之埋入接觸部 14。且形成矽化鎢層 7 和聚矽墊 17 之接觸區域之埋入接觸部 16。

接著，參照第 11 圖及第 12 圖，形成層間絕緣膜 18。藉由將層間絕緣膜 18 部分地蝕刻之方式，形成接觸孔 18a 及 18b。接觸孔 18a 形成在周邊電路區域 100b，該等到達矽基板 1 或閘極電極 9 為止。接觸孔 18b 到達聚矽墊 15。沈積鈦、鈦化物(TiN)或鎢等高熔點金屬膜，用於當作接地線、位元線及金屬接觸焊墊，且埋入接觸部孔 18a 及 18b。藉由將該等高熔點金屬選擇性地形成圖案之方式，形成位元線 19b 及鎢配線 119。形成矽氮化膜 53 覆蓋鎢配線 119 及位元線 19b。

參照第 13 圖至第 15 圖，以在矽氮化膜 53 上方形成由矽氧化膜構成之層間絕緣膜 21。以在此處形成矽氮化膜 53 之方式，可防止後步驟處理所造成的由鎢構成之位元線 19b 及鎢配線 119 之氧化，而獲得可防止配線電阻值上升之效果。但是，後步驟之處理甚少影響時，亦可不形成矽氮化膜 53。

為了和聚矽墊 15 及 17 連接，藉由將層間絕緣膜 18 及 21 以及矽氮化膜 53 蝕刻之方式，形成接觸孔 21a。此

時，亦可在接觸孔 21a 內部沈積矽氮化膜，藉由將其蝕刻之方式，縮小接觸孔 21a 之直徑。

接著，形成 TFT 閘極電極 23，埋入接觸部孔 21a 且覆蓋層間絕緣膜 21 之部分表面。藉由摻雜多晶矽構成 TFT 閘極電極 23。接著，全面地沈積矽氧化膜，藉由將其蝕刻之方式而形成側壁絕緣膜 24a。該側壁絕緣膜 24a 於該實施狀態，係設用於後步驟之防止蝕刻殘渣、後步驟之通道摻雜、形成高濃度 p 型區域時之離子植入之陰影效應對策，但並非必須設側壁絕緣膜 24a。

接著，藉由沈積矽氧化膜之方式，形成 TFT 閘極氧化膜 24b。然後，在 TFT 閘極氧化膜 24b 上方沈積非晶質多晶矽，使其退火後，藉由蝕刻之方式形成 TFT 多晶矽 25 及 125，當作成為 TFT 之通道、源極及汲極區域之 TFT 主體。此時，為了將 TFT 設定成特定之臨限值電壓 V_{th} ，亦可將通道摻雜之硼及磷植入 TFT 多晶矽 25 及 125。接著，為了形成 TFT 之源極及汲極區域，選擇性地將硼植入 TFT 多晶矽 25 及 125，形成 p+ 區域之 V_{cc} 部 25c 及 125v、記憶節點部 25n 及 125n、以及通道部 25c 及 125c (參照第 14 圖)。 V_{cc} 部 25v 及 125v 設定成電源電位 V_{cc} ，記憶節點部 25n 及 125n 和記憶節點 n1 及 n2 連接，通道部 25c 及 125c 係負載電晶體 T3 及 T4 之通道區域。

參照第 16 圖及第 17 圖，沈積層間絕緣膜 26。接著，藉由將沈積層間絕緣膜 26、TFT 多晶矽 125 及 TFT 閘極氧化膜 24b 蝕刻之方式，形成接觸孔 26a。形成由摻雜有磷

等 n 型雜質之多晶矽所構成之聚矽墊 28，填入接觸孔 26a。由此，在聚矽墊 28 與 TFT 閘極 23 之間形成埋入接觸部 27。

參照第 18 圖及第 19 圖，為了形成擴大電容器面積之圓筒電容器，沈積矽氮化膜 54 及層間絕緣膜 29 後，藉由將該等選擇性地蝕刻之方式而形成孔 29a。然後，矽氮化膜 54 係當作蝕刻時之阻擋層使用。

接著，在孔 29a 表面沈積摻雜多晶矽和非晶質矽，藉由使該表面粗面化之方式，形成儲存節點 30。接著，在儲存節點 30 表面例如藉由沈積矽氮化膜之後氧化的方式，形成介電體之電容膜 31。藉由在電容膜 31 表面沈積摻雜非晶質矽而蝕刻之方式，形成胞板 40。藉此形成圓筒型電容器 32a(C1)及 32b(C2)。如第 18 圖所示，2 個電容器 32a(C1)及 32b(C2)對當作字元線之閘極電極 9 設成大致線對稱。

參照第 20 圖，形成層間絕緣膜 33。形成接觸孔 33a 貫穿層間絕緣膜 33、29、26、21、矽氮化膜 54 及 TFT 閘極氧化膜 24b。形成金屬接觸部 34 而填充接觸孔 33a。接著，形成由鈦化膜或鎢膜構成之阻障層 55、由鋁-銅合金構成之金屬配線 35 及由鈦化物構成之阻障層 56。該等係藉由濺鍍堆積膜後，以將該等蝕刻之方式形成。

參照第 3 圖，堆積由矽氧化膜構成之層間絕緣膜 36，覆蓋金屬配線 35。藉由將部分層間絕緣膜 36 蝕刻之方式，形成接觸孔 36a。形成金屬接觸部 37 而填充該接觸孔 36a。接著，藉由將鈦化物及鎢沈積之方式，形成阻障層 57，在

該上方形成由鋁-銅合金構成之金屬配線 38，在該上方形成由鈦化物構成之阻障層 58。接著，形成電漿矽氧化膜、聚醯亞胺膜當作鈍化膜 39，藉由蝕刻形成切割道、焊墊。藉此，可形成第 1 圖至第 3 圖所示之半導體裝置。

上述之製造方法中，形成構成習知之 DRAM 記憶胞之存取電晶體及電容器之步驟包含形成鎖門電路 130 之步驟，該鎖門電路 130 係由包含將薄膜電晶體當作負載電晶體之正反器電路構成。上述製造方法中，僅在習知之 DRAM 製造線稍微施加修正即可實現。因而，可根據第 4 圖至第 20 圖所示之步驟，製造相當於第 1 圖所示之電路之半導體記憶裝置。

且上述實施型態中，負載電晶體 T3 上方形成有電容器 C1。電容器 C1 之儲存節點 30(胞板 40)連接在記憶節點 n2 及連接點 m1，連接在記憶節點 n1 及連接點 m2 之 TFT 閘極電極 23 之電位相異。因此，由於藉由上部儲存節點 30 防止負載電晶體 T3 錯誤動作，故層間絕緣膜 26 之厚度設定成比 TFT 閘極氧化膜 24b 厚。例如，相對於 TFT 閘極氧化膜 24b 之厚度為大約 5 至 50nm，層間絕緣膜 26 之厚度為大約 50 至 500nm。

再者，從第 15 圖可知，負載電晶體 T3 之通道部和位元線 19b 重疊，但 TFT 閘極電極 23 插入在該等之間而互相地保護該等。其結果可防止位元線 19b(/BL)造成負載電晶體 T3 錯誤動作。但是，發生光罩之對準偏移時，該等亦可能暫時地重疊。因而，為了防止位元線 19b(/BL)造成

負載電晶體 T3 錯誤動作，將 TFT 閘極電極 23 間之層間絕緣膜 21 的厚度，設定成比 TFT 閘極氧化膜 24b 厚為佳。例如，相對於 TFT 閘極氧化膜 24b 之厚度為大約 5 至 50nm，層間絕緣膜 21 之厚度為大約 50 至 500nm。

且，本實施型態中，使用摻雜有磷之摻雜多晶矽當作導熱絕緣墊 28，但於 TFT 多晶矽 25 和導熱絕緣墊 28 之連接部分，形成有 pn 接合，接合之內建電位之影響(Vbi)於資料保持狀態，使記憶節點 n1 及 n2 之電位僅上升到 $V_{cc}-V_{bi}$ 為止。以第 21 圖所示之電路圖表示之。因此，亦可取代摻雜有磷之摻雜多晶矽，以設鎢或鈦化物等金屬取代導熱絕緣墊 28 之方式，防止形成 pn 接合亦可。

且，本實施型態中，構成導熱絕緣墊 28 之摻雜有磷之多晶矽中的磷濃度，設定成比基板上方之導熱絕緣墊 15 或閘極電極 9 上方之導熱絕緣墊 17 低。例如相對於導熱絕緣墊 28 中的磷濃度為 5×10^{19} 至 $2 \times 10^{10} \text{ cm}^{-3}$ ，導熱絕緣墊 15 及 17 中的磷濃度為 2.5×10^{20} 至 $7.0 \times 10^{20} \text{ cm}^{-3}$ 。其結果可防止從 TFT 多晶矽 25 和導熱絕緣體 28 之連接部分朝向 TFT 通道方向之磷(n 型雜質)擴散，對 p 型雜質區域之記憶節點之導電型的影響變小，獲得 TFT 性能安定化之效果。

且，上述實施型態中，如第 11 圖所示，接地線 19c 及 19d 形成比位元線 19a(BL)及位元線 19b(/BL)粗。以設定成如此之方式，接地線之電阻降低，獲得記憶胞動作安定化之效果。

相反地，亦可將位元線 19a 及 19b 設定成比接地線 19c

及 19d 粗(不圖示)。該情形可獲得降低位元線之傳播延遲，而提高存取速度之效果。

再者，參照第 3 圖及第 18 圖，相對於當作字元線之閘極電極 9，線對稱地配設有電容器 C1 及 C2。電容器 C1 及 C2 中的一方電位經常地較高，而另一方較低。由於該等電容器 C1 及 C2 對於當作字元線之閘極電極 9 配設成線對稱，因此閘極電極 9 和電容器之寄生容量不論記憶胞之資料而形成一定，可防止寄生容量變動造成動作不良。

且，參照第 3 圖及第 18 圖，對於位元線 19a 及 19b，以線對稱之方式配設有電容器 C1 及 C2。因此，位元線 19a(BL)和電容器之寄生容量，與位元線 19b(BL)和電容器之寄生容量，不論記憶胞之資料而形成一定，可防止寄生容量變動造成動作不良。

且，如第 11 圖所示，在 1 個記憶胞 60 內部獨立地設 2 處位元線接觸，而未與其他胞進行共有化。即，位元線 19b 介置以接觸孔 18b 和矽基板 1 連接，位元線 19a 介置以另一接觸孔 18b 和矽基板 1 連接。因此，可減低存取電晶體和位元線接觸間之連接電阻，獲得記憶胞動作安定之效果。

實施例 2

參照第 22 圖，依據本發明之實施型態 2 的半導體裝置 100 中，當作接觸孔之孔 29a 到達 TFT 閘極電極 23 為止，在該孔 29a 內部形成有電容器 32b(C2)之點，和依據實施型態 1 之半導體裝置 100 相異。

該電容器 32b(C2)之製造方法和實施型態 1 相同。

如此之半導體裝置，比實施型態 1 之半導體裝置的效果，進一步不須形成導熱絕緣墊 28 等，製程簡略化且可降低製造成本。

實施例 3

參照第 23 圖及第 24 圖，依據本發明實施型態 3 之半導體裝置 100 中，存取節點 30 之位置和依據實施型態 1 之半導體裝置相異。即，本實施型態 3 中，將與 TFT 閘極電極 23 相同電位之電容器 32b(C2)之存取節點 30 及記憶胞板 40，配設在負載電晶體 T3 上方。如第 23 圖所示，將存取節點 30 和 TFT 閘極電極 23 形成完全相同之佈局。該情形係藉由 TFT 構成之負載電晶體 T3 形成上下方一併具有閘極電極之雙閘極構造，可獲得提高 TFT 特性之效果。且，由於亦可使用相同的光罩製造 TFT 閘極電極 23 和儲存節點 30，因此亦可獲得刪減光罩費用(成本)之效果。然後，該情形與實施型態 1 相異，層間絕緣膜 26 之厚度形成和 TFT 閘極氧化膜 24b 大致同等的厚度為佳，但如第 24 圖所示，即使較厚仍可獲得儲存節點 30 當作上部閘極電極作用之效果。

實施例 4

第 25 圖中，TFT 閘極電極 23 和 TFT 多晶矽 25 之上下關與在第 3 圖比較，形成調換之點，和依據實施型態 1 之半導體裝置 100 相異。即，第 25 圖係存取電晶體 T6 及驅動電晶體 T2 形成在矽基板 1 上方，且電容器 32b(C2)形成

在該上方。藉由貫穿層間絕緣膜 13、18、21、TFT 閘極氧化膜 24b、矽氮化膜 53 及 54、以及層間絕緣膜 26 之聚矽墊 28、TFT 閘極電極 23、聚矽墊 15 及 17，連接當作存取電晶體 T6 的源極及汲極區域之雜質區域 11a 和電容器 32b(C2)之儲存節點 30。且，藉由聚矽墊 17 連接驅動電晶體 T1 之閘極電極 9 和 TFT 多晶矽 25。

以接近主表面 1f 之順序形成有驅動電晶體 T1 及 T2、存取電晶體 T5、位元線 19b、以及負載電晶體 T3。

接著，說明關於第 25 圖所示之半導體裝置之製造方法。實施型態 1 之第 4 圖至第 12 圖所示之步驟，亦可適用於本實施型態。

參照第 26 圖及第 27 圖，形成矽氮化膜 53 及層間絕緣膜 21。在層間絕緣膜 21 上方沈積非晶質多晶矽，且退火，藉由蝕刻方式形成當作 TFT 之通道及源極汲極區域之 TFT 多晶矽 25。此時，由於將 TFT 設定成特定之臨限值電壓 V_{th} ，因此亦可植入通道摻雜之硼或磷。TFT 多晶矽 25 及 125 具有導電性。

參照第 28 圖及第 29 圖，在 TFT 多晶矽 25 及 125 上方沈積 TFT 閘極氧化膜 24b。接著，藉由將 TFT 閘極氧化膜 24b、層間絕緣膜 21 及 13、以及矽氮化膜 53 蝕刻之方式，形成接觸孔 21a。埋入接觸部孔 21a 且沈積摻雜多晶矽層而覆蓋 TFT 閘極氧化膜 24b 表面，藉由將其蝕刻之方式，形成 TFT 閘極電極 23。接著，由於形成源極汲極區域，因此在 TFT 多晶矽 25 選擇性地植入硼，形成 p+區域(高濃

度 p 型雜質區域)之 V_{cc} 部 25v 及 125v、記憶節點部 25n 及 125n。形成有反相器之負載電晶體 T3 及 T4。藉由薄膜電晶體構成負載電晶體 T3 及 T4，以第 28 圖之斜線部表示。

參照第 30 圖及第 31 圖，沈積層間絕緣膜 26。接著，藉由將層間絕緣膜 26 蝕刻之方式，形成接觸孔 26a。堆積摻雜多晶矽而填充接觸孔 26a。藉此在摻雜多晶矽和 TFT 閘極電極 23 之間形成埋入接觸部 27。進一步藉由將露出在層間絕緣膜 26 上方之摻雜多晶矽蝕刻之方式，形成聚矽墊 28。

然後，和實施型態 1 同樣地形成電容器等。

依據以上實施型態 4 之半導體裝置，具有和依據實施型態 1 之半導體裝置所獲得之效果。再者，如第 25 圖所示，由於 TFT 閘極電極 23 覆蓋構成 TFT 通道之 TFT 多晶矽 25 及 125 上方，因此具有 TFT 多晶矽 25 及 125 不易受到形成在上部之電容器 C1 之記憶胞板電位的影響之效果。

實施例 5

參照第 32 圖至第 34 圖，依據本發明實施型態 5 之半導體裝置 100 中，第 3 圖所示之當作 TFT 閘極氧化膜 24b 及 TFT 主體之 TFT 多晶矽 25，置換成當作層間矽氧化膜之層間絕緣膜 44，和當做多晶矽之高電阻元件之負載電阻元件 45。如第 34 圖所示，存取電晶體 T6 形成在矽基板 1 上方，該上方形成有電容器 32b(C2)。藉由貫穿層間絕緣膜 26、44、21 及 18，以及矽氮化膜 53 之聚矽墊 28 及 TFT

閘極電極 23 而導通存取電晶體 T6 之源極汲極區域之雜質區域 11a 和電容器 32b(C2)之儲存節點 30。且，以電性方式連接當作驅動電晶體 T1 之閘極電極 9 和高電阻多晶矽之負載電阻元件 45(汲極區域 D)。

如第 32 圖所示，位元線 BL 連接有存取電晶體 T5 之汲極區域 D。以電性方式連接存取電晶體 T5 之源極區域(S)和電容器 C1 之儲存節點 30，該等係形成對應習知之 DRAM 的記憶胞部分。相輔位元線 /BL 連接有存取電晶體 T6 之汲極區域 D。以電性方式連接存取電晶體 T6 之源極區域 S 和電容器 C2 之儲存節點 30。該等係形成對應習知之 DRAM 的記憶胞部分。

驅動電晶體 T1 和高電阻多晶矽之負載電阻元件 R1，形成一方記憶節點 n1，驅動電晶體 T2 和高電阻多晶矽之負載電阻元件 R2，形成另一方記憶節點 n2。由該等 2 個節點構成之正反器電路，形成對上述 DRAM 的記憶胞之鎖門電路。藉由組合電性電阻和電晶體而構成正反器電路之反相器的方式，比由 2 個 CMOS 電晶體構成之反相器之製造處理步驟簡單，可提供一種低價之半導體記憶裝置。

以下說明關於上述記憶胞電路中的訊號寫入和讀出。上述記憶胞 60 連接有位元線 BL 和相輔位元線 /BL。在寫入時，例如將字元線 WL 之電位當作超級 $V_{cc}(V_{cc} + \text{驅動電晶體之臨限值 } V_{th} \text{ 以上})$ ，而在位元線 BL 和相輔位元線 /BL 施加相反的訊號。例如在位元線 BL 施加 High 電位(例如 V_{cc} 電位)時，連接點 m1 之電位形成 High 電位。因而，將

電荷充電到電容器 C1。另一方面，從相輔位元線 /BL 將負電位或零電位施加到連接點 m2。因此，在連接點 m2 形成 Low 電位，而不將電荷充電到電容器 C2。在正反器電路，連接點 m1 形成內部 Vcc 電位，連接點 m2 形成零電位或接地電位。雖然產生接合洩漏或驅動電晶體 T1 及存取電晶體 T5 之洩漏，但由於從負載電阻元件 R1 供應電荷，因此連接點 m1 中的電位不降低而安定地保持 High 電位。

另一方面，當讀出時，以感測放大器檢測位元線 BL 和相輔位元線 /BL 之間的電位差，使其增頻而讀取資料。無論如何，由於連接點 m1 及 m2 之電位均保持在特定電位，因此可防止電容器 C1 及 C2 中的洩漏而不須更新。

且，上述高電阻元件(負載電阻元件)45 形成在另一驅動電晶體 T1 及 T2 等之上方，且立體地構成。因此，比形成 SRAM 之記憶胞之情形，可使半導體裝置非常地小型化。

且，藉由如實施例 1 所述之 pn 接合而無內建電位(Vbi)之問題，且動作安定化。藉由當作負載電阻元件之高電阻多晶矽所構成之負載電阻元件 45 和導熱絕緣墊 28，包含同一導電型之雜質。

依據實施例 5 之半導體裝置中，鎖門電路 130 係包含負載電阻元件 45 之正反器電路，負載電阻元件 45 設在位元線 19b 上方。然後，亦可將導熱絕緣墊 28 置換成由金屬構成之插塞層。該情形係儲存節點 30 介置以插塞層而連接在負載電阻元件 45，連接在負載電阻元件 45 之插塞層部

分含有金屬。

接著，說明關於第 34 圖所示之半導體裝置之製造方法。到形成層間絕緣膜 21 為止之步驟，和實施型態 1 相同。接著，在層間絕緣膜 21、矽氮化膜 53、層間絕緣膜 18 形成接觸孔 21a。此時，亦可將矽氮化膜沈積在接觸孔 21a 內部，藉由將其蝕刻之方式縮小接觸孔之尺寸。接著，使摻雜多晶矽以填充接觸孔 21a 之方式形成，且在摻雜多晶矽和聚矽墊 15 及 17 之界面形成埋入接觸部。再者，藉由將摻雜多晶矽蝕刻之方式，形成多晶矽配線 23b。接著，沈積矽氧化膜，藉由將其全面蝕刻之方式，形成側壁絕緣膜 24a。進一步於該上方藉由堆積矽氧化膜之方式，形成層間絕緣膜 44。此時，為了避免層間絕緣膜 44 影響多晶矽配線 23b，將該厚度設定為 50 至 500nm，比實施型態 1 之 TFT 閘極氧化膜 24b 厚為佳。

將無摻雜多晶矽沈積在該上方而藉由將其蝕刻之方式，形成高電阻多晶矽之負載電阻元件 45。此時為了設定成所要的高電阻，亦可植入磷等。接著，為了形成中電阻區域，在負載電阻元件 45 之配線區域選擇性地植入磷。藉由該處理，形成和驅動電晶體 T1 之閘極連接的負載電阻元件 R1 及 R2(參照第 33 圖)。砷或磷均為 n 型雜質，沒有如實施型態 1 所述之 pn 接合所造成的內建電位(Vbi)之問題。且，上述之高電阻多晶矽形成中，不須退火等處理，比 CMOS 電晶體之形成容易，可達成低價之製造費用。然後，如第 33 圖所示，在高電阻多晶矽之負載電阻元件 R1

及 R2，未摻雜有雜質或僅略微摻雜，在當作其他配線區域之 TFT 多晶矽 25 及 125，摻雜有較多 n 型雜質。

接著，藉由堆積矽氧化膜之方式，沈積層間絕緣膜 26。形成接觸孔 26a，貫通層間絕緣膜 26 及 44 而接觸在多晶矽配線 23b。形成摻雜多晶矽而填充接觸孔 26a。藉此，在摻雜多晶矽和多晶矽配線 23b 之界面形成埋入接觸部 27。藉由將摻雜多晶矽蝕刻之方式，形成聚矽墊 28。其後之步驟可使用實施例 1 之步驟。

上述製造方法係於形成構成習知之 DRAM 之記憶胞的存取電晶體及電容器之步驟中，由形成組合 1 對反相器之鎖門電路之步驟所構成，該反相器係由高電阻多晶矽等構成之電性電阻及驅動電晶體所構成。上述製造方法係於既存之 DRAM 製造線僅稍微施加修正即可實現。因而，相當於第 32 圖所示之電路的半導體記憶裝置，可根據第 34 圖所示之步驟製造。

實施例 6

第 35 圖至第 38 圖所示之半導體裝置 100，係將實施例 1 之第 3 圖所示之半導體裝置變形者。即，第 35 圖係金屬接觸部 34 到達鎢配線 119 為止。第 36 圖係金屬接觸部 34 到達多晶矽電極 123 為止。第 37 圖係金屬接觸部 34 到達閘極電極 9 為止。第 38 圖係金屬接觸部 34 貫穿 TFT 多晶矽 25 而到達聚矽墊 17。

如此構成之半導體裝置中，具有和依據實施例 1 之半導體裝置相同之效果。

實施例 7

參照第 39 圖，依據本發明實施例 7 之半導體裝置 100，係於僅設有 1 個電容器 C1 之點，和依據設有電容器 C1 及 C2 之 2 個的實施例 1 之半導體裝置相異。該情形係於等效電路上方形成 1 條位元線、1 個電容器。該情形係將位元線之預行充電電位設定成 $V_{cc}/2$ 較佳。

上述實施例中，表示當作形成鎖門電路之正反器電路之負載的 TFT 和高電阻之情形，但若能將儲存節點之電位維持特定循環時間，則亦可使用任何元件構成之鎖門電路或正反器電路。例如串聯地連接 4 個反相器者或組合其他邏輯閘極而構成鎖門電路亦可。尤其，為了將本發明之半導體記憶裝置小型化，構成鎖門電路之至少 1 個電路元件位於存取電晶體上方較佳。即，可藉由立體化減少平面尺寸。

再者，存取電晶體形成在半導體基板表層，電容器配設在位於和半導體基板之間至少介置以 1 層層間絕緣膜之上部絕緣膜內部。鎖門電路形成在比上部層間絕緣膜下方較佳。根據該構成，例如一面從下方順序地朝上下方向部分地重複，例如可依照矽基板、存取電晶體、鎖門電路、電容器之順序，將半導體記憶裝置各元件以立體配設形成。再者，由於在中間層間絕緣膜內，亦將部分電路元件形成在比位元線或接地線上方，因此增加配設部分上述電路元件時之自由度。具體而言，可增大 TFT 元件之閘極尺寸。且，可確保充分之高電阻元件之電阻長度，可減低光

罩對位偏移等造成之元件特性不均。藉此，可提高當作鎖門電路之可靠性。

因此，廢止更新之後，可將平面尺寸微細化。且，將習知之製造方法修正成本發明之製造方法，形成鎖門電路，而使該鎖門電路容易以電性方式連接在連接存取電晶體之源極汲極區域和儲存節點區域之導電路。以電性方式連接鎖門電路之部位，若為包含儲存節點和存取電晶體之源極汲極區域之該導電路，則任何部位均可。

構成正反器電路之反相器中的電性電阻，係以包含雜質之多晶矽構成之方式，製造上較容易。另外，以矽以外的材料形成電性電阻亦可。

實施例 8

參照第 40 圖，依據本發明實施型態 8 之半導體裝置 100，儲存節點 30 直接接觸在多晶矽配線 23b。形成接觸在多晶矽配線 23b 和負載電阻元件 45 之孔 29a，在該孔 29a 形成儲存節點 30。儲存節點 30 之側壁直接接觸在負載電阻元件 45。

如此構成之半導體裝置 100，亦具有和第 34 圖所示之半導體裝置 100 同樣之效果。再者，由於不形成插塞層，可將製造步驟簡略化。

實施例 9

參照第 41 圖及第 42 圖，在依據本發明實施型態 9 之半導體裝置 100，和實施型態 1 同樣地形成 TFT 閘極電極 23，亦設有上部閘極電極 23 之點，和實施型態 1 相異。但

上部 TFT 閘極電極 23 相當於下部閘極電極，具有以 TFT 閘極電極 23 及上部 TFT 閘極電極 23a 夾住 TFT 多晶矽 25 之雙閘極構造。埋入接觸部 27a 貫穿 TFT 多晶矽 125，發揮互相地連接 TFT 閘極電極 23 和上部 TFT 閘極電極 23a 之功能。上部 TFT 閘極電極 23a 連接有電容器。矽氮化膜 53 上方設有中間層間絕緣膜 126。中間層間絕緣膜 126 設有接觸孔 126a，在接觸孔 126a 填充有上部 TFT 閘極電極 23a。藉此連接有 TFT 閘極電極 23 和上部 TFT 閘極電極 23a。

接著，說明關於第 41 圖及第 42 圖所示之半導體裝置之製造方法。參照第 43 圖及第 44 圖，依據實施例 1 之第 4 圖至第 11 圖，製造到矽氮化膜 53 為止之構造。

參照第 45 圖及第 46 圖，在層間絕緣膜 21 上方形成抗蝕圖案(不圖示)，將該抗蝕圖案當作光罩而將層間絕緣膜 21、矽氮化膜 53 及層間絕緣膜 18 蝕刻。藉此，形成接觸孔 21a。填充接觸孔 21a，且形成 TFT 閘極電極 23，覆蓋層間絕緣膜 21 之部分表面。

參照第 47 圖至第 49 圖，在層間絕緣膜 21 上方形成中間層間絕緣膜 126，覆蓋 TFT 閘極電極 23。在中間層間絕緣膜 126 上方形成當作 TFT 主體之 TFT 多晶矽 25 及 125。形成 TFT 閘極氧化膜 24b，覆蓋 TFT 多晶矽 25 及 125。在 TFT 閘極氧化膜 24b 上方形成抗蝕圖案，將抗蝕圖案當作光罩而將 TFT 閘極氧化膜 24b、TFT 多晶矽 23 及 125、以及中間層間絕緣膜 126 蝕刻。藉此，形成到達 TFT 閘極

電極 23 之接觸孔 126a。形成上部 TFT 閘極電極 23a 覆蓋接觸孔 26a，且覆蓋部分 TFT 閘極氧化膜 24b。上部 TFT 閘極電極 23a 和 TFT 閘極電極 23 之交界部分形成埋入接觸部 27。

參照第 50 圖及第 51 圖，形成層間絕緣膜 26 覆蓋上部 TFT 閘極電極 23a。在層間絕緣膜 26 上方形成抗蝕圖案，將抗蝕圖案當作光罩而藉由將層間絕緣膜 26 蝕刻之方式，形成接觸孔 26a。形成修正習知之製造方法而填充接觸孔 26a。然後，依據和實施型態 1 同樣的步驟，完成實施型態 9 之半導體裝置。

依據如上述實施型態 9 之半導體裝置 100，可一併具有實施型態 3 之雙閘極之效果，和實施型態 4 之摻雜閘極之效果。

然後，第 42 圖係接觸孔 126a 貫穿 TFT 多晶矽 125，但若是和 TFT 閘極電極 23 充分連接，則亦可為不貫通之構造。

且，本實施例係將相當於下部閘極絕緣膜之中間層間絕緣膜 126 的膜厚形成比 TFT 閘極氧化膜 24b 厚，但更希望形成相同程度之厚度用於提高 TFT 之性能為佳。

本發明係製造 100 個第 3 圖所示之元件，而測定將該元件使用 10^6 小時之故障率。此時，測定改變電容器 C1 及 C2 之容量(Femto-Farad(毫微微法拉): fF)時的故障率。其結果如第 52 圖所示。

第 52 圖中的縱軸 FIT 係以以下公式表示。

$1\text{FIT}=10^9 \times [(\text{故障元件數})/\{(\text{作業元件數}) \times (\text{作業時間 (時)})\}]$

例如，將 100 個元件使用 10^6 小時而出現 1 個故障時，故障率為 10FIT。

由第 52 圖可知軟錯誤之因應方案為將電容器電容量設定 6fF 以上較佳。

以上，說明關於本發明之實施型態及實施例，但此處所示之實施型態可變更成各式各樣。

首先，記憶胞板 40 之電位不僅 $1/2V_{cc}$ (電源電位)，可設定為電源電位或接地。在實施例中，鎖門電路 130 之構成要素之至少一個，係構成在存取電晶體 T6 上方。藉此，可使半導體裝置 100 之面積小型化。亦可將驅動電晶體等其他構成要素形成在鎖門電路上方。

再者，各電晶體之尺寸並非受限制者，但從微細化之觀點來看，

存取電晶體 T5 及 T6 之閘極長度為 $0.2\mu\text{m}$ 以下、閘極寬度為 $0.2\mu\text{m}$ 以下、驅動電晶體 T1 及 T2 之閘極長度為 $0.2\mu\text{m}$ 以下、閘極寬度為 $0.2\mu\text{m}$ 以下、負載電晶體 T3 及 T4 (薄膜電晶體) 之閘極長度為 $0.5\mu\text{m}$ 以下、閘極寬度為 $0.3\mu\text{m}$ 以下為佳。

[圖式之簡單說明]

第 1 圖依根據本發明實施例 1 之半導體裝置之等效電路圖。

第 2 圖係依據本發明實施例 1 之半導體裝置之俯視

圖。

第 3 圖係沿著第 2 圖中之 III-III 線之剖視圖。

第 4 圖係表示第 1 圖至第 3 圖所示之半導體裝置製造方法之第 1 步驟俯視圖。

第 5 圖係詳細地表示第 4 圖所示之記憶胞區域之俯視圖。

第 6 圖係沿著第 4 圖中之 VI-VI 線之剖視圖。

第 7 圖係表示第 1 圖至第 3 圖所示之半導體裝置製造方法之第 2 步驟俯視圖。

第 8 圖係沿著第 7 圖中之 VIII-VIII 線之剖視圖。

第 9 圖係表示第 1 圖至第 3 圖所示之半導體裝置製造方法之第 3 步驟俯視圖。

第 10 圖係沿著第 9 圖中之 X-X 線之剖視圖。

第 11 圖係表示第 1 圖至第 3 圖所示之半導體裝置製造方法之第 4 步驟俯視圖。

第 12 圖係沿著第 11 圖中之 XII-XII 線之剖視圖。

第 13 圖係表示第 1 圖至第 3 圖所示之半導體裝置製造方法之第 5 步驟俯視圖。

第 14 圖係詳細地表示第 13 圖之負載電晶體 T3 及 T4 之俯視圖。

第 15 圖係沿著第 13 圖中之 XV-XV 線之剖視圖。

第 16 圖係第 1 圖至第 3 圖所示之半導體裝置製造方法之第 6 步驟俯視圖。

第 17 圖係沿著第 16 圖中之 XVII-XVII 線之剖視圖。

第 18 圖係第 1 圖至第 3 圖所示之半導體裝置製造方法之第 7 步驟俯視圖。

第 19 圖係沿著第 18 圖中之 XIX-XIX 線之剖視圖。

第 20 圖係第 1 圖至第 3 圖所示之半導體裝置製造方法之第 8 步驟俯視圖。

第 21 圖係依據本發明實施型態 1 之另一半導體裝置之等效電路圖。

第 22 圖係依據本發明實施型態 2 之半導體裝置之剖視圖。

第 23 圖係依據本發明實施型態 3 之半導體裝置之俯視圖。

第 24 圖係沿著第 23 圖中之 XXIV-XXIV 線之剖視圖。

第 25 圖係依據本發明實施型態 4 之半導體裝置之剖視圖。

第 26 圖係第 25 圖所示之半導體裝置製造方法之第 1 步驟俯視圖。

第 27 圖係沿著第 26 圖中之 XXVII-XXVII 線之剖視圖。

第 28 圖係第 25 圖所示之半導體裝置製造方法之第 2 步驟俯視圖。

第 29 圖係沿著第 28 圖中之 XXIX-XXIX 線之剖視圖。

第 30 圖係第 25 圖所示之半導體裝置製造方法之第 3 步驟俯視圖。

第 31 圖係沿著第 30 圖中之 XXXI-XXXI 線之剖視圖。

第 32 圖係根據本發明實施型態 5 之半導體裝置之等效電路圖。

第 33 圖係第 32 圖所示之半導體裝置俯視圖。

第 34 圖係沿著第 33 圖中之 XXXIV-XXXIV 線之剖視圖。

第 35 圖至第 38 圖係依據本發明實施型態 6 之半導體裝置剖視圖。

第 39 圖係依據本發明實施型態 7 之半導體裝置之等效電路圖。

第 40 圖係依據本發明實施型態 8 之半導體裝置之剖視圖。

第 41 圖係依據本發明實施型態 9 之半導體裝置之俯視圖。

第 42 圖係沿著第 41 圖中之 XLII-XLII 線之剖視圖。

第 43 圖係表示第 41 圖所示之半導體裝置製造方法之第 1 步驟俯視圖。

第 44 圖係沿著第 43 圖中之 XLIV-XLIV 線之剖視圖。

第 45 圖係表示第 41 圖所示之半導體裝置製造方法之第 2 步驟俯視圖。

第 46 圖係沿著第 45 圖中之 XLVI-XLVI 線之剖視圖。

第 47 圖係表示第 41 圖所示之半導體裝置製造方法之第 3 步驟俯視圖。

第 48 圖係詳細地表示第 47 圖之負載電晶體 T3 及 T4 之俯視圖。

第 49 圖係沿著第 47 圖中之 XLIX-XLIX 線之剖視圖。

第 50 圖係表示第 41 圖所示之半導體裝置製造方法之第 4 步驟俯視圖。

第 51 圖係沿著第 50 圖中之 LI-LI 線之剖視圖。

第 52 圖係表示電容器之電容量和故障率之關係圖表。

1	矽基板	1f	主表面
2	元件隔離區域	3	閘極絕緣膜
3a	底部 n 型井區域	3b	n 型井區域
4	p 型井區域	5	閘極氧化膜
6	摻雜多晶矽層	6fF	電容量
7	矽化鎢層	8	矽氧化膜
9	閘極電極	10、24a	側壁絕緣膜
11a、11b、12	雜質區域	13、18	第 1 層間絕緣膜
13a、18a、18b、21a、26a、33a、36a、126a	接觸孔		
14、16、20、22、27、27a	埋入接觸部		
15、17、28	導熱絕緣墊		
18、21、26、29、33、36、44	層間絕緣膜		
19a、19b、BL	位元線	19c、19d	接地線
21	第 2 層間絕緣膜	23	TFT 閘極電極
23a	上部 TFT 閘極電極	23b	多晶矽配線
24b	TFT 閘極氧化膜	25、125、251	TFT 多晶矽
25c、125c	通道部	25n、125n	記憶節點部

25v、125v	Vcc 部	29a	孔
30	儲存節點	31	電容膜
32a(C1)、32b(C2)	電容器	34、37	金屬接觸
35、38	金屬配線	39	鈍化膜
40	記憶胞板		
44、45、R1、R2	負載電阻元件		
55、56、57、58	阻障層		
60	記憶胞	51、53、54	矽氮化膜
100	半導體裝置	100a	記憶胞區域
100b	周邊電路區域	119	鎢配線
126	中間層間絕緣膜		
130	鎖門電路(毫微微法拉(fF)電路)		
C1、C2	電容器		
D	汲極區域	G	閘極電極
L	閘極長度	n1、n2	記憶節點
m1、m2	連接點		
pn	TFT 多晶矽 25 和導熱絕緣墊 28 之連接部分		
TFT	薄膜電晶體	Vbi	內建電壓
W	閘極寬度	WL	字元線
S	源極區域	T1、T2	驅動電晶體
T3、T4	負載電晶體	T5、T6	存取電晶體
TiN	鈦化物	Vcc、Vcc/2、OV	電位
Vth	臨限值電壓		

伍、中文發明摘要：

本發明係關於一種半導體記憶裝置及半導體裝置，半導體裝置(100)具備：電容器(32a,32b)；存取電晶體(T6)，具有雜質區域(11a)，將雜質區域(11a)之一方以電性方式連接在電容器(32a,32b)而控制儲存在電容器(32a,32b)之電荷進出；鎖門電路(130)，位於矽基板(1)上方，保持電容器之儲存節點(30)之電位；和位元線(19b)，連接在存取電晶體(T6)之雜質區域(11b)另一方。鎖門電路(130)之至少一部分係設在位元線(19b)上方。

陸、英文發明摘要：

A semiconductor device (100) includes: a capacitor (32a,32b); an access transistor (T6) with impurity regions (11a), controlling input/output of charge stored in the capacitor (32a,32b), one of the impurity regions (11a) being electrically connected to the capacitor (32a,32b); a latch circuit (130) located above a silicon substrate (1), and storing the potential of a storage node (30) of the capacitor; and a bit line (19b) connected to the other of the impurity regions (11b) of the access transistor (T6). At least a portion of the latch circuit is formed above the bit line.

拾、申請專利範圍：

1. 一種半導體記憶裝置，具備：

電容器，位於半導體基板上方，具有儲存節點，且保持對應 2 進位資訊之邏輯等級之電荷；

存取電晶體，位於前述半導體基板表面，具有 1 對雜質區域，且前述 1 對雜質區域之一方以電性方式連接在前述電容器而控制儲存在前述電容器之電荷進出；

鎖門電路，位於前述半導體基板上方，保持前述電容器之前述儲存節點之電位；和

位元線，連接在前述存取電晶體之前述 1 對雜質區域另一方；

前述鎖門電路之至少一部分係設在前述位元線上方。

2. 如申請專利範圍第 1 項之半導體記憶裝置，前述鎖門電路係包含負載元件之正反器電路，前述負載元件係藉由薄膜電晶體構成而設在前述位元線上方。

3. 如申請專利範圍第 1 項之半導體記憶裝置，進一步具備設在半導體基板上方之驅動電晶體，和覆蓋前述驅動電晶體之第 1 層間絕緣膜，

前述第 1 層間絕緣膜上方設有前述位元線，

再者，進一步具備設在前述第 1 層間絕緣膜上方之第 2 層間絕緣膜而覆蓋前述位元線。

4. 如申請專利範圍第 1 項之半導體記憶裝置，前述鎖門電路係包含負載元件之正反器電路，前述負載元件係藉由

高電阻元件構成而設在前述位元線上方。

5. 如申請專利範圍第 4 項之半導體記憶裝置，前述儲存節點和前述高電阻元件包含同一導電型之雜質。
6. 本發明係一種半導體記憶裝置，進一步具備連接在前述鎖門電路之接地線，

於同一步驟製造前述接地線和前述位元線。

7. 如申請專利範圍第 1 項之半導體記憶裝置，進一步具備覆蓋前述半導體基板，且有孔之層間絕緣膜，前述孔內設有前述電容器。
8. 如申請專利範圍第 1 項之半導體記憶裝置，前述鎖門電路上方設有前述電容器。
9. 如申請專利範圍第 8 項之半導體記憶裝置，前述存取電晶體之閘極電極連接在字元線，前述電容器具有 2 個前述電容器，2 個前述電容器對前述字元線設成大致線對稱。
10. 如申請專利範圍第 9 項之半導體記憶裝置，前述位元線具有 2 條位元線，前述電容器以平面地重疊之方式形成在該 2 條位元線。
11. 如申請專利範圍第 1 項之半導體記憶裝置，前述鎖門電路進一步具備驅動電晶體，

前述驅動電晶體之閘極長度、前述驅動電晶體之閘極寬度、前述存取電晶體之閘極長度、前述存取電晶體之閘極寬度大致相同。

12. 如申請專利範圍第 1 項之半導體記憶裝置，前述電容器

之電容量為 6fF 以上。

13. 本發明係一種半導體裝置，具備：

鎖門電路，位於半導體基板上；

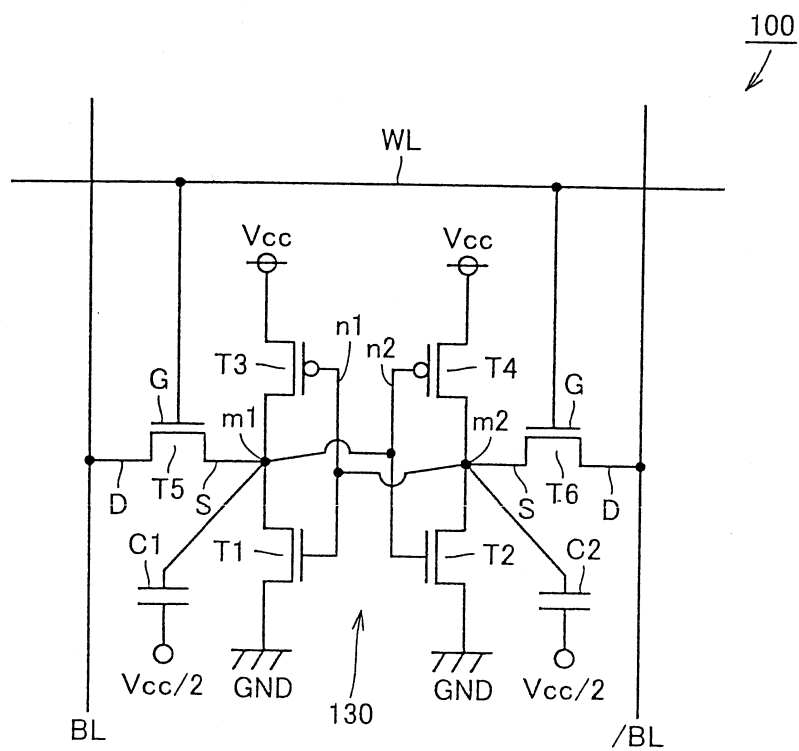
存取電晶體，位於半導體基板表面，具有 1 對雜質區域，且前述 1 對雜質區域之一方連接在前述鎖門電路；和

位元線，連接在前述存取電晶體之前述 1 對雜質區域另一方；

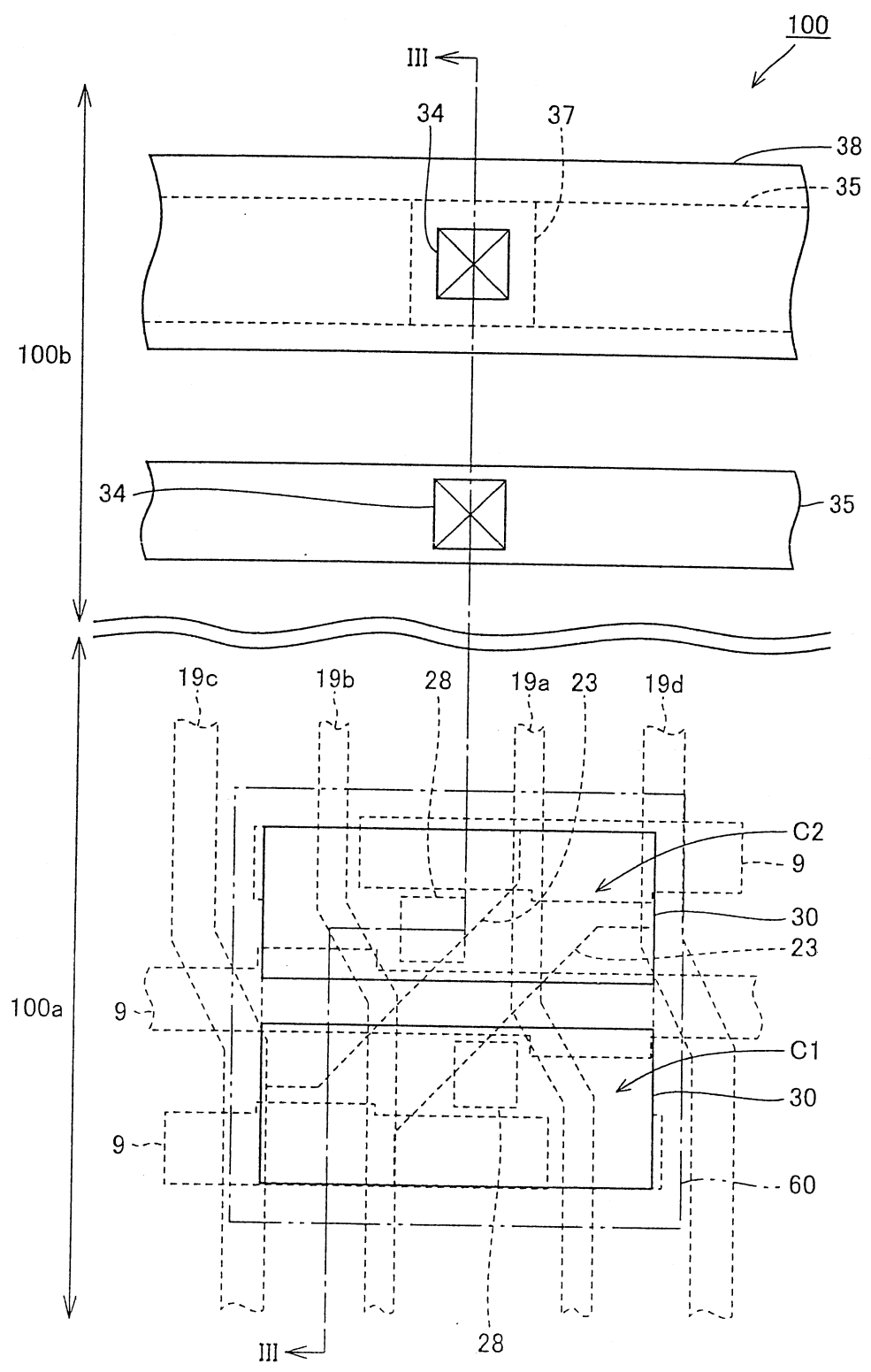
前述鎖門電路之至少一部分係設在前述位元線上方。

14. 如申請專利範圍第 13 項之半導體裝置，前述鎖門電路係當作負載元件而包含負載電晶體之正反器電路，前述負載電晶體藉由薄膜電晶體構成而設在前述位元線上方。

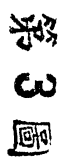
15. 如申請專利範圍第 13 項之半導體裝置，前述鎖門電路係當作負載元件而包含高電阻元件之正反器電路，前述高電阻元件係設在前述位元線上方。

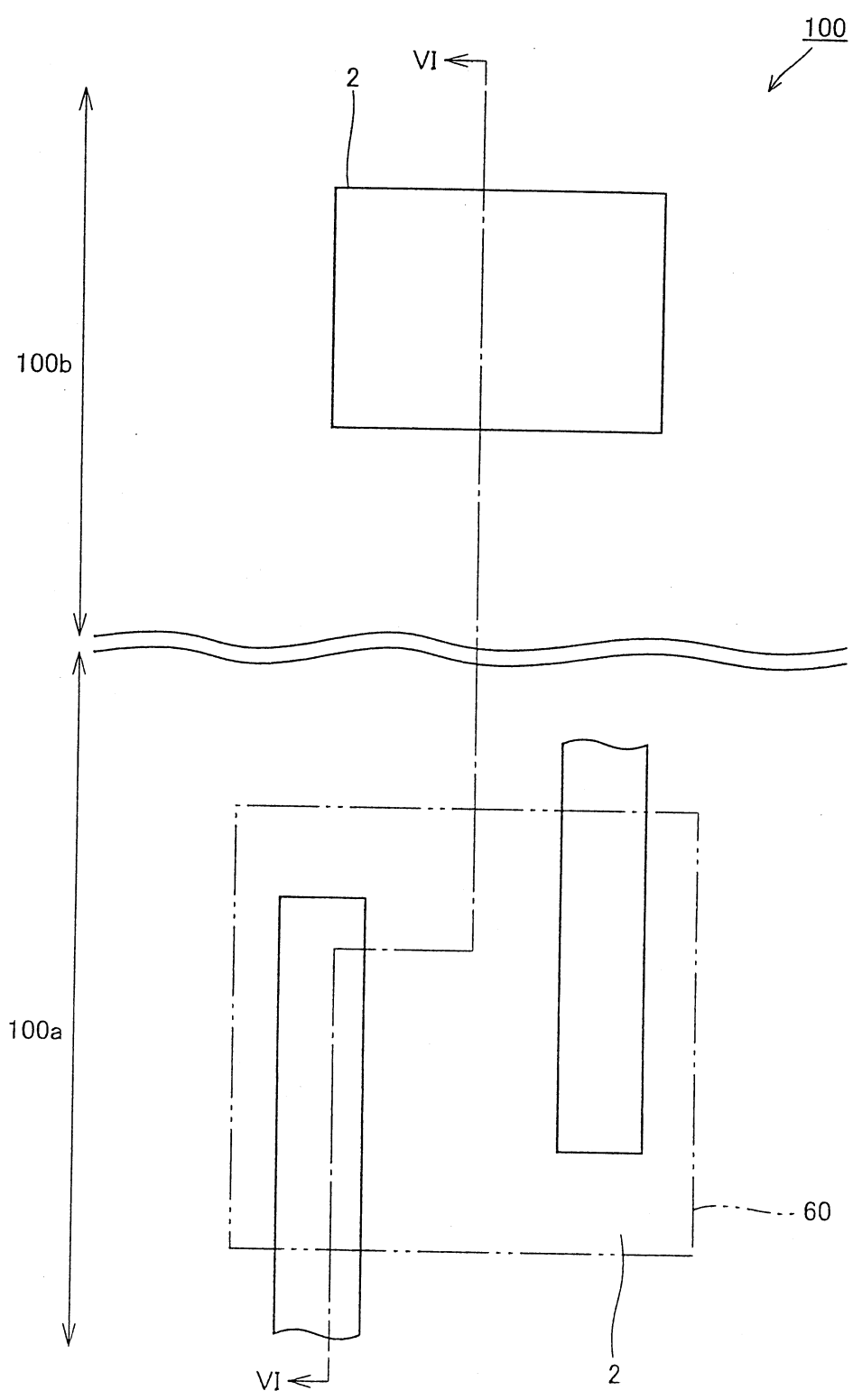


第 1 圖

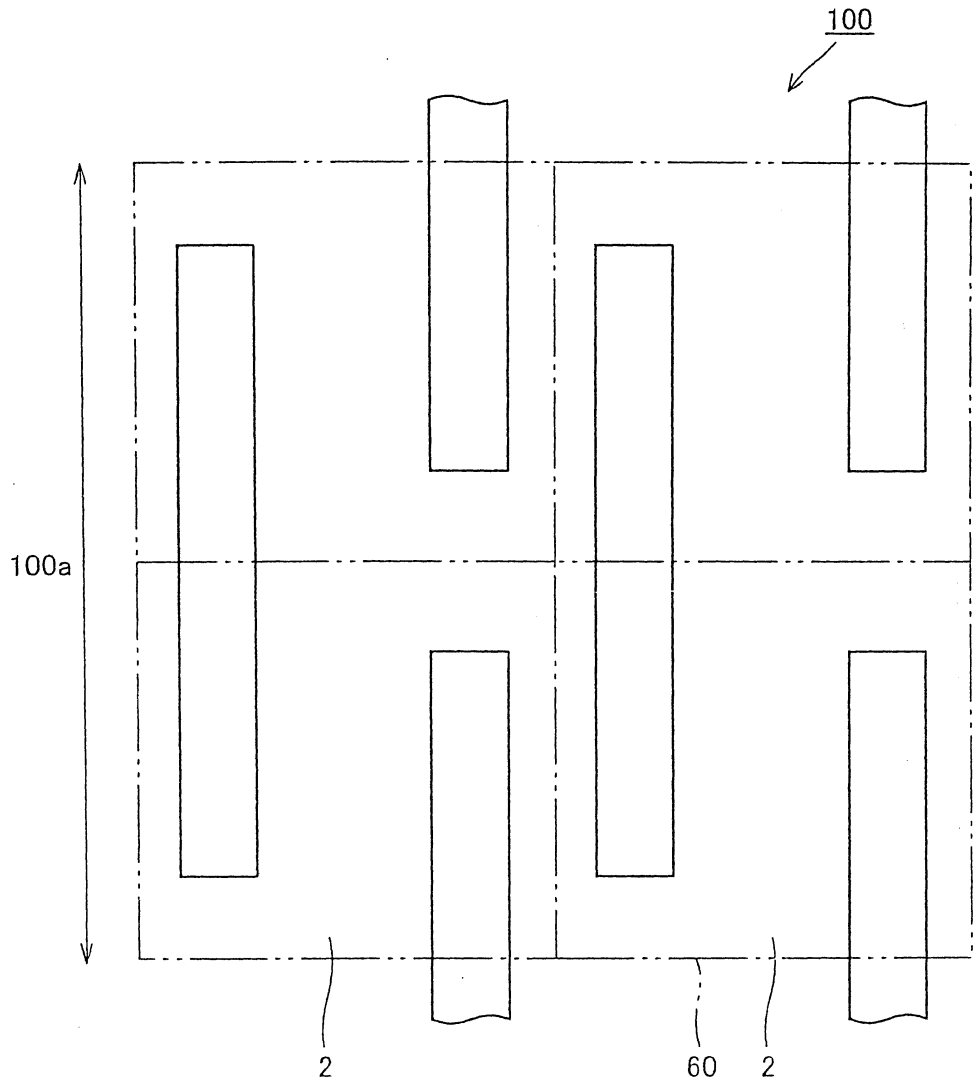


第 2 圖

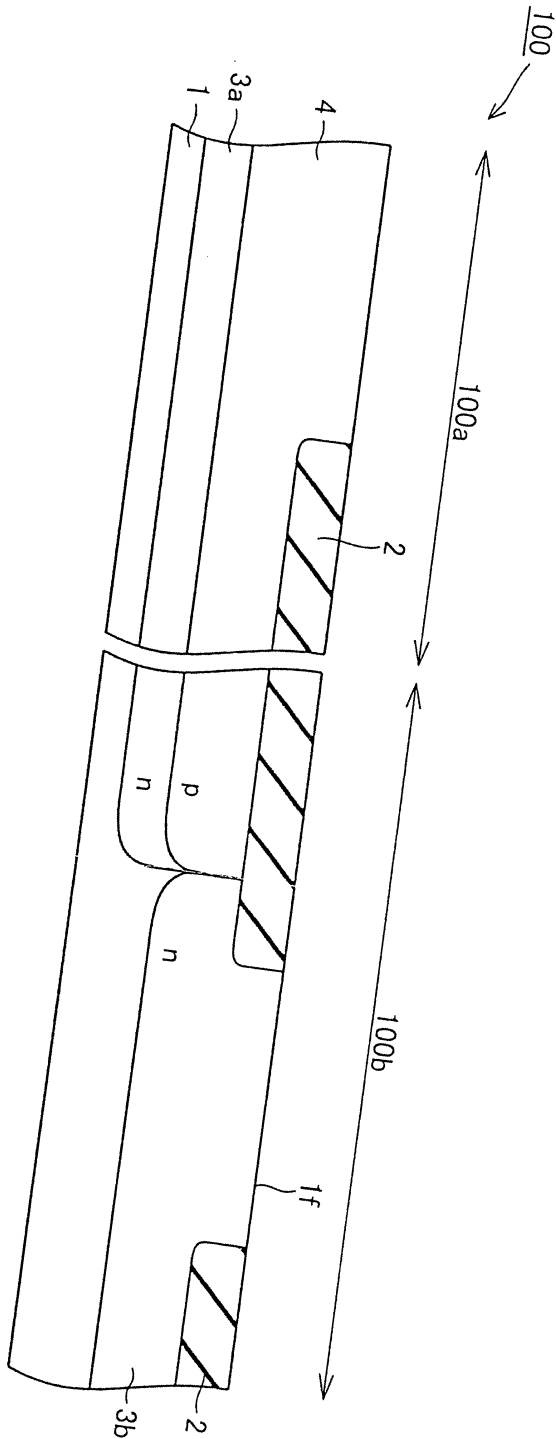




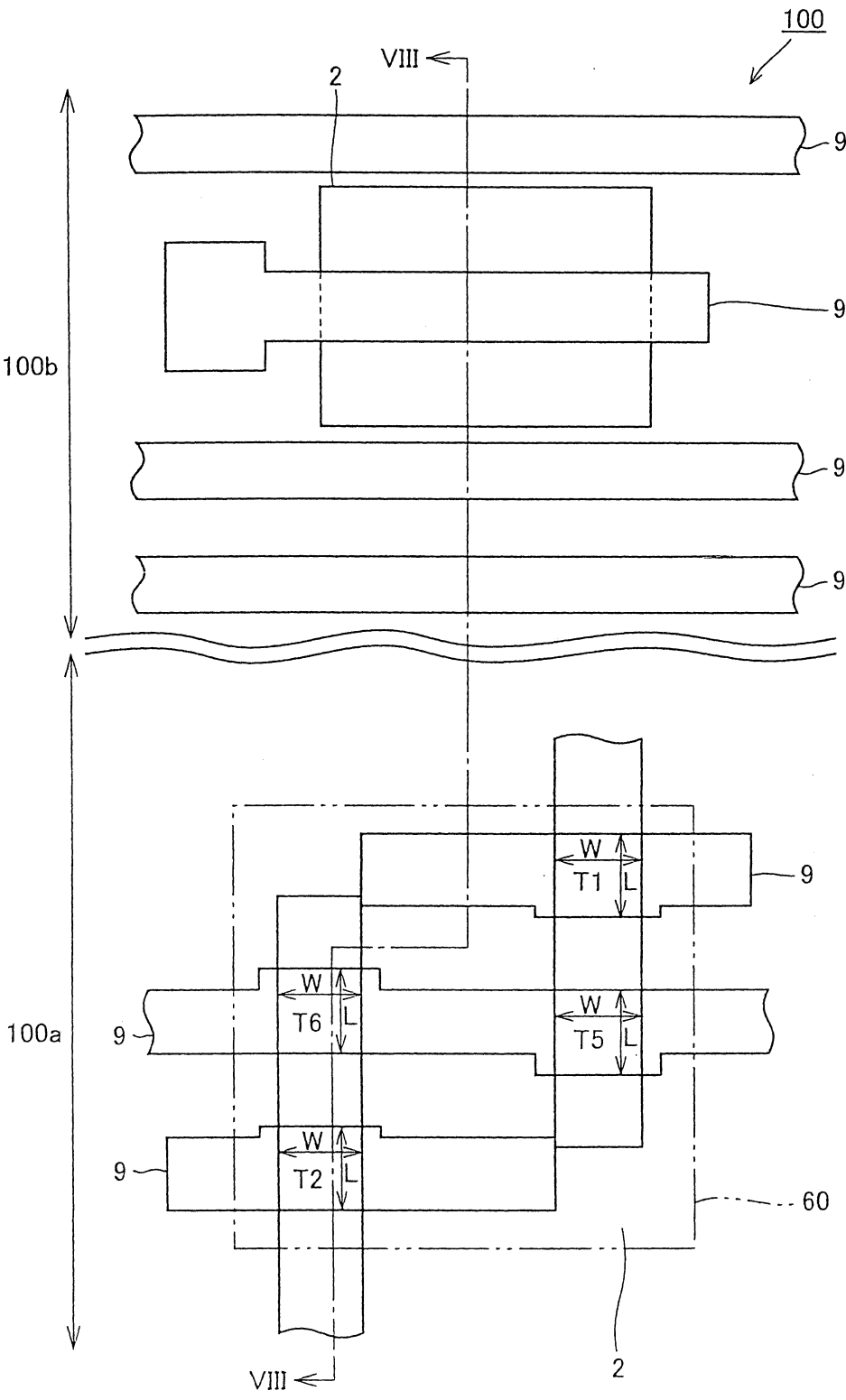
第 4 圖



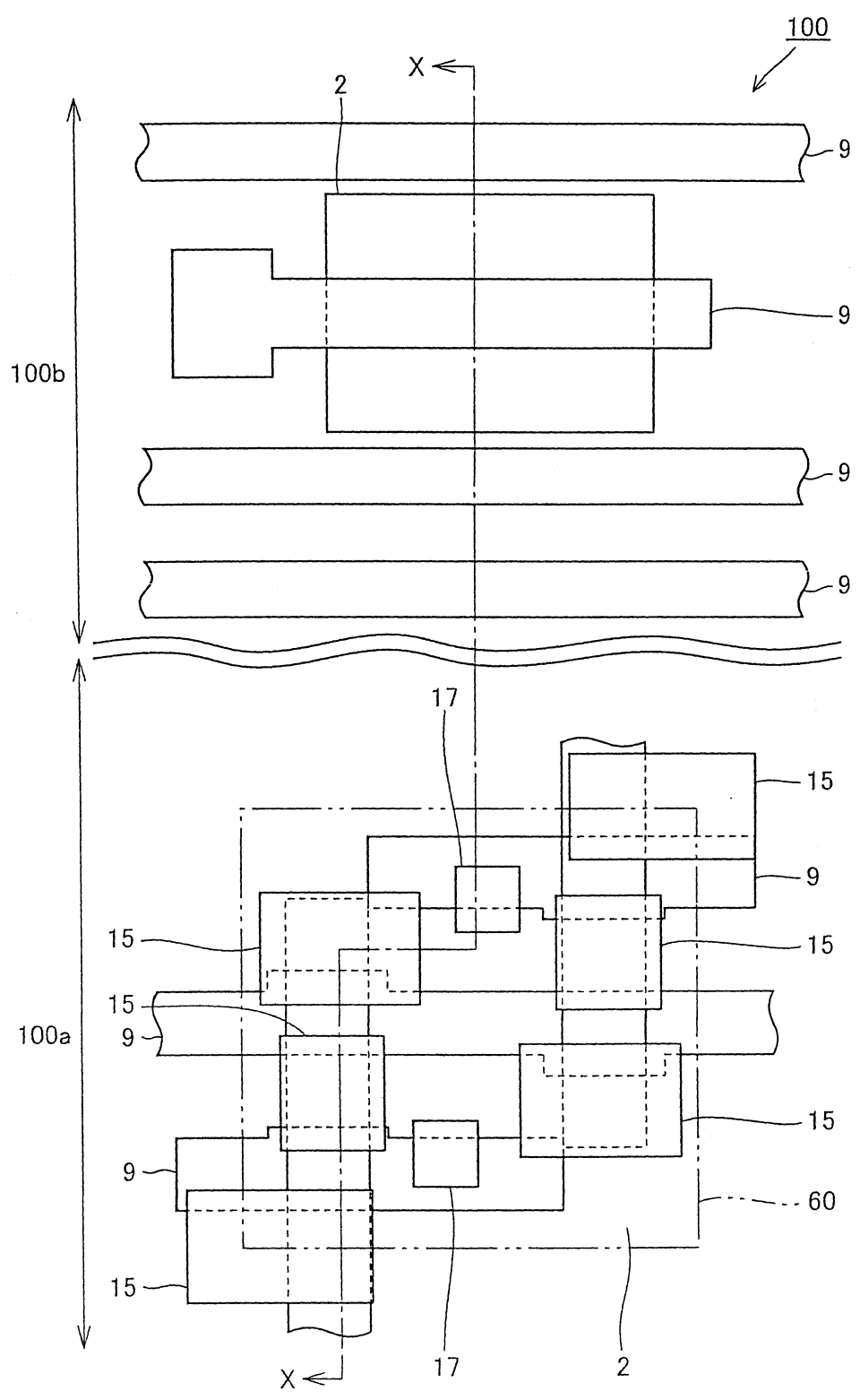
第 5 圖



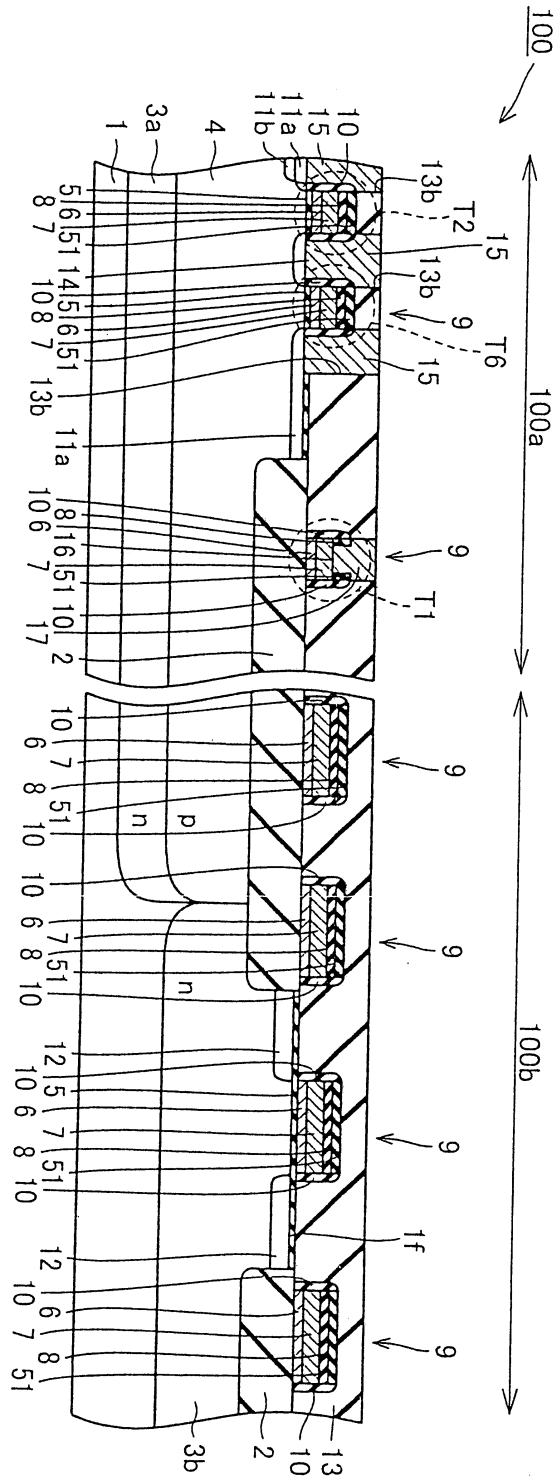
第 6 圖



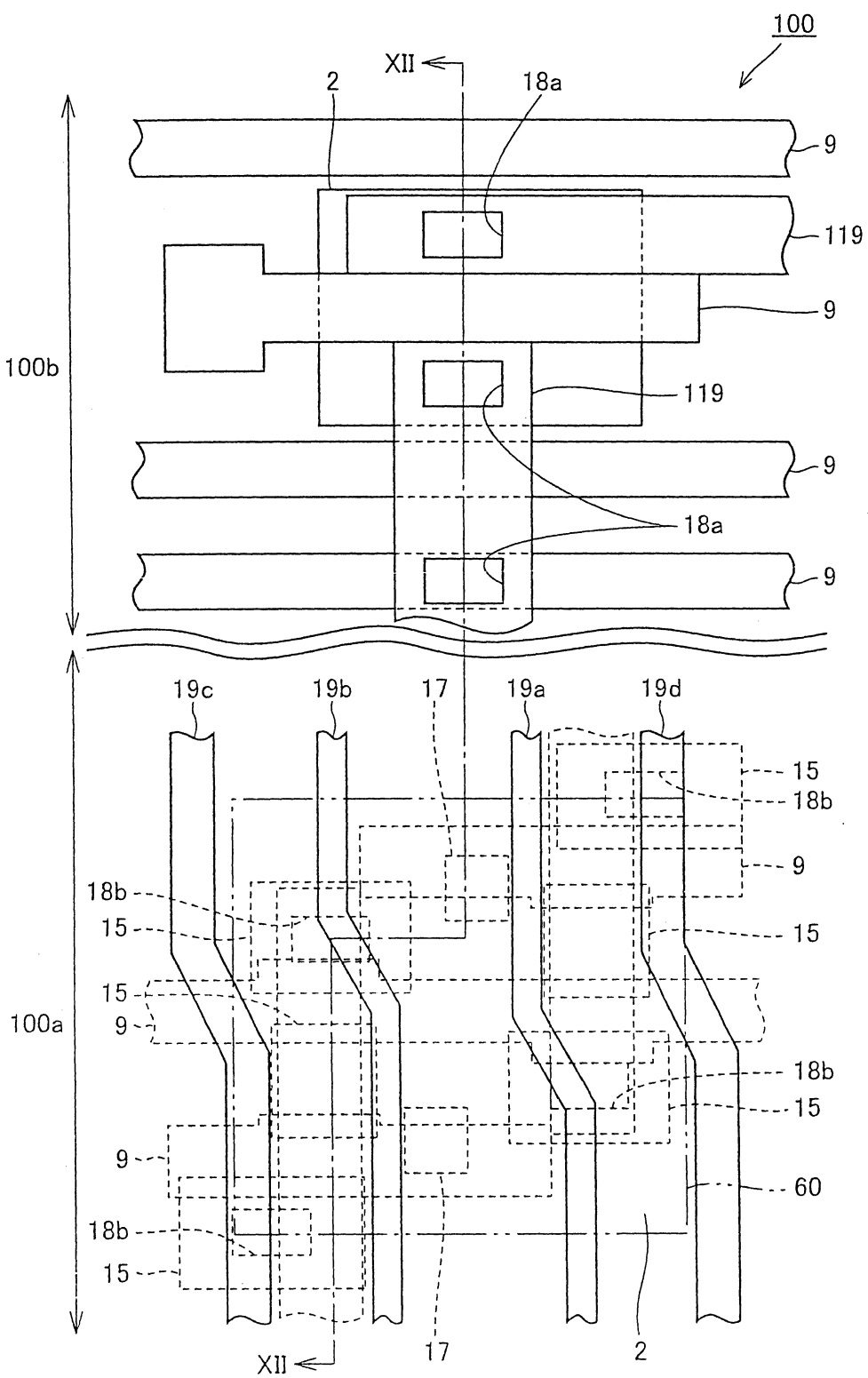
第 7 圖



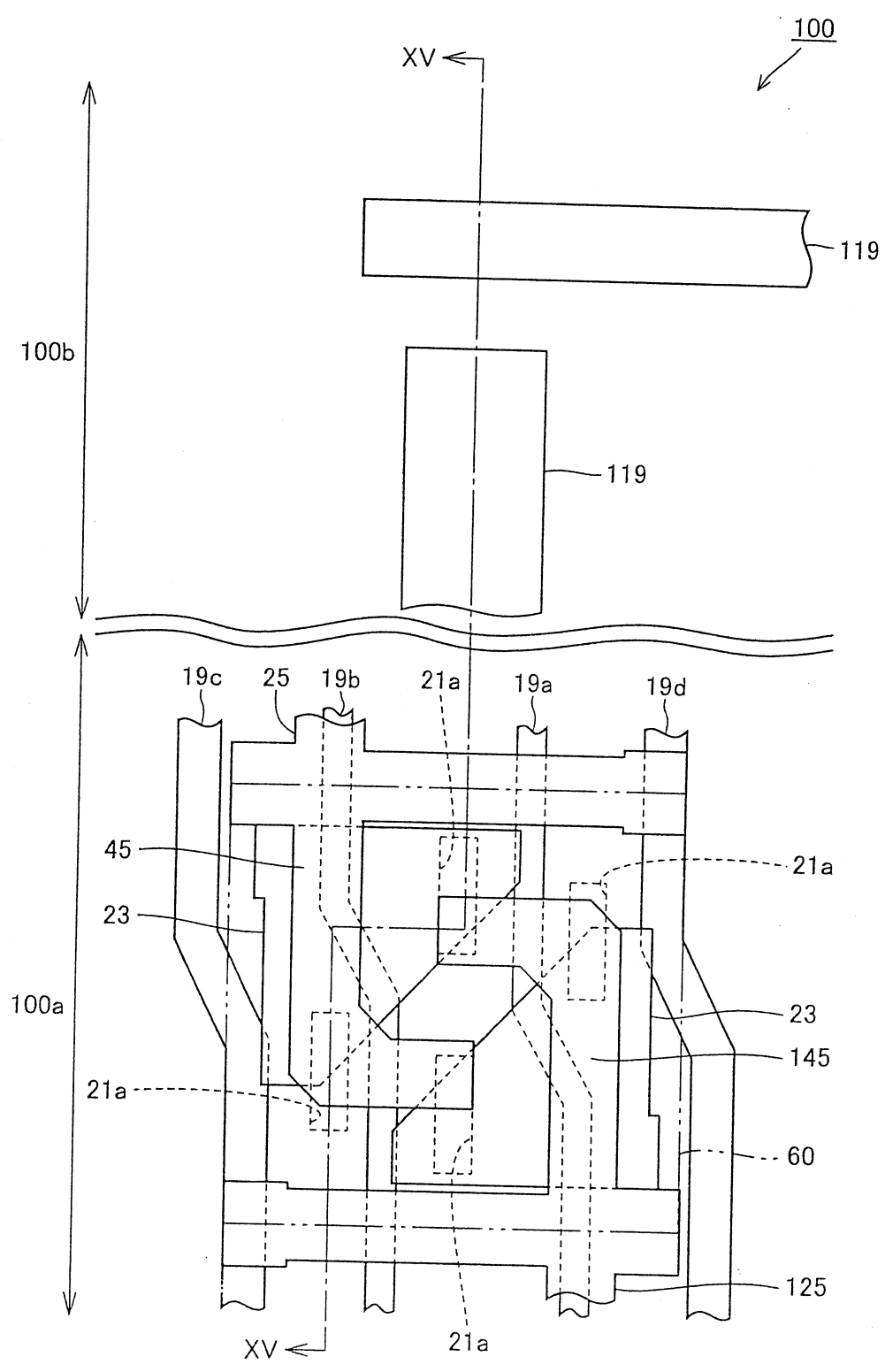
第 9 圖



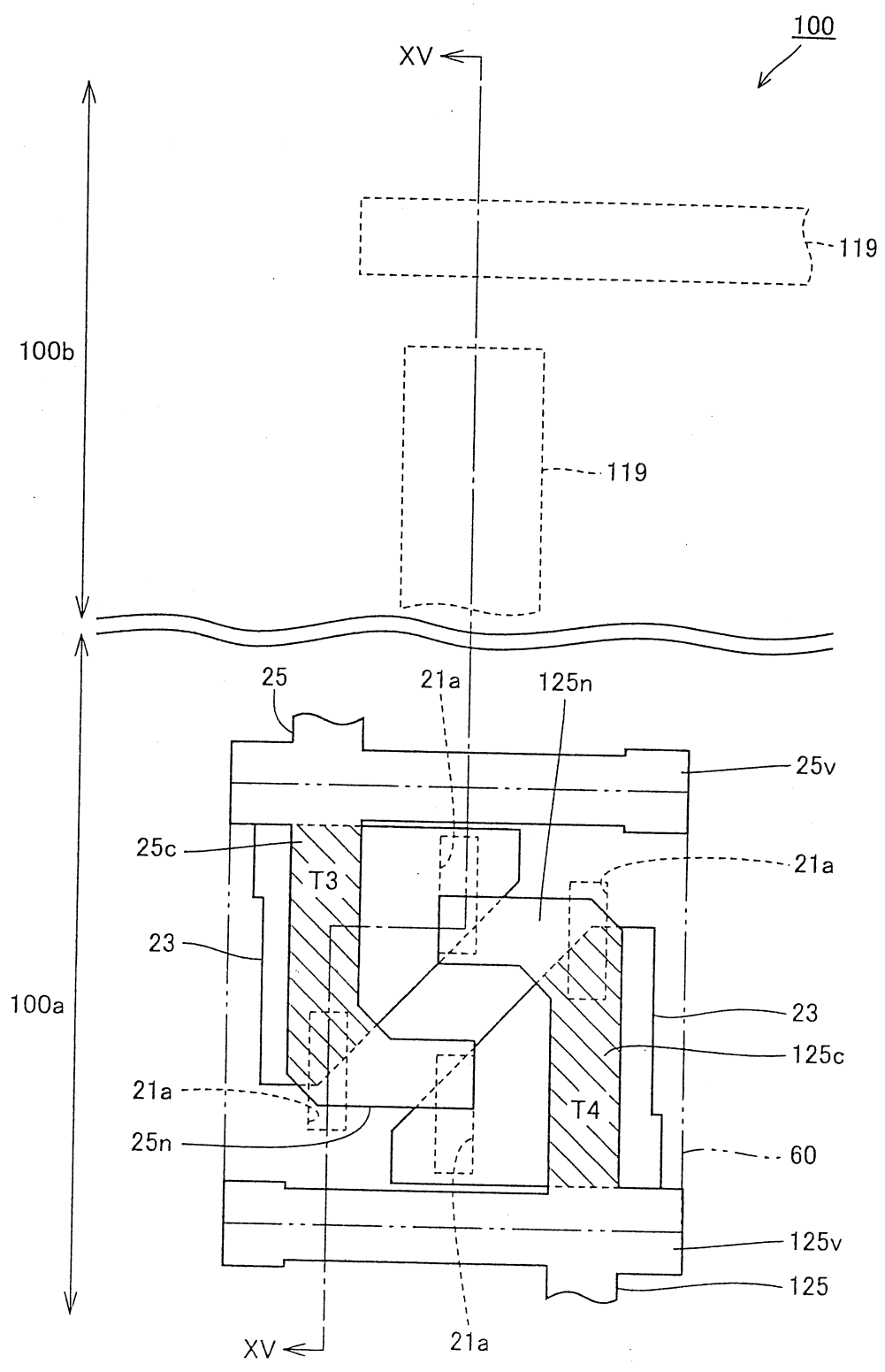
第10圖



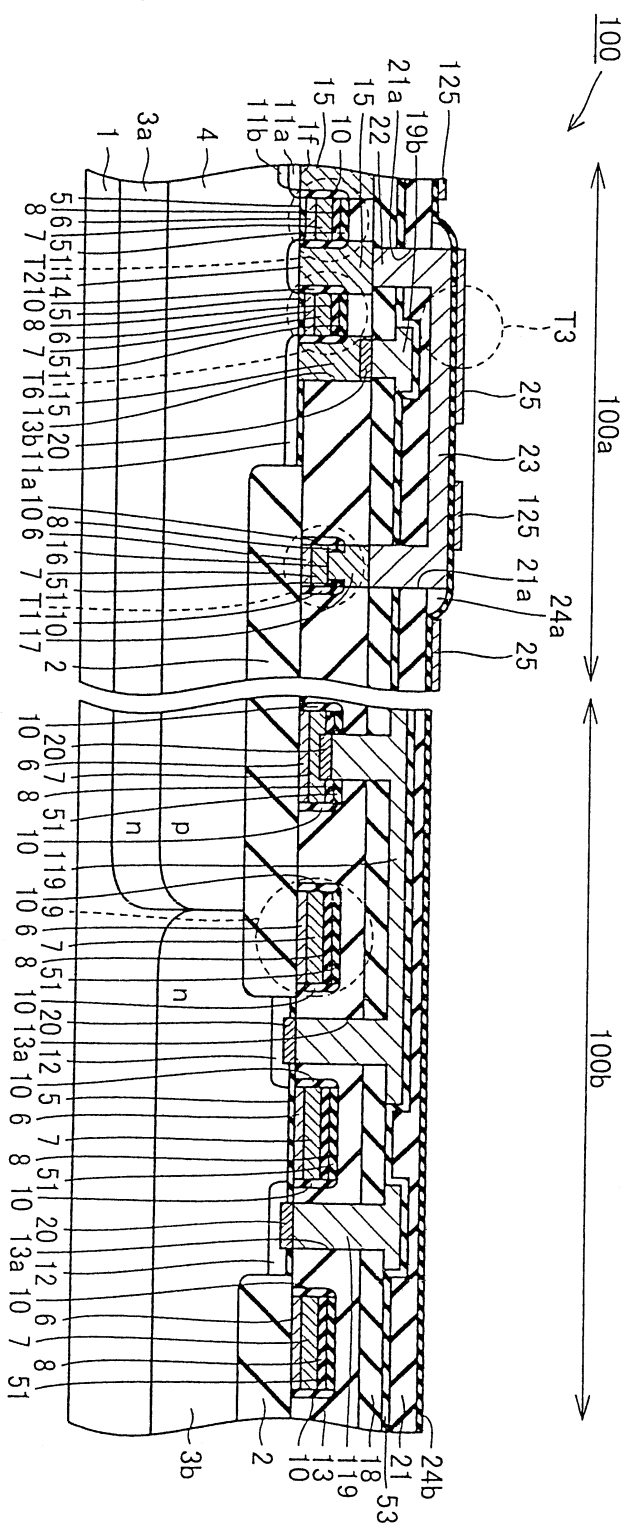
第11圖



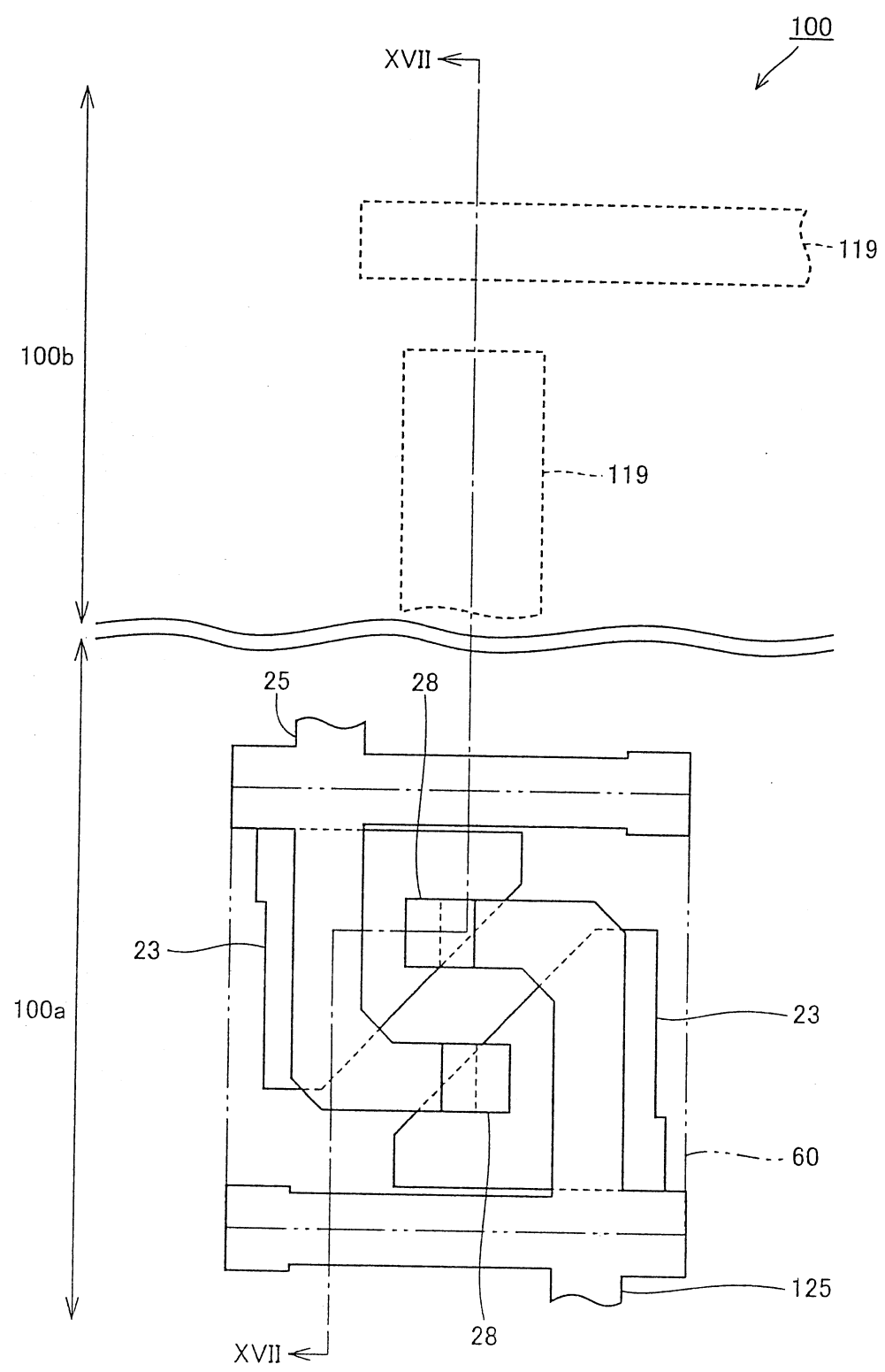
第13圖



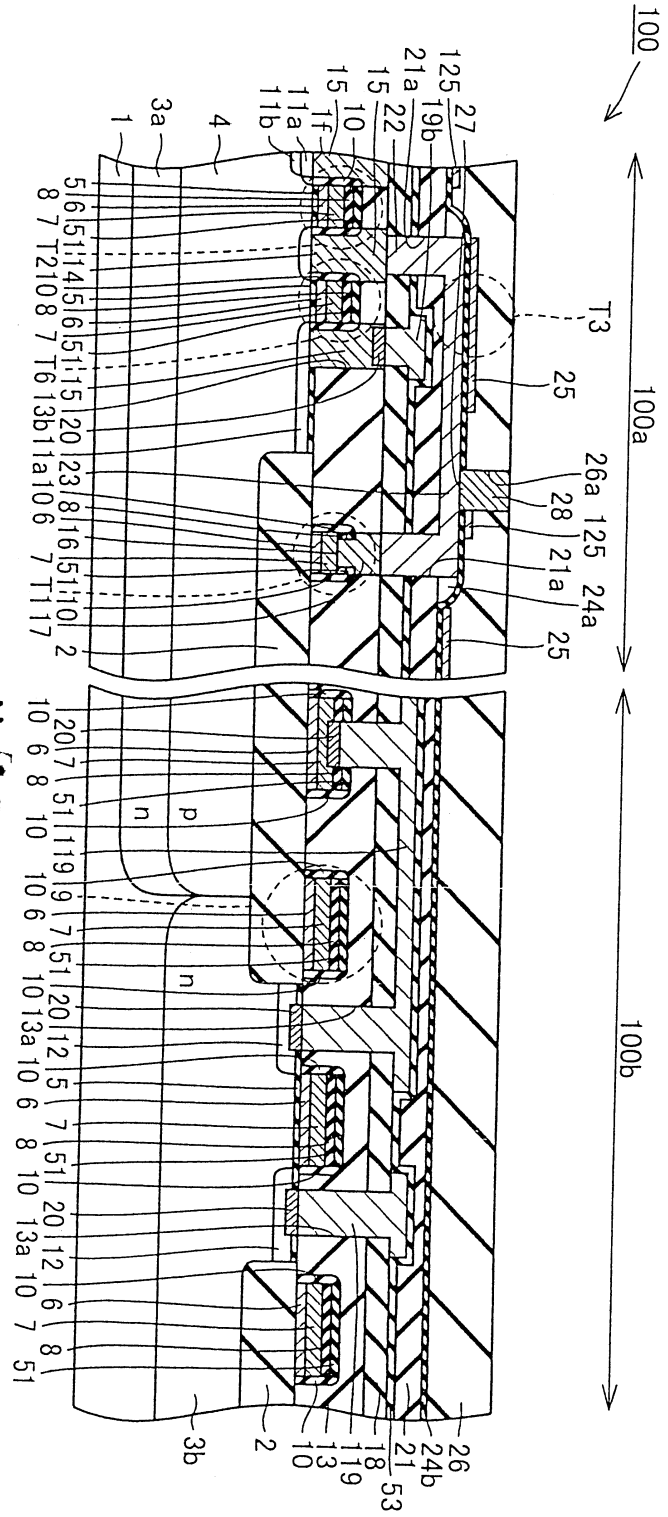
第14圖



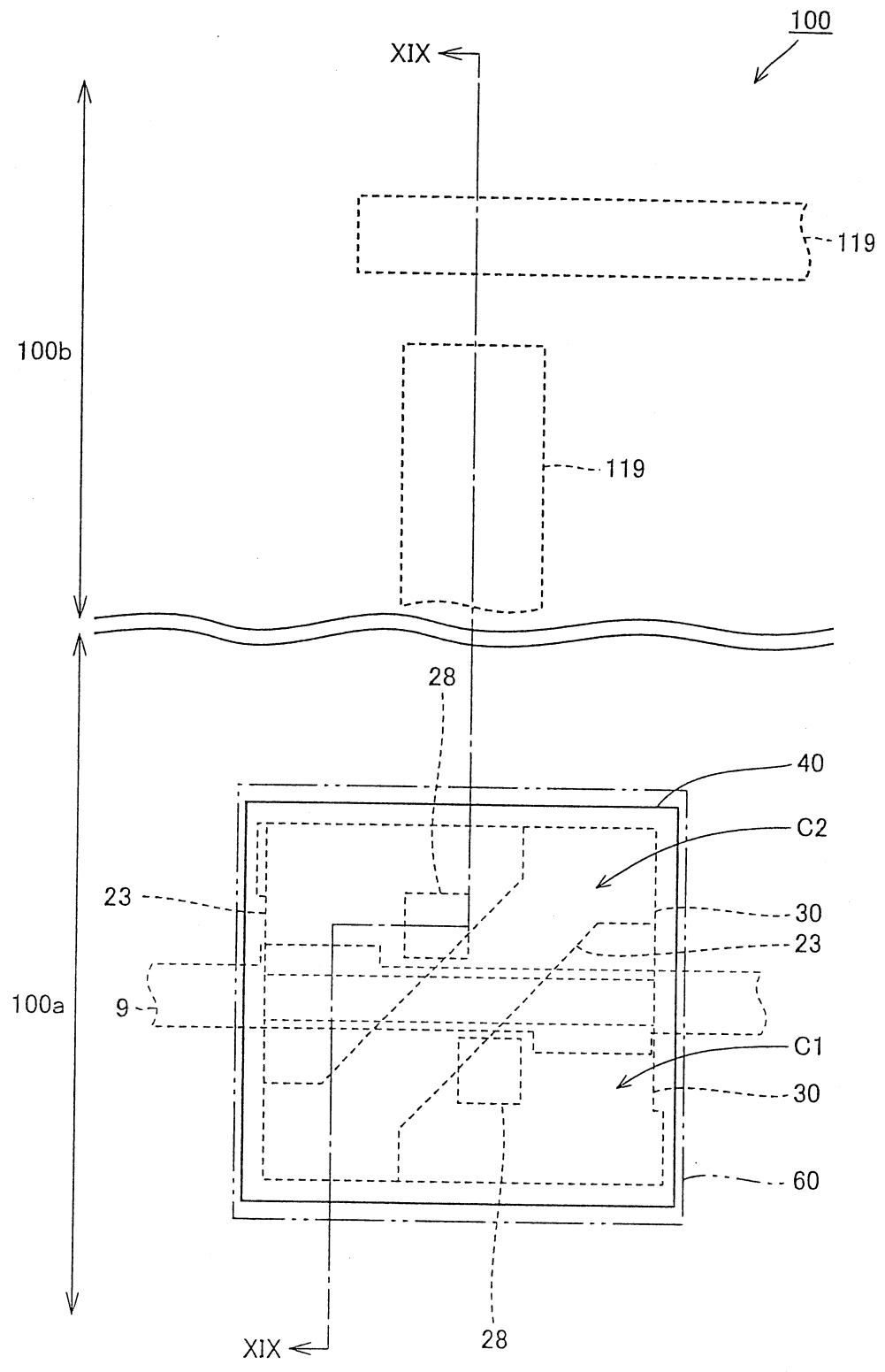
第15圖



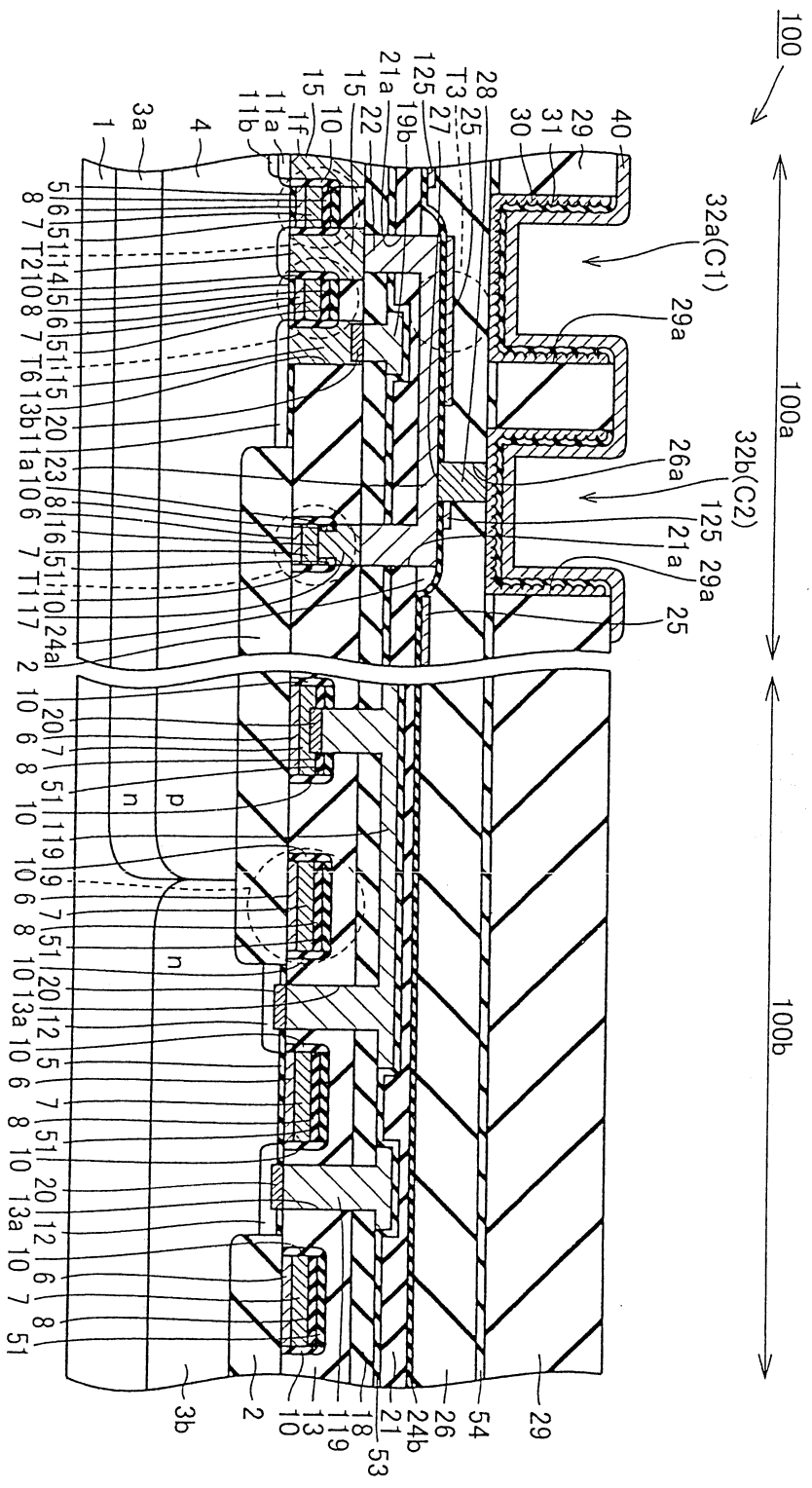
第16圖
16



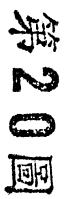
第17圖

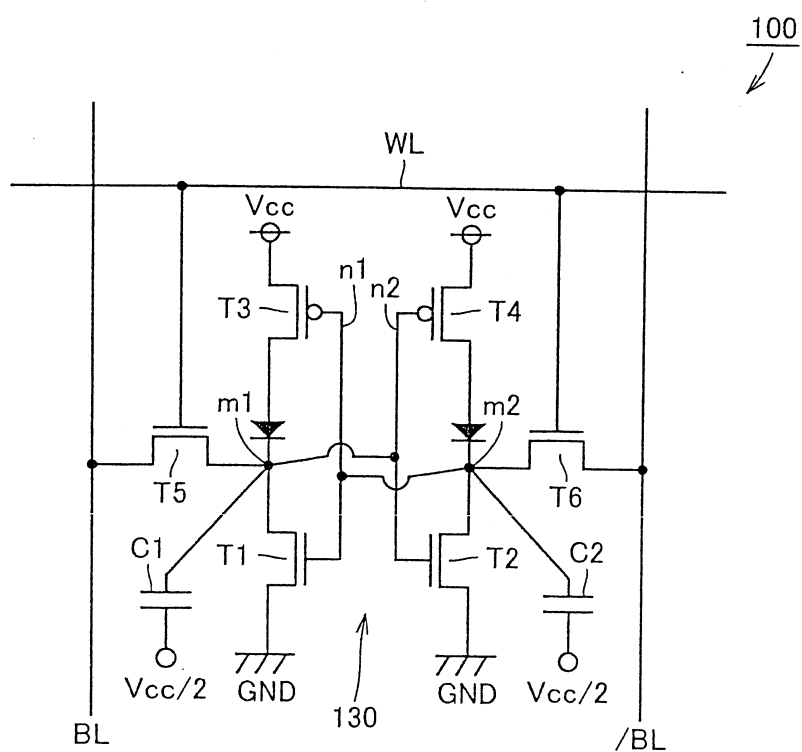


第18圖



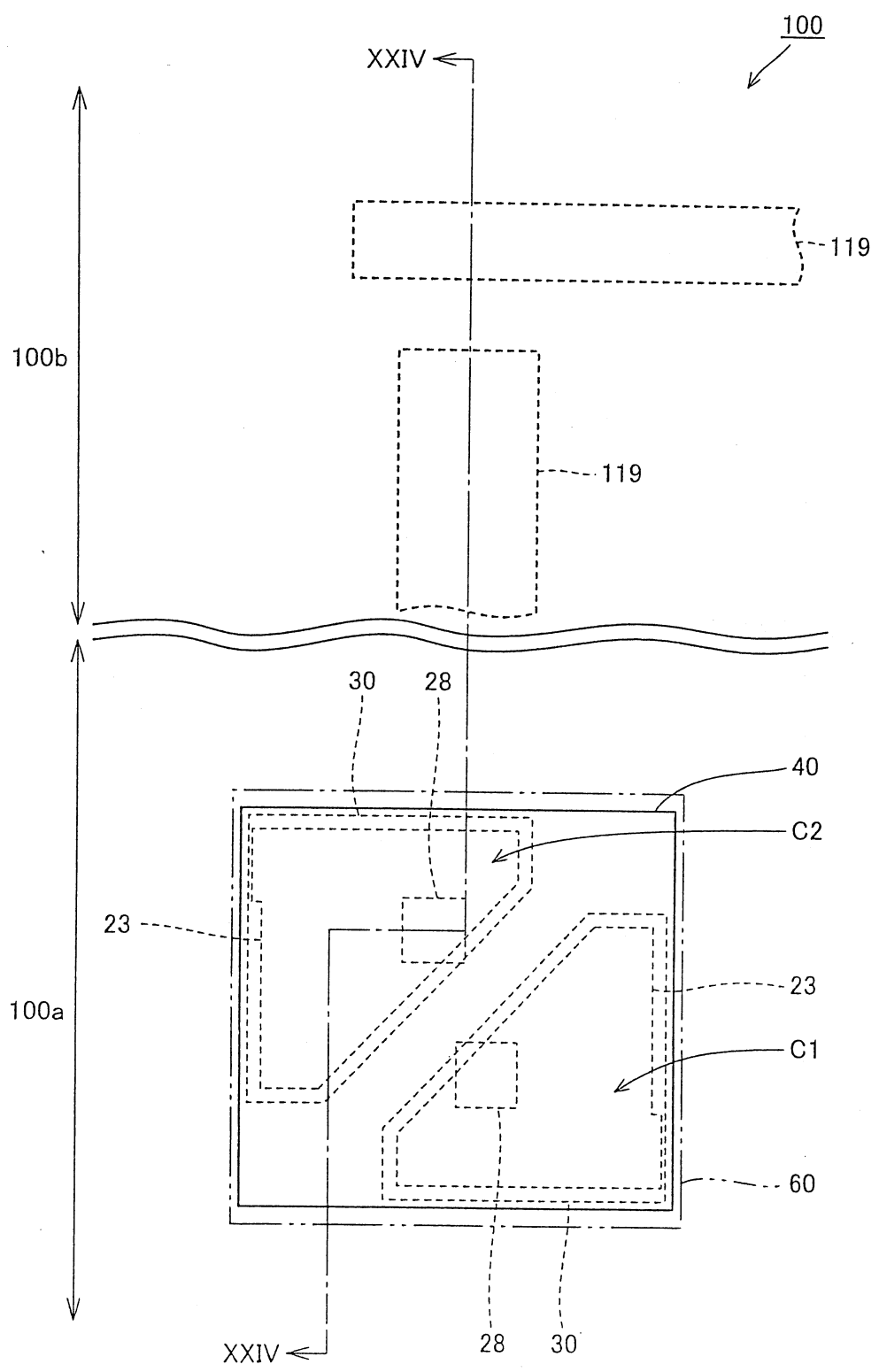
第 19 圖





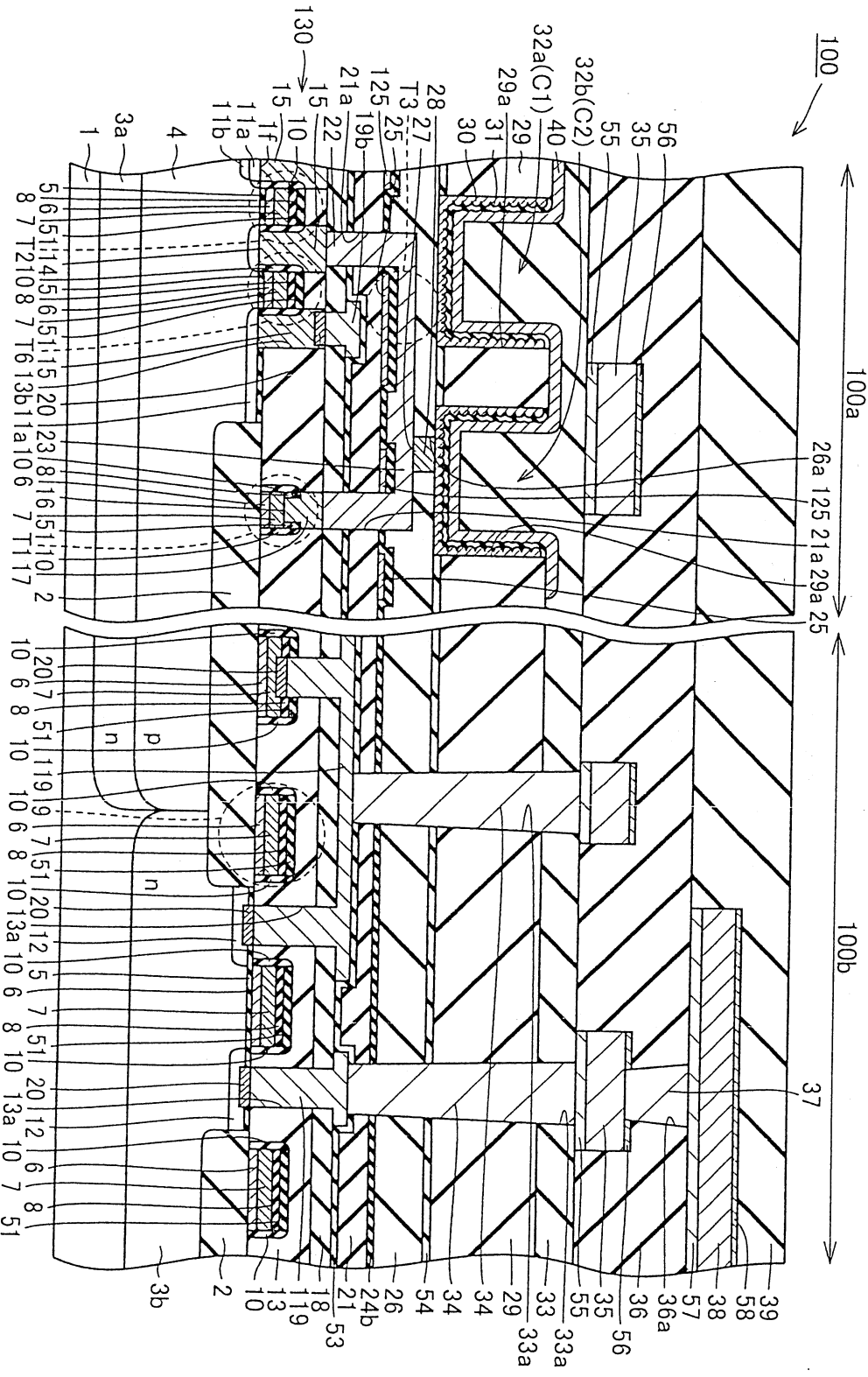
第21圖



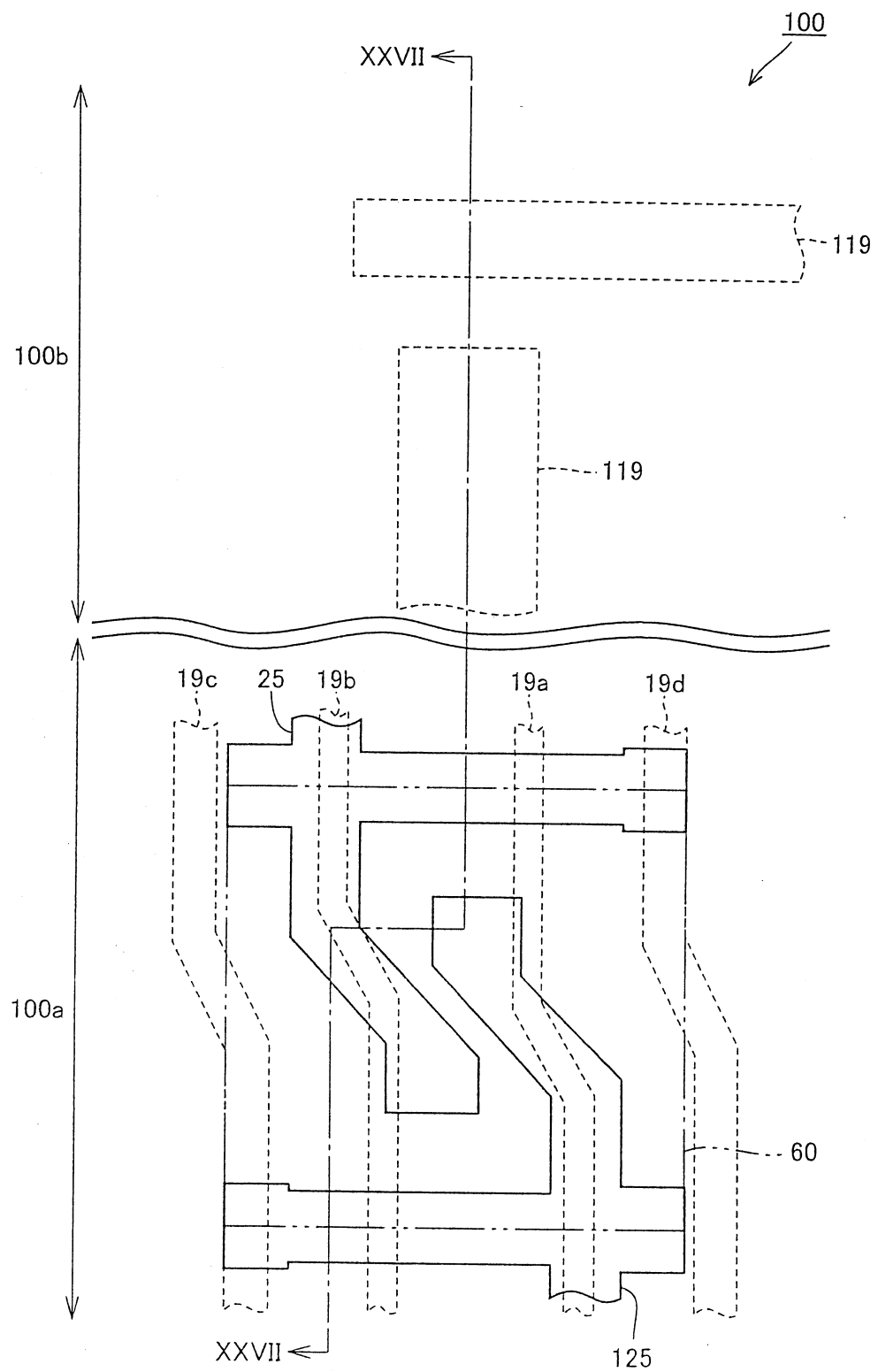


第23圖

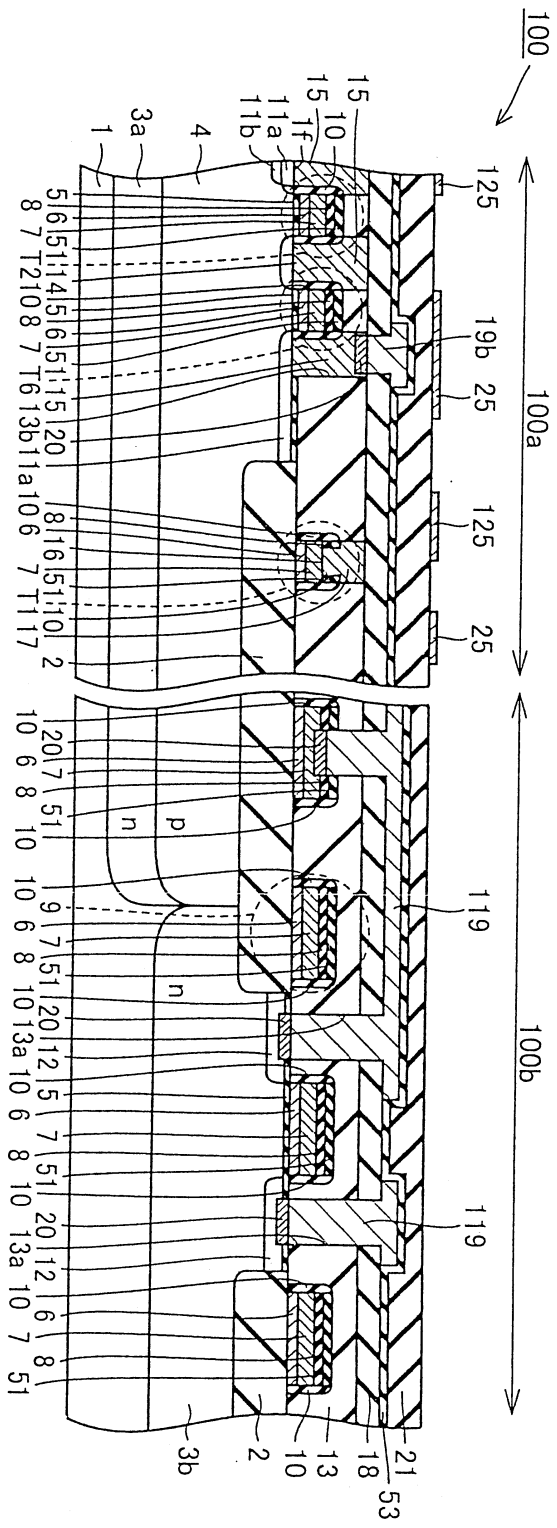




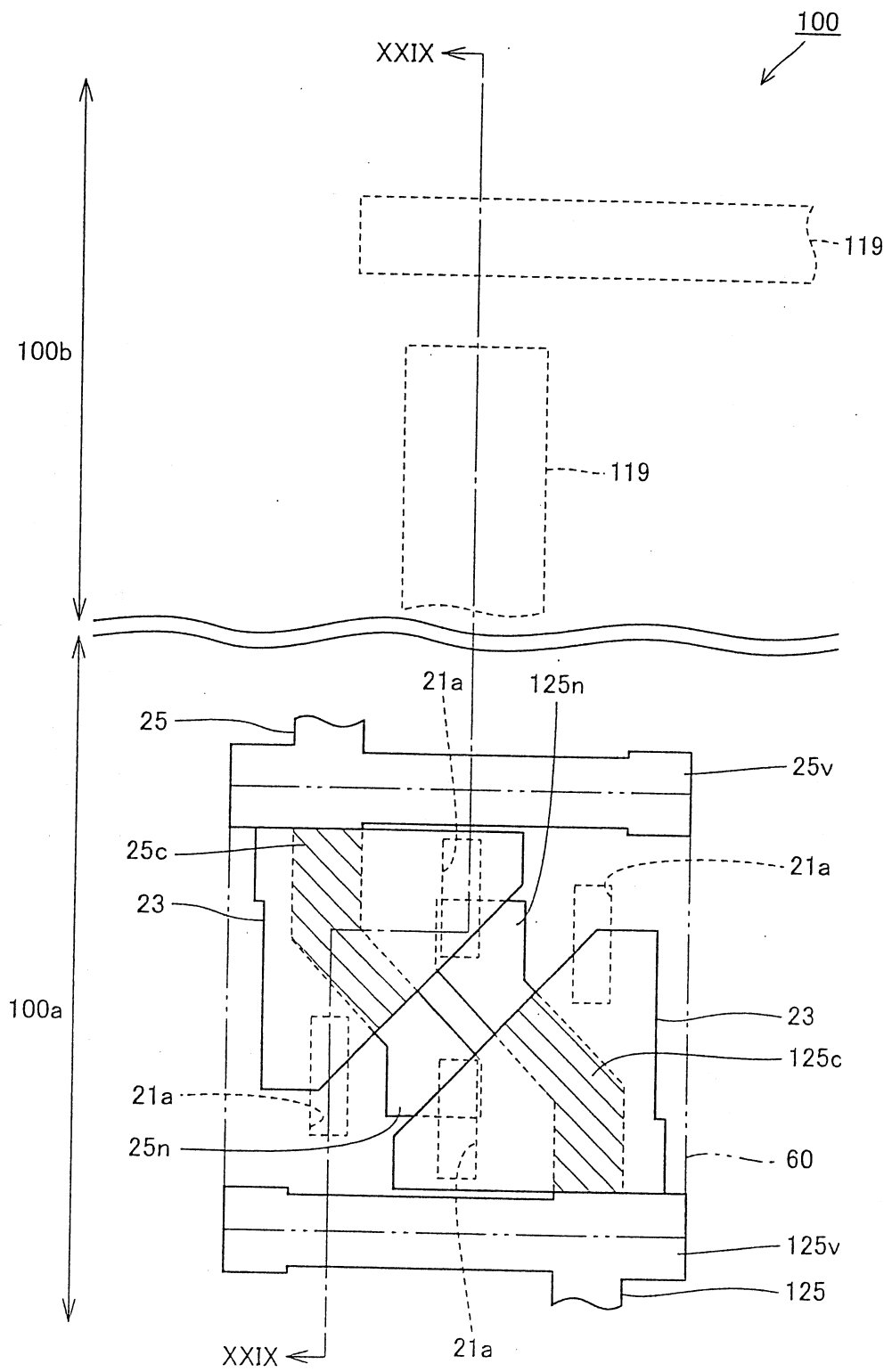
第25圖



第26圖
x6

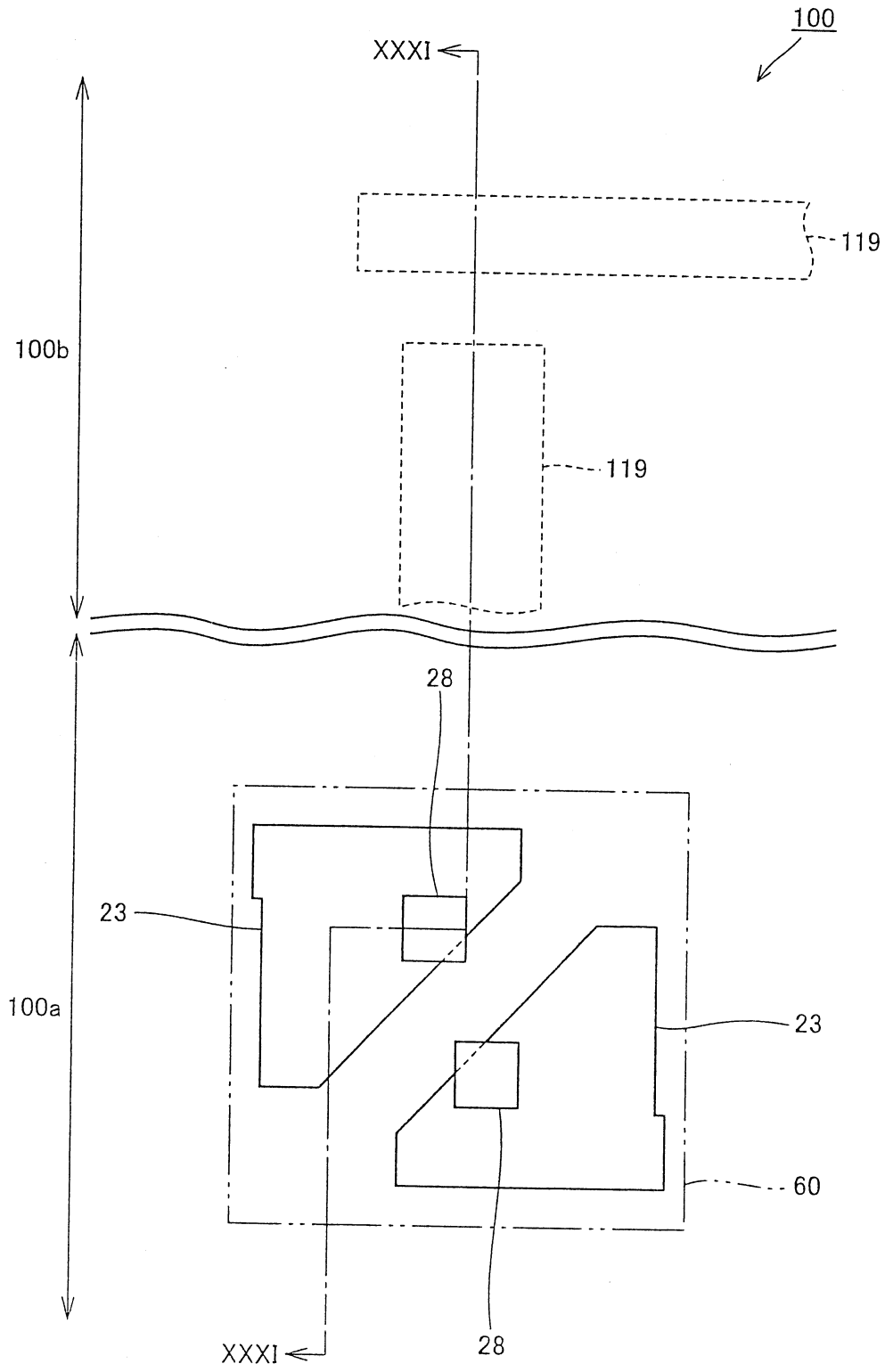


第27圖



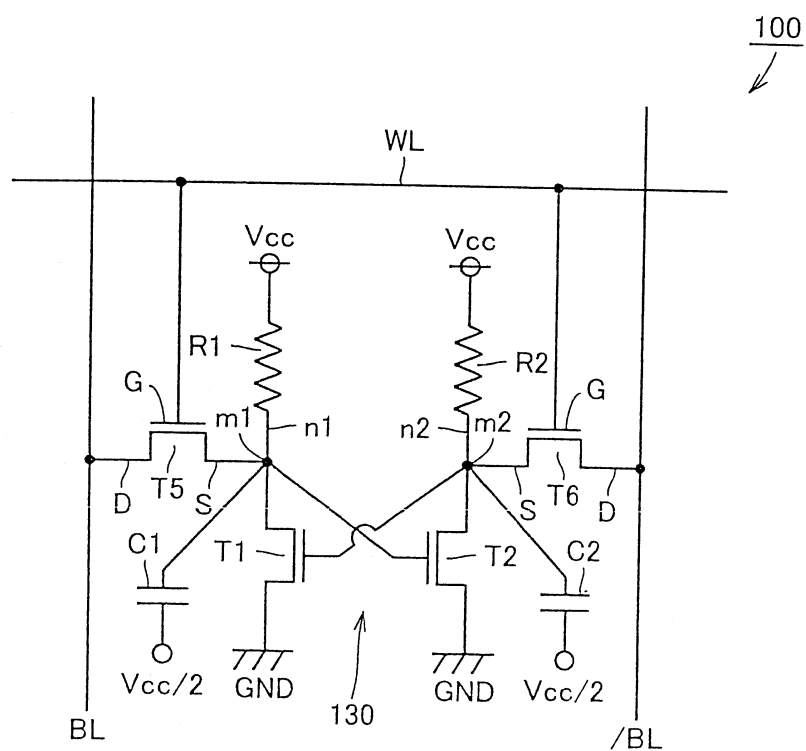
第28圖

28

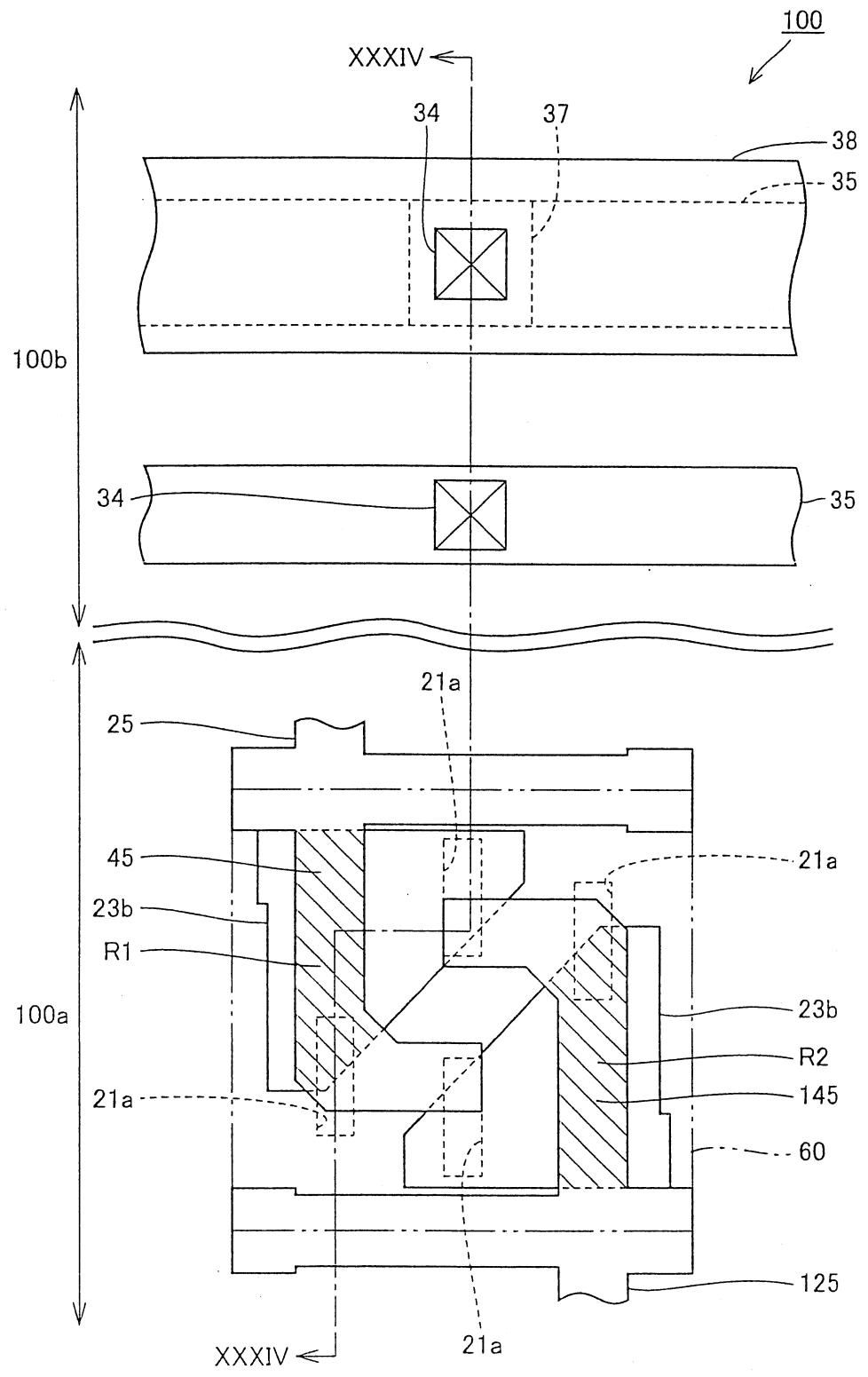


第 30 圖

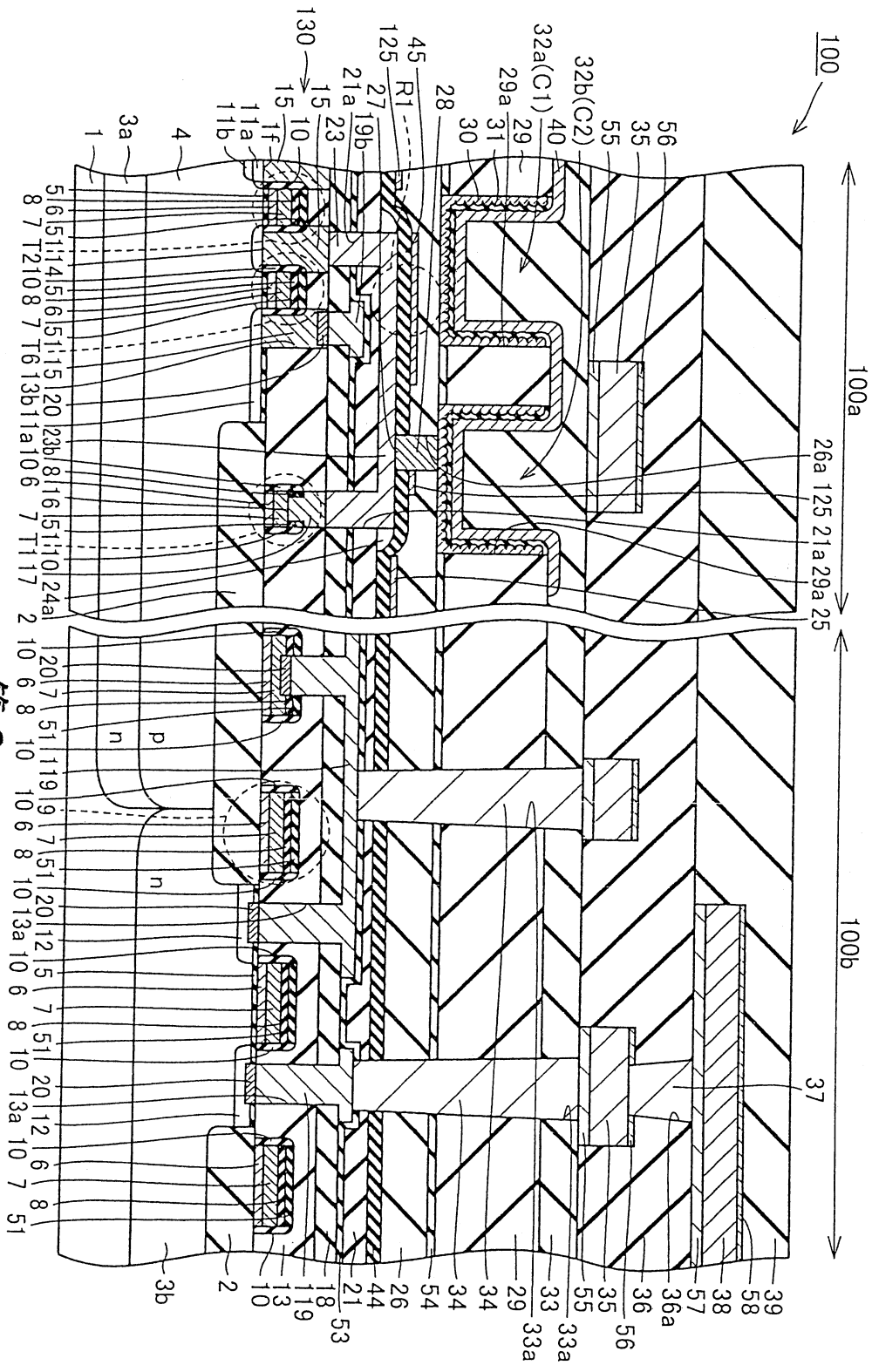
70



第32圖

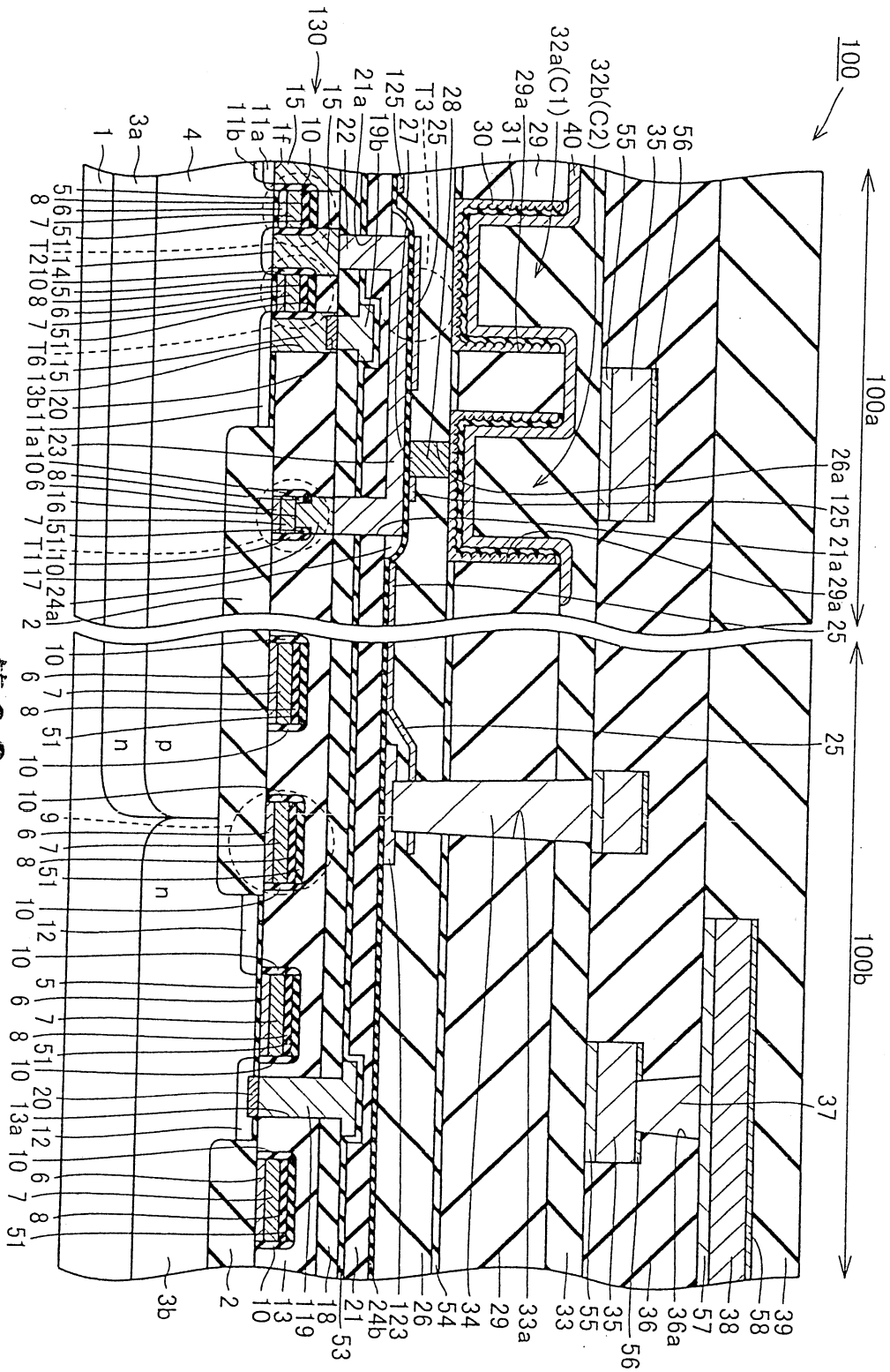


第33圖



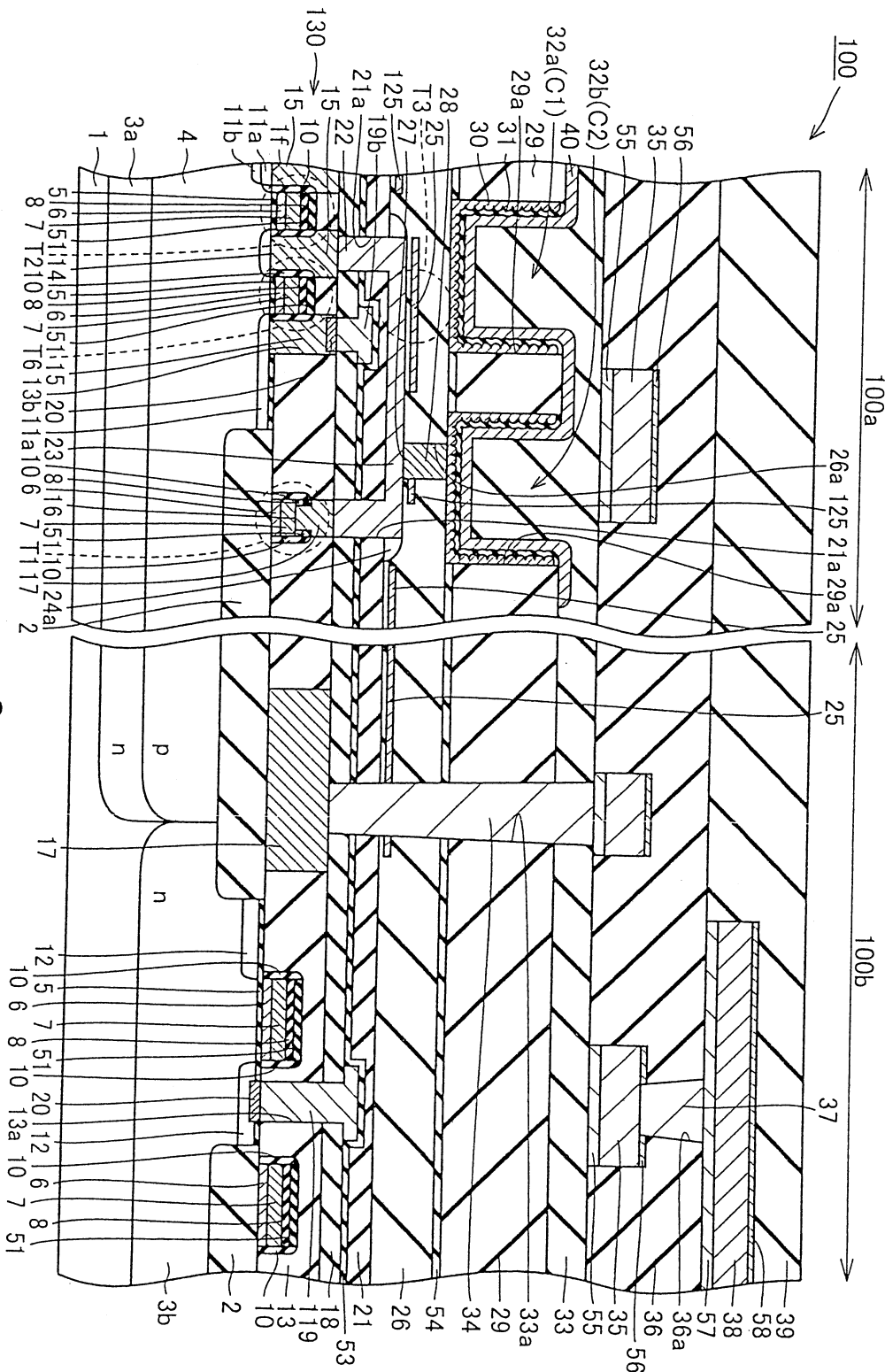
第34圖



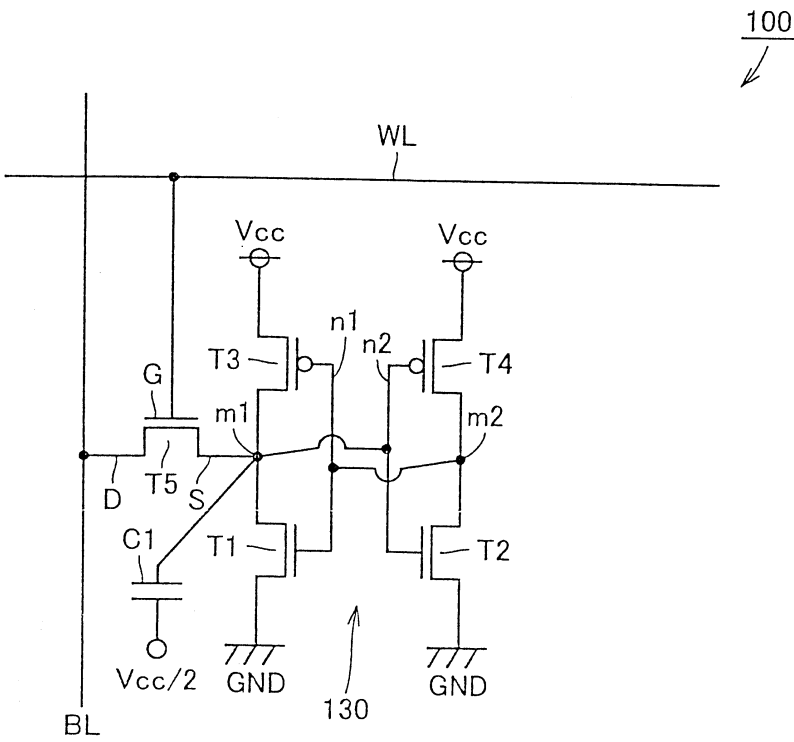


第36圖

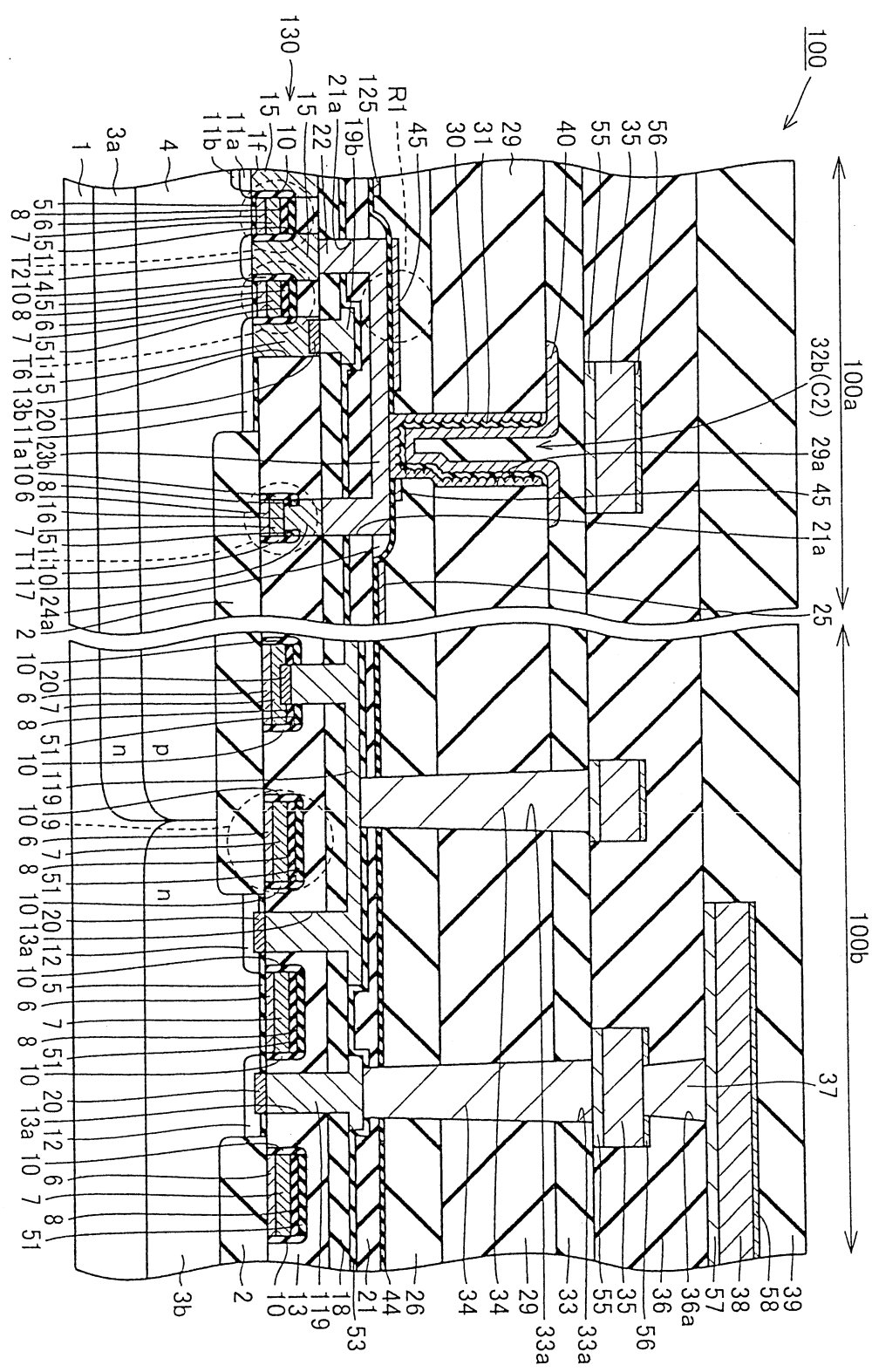




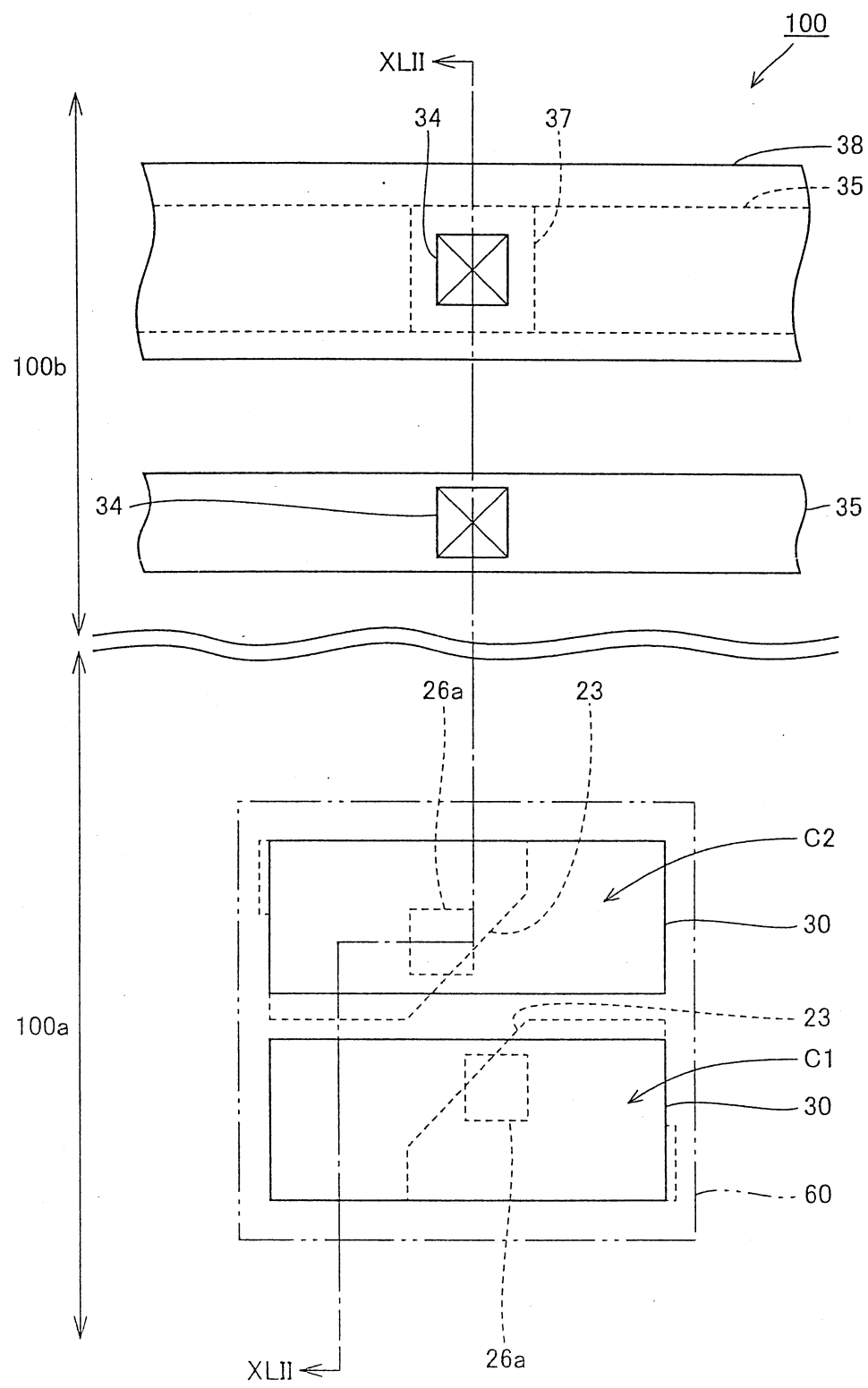
第38圖



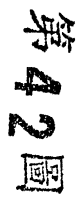
第 3 9 圖

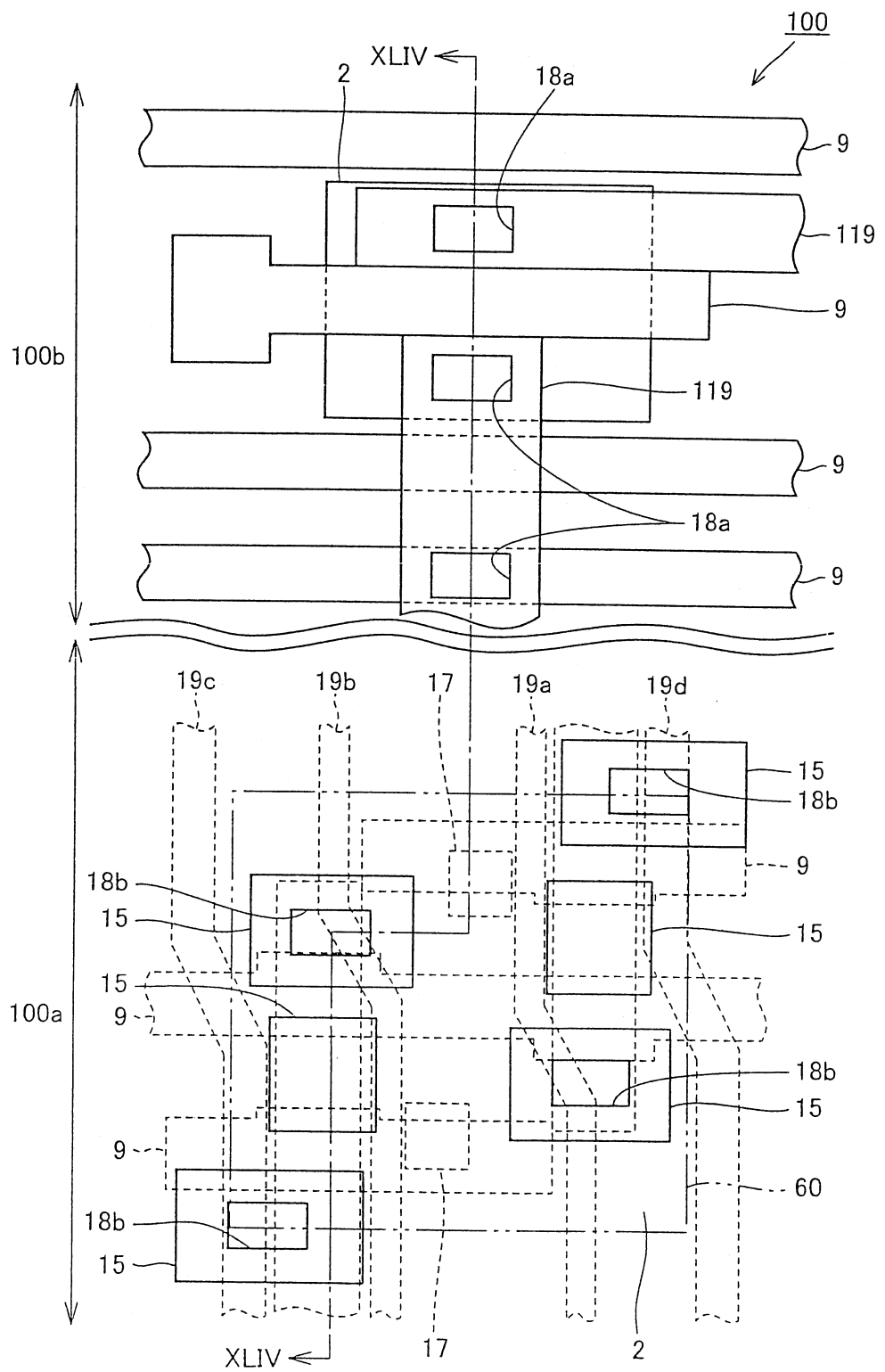


第40圖

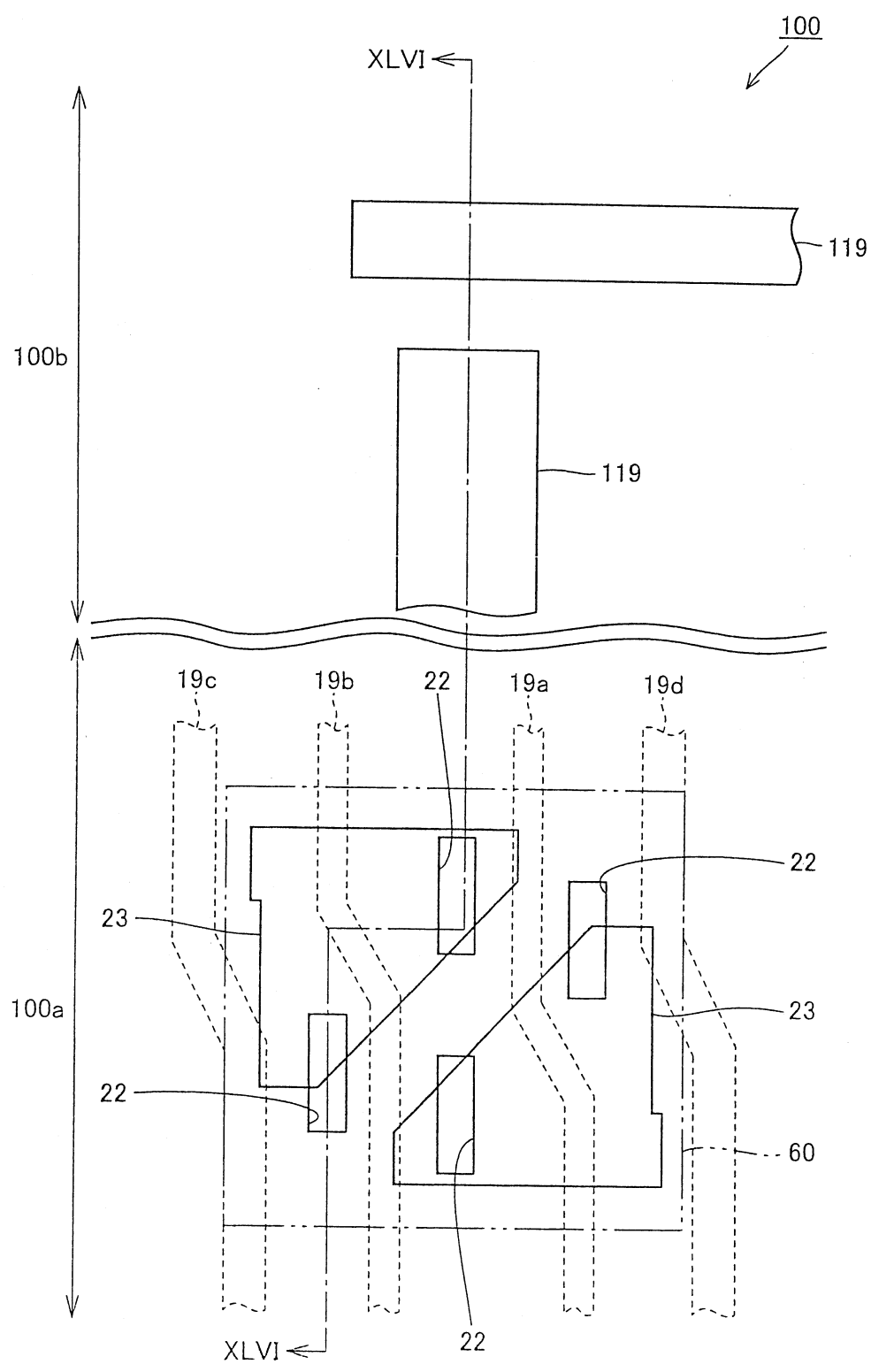


第41圖

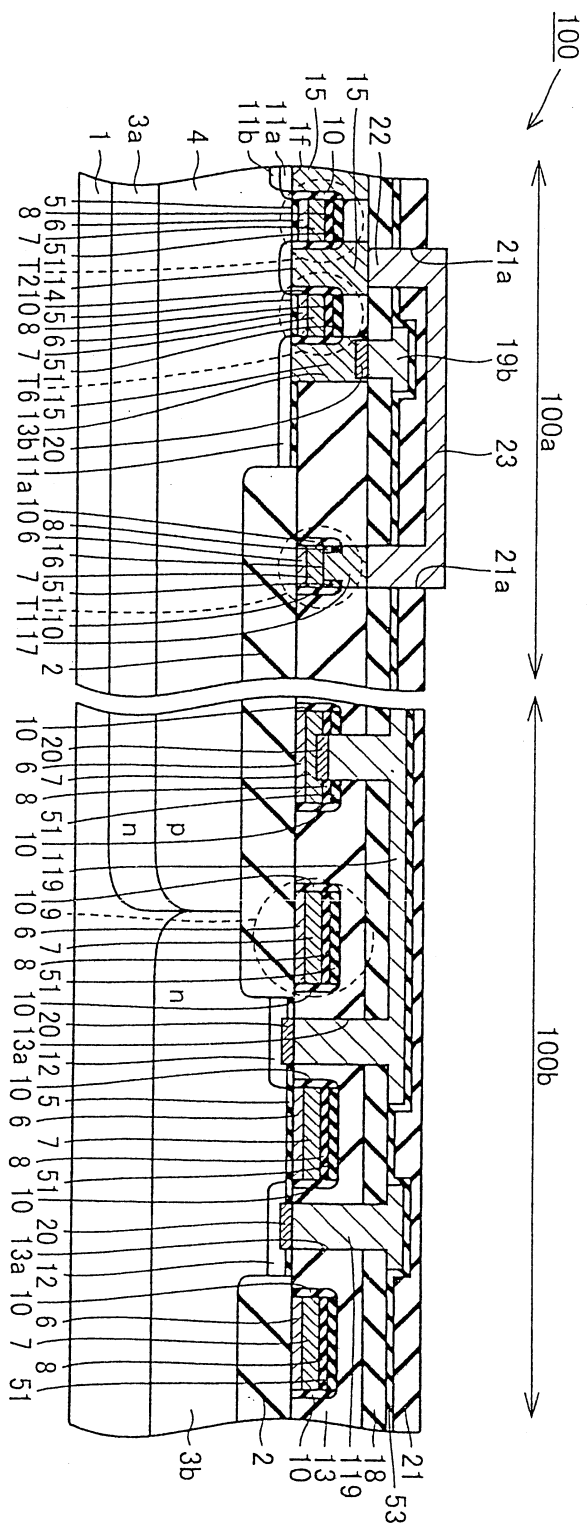




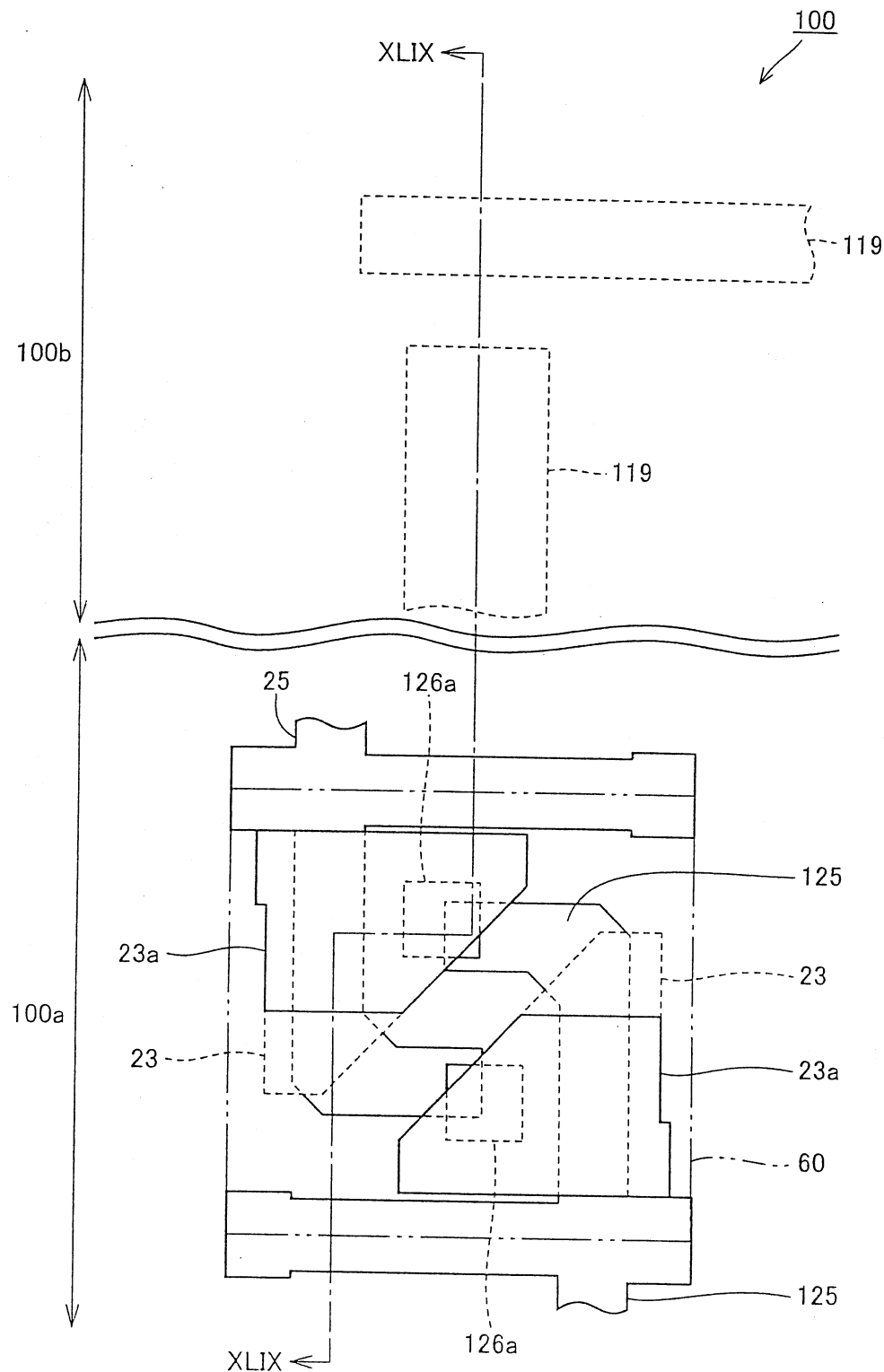
第43圖



第45圖

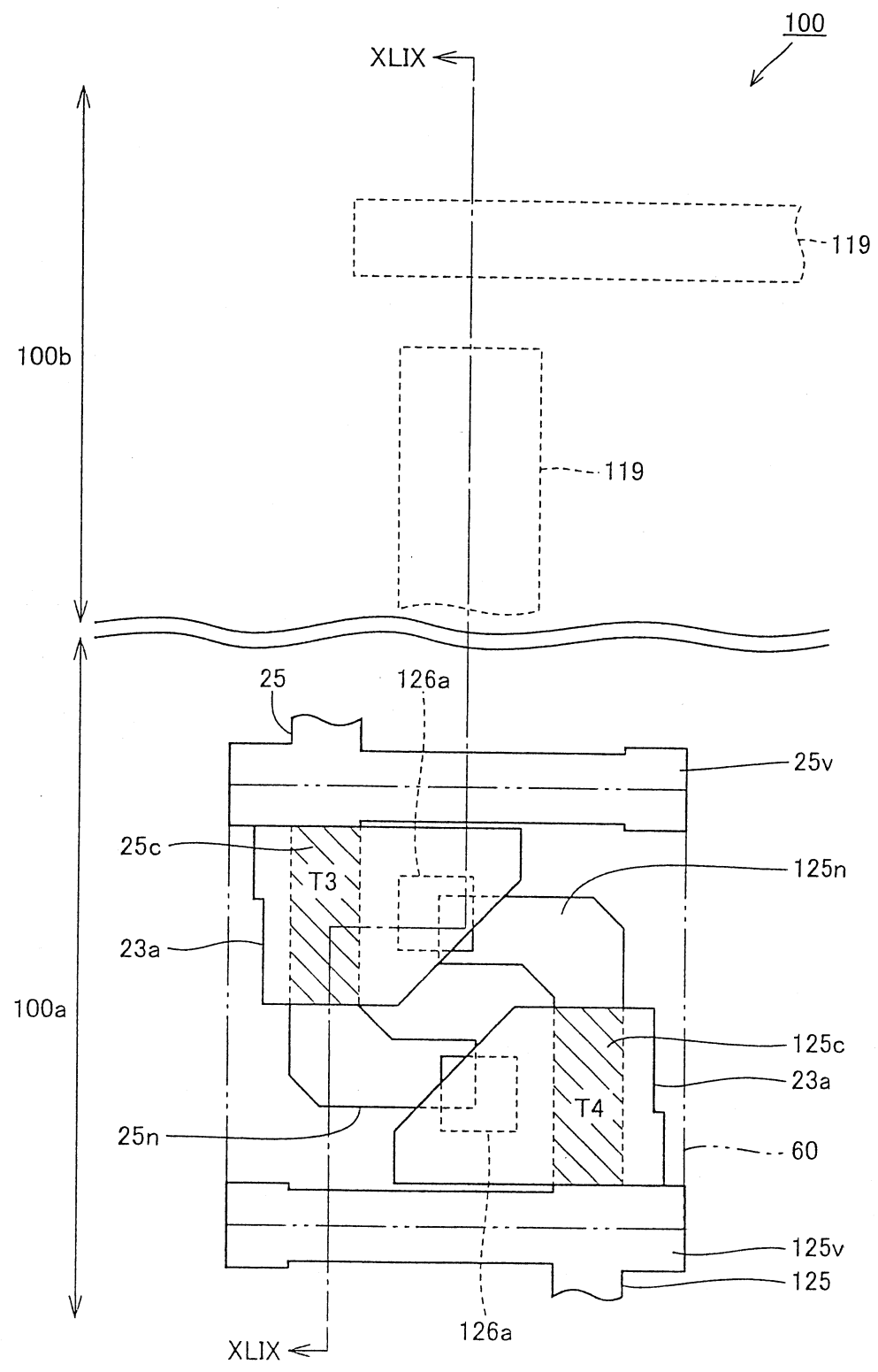


第4圖

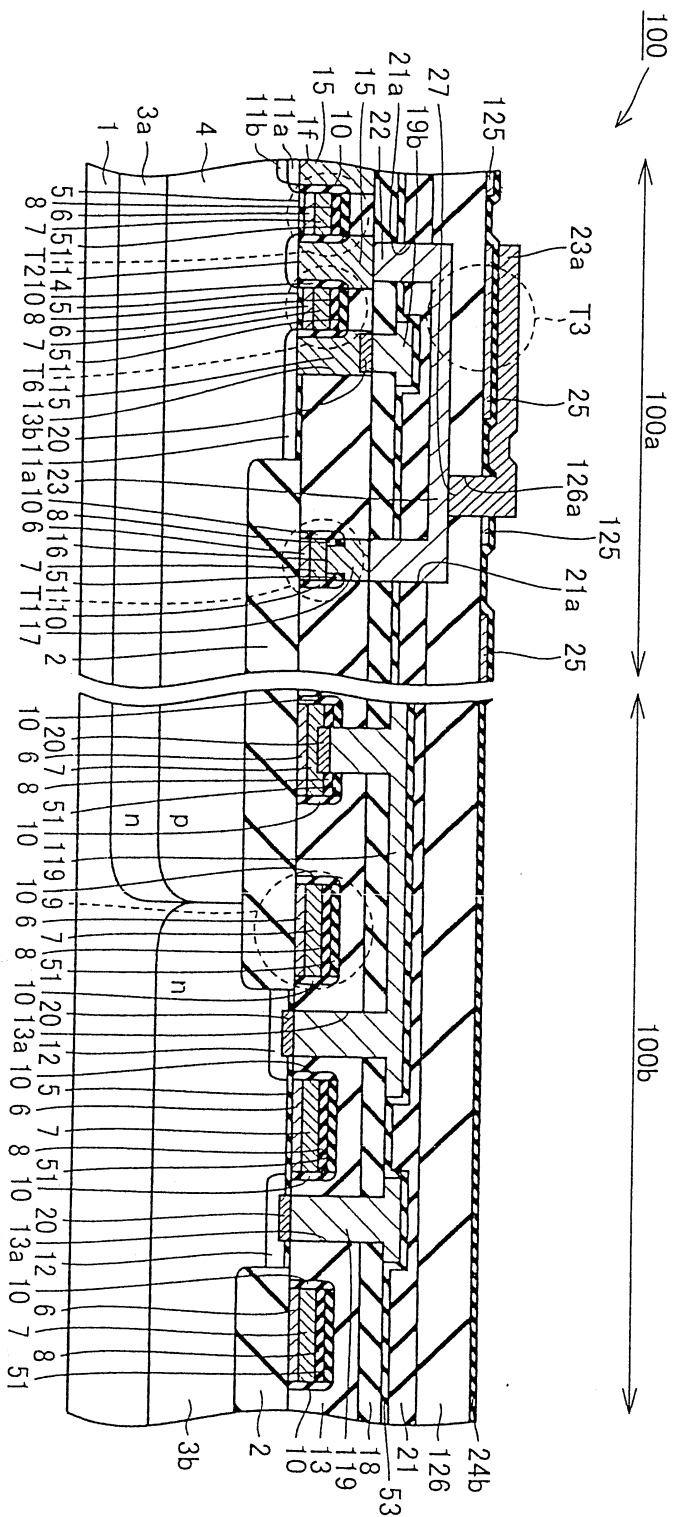


第47圖

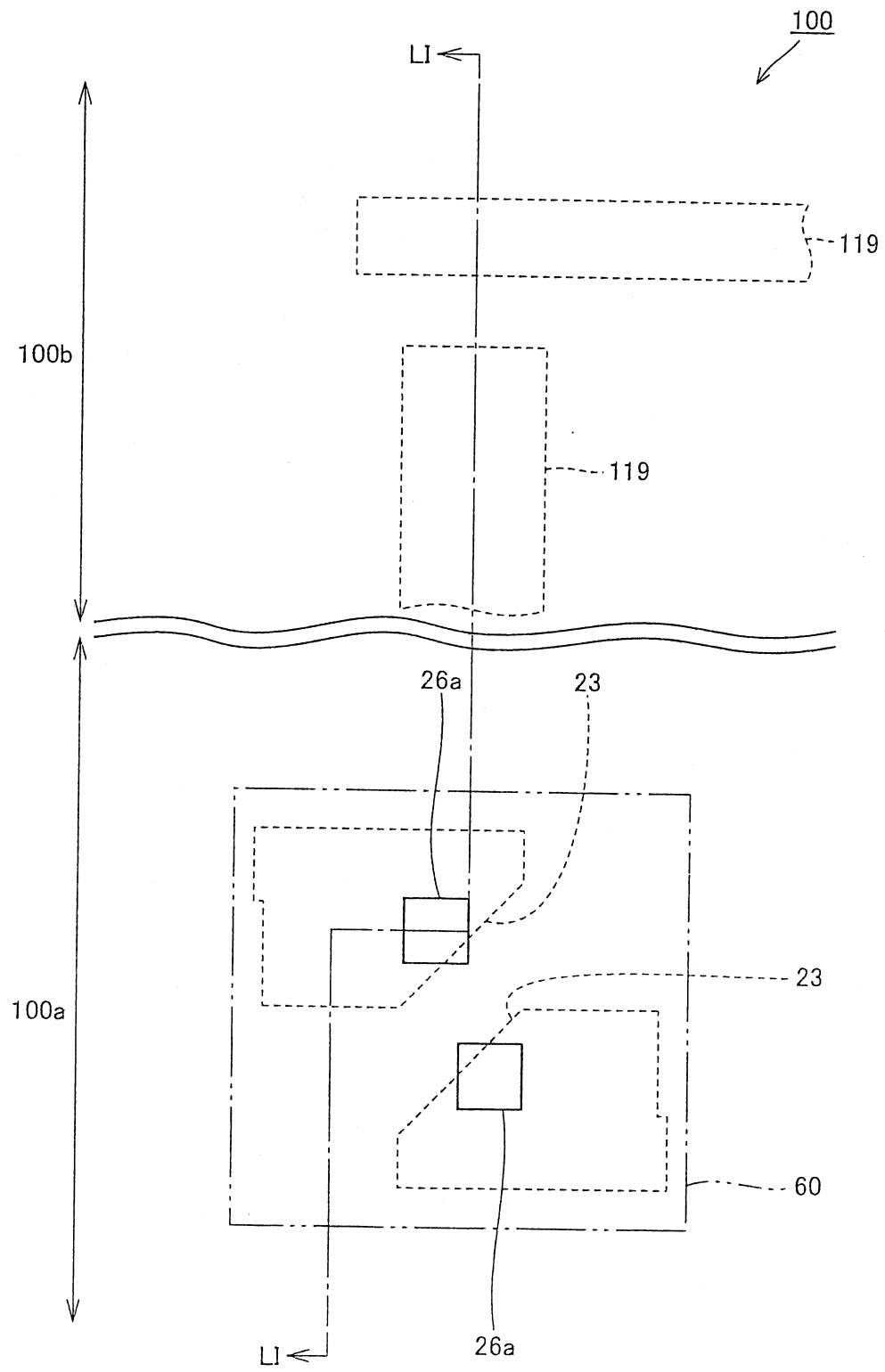
47



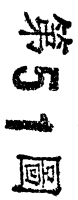
第48圖

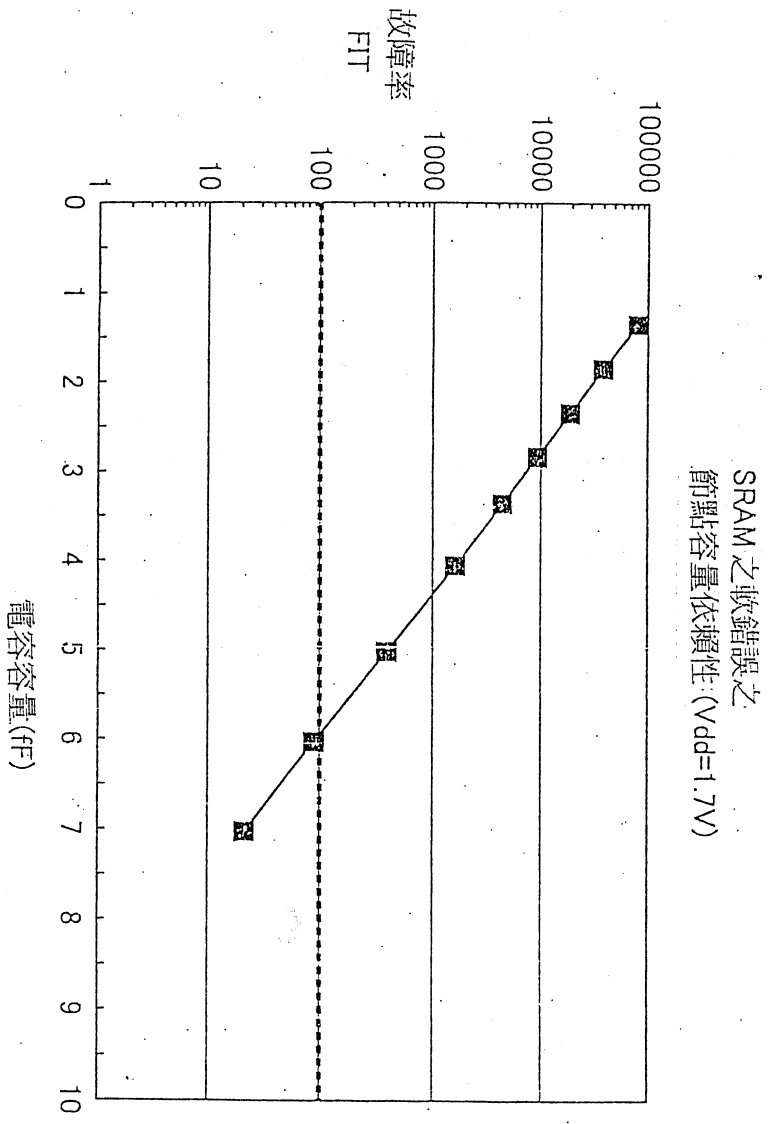


第 49 圖



第 50 圖





第52圖

柒、指定代表圖：

(一)本案指定代表圖為：第(3)圖：

(二)本代表圖之元件代表符號簡單說明：

1	矽基板	1f	主表面
2	元件隔離區域	3a	底部 n 型井區域
3b	n 型井區域	4	p 型井區域
5	閘極氧化膜	6	摻雜多晶矽層
7	矽化鎢層	8	矽氧化膜
9	閘極電極	10、24a	側壁絕緣膜
11a、11b、12	雜質區域	13、18	第 1 層間絕緣膜
13a、21a、26a、33a、36a	接觸孔		
14、16、20、22、27	埋入接觸部		
15、17、28	導熱絕緣墊		
18、21、26、29、33、36	層間絕緣膜		
19b、BL	位元線	21	第 2 層間絕緣膜
24b	TFT 閘極氧化膜	25、125	TFT 多晶矽
29a	孔	30	儲存節點
31	電容膜	32a(C1)、32b(C2)	電容器
34	金屬接觸	35、38	金屬配線
39	鈍化膜	40	記憶胞板
55、56、57、58	阻障層	100	半導體裝置
100a	記憶胞區域	100b	周邊電路區域

119 鎢配線

pn TFT 多晶矽 25 和 導熱絕緣墊 28 之連接部分

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：