



特許協力条約に基づいて公開された国際出願

(51) 国際特許分類6 H01L 21/94	A1	(11) 国際公開番号 WO96/36073 (43) 国際公開日 1996年11月14日(14.11.96)
(21) 国際出願番号 PCT/JP96/01193 (22) 国際出願日 1996年5月1日(01.05.96) (30) 優先権データ 特願平7/109585 1995年5月8日(08.05.95) JP (71) 出願人 (米国を除くすべての指定国について) 株式会社 日立製作所(HITACHI, LTD.)(JP/JP) 〒101 東京都千代田区神田駿河台四丁目6番地 Tokyo, (JP) (72) 発明者; および (75) 発明者/出願人 (米国についてのみ) 三浦英生(MIURA, Hideo)(JP/JP) 〒343 埼玉県越谷市南越谷4-11-3-501 Saitama, (JP) 池田修二(IKEDA, Shuji)(JP/JP) 〒184 東京都小金井市貫井北町3-30-8 Tokyo, (JP) 鈴木範夫(SUZUKI, Norio)(JP/JP) 〒189 東京都東村山市美住町2-3-11-405 Tokyo, (JP) 斉藤直人(SAITO, Naoto)(JP/JP) 〒315 茨城県新治郡千代田町稲吉3-6-1 Ibaraki, (JP) 西村朝雄(NISHIMURA, Asao)(JP/JP) 〒185 東京都国分寺市本町4-13-12-405 Tokyo, (JP)	(74) 代理人 弁理士 浅村 皓, 外(ASAMURA, Kiyoshi et al.) 〒100 東京都千代田区大手町2丁目2番1号 新大手町ビル331 Tokyo, (JP) (81) 指定国 CN, KR, SG, US, VN, 欧州特許(AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE). 添付公開書類 国際調査報告書	
(54) Title : SEMICONDUCTOR DEVICE AND ITS MANUFACTURE (54) 発明の名称 半導体装置及びその製造方法 101 ... start oxidation for element isolation 102 ... form pad oxide film 103 ... deposit silicon nitride film 104 ... partially remove silicon nitride film 105 ... perform selective oxidation 106 ... remove whole silicon nitride film 107 ... perform additional oxidation 108 ... partially remove oxide film 109 ... end element isolation oxidation (57) Abstract An element isolation oxide film is formed in a way that an opening for exposing a prescribed area is formed at least in one of thin films formed on a silicon substrate leaving the other part of the thin films unopened, an oxide film corresponding to the prescribed area is formed by selectively oxidizing the silicon substrate through the opening, at least the oxide film is exposed by removing other thin films than the oxide film, the whole exposed surface is additionally oxidized, and the unnecessary part of the oxide film around the prescribed area is removed. The surface of the silicon substrate below the unopened part is substantially flat. Consequently, when transistors are formed, the semiconductor device has an improved degree of integration and an improved reliability.		

(57) 要約

シリコン基板上に形成した薄膜の少なくとも1つに、所定領域を露出させる開口部を形成し残りの部分は非開部とし、この開口部を介して前記シリコン基板を選択的に酸化して前記所定領域に対応した酸化膜を形成した後、この酸化膜以外の薄膜を除去して前記酸化膜及びシリコン基板のうち少なくとも前記酸化膜を露出させ、この露出面全面を追酸化した後、形成されている酸化膜のうち前記所定領域の周辺の不要部分を除去することにより、素子分離用酸化膜を形成した場合、非開口部下のシリコン基板表面は実質的に平坦になり、その後トランジスタを形成した場合、得られる半導体装置は集積度が向上し、信頼性も向上する。

情報としての用途のみ

PCTに基づいて公開される国際出願をパンフレット第一頁にPCT加盟国を同定するために使用されるコード

AL	アルバニア	DE	ドイツ	LI	リヒテンシュタイン	PL	ポーランド
AM	アルメニア	DK	デンマーク	LC	セントルシア	PT	ポルトガル
AT	オーストリア	EE	エストニア	LK	スリランカ	RO	ルーマニア
AU	オーストラリア	ES	スペイン	LR	リベリア	RU	ロシア連邦
AZ	アゼルバイジャン	FI	フィンランド	LS	レソト	SD	スーダン
BA	ボスニア・ヘルツェゴビナ	FR	フランス	LT	リトアニア	SE	スウェーデン
BB	バルバドス	GA	ガボン	LU	ルクセンブルグ	SG	シンガポール
BE	ベルギー	GB	イギリス	LV	ラトヴィア	SI	スロヴェニア
BF	ブルキナ・ファソ	GE	グルジア	MC	モナコ	SK	スロヴァキア
BG	ブルガリア	GN	ギニア	MD	モルドヴァ共和国	SN	セネガル
BJ	ベナン	GR	ギリシャ	MG	マダガスカル	SZ	スワジランド
BR	ブラジル	HU	ハンガリー	MK	マケドニア旧ユーゴスラ ヴィア共和国	TD	チャド
BY	ベラルーシ	IE	アイルランド	ML	マリ	TG	トーゴ
CA	カナダ	IL	イスラエル	MN	モンゴル	TJ	タジキスタン
CF	中央アフリカ共和国	IS	アイスランド	MR	モーリタニア	TM	トルクメニスタン
CG	コンゴ	IT	イタリア	MW	マラウイ	TR	トルコ
CH	スイス	JP	日本	MX	メキシコ	TT	トリニダード・トバゴ
CI	コート・ジボアール	KE	ケニア	NE	ニジェール	UA	ウクライナ
CM	カメルーン	KG	キルギスタン	NL	オランダ	UG	ウガンダ
CN	中国	KP	朝鮮民主主義人民共和国	NO	ノルウェー	US	アメリカ合衆国
CU	キューバ	KR	大韓民国	NZ	ニュージーランド	UZ	ウズベキスタン
CZ	チェッコ共和国	KZ	カザフスタン			VN	ヴェトナム

明 細 書

半導体装置及びその製造方法

5 技術分野

本発明は、半導体装置の製造方法に係わり、特に、素子分離用酸化膜として熱酸化膜を形成する手順を備えた半導体装置の製造方法及び半導体装置に関する。

背景技術

一般に、シリコンを基板として使用する半導体素子製造においては、絶縁膜としてシリコンを熱酸化して形成するシリコン酸化膜が利用されている。特に基板上で隣接した例えばトランジスタ間を電氣的に絶縁分離することを目的に、数千オングストローム程度の厚さで部分的に素子分離用の酸化膜が形成される。

素子分離用酸化膜を形成する方法としては、いわゆる選択酸化法が広く利用されている。すなわち、シリコン基板上に、例えばパッド酸化膜と呼ばれる薄い熱酸化膜を介して窒化ケイ素膜を堆積する。そして、素子分離用酸化膜を形成した領域の窒化ケイ素膜及びパッド酸化膜をエッチング除去し、その後、全体を酸化することによって、シリコン基板上に部分的に厚い素子分離用酸化膜を形成する。

上記選択酸化法は、容易に厚い熱酸化膜を所定の位置に形成することができることから、従来広く活用されてきた。しかしながら、このような方法で熱酸化膜を形成する場合、窒化ケイ素膜端近傍において酸化種（例えば酸素や H_2O ）が基板表面と平行方向にも拡散して酸化反応が三次元的に進行することから、窒化ケイ素膜下にも酸化膜が形成されてしまう。この窒化ケイ素膜下に形成される酸化膜は、開口部から離れるに従い膜厚が減少していき、鳥のくちばしのような形状で成長することが多いことから、バースビークと称されている。

近年、半導体装置の高集積化が進展するに伴い、窒化ケイ素膜下に占めるバースビーク領域の比率が次第に大きくなり、装置製造の障害となっている。その理由は以下のようなものである。

すなわち、バースビークを除去してシリコン基板を露出させるとき、バースビ

ーク領域においては酸化膜厚がなだらかに変化していることから、露出するシリコン基板の表面が平坦化されず傾斜した面となる。これによって、その後の工程で例えばトランジスタ等のパターンを形成する場合に寸法ズレが生じ、微細加工の妨げになる。

- 5 上記の理由により、バースビークの影響を低減することが半導体装置の高集積化の促進には不可欠となっており、このバースビークの成長を抑制する公知技術として、例えば、以下のものがある。

①特開平4-360532号公報は窒化ケイ素膜の下に多結晶シリコン（ポリシリコン）薄膜を設けて酸化を行い、バースビーク成長の際のシリコンを多結晶
10 シリコン薄膜から供給することにより、バースビークの成長を抑制しシリコン基板表面を比較的平坦にすることを開示している。

②特開平4-324933号公報は窒化ケイ素膜の開口部の側面に、別の窒化ケイ素膜をシリコン基板表面の開口部の一部に直接堆積するか、ごく薄いパッド酸化膜のうえに堆積することにより、開口部から窒化ケイ素膜下への酸素の拡散
15 を低減し、バースビークの成長を抑制することを開示している。

しかしながら、上記公知技術には以下の問題点が存在する。

すなわち、上記公知技術①②では、バースビークの影響を十分に低減することができず、結果的に窒化ケイ素膜・パッド酸化膜除去後に露出されるシリコン基板表面の平坦化領域が狭められるという課題があった。

- 20 またさらに、公知技術②においては、窒化ケイ素膜の開口部の側面において別途窒化ケイ素膜を堆積させる際、従来よりもさらに微細な加工が必要となるので、製造コストが高くなるという課題もあった。

発明の開示

本発明の目的は、バースビークの成長を十分低減し、非開口部の膜を除去した
25 後の露出したシリコン基板表面を十分に平坦化できる素子分離用酸化膜の形成方法、その素子分離用酸化膜を用いた半導体装置の製造方法及び半導体装置を提供することである。

本発明は、シリコン基板上に少なくとも1つの薄膜を形成する第1の手順（Step）と、前記薄膜のうちの少なくとも1つの所定領域を露出させる開口部を

形成する第2の手順と、この開口部を介して前記シリコン基板を選択的に酸化し、前記所定領域に対応した酸化膜を形成する第3の手順と、この酸化膜以外の薄膜を除去し、前記酸化膜及びシリコン基板のうち少なくとも前記酸化膜を露出させる第4の手順と、前記第4の手順が終了し少なくとも前記酸化膜が露出された状態において、露出面全面を追酸化する第5の手順と、かつ、前記第5の手順までに形成された酸化膜のうち前記所定領域の周辺に形成された不要部分を除去することにより素子分離用酸化膜を形成する第6の手順からなることを特徴とする素子分離用酸化膜の形成方法を提供する。

本発明はまた、シリコン基板上に少なくとも1つの薄膜を形成する第1の手順と、前記薄膜のうちの少なくとも1つの所定領域を露出させる開口部を形成する第2の手順と、この開口部を介して前記シリコン基板を選択的に酸化し、前記所定領域に対応した酸化膜を形成する第3の手順と、この酸化膜以外の薄膜を除去し、前記酸化膜及びシリコン基板のうち少なくとも前記酸化膜を露出させる第4の手順と、前記第4の手順が終了し少なくとも前記酸化膜が露出された状態において、露出面全面を追酸化する第5の手順と、かつ、前記第5の手順までに形成された酸化膜のうち前記所定領域の周辺に形成された不要部分を除去することにより素子分離用酸化膜を形成する第6の手順と、その後トランジスタを形成するために必要なゲート酸化膜の形成、不純物の導入、電極、配線の形成、絶縁膜形成を行うことを特徴とする半導体装置の製造方法を提供する。

20 本発明は更に上記の製造方法により得られた半導体装置を提供する。

図面の簡単な説明

図1A-IHは本発明の実施例1による素子分離用酸化膜形成手順におけるシリコン基板断面の変化を示す概略断面図である。

25 図2は図1A-IHに示した素子分離用酸化膜形成手順を示すフローチャートである。

図3A-3Gは比較例1による素子分離用酸化膜形成手順におけるシリコン基板断面の変化を示す概念断面図である。

図4は図3Eに示した手順の終了時に形成されているバースビーク端近傍の酸化膜厚分布の測定結果を示すグラフである。

図5は図1Gに示した手順の終了時に形成されているバースビーク端近傍の酸化膜厚分布の測定結果を示すグラフである。

図6は本発明の実施例2による素子分離用酸化膜形成手順を示すフローチャートである。

- 5 図7A-7Hは図6に示した素子分離用酸化膜形成手順におけるシリコン基板断面の変化を示す概念断面図である。

図8は本発明の実施例3による素子分離用酸化膜形成手順を示すフローチャートである。

- 10 図9A-9Hは図8に示した素子分離用酸化膜形成手順におけるシリコン基板断面の変化を示す概念断面図である。

図10A-10Dは図11に示したMOS型トランジスタの製造方法の各手順におけるシリコン基板断面の変化を示す概念断面図である。

図11は本発明の実施例4によるMOS型トランジスタの製造方法を示すフローチャートである。

- 15 図12A-12Fは図13に示したフラッシュメモリの製造方法の各手順におけるシリコン基板断面の変化を示す概念断面図である。

図13は本発明の実施例5によるフラッシュメモリの製造方法を示すフローチャートである。

発明を実施するための最良の形態

- 20 本発明によれば、シリコン基板上に少なくとも1つの薄膜を形成する第1の手順と、前記薄膜のうち少なくとも一つの所定領域を露出させて開口部を形成し、残りを非開口部とする第2の手順と、この開口部を介して前記シリコン基板を選択的に酸化し、前記所定領域に対応した酸化膜を形成する第3の手順と、この酸化膜以外の薄膜を除去し、前記酸化膜及びシリコン基板のうち少なくとも前記酸化膜を露出させる第4の手順と、前記第4の手順が終了し少なくとも前記酸化膜が露出された状態において、露出面全面を追酸化する第5の手順と、かつ、前記第5の手順までに形成された酸化膜のうち前記所定領域の周辺に形成された不要部分を除去する第6の手順からなる素子分離用酸化膜を形成する方法、及び、その後トランジスタを形成するために必要なゲート酸化膜の形成、不純物の導入、
- 25

電極、配線の形成、絶縁膜形成を行うことを特徴とする半導体装置の製造方法を提供する。

- 好ましくは、前記酸化膜の形成及び半導体装置の製造方法において、前記第 1 の手順は、前記シリコン基板上にパッド酸化膜を介して窒化ケイ素膜を堆積する
- 5 手順であり、前記第 2 の手順は、少なくとも前記パッド酸化膜が露出するように前記窒化ケイ素膜の一部を除去して開口部を形成する手順であり、前記第 4 の手順は、前記窒化ケイ素膜及びパッド酸化膜のうち少なくとも窒化ケイ素膜を除去し、前記酸化膜及びシリコン基板のうち少なくとも酸化膜を露出させる手順であることを特徴とする方法を提供する。
- 10 また好ましくは、前記酸化膜の形成および半導体装置の製造方法において、前記第 1 の手順は、前記シリコン基板上に窒化ケイ素膜を直接堆積する手順であり、前記第 2 の手順は、前記シリコン基板が露出するように前記窒化ケイ素膜の一部を除去して開口部を形成する手順であり、前記第 4 の手順は、前記窒化ケイ素膜を除去し前記酸化膜及びシリコン基板のうち少なくとも酸化膜を露出させる手順
- 15 であることを特徴とする方法を提供する。

- さらに好ましくは、前記酸化膜の形成および半導体装置の製造方法において、前記第 1 の手順は、前記シリコン基板上にパッド酸化膜を介して窒化ケイ素膜を堆積する手順であり、前記第 2 の手順は、前記シリコン基板が露出するように前記窒化ケイ素膜及びパッド酸化膜の一部を除去して開口部を形成する手順であり、
- 20 前記第 4 の手順は、前記窒化ケイ素膜及びパッド酸化膜のうち少なくとも窒化ケイ素膜を除去し、前記酸化膜及びシリコン基板のうち少なくとも酸化膜を露出させる手順であることを特徴とする方法を提供する。

- また好ましくは、前記酸化膜の形成及び半導体装置の製造方法において、前記第 2 の手順で開口部を形成するとき、前記シリコン基板を表面から 10 nm 以上
- 25 除去することを特徴とする方法を提供する。

さらに好ましくは、前記酸化膜の形成および半導体装置の製造方法において、前記第 1 の手順は、前記シリコン基板上にパッド酸化膜及び多結晶シリコン薄膜を介して窒化ケイ素膜を堆積する手順であり、前記第 2 の手順は、前記パッド酸化膜が露出するように前記窒化ケイ素膜及び多結晶シリコン薄膜の一部を除去し

て開口部を形成する手順であり、前記第4の手順は、前記窒化ケイ素膜、多結晶シリコン膜、及びパッド酸化膜のうち少なくとも窒化ケイ素膜及び多結晶シリコン膜を除去し、前記酸化膜及びシリコン基板のうち少なくとも酸化膜を露出させる手順であることを特徴とする方法を提供する。

- 5 また好ましくは、前記酸化膜の形成および半導体装置の製造方法において、前記第1の手順は、前記シリコン基板上に多結晶シリコン薄膜を介して窒化ケイ素膜を堆積する手順であり、前記第2の手順は、前記シリコン基板が露出するように前記窒化ケイ素膜及び多結晶シリコン薄膜の一部を除去して開口部を形成する手順であり、前記第4の手順は、前記窒化ケイ素膜及び多結晶シリコン膜を除去
- 10 し、前記酸化膜及びシリコン基板のうち少なくとも酸化膜を露出させる手順であることを特徴とする方法を提供する。

さらに好ましくは、前記酸化膜の形成および半導体装置の製造方法において、前記第2の手順は、前記薄膜のうち少なくとも1つの所定領域をエッチング除去することにより、開口部を形成する手順であることを特徴とする方法を提供する。

- 15 また好ましくは、前記酸化膜の形成および半導体装置の製造方法において、前記第5の手順の追酸化は、新たな酸化膜の厚みが5 nm以上酸化されるまで行われることを特徴とする方法を提供する。

- さらに好ましくは、前記酸化膜の形成および半導体装置の製造方法において、前記第5の手順の追酸化は、その酸化温度において5 nmの酸化膜が形成される
- 20 時間以上の間行われることを特徴とする方法を提供する。

また好ましくは、前記酸化膜の形成および半導体装置の製造方法において、前記第5の手順の追酸化は、950℃以上1200℃以下、さらに好ましくは1000℃～1100℃の酸化温度で1分間以上の間行われることを特徴とする方法を提供する。

- 25 さらに上記目的を達成するために、本発明は、シリコン基板上に形成した薄膜の少なくとも1つに、所定領域を露出させる開口部を形成し残りの部分は非開口部とし、この開口部を介して前記シリコン基板を選択的に酸化して前記所定領域に対応した酸化膜を形成した後、この酸化膜以外の薄膜を除去して前記酸化膜及びシリコン基板のうち少なくとも前記酸化膜を露出させ、この露出面全面を追酸

- 化した後、形成されている酸化膜のうち前記所定領域の周辺の不要部分を除去することにより、素子分離用酸化膜を形成し、好ましくは非開口部の距離が $1\text{ }\mu\text{m}$ 以下の場合、非開口部下のシリコン基板表面が実質的に平坦となるようにし、その後トランジスタを形成するために必要なゲート酸化膜の形成、不純物の導入、
- 5 電極、配線の形成、絶縁膜形成を行うことにより得られる半導体装置を提供する。

- また上記目的を達成するために、本発明は、選択酸化法を使用してシリコン基板の所定領域に酸化膜を形成した後、この酸化膜以外の薄膜を除去して前記酸化膜及びシリコン基板のうち少なくとも前記酸化膜を露出させ、この露出面全面を追酸化した後、形成されている酸化膜のうち前記所定領域の周辺の不要部分を除
- 10 去することにより、素子分離用酸化膜を形成すると共に素子分離用酸化膜間の下部のシリコン基板の表面を実質的に平坦となるようにし、その後トランジスタを形成するために必要なゲート酸化膜の形成、不純物の導入、電極、配線の形成、絶縁膜形成を行うことにより得られた半導体装置を提供する。

- 以上のように構成した本発明によれば、まず第1の手順で、シリコン基板上に
- 15 少なくとも1つの薄膜、例えば窒化ケイ素膜、パッド酸化膜／窒化ケイ素膜、多結晶シリコン膜／パッド酸化膜／窒化ケイ素膜、多結晶シリコン膜／窒化ケイ素膜等を形成する。そして第2の手順でこれらの薄膜のうち少なくとも1つ、例えばパッド酸化膜以外の薄膜に、素子分離用酸化膜を形成しようとする所定領域を露出させる開口部を形成し、残りを非開口部とする。その後、第3の手順でこの
- 20 開口部を介しシリコン基板に例えば熱酸化法で選択的酸化を行い、開口部から露出していたシリコン基板の所定領域を酸化ケイ素の厚い膜とする。この酸化時に、開口部端近傍においては、例えば酸素や H_2O 等の酸化種がパッド酸化膜中を基板表面と平行方向にも拡散して酸化反応が三次元的に進行し、非開口部の窒化ケイ素膜等の下に酸化ケイ素のバズビークが形成される。この後、第4の手順で、
- 25 バズビークを含む酸化ケイ素の酸化膜以外の薄膜、すなわち窒化ケイ素膜や多結晶シリコン膜等を除去し、酸化ケイ素の酸化膜又はシリコン基板を露出させる。そして、第5の手順で、この露出面全面を追酸化する。

ここで、一般にこの酸化反応では、酸化種がシリコン基板との界面で反応して酸化ケイ素膜が形成されることとなる。酸化の極初期においては露出したシリコ

ン基板と酸化種が直接反応してきわめて薄い酸化膜が形成されるが、その後は、既に形成された酸化膜中を酸化種が拡散し、酸化膜とシリコン基板界面に達したところで酸化反応が拡散律速により進行する。よってすなわち、既に形成された酸化膜厚に分布がある場合は、酸化膜厚が薄い領域から順番に酸化反応が開始されることになる。

したがって、第5の手順で追酸化されるとき、開口部から離れるに従い膜厚が減少する形状である酸化ケイ素膜のバースビークは、開口部から離れたところほど速く酸化が進行することとなるので酸化時間の増加、即ち酸化膜厚の増加と共に徐々に消失する。結果として追酸化が終了した後には非開口部においてトータル
10 ルの酸化膜厚が酸化前と比較してほぼ一樣になる。なおこのとき、素子分離用酸化膜を形成したい所定領域以外の周辺部分も酸化されて、この周辺部分に薄い酸化膜が形成される。

そして最後に、第6の手順で、素子分離用酸化膜を形成したい所定領域の周辺に形成された不要な酸化膜を除去する。この不要部分除去時に、もともとバース
15 ビークとして形成され第5の手順で追酸化されて比較的厚い酸化ケイ素膜となっていた部分も同時に除去される。非開口部で追酸化によって酸化膜厚さがほぼ一樣となっていたので、除去された後の面をほぼ平坦面とすることができる。このように、窒化ケイ素膜除去後に追酸化を施すことで、酸化膜厚が均一な領域を大幅に拡張することができる。そのため、シリコン基板表面を十分に平坦化す
20 とができる。

また、第1の手順でシリコン基板上にパッド酸化膜を介して窒化ケイ素膜を堆積した後、第2の手順でシリコン基板が露出するように窒化ケイ素膜及びパッド酸化膜の一部を除去して開口部を形成するとき、シリコン基板も表面から10
nm以上除去してもよい。これにより、第3の手順で所定領域に対応した厚い酸
25 化ケイ素膜を形成するときに、この酸化ケイ素膜がシリコン基板表面から盛り上がる量を抑えることができるので、後にトランジスタパターン等を露光法を使用してプリントする際の段差を小さく抑えることができる。

さらに、第1の手順で、多結晶シリコン薄膜又は多結晶シリコン薄膜・パッド酸化膜を介してシリコン基板上に窒化ケイ素膜を堆積し、第2の手順でシリコン

基板又はパッド酸化膜が露出するように開口部を形成して、第3の手順で選択的酸化を行ってもよい。この場合、この第3の手順で酸化ケイ素のバースビークが形成されるとき消費されるシリコンの一部が多結晶シリコン薄膜から供給され、シリコン基板から消費されるシリコンが減少するので、基板側のバースビーク成長を相対的に抑制することができる。その後、第4の手順で窒化ケイ素膜や残存多結晶シリコン膜を除去して酸化ケイ素の酸化膜又はシリコン基板を露出させ、第5の手順で露出面全面の追酸化を行えばよい。

また、第5の手順で、追酸化を、5 nm以上の厚さが酸化されるまで行うか、その酸化温度において5 nmの酸化膜が形成される時間以上の間行うか、若しくは、950℃以上の酸化温度で1分間以上の間行うことにより、追酸化が終了した後非開口部においてトータルの酸化膜厚が一様な領域を確実に拡大することができる。

別の言い方をすれば素子分離用酸化膜の間に広がる開口部以外の部分（即ち非開口部となる例えば窒化ケイ素膜下部）が広い領域にわたり平坦になることが好ましい。ことに非開口部の距離が1 μm以下になった場合、この平坦性が重大な問題となる。従来技術によりバースビークが生じた場合、非開口部下の平坦部分は約56%以下、大ていは約50%以下であった。ところが上記の本発明によれば平坦部分は約90%にまで拡大され、通常は60%以上80%位の平坦部分が得られる。

ここに「平坦」という用語は、原子レベルのシリコンの100面の表面の平坦性ではなく、もとのシリコン基板の平坦な表面に対し実質的に平行であることを言う。例えば図1Fの4A（バースビーク）の下部でシリコン基板1とバースビーク4Aの界面が傾斜している部分があるが、この部分は平坦ではない。これに対し、図1Gの4C（バースビークであった部分）の下部でシリコン基板1の部分は本発明で言う平坦であることになる。

このことは、図4及び5を用いても説明できる。

図4は実際に、パッド酸化膜厚15 nm、窒化ケイ素膜厚150 nmとし、選択酸化時の開口部をストライプ状に幅1 μm、間隔1 μmで形成し、1000℃において酸化膜厚が0.4 μmとなるような条件で熱酸化した時のバースビーク

近傍の酸化膜厚分布を示し、図5は選択酸化完了後に窒化ケイ素膜を除去して再び1000℃で酸化膜が約100nm成長するような条件で追酸化した場合の酸化膜厚の分布の測定結果を示す。図4及び5の横軸は、ストライプ形状の幅方向の窒化ケイ素膜中央から開口部に向けての距離であり、縦軸は酸化膜厚である。

- 5 窒化ケイ素膜の幅寸法は1 μ mであり、理想的には窒化膜中央から0.5 μ m（即ち非開口部の距離の1/2）の領域において酸化膜厚が均一であれば酸化膜除去後に平坦なシリコン基板表面を得ることができる。しかし、実際にはバースビークが成長するため、選択酸化終了後における窒化ケイ素膜中央から酸化膜厚が均一な領域は0.28 μ mにまで減少してしまう（図4参照）。この後、窒化
- 10 ケイ素膜を除去して追酸化を行なうと、全体の酸化膜厚は当然増加するが、平坦領域は約0.4 μ mにまで広がることがわかる（図5参照）。このように、窒化ケイ素膜除去後に本発明に従い追酸化を施すことで、酸化膜厚が均一な領域を大幅に拡張することができ、酸化膜除去後のシリコン基板表面の平坦領域を顕著に拡大することができる。
- 15 このように素子分離用酸化膜間の非開口部の下部のシリコン基板表面の56%以上90%以下を実質的に平坦にすることにより（即ち、バースビークの成長を十分低減することにより）、以後のトランジスタを形成するために必要なゲート酸化膜の形成、不純物の導入、電極、配線の形成、絶縁膜形成等が効率よく行なうことができ、高集積度でかつ高信頼度の半導体装置が得られる。
- 20 本発明の方法は半導体装置例えばMOS型トランジスタ、フラッシュメモリ等の製造に適用できる。

またMOS型トランジスタはDRAM（Dynamic Random Access Memory）、SRAM（Static Random Access Memory）等のメモリ回路あるいはプロセッサの如き演算回路に使用してもよい。

- 25 以下本発明を実施例により説明する。

実施例1

実施例1を図1～図5により説明する。

本実施例の半導体装置の製造方法の手順の要部は、素子分離用酸化膜形成手順にある。この素子分離用酸化膜形成手順の製造フローチャートを図2に示し、ま

たこのときの各手順におけるシリコン基板（ウエハ）断面の変化を示す概念図を図1 A - 1 Hに示す。

図2において、まず、手順101で素子分離酸化を開始し、手順102でシリコン基板1（図1 A）の表面に熱酸化法を使用し、例えば15 nmの膜厚でパッド酸化膜2を形成する。（図1 B）。その後、手順103に移ってパッド酸化膜2上に例えば150 nmの膜厚で窒化ケイ素膜3を堆積する（図1 C）。なお、パッド酸化膜2は必ずしも必要ではなく、手順101から手順103に移って窒化ケイ素膜3を直接シリコン基板1表面に堆積してもよい。

次に、手順104において、最終的に素子分離用の酸化膜を厚く形成したい領域上の窒化ケイ素膜3の一部をエッチング除去し、例えば幅1 μm ・間隔1 μm のストライプ状に開口部20を形成してパッド酸化膜2を露出させる（図1 D）。その後、手順105でこの開口部20を介してシリコン基板1を熱酸化法によって選択的に酸化し、厚い酸化ケイ素膜4を形成する（図1 E）。このときの酸化条件としては、例えば1000 $^{\circ}\text{C}$ において酸化膜厚が0.4 μm となるような条件において熱酸化を行う。この酸化時に、窒化ケイ素膜3の開口部20端近傍においては、酸素・ H_2O 等の酸化種が窒化ケイ素下部でパッド酸化膜中をシリコン基板1と平行方向（図1 E中左右方向）にも拡散して酸化反応が三次元的に進行し、窒化ケイ素膜3の下（及び、もし残存していればパッド酸化膜2が成長し）バースビーク4 Aが形成されることになる。

手順105の酸化完了後に、手順106に移って窒化ケイ素膜3を除去する（図1 F）。このとき、窒化ケイ素膜3が完全に除去されてさえいれば、素子分離用酸化膜4若しくは残存しているパッド酸化膜2の一部が除去されて、シリコン基板1が露出しても構わない。そして手順107で、厚い酸化ケイ素膜4及びバースビーク4 A（及び、もし残存していればパッド酸化膜2）を露出させた状態で、例えば1000 $^{\circ}\text{C}$ で酸化膜厚が約100 nm成長するような酸化条件で全面を追酸化する（図1 G）

その後、手順108に移り、後にシリコン基板1表面にトランジスタ・抵抗等の素子を形成するときに備え、周辺に形成された不要な酸化ケイ素膜4を除去するために、公知の方法（例えば薬剤を用いた化学的方法や物理的なドライエッチ

ング法)により酸化ケイ素膜4全体を上から所定厚さだけ除去して素子分離用酸化膜4Bを形成し(図1H)、手順109に移ってこのフローを終了する。

比較例1

実施例1の比較例として、従来技術による半導体装置の製造方法における素子
5 分離用酸化膜形成手順を図3A-3Gに示す。図1と同様の部材には同一の符号を付す。

図3A-3Eの手順は前述した図1A-1Eの手順と同様であり、シリコン基板1(図3A)上にパッド酸化膜2(図3B)を介して窒化ケイ素膜3を堆積し(図3C)、所定領域の窒化ケイ素膜3をエッチング除去して開口部20を形成
10 し(図3D)、開口部20を介し熱酸化を行いシリコン基板1上にバースビーク4Aを含む酸化ケイ素膜4を形成する(図3E)。

その後、窒化ケイ素膜3(及び残存していればパッド酸化膜2)の除去を行い(図3F)、さらに、周辺に形成された不要な酸化ケイ素膜4を公知の方法(例えば薬剤を用いた化学的方法や、物理的なドライエッチング法)により除去して
15 素子分離用酸化膜4Bを形成する。

上記の手順においては、バースビーク4Aを除去してシリコン基板1を露出させるとき、バースビーク4Aにおいては酸化膜厚がなだらかに変化していることから、露出するシリコン基板1の表面が平坦化されず傾斜した面1A(図3G参照)となる。このことを図4にさらに具体的に示す。

20 図4は、比較例1の図3Eに示す手順の終了時に形成されている窒化ケイ素膜3端近傍の酸化膜厚分布の測定結果である。図の横軸は、ストライプ形状の窒化ケイ素膜3の中央(図3E)中の点O)から開口部20に向けての距離xであり、縦軸は酸化ケイ素膜4の厚さyである。窒化ケイ素膜3の幅寸法は1 μ mであることから、窒化ケイ素膜3中央から $x=0\sim0.5\mu$ m(=500nm即ち非開口部の1/2)までの領域において酸化ケイ素膜4の厚さyが均一であれば、酸化ケイ素膜4除去後に理想的なシリコン基板1の平坦表面を得ることができることになる。しかし、比較列1においては、図4に示すように、酸化ケイ素膜4の厚さyが均一な領域はバースビーク4Aの成長によって $x=0\sim$ 約0.28 μ m(=280nm)の領域にまで減少してしまい、その他の $x=0.28\sim0.5$
25

μm の領域は傾斜した面 1 A となる。これにより、その後の工程で、例えばトランジスタパターン等をシリコン基板 1 表面に露光法を使用してプリントする場合に寸法ズレが生じ、微細加工の妨げになるという問題がある。

これに対し、本発明の実施例 1 においては、図 1 G に示した追酸化手順において、バースビーク 4 A (及び残存していればパッド酸化膜 2) が主として酸化され、バースビークであった部分 4 C の酸化膜厚がほぼ一様になる。このことを以下に詳細に説明する。

一般に、シリコン基板 1 の酸化反応では、酸素・ H_2O 等の酸化種がシリコン基板 1 の界面で反応して酸化ケイ素膜 4 が形成されることとなる。このとき酸化の極初期においては露出したシリコン基板 1 と酸化種が直接反応してきわめて薄い酸化ケイ素膜 4 が形成されるが、その後は、既に形成された酸化ケイ素膜 4 中を酸化種が拡散し、酸化ケイ素膜 4 とシリコン基板 1 との界面に達したところで酸化反応が拡散律速により進行する。よってすなわち、既に形成された酸化ケイ素膜 4 の厚さに分布がある場合は、酸化膜厚が薄い領域から厚い領域へ順番に酸化反応が開始されることになる。

したがって、実施例 1 の図 1 G の手順で露出した全面が追酸化されるとき、開口部 2 0 から離れるに従って膜厚が減少する形状であったバースビーク 4 A (図 1 F 参照) は、開口部 2 0 から離れたところほど速く酸化が進行することとなるので酸化時間の増加と共に徐々に、即ち、新しい酸化膜の厚さが増加するにつれ、消失する。結果として十分な追酸化が終了した後にはバースビークであった部分 4 C の膜厚はほぼ一様になる。これを図 5 にさらに具体的に示す。

図 5 は、図 1 G の状態におけるバースビークであった部分 4 C 近傍の酸化膜厚分布の測定結果である。図 4 と比較すると、追酸化の分全体の酸化ケイ素膜 4 の膜厚 y が増加しているが、膜厚 y が均一である領域は、 $x \sim 0 \sim \text{約 } 0.4 \mu\text{m}$ ($= 400 \text{ nm}$) にまで広がっていることがわかる。したがって、図 1 H の手順で、周辺の不要な酸化ケイ素膜 4 とともにバースビークであった部分 4 C が除去されるとき、除去された後のシリコン基板 1 を実質的に平坦な面 1 B (図 1 H) とすることができる。

実施例 1 によれば、選択酸化後の半導体素子形成領域上の酸化膜厚 y の均一領

域を拡大することができるので、半導体素子形成領域上の酸化ケイ素膜 4 除去後のシリコン基板 1 表面の平坦領域を拡大することができ、半導体素子の高集積化を促進することができるという効果がある。

なお、上記実施例 1 においては、パッド酸化膜 2 の膜厚を 15 nm、窒化ケイ素膜 3 の膜厚を 150 nm、ストライプ状の開口部 20 の幅 1 μ m・間隔 1 μ m としたが、これに限られるものではない。また、1000℃において酸化膜厚が 0.4 μ m となるような条件で選択酸化を行ったが、これに限られるものではない。

また、追酸化においては、1000℃で酸化膜厚が約 100 nm 成長するような酸化条件で追酸化を行ったが、これに限られず、バースビークであった部分 4 C の追酸化後の酸化膜厚がほぼ一樣になるような酸化条件（酸化温度・時間・酸化雰囲気等）に適宜調整すれば足りる。例えば、時間条件として、その酸化温度において少なくとも 5 nm の酸化膜が形成される時間以上の間としてもよいし、できれば 10 nm 以上の厚さが酸化されるまでとしてもよいし、また 950℃以上の酸化温度で 1 分間以上の間追酸化してもよい。

実施例 2

実施例 2 を図 6 及び図 7 により説明する。本実施例は、開口部を形成する手順が異なる実施例である。実施例 1 と同等の部材・手順には同一の符号を付す。

実施例 2 による素子分離用酸化膜形成手順の製造フローチャートを図 6 に示し、このときの各手順におけるシリコン基板（ウエハ）断面の変化を示す概念図を図 7 A－7 H に示す。

図 6 及び図 7 において、実施例 2 が実施例 1 と異なる点は、開口部 230 を形成するために窒化ケイ素膜 3 を一部除去する手順 104 の後に、さらに開口部 230 を介してシリコン基板 1 を厚さ 10 nm 以上エッチングで除去し段差を形成する（図 7 D）手順 210 が設けられていることである。

これ以降の手順 105～手順 109 は実施例 1 と同様である。ただし、追酸化時の酸化量は、実施例 1 と同等か実施例 1 よりも多めになる。

本実施例によっても、実施例 1 と同様の効果を得られる。またこれに加え、開口部 230 においてシリコン基板 1 を 10 nm 以上エッチングして段差を形成す

るので、厚い酸化ケイ素膜 4 を形成する時にこの酸化ケイ素膜 4 の表面がシリコン基板 1 表面から盛り上がる量を抑えることができる。よって、後でトランジスタパターン等を露光法を使用してプリントする際の段差を小さく抑えることができる効果がある。

5 実施例 3

実施例 3 を図 8 及び図 9 により説明する。本実施例は、パッド酸化膜 2 と窒化ケイ素膜 3 との間に多結晶シリコン膜を堆積する実施例である。実施例 1 及び 2 と同等の部材及び手順には同一の符号を付す。

本実施例による素子分離用酸化膜形成手順の製造フローチャートを図 8 に示し、

- 10 このときの各手順におけるシリコン基板（ウェハ）断面の変化を示す概念図を図 9 A－9 H に示す。

図 8 において、まず、手順 1 0 1 で素子分離酸化を開始し、手順 1 0 2 でシリコン基板 1（図 9 A）の表面に熱酸化法を使用し、例えば 1 5 nm の膜厚でパッド酸化膜 2 を形成する（図 9 B）。その後、手順 1 0 3 に移る前に手順 3 2 1 で
15 パッド酸化膜 2 上に多結晶シリコン薄膜 3 1 7 を堆積する。そして手順 1 0 3 で例えば 1 5 0 nm の膜厚で窒化ケイ素膜 3 を堆積する（図 9 C）。なお、パッド酸化膜 2 は必ずしも必要ではなく、手順 1 0 1 から手順 3 2 1 に移って多結晶シリコン薄膜 3 1 7 を直接シリコン基板 1 表面に堆積してもよい。

- 次に、手順 3 2 2 において、厚い素子分離用酸化膜を形成したい領域上の窒化
20 ケイ素膜 3 及び多結晶シリコン薄膜 3 1 7 をエッチング除去し、例えば幅 1 μm ・間隔 1 μm のストライプ状に開口部 3 4 0 を形成してパッド酸化膜 2 を露出させた（図 9 D）後、手順 1 0 5 でこの開口部 3 4 0 を介してシリコン基板 1 を熱酸化法によって選択的に酸化し、厚い酸化ケイ素膜 4 を形成する（図 9 E）。このときの酸化条件としては、例えば 1 0 0 0 $^{\circ}\text{C}$ において酸化膜厚が 0. 4 μm と
25 なるような条件において熱酸化を行う。この酸化時に、窒化ケイ素膜 3 の開口部 3 4 0 端近傍においては、実施例 1 及び 2 同様、窒化ケイ素膜 3 の下（及び、もし残存していれば多結晶シリコン薄膜 3 1 7 の下あるいは多結晶シリコン薄膜 3 1 7 が酸化され、あるいはパッド酸化膜 2 が成長し）バースピーク 4 A が形成されることになる。

手順 1 0 5 の酸化完了後に、手順 3 2 3 に移って窒化ケイ素膜 3（及び残存している多結晶シリコン薄膜 3 1 7）を除去する（図 9 F）。このとき、窒化ケイ素膜 3（及び多結晶シリコン薄膜 3 1 7）が完全に除去されてさえいれば、素子分離用酸化膜 4 若しくは残存しているパッド酸化膜 2 の一部が除去されて、シリコン基板 1 が露出しても構わない。そして手順 1 0 7 で、厚い酸化ケイ素膜 4 及びバズビーク 4 A（及び、もし残存していればパッド酸化膜 2）を露出させた状態で、例えば 1 0 0 0 °C で酸化膜厚が約 1 0 0 nm 成長するような時間で全面を追酸化する（図 9 G）。

その後、手順 1 0 8 に移り、実施例 1 及び 2 同様、周辺に形成された不要な酸化ケイ素膜 4 を除去するために、酸化ケイ素膜 4 全体を上から所定厚さだけ除去して素子分離用酸化膜 4 B を形成し（図 9 H）、手順 1 0 9 に移ってこのフローを終了する。

本実施例によっても、実施例 1 と同様の効果を得る。またこれに加えて、バズビーク 4 A が形成されるとき消費されるシリコンの一部が多結晶シリコン薄膜 3 1 7 から供給され、シリコン基板 1 から消費されるシリコンの総量が減少するので、基板側のバズビーク成長を相対的に抑制することができるという効果もある。

実施例 4

実施例 4 を図 1 0 及び 1 1 により説明する。本実施例は、上記実施例 1 ～ 3 による手順で形成した素子分離用酸化膜を備えた MOS 型トランジスタの製造方法の実施例である。実施例 1 ～ 3 と同等の部材・手順には同一の符号を付す。

本実施例による MOS 型トランジスタの製造方法の各手順におけるシリコン基板（ウェハ）断面の変化を示す概念図を図 1 0 A ～ 1 0 D に、本実施例の製造方法のフローチャートを図 1 1 に示す。

図 1 0 において、本実施例で製造する MOS 型トランジスタは、例えばメモリ回路あるいは演算回路等に使用されるものである。まず、実施例 1 ～ 3 のいずれかの方法で素子分離用酸化膜 4 B を形成する（図 1 0 A）。その後、シリコン基板 1 表面に MOS 型トランジスタのゲート酸化膜 4 1 8 を形成する（図 1 0 B）。そしてさらに、ゲート酸化膜 4 1 8 上にゲート電極 4 1 9 として例えば多結晶シ

リコン薄膜を堆積し、ゲート電極としてエッチング加工を行う（図10C）。

なお、ゲート電極材質は多結晶シリコンに限定されるものではなく、W、Ti等の高融点金属材料あるいはこれら高融点金属材料ないしはコバルト、ニッケル等とシリコンからなるシリサイド合金あるいはこれらと多結晶シリコン薄膜との

5 積層構造であってもよい。

この後トランジスタを形成するために必要なゲート酸化膜の形成、不純物の導入（306）、一層目配線12の形成（307）、層間絶縁膜13形成（308）、二層目配線14形成（309）、絶縁膜15形成（310）等が行なわれ、MOS型トランジスタが完成（311）する。本手順で形成したトランジスタ断面構造例を図10Dに示す。なお、トランジスタ形成の手順は本フローチャートに示した手順に限定されるものではなく、配線層数も二層に限定されるものではない。また、本MOS型トランジスタはDRAM（Dynamic Random Access Memory）、SRAM（Static Random Access Memory）等のメモリ回路あるいは演算回路に使用しても構わない。

15 本実施例においては素子分離用酸化膜製造工程において、素子分離用酸化膜間の非開口部である例えば窒化ケイ素膜下のシリコン基板表面が実質的に約60～約85%が平坦になるため、シリコン基板1表面の平坦領域を拡大することができる。よってMOS型トランジスタの集積度を向上させることができ、また信頼性も向上することができる。

20 実施例5

実施例5を図12及び13により説明する。本実施例は、上記実施例1～3による手順で形成した素子分離用酸化膜を備えたフラッシュメモリの製造方法の実施例である。実施例1～4と同等の部材・手順には同一の符号を付す。

本実施例によるフラッシュメモリの製造方法の各手順におけるシリコン基板（ウエハ）の断面の変化を示す概念図を図12A～12Fに、また本実施例の製造方法のフローチャートを図13に示す。

まず、実施例1～3のいずれかの方法で素子分離用酸化膜4Bを形成する（図12A）。その後、シリコン基板1表面にMOS型トランジスタのトンネル酸化膜511を形成する（図12B）。このトンネル酸化膜511上に浮遊電極51

0として例えば多結晶シリコン薄膜を堆積し、電極としてエッチング加工を行う
(図12C)。そしてさらに、この浮遊電極510上にシリコン酸化膜あるいは
窒化ケイ素膜あるいはこれらの積層構造膜からなる絶縁膜512を形成し(図1
2D)、その上に制御電極513として例えば多結晶シリコン薄膜を形成する
5 (図12E)。

なお、浮遊電極510あるいは制御電極513の材質は、多結晶シリコンに限
定されるものではなく、W、Ti等の高融点金属材料あるいはこれらの高融点金
属材料ないしコバルトあるいはニッケル等とシリコンからなるシリサイド合金あ
るいはこれらと多結晶シリコン薄膜との積層構造膜であっても構わない。

10 この後フラッシュメモリ構造を形成するために必要な不純物の導入(408)、
一層目配線12の形成(409)、層間絶縁膜13の形成(410)、二層目配
線14の形成(411)、絶縁膜15の形成(412)等が行なわれ、フラッシ
ュメモリ構造が完成(413)する。本手順で形成したトランジスタ断面構造例
を図12Fに示す。なお、トランジスタ形成の手順は本フローチャートに示した
15 手順に限定されるものではなく、配線層数も二層に限定されるものではない。さ
らに、フラッシュメモリを構成する電極構造等も本実施例に限定されるものでは
ない。

本実施例によれば、実施例1〜3と同様、シリコン基板1表面の平坦領域を拡
大することができる。よって、フラッシュメモリの集積度を向上させることがで
20 きるという効果がある。

産業上の利用の可能性

以上述べた如く本発明によれば、第5の手順で、窒化ケイ素膜除去後に追酸化
を施すので、酸化膜厚が均一な領域を大幅に拡張することができる。よって、シ
リコン基板表面を十分に平坦化することができ、半導体素子、例えばMOS型ト
25 ランジスタやフラッシュメモリの集積度向上を促進することができる。

また、第2の手順で開口部を形成するとき、シリコン基板を表面から10nm
以上除去するので、後にトランジスタパターン等を露光法を使用してプリントす
る際の段差を小さく抑えることができる。

さらに、第1の手順で、多結晶シリコン薄膜又は多結晶シリコン薄膜・パッド

酸化膜を介してシリコン基板上に窒化ケイ素膜を堆積するので、第 3 の手順における基板側のバズビーク成長を相対的に抑制することができる。

請求の範囲

1. シリコン基板上に少なくとも1つの薄膜を形成する第1の手順と、前記薄膜に少なくとも1つの所定領域を露出させる開口部を形成する第2の手順と、この開口部を介して前記シリコン基板を選択的に酸化し、前記所定領域に対応した酸化膜を形成する第3の手順と、この酸化膜以外の薄膜を除去し、前記酸化膜及びシリコン基板のうち少なくとも前記酸化膜を露出させる第4の手順と、前記第4の手順が終了し少なくとも前記酸化膜が露出された状態において、露出面全面を追酸化する第5の手順と、そして、前記第5の手順までに形成された酸化膜のうち前記所定領域の周辺に形成された不要部分を除去する第6の手順からなる素子分離用酸化膜の製造方法。

2. シリコン基板上に少なくとも1つの薄膜を形成する第1の手順と、前記薄膜に少なくとも1つの所定領域を露出させる開口部を形成する第2の手順と、この開口部を介して前記シリコン基板を選択的に酸化し、前記所定領域に対応した酸化膜を形成する第3の手順と、この酸化膜以外の薄膜を除去し、前記酸化膜及びシリコン基板のうち少なくとも前記酸化膜を露出させる第4の手順と、前記第4の手順が終了し少なくとも前記酸化膜が露出された状態において、露出面全面を追酸化する第5の手順と、前記第5の手順までに形成された酸化膜のうち前記所定領域の周辺に形成された不要部分を除去することにより素子分離用酸化膜を形成する第6の手順と、その後トランジスタを形成するために必要なゲート酸化膜の形成、不純物の導入、電極・配線の形成、絶縁膜の形成を行うことを特徴とする半導体装置の製造方法。

3. 請求項1または2記載の方法において、前記第1の手順は、前記シリコン基板上にパッド酸化膜を介して窒化ケイ素膜を堆積する手順であり、前記第2の手順は、少なくとも前記パッド酸化膜が露出するように前記窒化ケイ素膜の一部を除去して開口部を形成する手順であり、前記第4の手順は、前記窒化ケイ素膜及びパッド酸化膜のうち少なくとも窒化ケイ素膜を除去し、前記酸化膜及びシリコン基板のうち少なくとも酸化膜を露出させる手順であることを特徴とする方法。

4. 請求項1または2記載の方法において、前記第1の手順は、前記シリコン

基板上に窒化ケイ素膜を直接堆積する手順であり、前記第2の手順は、前記シリコン基板が露出するように前記窒化ケイ素膜の一部を除去して開口部を形成する手順であり、前記第4の手順は、前記窒化ケイ素膜を除去し前記酸化膜及びシリコン基板のうち少なくとも酸化膜を露出させる手順であることを特徴とする方法。

5 5. 請求項1または2記載の方法において、前記第1の手順は、前記シリコン基板上にパッド酸化膜を介して窒化ケイ素膜を堆積する手順であり、前記第2の手順は、前記シリコン基板が露出するように前記窒化ケイ素膜及びパッド酸化膜の一部を除去して開口部を形成する手順であり、前記第4の手順は、前記窒化ケイ素膜及びパッド酸化膜のうち少なくとも窒化ケイ素膜を除去し、前記酸化膜及びシリコン基板のうち少なくとも酸化膜を露出させる手順であることを特徴とする方法。

6. 請求項5記載の方法において、前記第2の手順で開口部を形成するとき、前記シリコン基板を表面から10nm以上除去することを特徴とする方法。

7. 請求項1または2記載の方法において、前記第1の手順は、前記シリコン基板上にパッド酸化膜及び多結晶シリコン薄膜を介して窒化ケイ素膜を堆積する手順であり、前記第2の手順は、前記パッド酸化膜が露出するように前記窒化ケイ素膜及び多結晶シリコン薄膜の一部を除去して開口部を形成する手順であり、前記第4の手順は、前記窒化ケイ素膜、多結晶シリコン膜、及びパッド酸化膜のうち少なくとも窒化ケイ素膜及び多結晶シリコン膜を除去し、前記酸化膜及びシリコン基板のうち少なくとも酸化膜を露出させる手順であることを特徴とする方法。

8. 請求項1または2記載の方法において、前記第1の手順は、前記シリコン基板上に多結晶シリコン薄膜を介して窒化ケイ素膜を堆積する手順であり、前記第2の手順は、前記シリコン基板が露出するように前記窒化ケイ素膜及び多結晶シリコン薄膜の一部を除去して開口部を形成する手順であり、前記第4の手順は、前記窒化ケイ素膜及び多結晶シリコン膜を除去し、前記酸化膜及びシリコン基板のうち少なくとも酸化膜を露出させる手順であることを特徴とする方法。

9. 請求項1または2記載の方法において、前記第2の手順は、前記薄膜のうちの少なくとも1つの所定領域をエッチング除去することにより、開口部を形成

する手順であることを特徴とする方法。

10. 請求項1または2記載の方法において、前記第5の手順の追酸化は、5 nm以上の厚さが酸化されるまで行われることを特徴とする方法。

11. 請求項1または2記載の方法において、前記第5の手順の追酸化は、その酸化温度において5 nmの酸化膜が形成される時間以上の間行われることを特徴とする方法。

12. 請求項1または2記載の方法において、前記第5の手順の追酸化は、950℃以上の酸化温度で1分間以上の間行われることを特徴とする方法。

13. シリコン基板上に形成した薄膜に少なくとも1つの所定領域を露出させる開口部を形成し残りの部分は非開口部とし、この開口部を介して前記シリコン基板を選択的に酸化して前記所定領域に対応した酸化膜を形成した後、この酸化膜以外の薄膜を除去して前記酸化膜及びシリコン基板のうち少なくとも前記酸化膜を露出させ、この露出面全面を追酸化した後、形成されている酸化膜のうち前記所定領域の周辺の不要部分を除去することにより、素子分離用酸化膜を形成し、その後トランジスタを形成するために必要なゲート酸化膜の形成、不純物の導入、電極、配線の形成、絶縁膜形成を行うことにより得られた半導体装置。

14. 請求項13項の半導体装置において、非開口部の長さを1 μm以下としたときに非開口部下のシリコン基板表面が非開口部の中心からの距離の56%以上が追酸化の後実質的に平坦である半導体装置。

15. 選択酸化法を使用してシリコン基板の所定領域に酸化膜を形成した後、この酸化膜以外の薄膜を除去して前記酸化膜及びシリコン基板のうち少なくとも前記酸化膜を露出させ、この露出面全面を追酸化した後、形成されている酸化膜のうち前記所定領域の周辺の不要部分を除去することにより、素子分離用酸化膜を形成すると共に素子分離用酸化膜間の下部のシリコン基板の表面を実質的に平坦にし、その後トランジスタを形成するために必要なゲート酸化膜の形成・不純物の導入、電極・配線の形成、絶縁膜形成を行うことにより得られた半導体装置。

1/13

FIG.1A

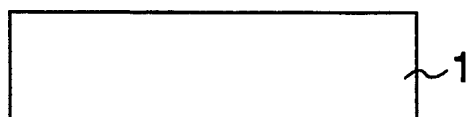


FIG.1E

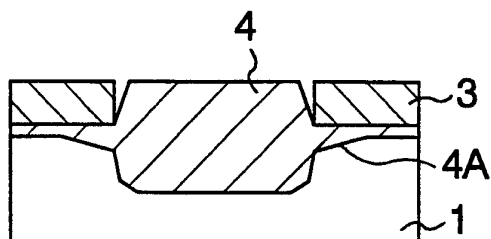


FIG.1B

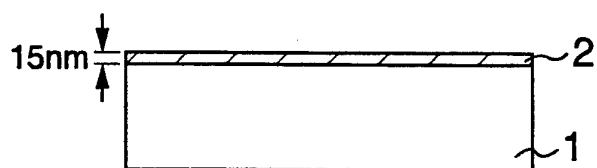


FIG.1F

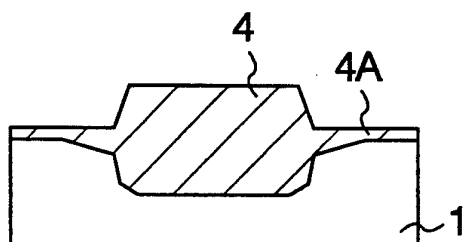


FIG.1C

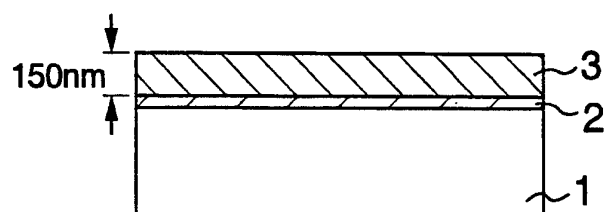


FIG.1G

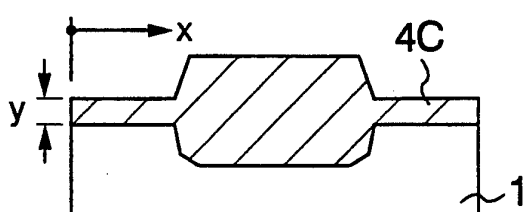


FIG.1D

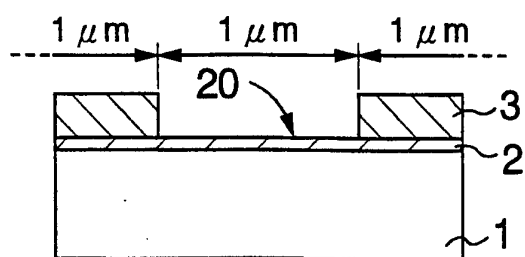
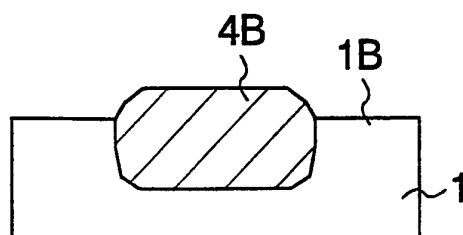


FIG.1H



2/13

FIG.2

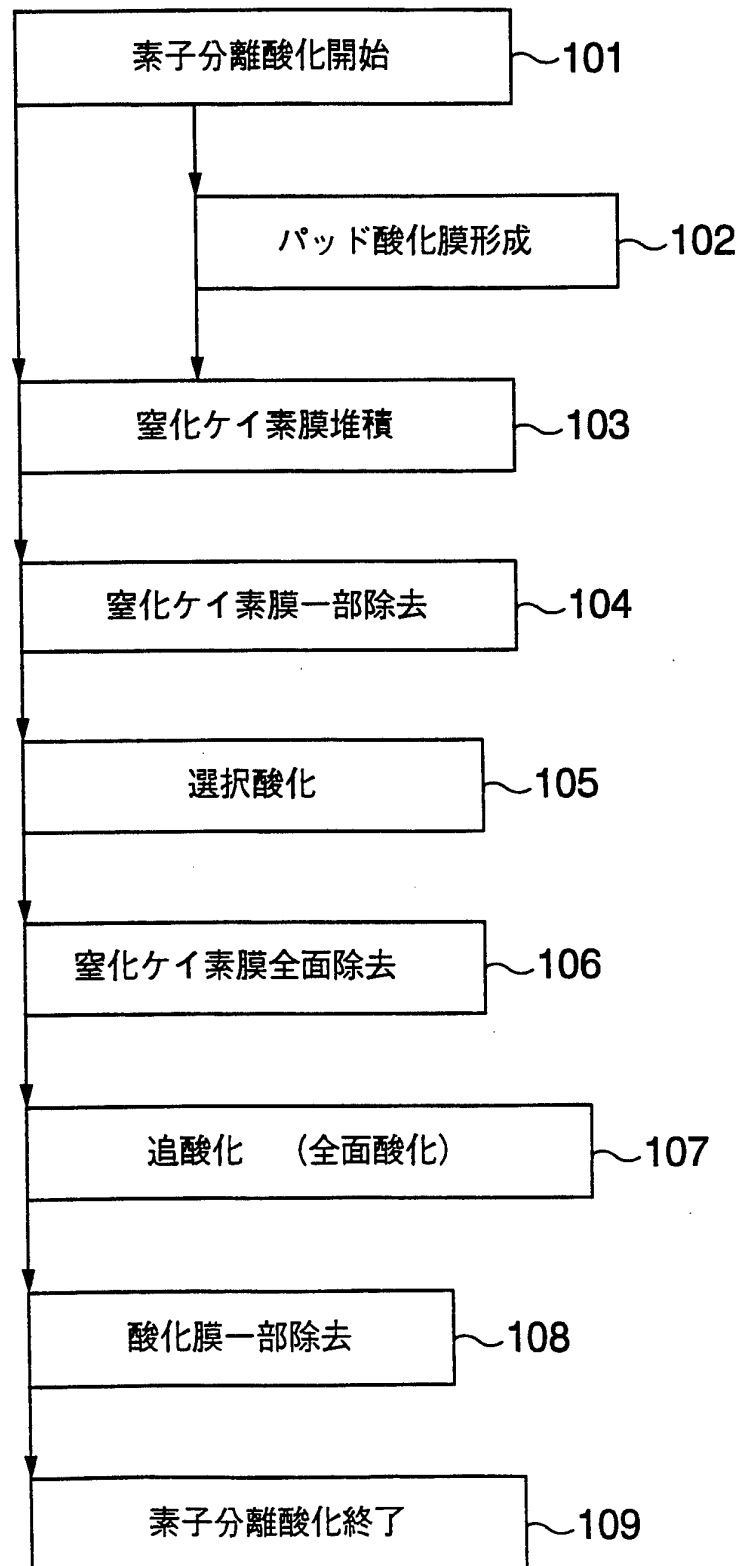


FIG.3A

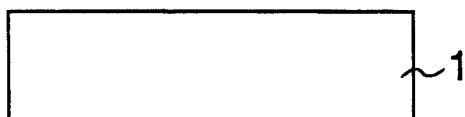


FIG.3E

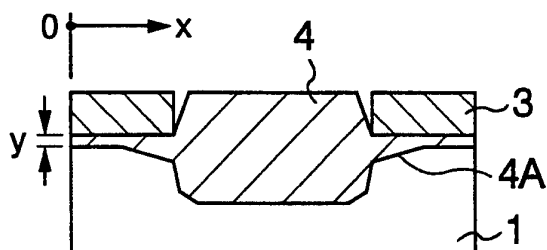


FIG.3B

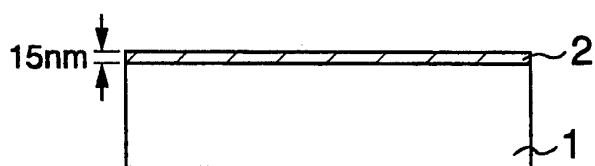


FIG.3F

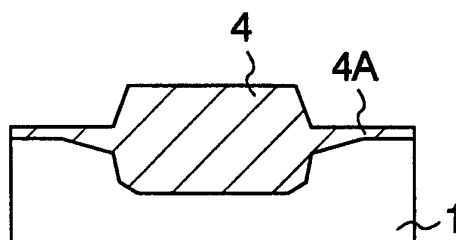


FIG.3C

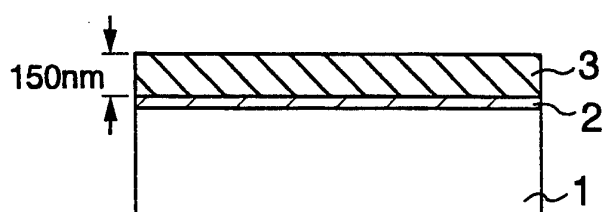


FIG.3G

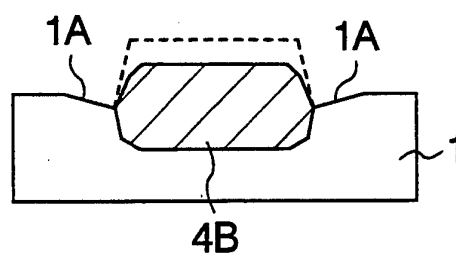
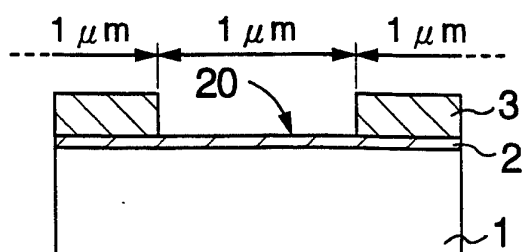


FIG.3D



4/13

FIG.4
PRIOR ART

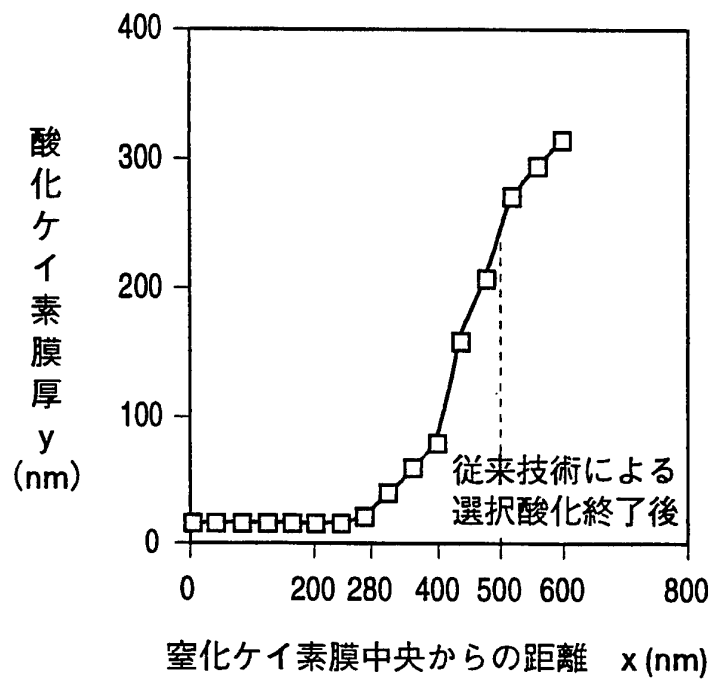
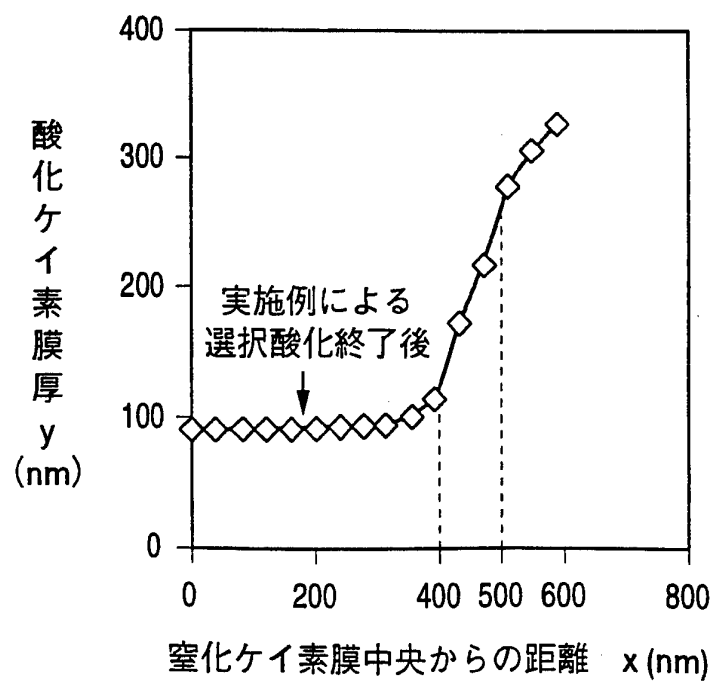


FIG.5



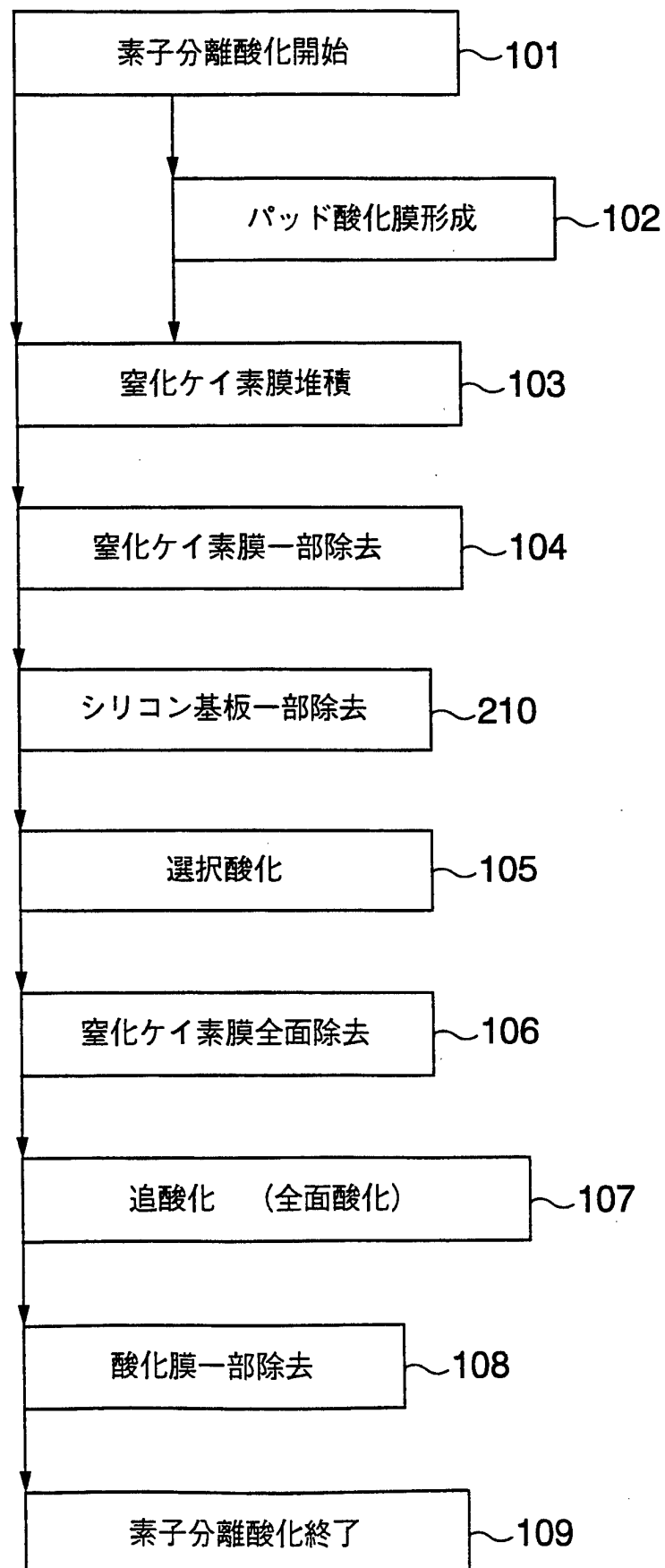
5/13
FIG.6

FIG.7A



FIG.7E

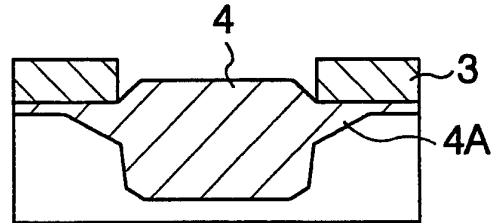


FIG.7B



FIG.7F

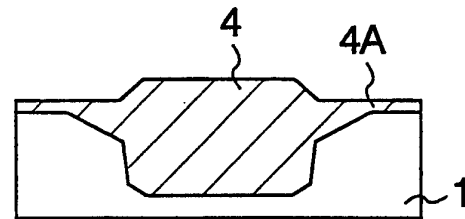


FIG.7C

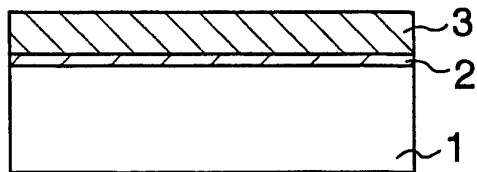


FIG.7G

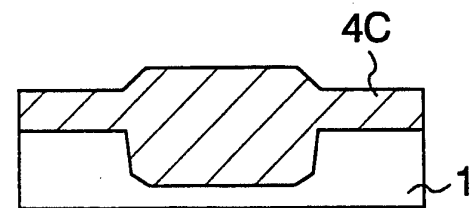


FIG.7D

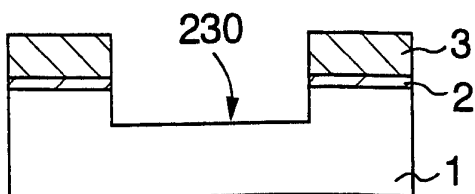
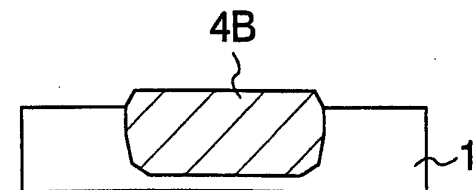


FIG.7H



7/13

FIG.8

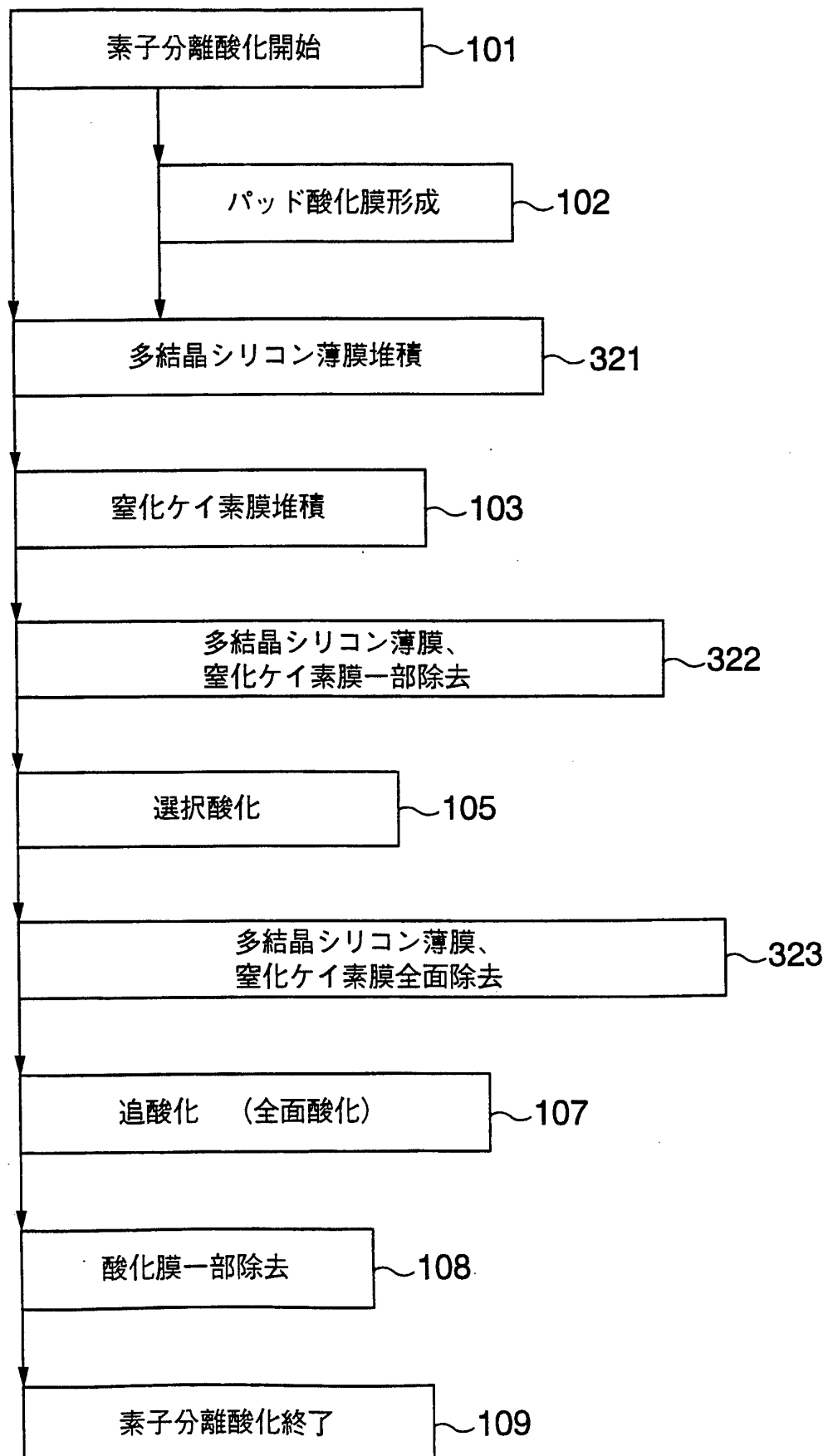


FIG.9A



FIG.9E

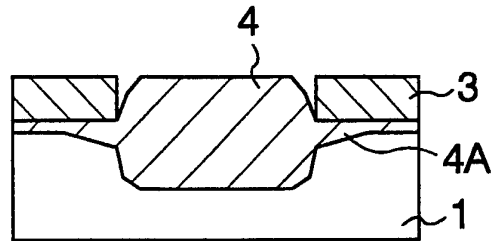


FIG.9B

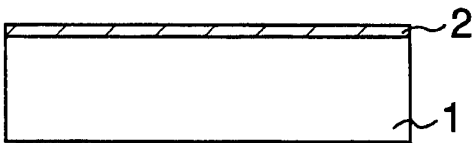


FIG.9F

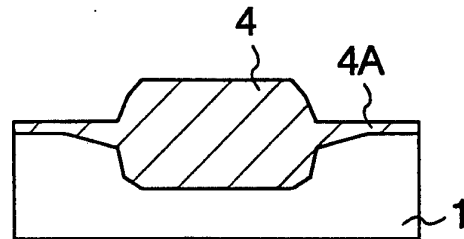


FIG.9C

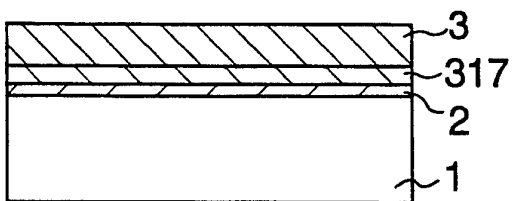


FIG.9G

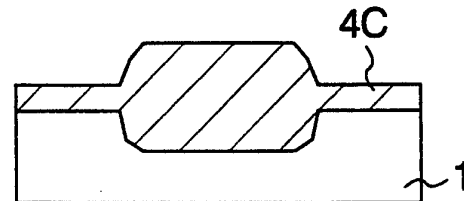


FIG.9D

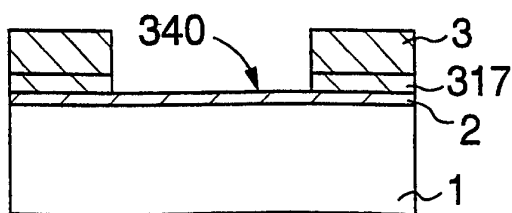
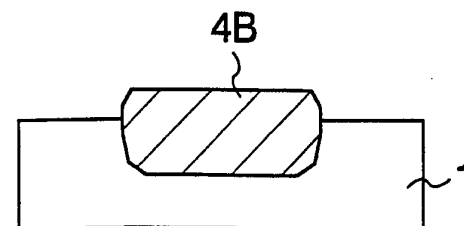


FIG.9H



9/13

FIG.10A

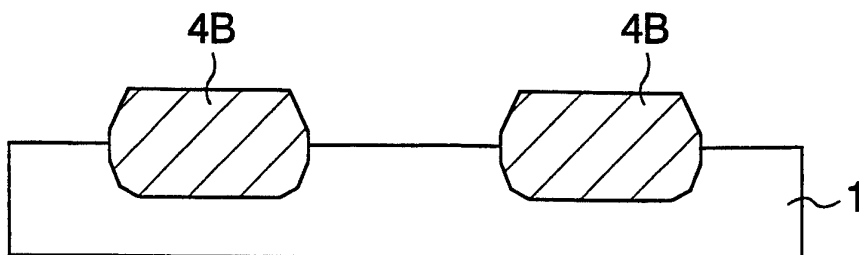


FIG.10B

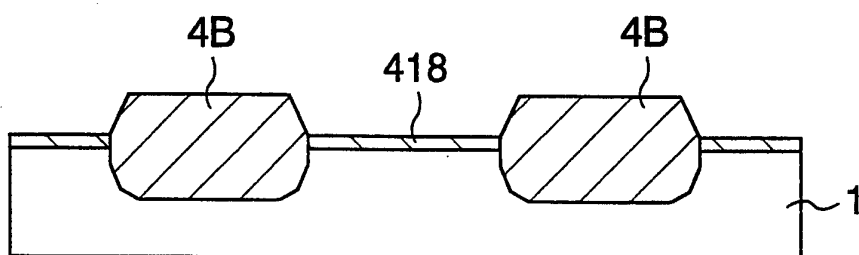


FIG.10C

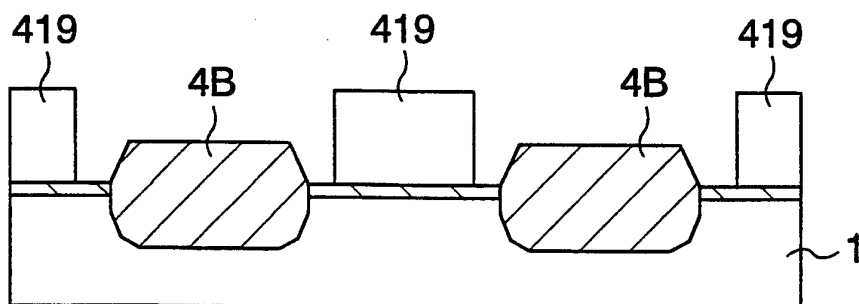
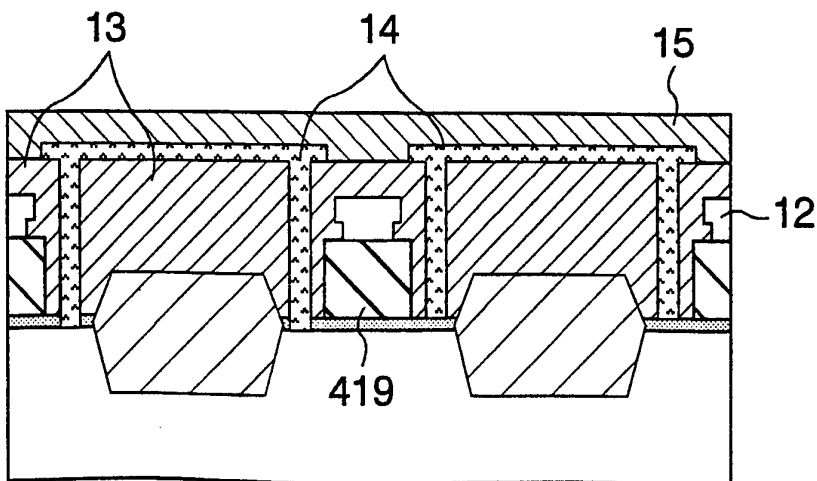
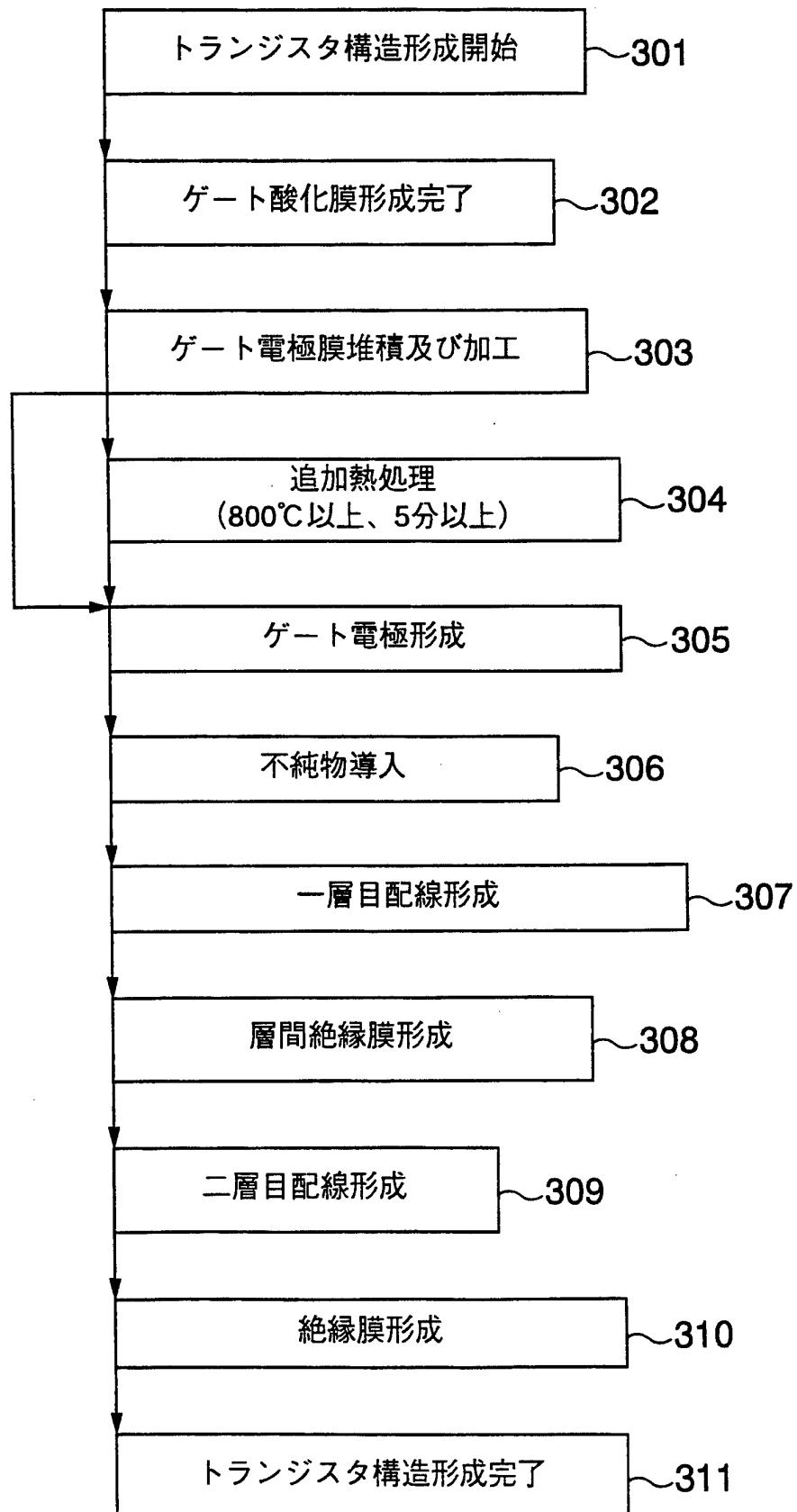


FIG.10D



10/13

FIG.11



11/13

FIG.12A

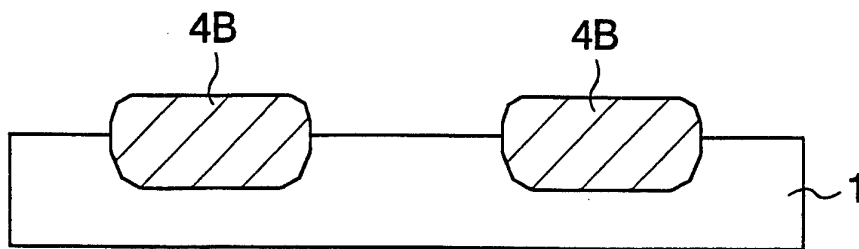


FIG.12B

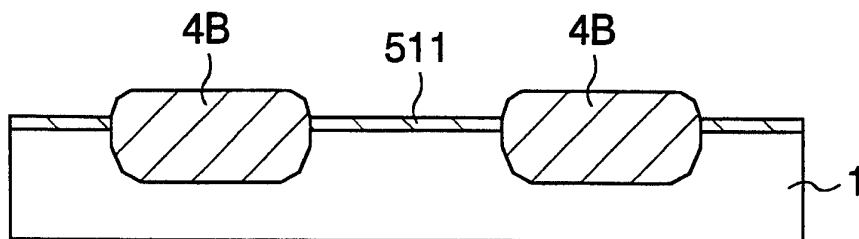


FIG.12C

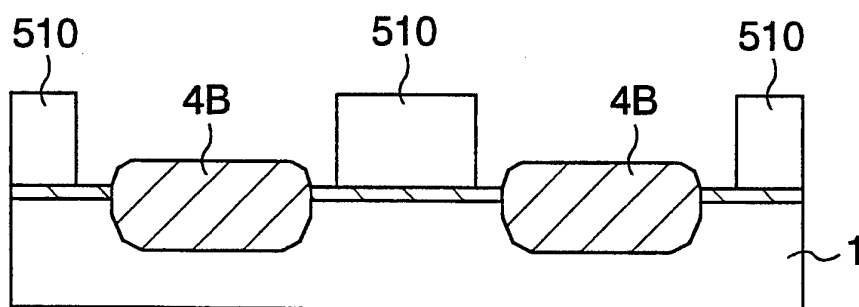


FIG.12D

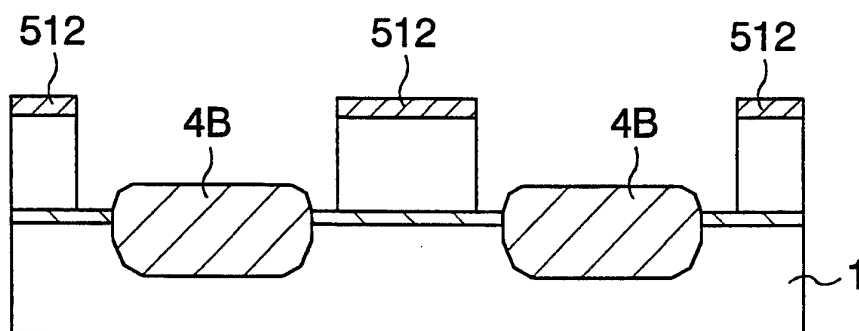
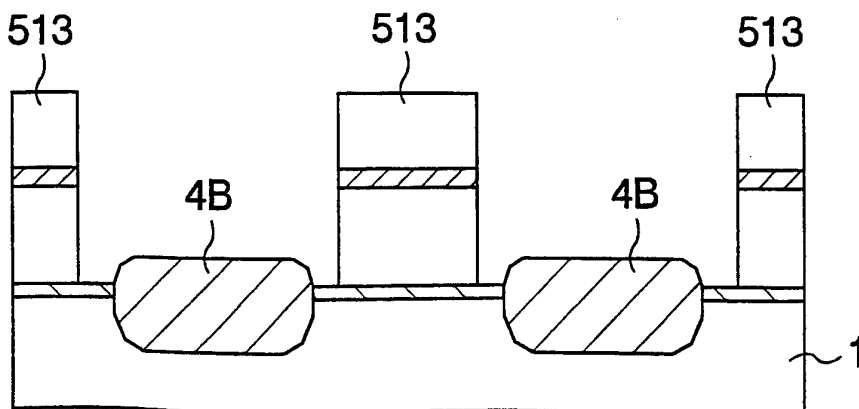
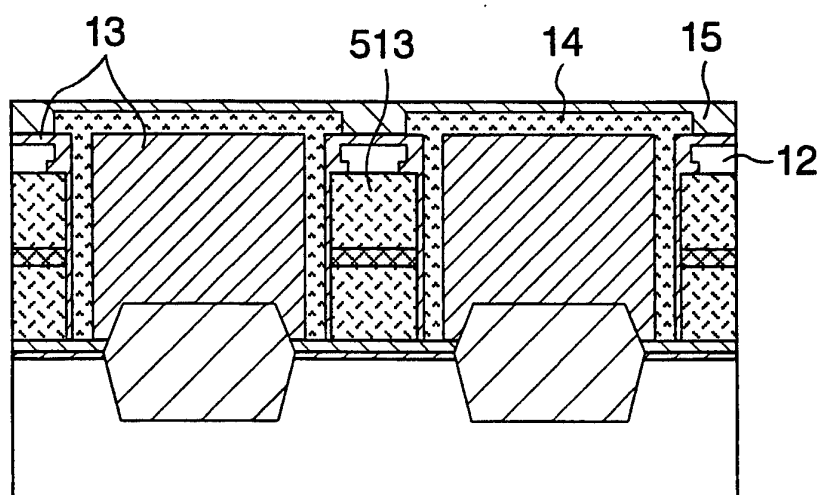


FIG.12E



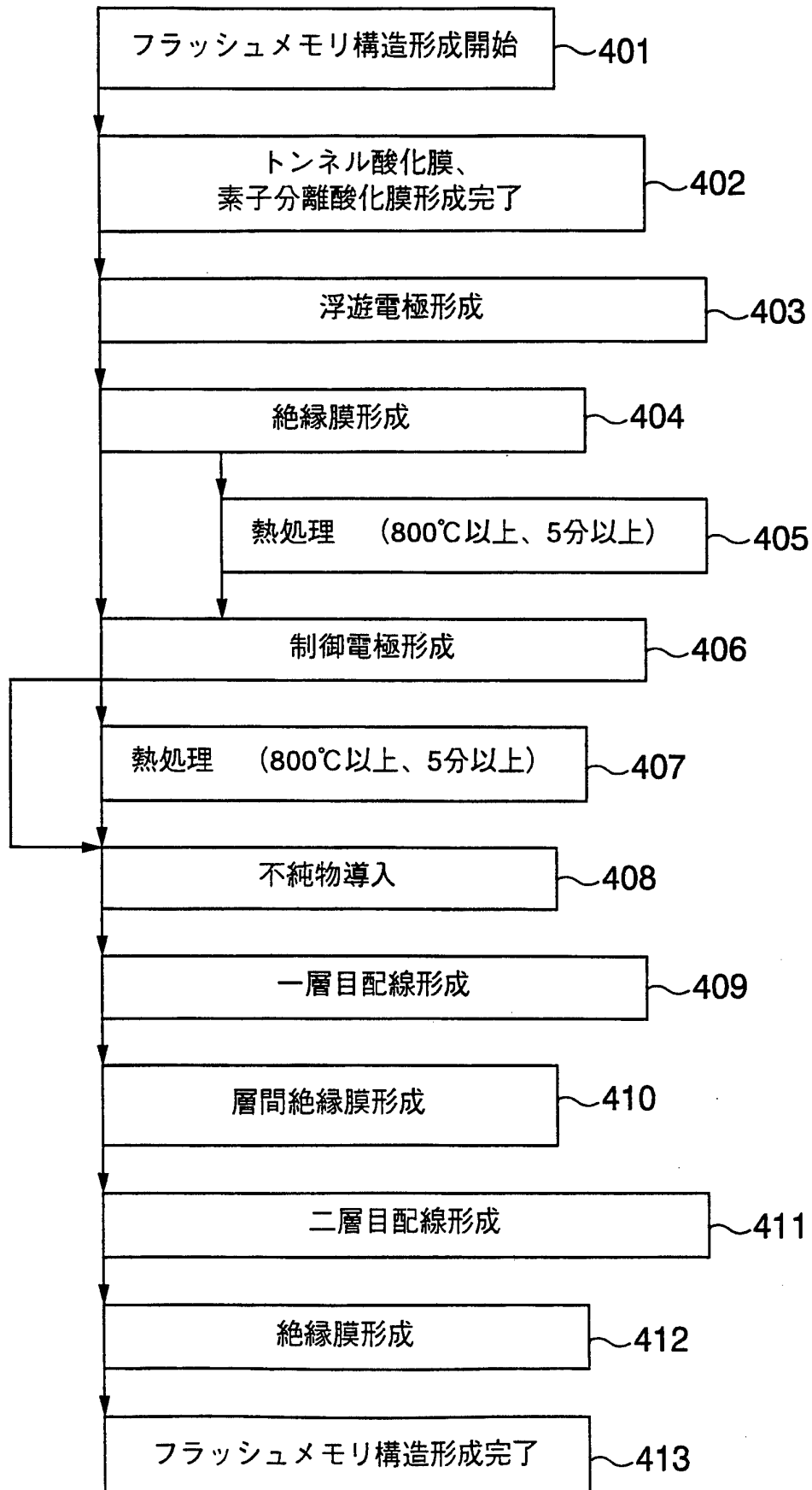
12/13

FIG.12F



13/13

FIG.13



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP96/01193

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl⁶ H01L21/94

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl⁶ H01L21/94

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1974 - 1996

Kokai Jitsuyo Shinan Koho 1974 - 1996

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP, 52-49771, A (Matsushita Electric Industrial Co., Ltd.),	1, 2, 4,
Y	April 21, 1977 (21. 04. 77) (Family: none)	9-15 8
X	JP, 51-139263, A (Hitachi, Ltd.),	1, 2, 5-6,
Y	December 1, 1976 (01. 12. 76)	9-15
Y	& NL, 7605712, A & DE, 2623419, A1	7
X	JP, 05-226329, A (Fujitsu Ltd.),	1
Y	September 3, 1993 (03. 09. 93) (Family: none)	3
Y	JP, 57-39551, A (Suwa Seikosha K.K.),	3
	March 4, 1982 (04. 03. 82) (Family: none)	
Y	JP, 61-74350, A (Sony Corp.),	7, 8
	April 16, 1986 (16. 04. 86) (Family: none)	

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

July 22, 1996 (22. 07. 96)

Date of mailing of the international search report

July 30, 1996 (30. 07. 96)

Name and mailing address of the ISA/

Japanese Patent Office

Facsimile No.

Authorized officer

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁶ H01L21/94

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁶ H01L21/94

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報1974-1996年

日本国公開実用新案公報1974-1996年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP, 52-49771, A (松下電器産業株式会社) 21. 4月. 1977 (21. 04. 77) (ファミリーなし)	1、2、4、9-15
Y		8
X	JP, 51-139263, A (株式会社日立製作所) 01. 12月. 1976 (01. 12. 76) &NL, 7605712, A&DE, 2623419, A1	1、2、5-6、9-15
Y		7
X	JP, 05-226329, A (富士通株式会社) 03. 9月. 1993 (03. 09. 93) (ファミリーなし)	1
Y		3
Y	JP, 57-39551, A (株式会社諏訪精工舎) 04. 3月. 1982 (04. 03. 82) (ファミリーなし)	3
Y	JP, 61-74350, A (ソニー株式会社) 16. 4月. 1986 (16. 04. 86) (ファミリーなし)	7、8

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」先行文献ではあるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

22. 07. 96

国際調査報告の発送日

30.07.96

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

宮崎園子

4M

9277

電話番号 03-3581-1101 内線 3462