

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】令和 6 年 10 月 15 日(2024.10.15)

【公開番号】特開 2024-22285(P2024-22285A)

【公開日】令和 6 年 2 月 16 日(2024.2.16)

【年通号数】公開公報(特許)2024-030

【出願番号】特願 2022-125751(P2022-125751)

【国際特許分類】

H 0 1 L 29/739(2006.01)

H 0 1 L 29/12(2006.01)

H 0 1 L 29/78(2006.01)

10

【F I】

H 0 1 L 29/78 6 5 5 E

H 0 1 L 29/78 6 5 2 T

H 0 1 L 29/78 6 5 3 A

H 0 1 L 29/78 6 5 5 A

H 0 1 L 29/78 6 5 2 C

H 0 1 L 29/78 6 5 2 J

H 0 1 L 29/78 6 5 2 H

20

【手続補正書】

【提出日】令和 6 年 10 月 4 日(2024.10.4)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

30

絶縁ゲート型バイポーラトランジスタであって、

間隔をあけて配置された複数のトレンチ(14)が上面に設けられた半導体基板(12)と、

前記半導体基板の前記上面に設けられたエミッタ電極(24)と、

前記半導体基板の下面に設けられたコレクタ電極(26)と、

前記各トレンチの内面を覆うゲート絶縁膜(18)と、

前記各トレンチ内に配置されており、前記ゲート絶縁膜によって前記半導体基板から絶縁されているトレンチ電極(20)、

を有し、

前記複数のトレンチが、ゲートトレンチ(14g)とダミートレンチ(14d)を有し

40

、
前記ゲートトレンチ内の前記トレンチ電極が、前記エミッタ電極から独立した電位を有するゲート電極(20g)であり、

前記ダミートレンチ内の前記トレンチ電極が、前記ゲート電極から独立した電位を有するダミー電極(20d)であり、

前記半導体基板が、

複数の前記ゲートトレンチが配置されている第 1 アクティブ領域(31)と、

複数の前記ゲートトレンチが配置されている第 2 アクティブ領域(32)と、

前記第 1 アクティブ領域と前記第 2 アクティブ領域の間に配置されており、複数の前記ダミートレンチが配置されている非アクティブ領域(34)、

50

を有し、

前記半導体基板が、

前記第1アクティブ領域、前記第2アクティブ領域、及び、前記非アクティブ領域に跨って分布しており、前記コレクタ電極に接しているp型のコレクタ層(40)と、

前記第1アクティブ領域、前記第2アクティブ領域、及び、前記非アクティブ領域に跨って分布しており、前記コレクタ層の上部に配置されているn型のドリフト層(44)と、

前記第1アクティブ領域、前記第2アクティブ領域、及び、前記非アクティブ領域に跨って分布しており、前記ドリフト層の上部に配置されており、前記各トレンチの間に位置するトレンチ間領域(16)内に配置されているp型のベース層(46)と、

前記第1アクティブ領域内と前記第2アクティブ領域内の複数の前記トレンチ間領域内に配置されており、前記ゲート絶縁膜に接しており、前記エミッタ電極に接しており、前記ベース層によって前記ドリフト層から分離されているn型の複数のエミッタ層(48)

を有し、

前記第1アクティブ領域内及び前記第2アクティブ領域内の前記各トレンチ間領域では、前記ベース層が前記エミッタ電極に接しており、

前記第1アクティブ領域内の前記ゲートトレンチのうちで前記非アクティブ領域に最も近い第1境界ゲートトレンチ(14g×1)と、前記第2アクティブ領域内の前記ゲートトレンチのうちで前記非アクティブ領域に最も近い第2境界ゲートトレンチ(14g×2)との間の領域であるホール蓄積領域(36)内に、以下の条件、すなわち、

- ・前記非アクティブ領域内に、前記ベース層が前記エミッタ電極から絶縁されている前記トレンチ間領域である非コンタクトトレンチ間領域が複数配置されている、
- ・前記非アクティブ領域内に、前記ベース層が前記エミッタ電極に接している前記トレンチ間領域であるコンタクトトレンチ間領域が少なくとも1つ配置されている、
- ・前記ホール蓄積領域内において、前記非コンタクトトレンチ間領域どうしが隣接していない、

という条件を満たすように前記トレンチ間領域が配置されている、

絶縁ゲート型バイポーラトランジスタ。

【請求項2】

前記第1境界ゲートトレンチの隣の前記ダミートレンチを第1境界ダミートレンチ(14d×1)としたときに、前記第1境界ゲートトレンチと前記第1境界ダミートレンチとの間の前記トレンチ間領域が前記コンタクトトレンチ間領域であり、前記第1境界ダミートレンチとその隣の前記ダミートレンチとの間の前記トレンチ間領域が前記コンタクトトレンチ間領域であり、

前記第2境界ゲートトレンチの隣の前記ダミートレンチを第2境界ダミートレンチ(14d×2)としたときに、前記第2境界ゲートトレンチと前記第2境界ダミートレンチとの間の前記トレンチ間領域が前記コンタクトトレンチ間領域であり、前記第2境界ダミートレンチとその隣の前記ダミートレンチとの間の前記トレンチ間領域が前記コンタクトトレンチ間領域である、

請求項1に記載の絶縁ゲート型バイポーラトランジスタ。

【請求項3】

前記半導体基板が、

前記第1アクティブ領域、前記第2アクティブ領域、及び、前記非アクティブ領域に跨って分布しており、前記ベース層の下部に配置されており、前記各トレンチ間領域内に配置されているn型のバリア層(50)と、

前記第1アクティブ領域、前記第2アクティブ領域、及び、前記非アクティブ領域に跨って分布しており、前記バリア層と前記ドリフト層の間に配置されており、前記各トレンチ間領域内に配置されているp型の下部ベース層(46b)、

を有する、

請求項 1 または 2 に記載の絶縁ゲート型バイポーラトランジスタ。

【請求項 4】

前記半導体基板が、前記エミッタ電極に接する位置から前記バリア層まで伸びているとともに前記エミッタ電極に対してショットキー接触している n 型の複数のピラー層（52）を有する、請求項 3 に記載の絶縁ゲート型バイポーラトランジスタ。

【請求項 5】

前記半導体基板が、前記コレクタ層に隣接する位置で前記コレクタ電極に接する n 型のカソード層（60）を有する、請求項 1 または 2 に記載の絶縁ゲート型バイポーラトランジスタ。

【請求項 6】

前記コレクタ層が、前記第 1 アクティブ領域から前記ホール蓄積領域を介して前記第 2 アクティブ領域まで連続して分布しており、

前記コレクタ層が前記第 1 アクティブ領域から前記ホール蓄積領域を介して前記第 2 アクティブ領域まで連続して分布している範囲内の前記ホール蓄積領域内に、前記条件を満たすように前記トレンチ間領域が配置されている、

請求項 1 または 2 に記載の絶縁ゲートバイポーラトランジスタ。

【請求項 7】

前記コンタクトトレンチ間領域内において前記ベース層が前記エミッタ電極に接している領域の真下に前記コレクタ層が存在している、請求項 6 に記載の絶縁ゲートバイポーラトランジスタ。

10

20

30

40

50