



ÚŘAD PRO VYNÁLEZY

A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

236 374

(11)

(B1)

(61)

(23) Výstavní priorita
(22) Přihlášeno 17 10 83
(21) PV 7552-83

(51) Int. Cl.

G 06 G 7/12

(40) Zveřejněno 18 06 84

(45) Vydáno 01 11 87

(75)

Autor vynálezu

ČEKAL STANISLAV ing.CSc.,

TOMA PAVEL ing.,

KUPEC JIŘÍ ing.CSc., PRAHA

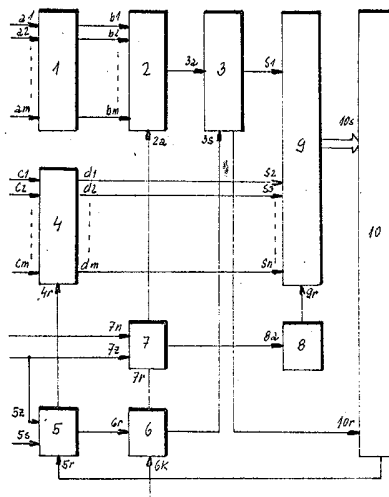
(54)

Zapojení obvodů sběru dat pro palubní počítač

Řešení se týká zapojení obvodů sběru dat pro palubní počítač, obsahující obvody pro úpravu analogových a číslicových vstupních signálů, analogový multiplexor, analogočíslíkový převodník a logické obvody pro řízení sběru a přenosu dat přes výstupní sdružovač dat do palubního počítače.

Podstata řešení spočívá v tom, že navrhané zapojení využívá doby, potřebné pro ustálení analogové měřicí cesty ke sběru a přenosu dat z jiných snímačů. Zapojení je synchronizováno s palubní sítí, což podstatně potlačuje vliv rušivých signálů.

Zapojení podle vynálezu lze využít nejen na palubních systémech, ale také v systémech s nižšími nároky na rychlost.



Vynález se týká zapojení obvodů sběru dat pro palubní počítač.

U dosud známých zapojení je rychlost sběru dat pro palubní počítač omezena, neboť je závislá na době potřebné pro ustálení analogové měřicí cesty. Během této doby nelze uskutečnit sběr dat z jiného měřicího kanálu, což při sběru dat z analogových i číslicových zdrojů signálů je nevýhodné. Zapojení známých systémů kromě toho nevyhovují pro sběr dat na palubě, neboť nejsou odolná vůči silným zdrojům rušení, např. vůči kmitočtu sítě 400 Hz. Další nevýhodou stávajících systémů je, že zpravidla pracují pouze v dynamickém režimu, což neumožňuje exaktní kontrolu jednotlivých analogových měřicích cest.

Uvedené nevýhody odstraňuje zapojení obvodů sběru dat pro palubní počítač, obsahující obvody pro úpravu analogových signálů, obvody pro úpravu číslicových signálů, analogový multiplexor, analogo-číslcový převodník a logické obvody pro řízení sběru a přenosu dat přes výstupní sdružovač dat do počítače podle vynálezu, jehož podstata spočívá v tom, že výstupy bloku obvodů pro úpravu analogových signálů jsou připojeny na vstupy analogového multiplexoru, jehož výstup je připojen na analogový vstup analogo-číslcového převodníku, jehož první výstup je připojen na první vstup sdružovače dat, na jehož další vstupy jsou připojeny výstupy bloku obvodů pro úpravu číslicových signálů, na jehož řídicí vstup je připojen první výstup bloku spouštěcích obvodů, jehož druhý výstup je připojen na nulovací vstup děliče kmitočtu s hodinovým vstupem, přičemž první výstup děliče kmitočtů je připojen na řídicí vstup generátoru adres, který má další vstupy vstup zadávací a vstup nastavovací, zatímco druhý výstup děliče kmitočtů je připojen na spouštěcí vstup analogo-číslcového převodníku, jehož druhý výstup je připojen na řídicí vstup počítače, jehož výstup je připojen na řídicí vstup bloku spouštěcích obvodů se synchronizačním vstupem a zadávacím vstupem, přičemž první adresový výstup generátoru adres je připojen na adresový vstup analogového multiplexoru a druhý adresový výstup generátoru adres je připojen na adresový vstup bloku řídicích logických obvodů, jehož výstup je připojen na řídicí vstup sdružovače signálů, který má výstupní datovou sběrnici připojenou na datový vstup počítače.

Výhoda zapojení podle vynálezu spočívá v tom, že využívá doby, potřebné pro ustálení analogové měřicí cesty ke sběru a přenosu jiných typů signálů, např. číslicových, do počítače, čímž se urychluje cyklus sběru dat. Další výhodou je podstatné potlačení účinků rušení, dosažené tím, že měřicí cyklus je synchronizován s palubní sítí. Externí volba měřeného kanálu pak umožňuje oživování a nastavování zapojení a tím např. exaktní kontrolu jednotlivých analogových měřících cest, což při dynamickém provozu není možné.

Příklad provedení zapojení podle vynálezu je schématicky znázorněno na připojeném výkresu.

Blok obvodů pro úpravu analogových signálů 1 se vstupy a₁, a₂ až a_m je svými výstupy připojen na vstupy b₁, b₂ až b_m analogového multiplexoru 2, jehož výstup je připojen na analogový vstup 3a analogo-číslcového převodníku 3. Blok obvodů pro úpravu číslicových signálů 4 se vstupy c₁, c₂ až c_m je svými výstupy d₁, d₂ až d_m připojen na vstupy s₂, s₃ až s_n sdružovače dat 9, přičemž na první vstup s₁ sdružovače dat 9 je připojen první číslicový výstup z analogo-číslcového převodníku 3, jehož druhý výstup je připojen na řídicí vstup 10r počítače 10, který má na datový vstup 10s připojen výstup sdružovače dat 9. Zbývající bloky zapojení jsou zapojeny tak, že na řídicí vstup 4r bloku obvodů pro úpravu číslicových signálů 4 je připojen první výstup bloku spouštěcích impulsů 5, jehož druhý výstup je připojen na nulovací vstup 6r děliče kmitočtů 6. Generátor adres 7 je svým ^{prvým} výstupem připojen na adresový vstup 2a analogového multiplexoru 2 a druhým výstupem na adresový vstup 8a bloku řídicích logických obvodů 8, který má výstup připojen na řídicí vstup 9r sdružovače dat 9. Dělič kmitočtů 6 má připojen první výstup na řídicí vstup 7r generátoru adres 7 a druhý výstup na spouštěcí vstup 3s analogo-číslcového převodníku 3. Generátor adres 7 má nastavovací vstup 7n a zadávací vstup 7z. Dělič kmitočtů 6 má hodinový vstup 6k. Blok spouštěcích obvodů 5 má zadávací vstup 5z, synchronizační vstup 5s a řídicí vstup 5r, připojený na výstup počítače 10.

Vstupní analogové signály jsou přivedeny na vstupy a₁,

a_2 až a_m bloku obvodů pro úpravu analogových signálů 1, v němž jsou upraveny např. z hlediska amplitudových úrovní tak, aby vyhovovaly pro analogový multiplexor 2, na který jsou přivedeny přes vstupy b_1 , b_2 až b_m . Multiplexně snímané analogové signály jsou z výstupu multiplexoru 2 přivedeny na analogový vstup 3a analogo-číslicového převodníku 3 a z jeho číslicového výstupu na první vstup s_1 sdružovače dat 2, zajišťujícího přenos číslicových dat i ze zbývajících vstupů s_2 , s_3 až s_n na výstupní datovou sběrnici, připojenou na datový vstup 10s počítače 10. Tento přenos je řízen výstupním signálem z bloku řídicích logických obvodů 8, přivedených na řídicí vstup 9r sdružovače dat 2. Číslicová data, přiváděná na vstupy s_2 , s_3 až s_n sdružovače dat 2, jsou odebírána z výstupů d_1 , d_2 až d_m bloku pro úpravu číslicových signálů 4, na jehož odpovídající vstupy c_1 , c_2 až c_m jsou připojeny výstupy ze zdrojů číslicových signálů, případně i z jiných zdrojů signálů, jejichž sběr a přenos nelze uskutečnit přes analogový multiplexor 2 a analogo-číslicový převodník 3. Úprava vstupních číslicových signálů v bloku pro úpravu číslicových signálů 4 spočívá mimo jiné v jejich tvarování tak, aby jejich průběhy odpovídaly např. TTL logickým obvodům neboť jsou v tomto bloku 4 obsaženy i převodníky převádějící např. fázovou složku analogových signálů ze selsynových zdrojů v číslicový signál. Za tím účelem pro dosažení synchronizace a pro činnost převodu fáze - číslo je za řídicí vstup 4r bloku pro úpravu číslicových signálů 4 přiveden řídicí signál z bloku spouštěcích obvodů 5, v němž je dále generován nastavovací signál přivedený na nulovací vstup 6r děliče kmitočtů 6, z něhož je kmitočtovými signály přivedenými na řídicí vstup 7r generátoru adres 7 a spouštěcí vstup 3s analogo-číslicového převodníku 3 ovládána činnost sběru a přenosu analogových vstupních signálů a zároveň činnost sdružovače dat 2 tak, že během doby, potřebné pro ustálení analogové měřicí cesty jsou ve sdružovači dat 2 přenesena na výstupní sběrnici číslicová data z bloku pro úpravu číslicových signálů 4, což urychluje přenos dat ze všech vstupů a_1 , a_2 až c_m na datový vstup 10s počítače 10. Výstupní řídicí signály z bloku spouštěcích obvodů 5 jsou generovány v závislosti na výstupním startovacím signálu z počítače 10,

přivedeným na řídicí vstup 5r, v závislosti na externím synchronizačním kmitočtovém signálu z palubní sítě, přivedené na synchronizační vstup 5s a případně v závislosti na externím zadávacím signálu, přivedeným na zadávací vstup 5z, který je současně spojen se zadávacím vstupem 7z generátoru adres 7, což umožňuje externí volbu měřeného kanálu při oživování a nastavování zapojení. Volba měřeného kanálu se přitom děje přes nastavovací vstup 7n generátoru adres 7. Činnost bloku řídicích obvodů 8 je řízena adresovým výstupem z generátoru adres 7, přivedeným na jeho adresový vstup 8a a obdobně i činnost analogového multiplexoru 2 adresovým signálem, přivedeným na adresový vstup 2a rovněž z generátoru adres 7. Rychlost sběru a přenosu dat je dále závislá na externím kmitočtu, který je přiváděn na kmitočtový vstup 6k děliče kmitočtů 6 a na rychlosti převodu analogo-číslíkového převodníku 3, který ovládá řídicí vstup 10r počítače 10.

Zapojení podle vynálezu lze využít pro sběr dat pro palubní počítač a v dalších aplikacích, kde požadavky na řešení systémů sběru a přenosu dat nejsou tak náročné, jako u palubních systémů.

PŘEDMĚT VYNÁLEZU

236 374

Zapojení obvodů sběru dat pro palubní počítač obsahující obvody pro úpravu analogových signálů, obvody pro úpravu číslicových signálů, analogový multiplexor, analogo-číslicový převodník a logické obvody pro řízení sběru a přenosu dat přes výstupní sdružovač dat do počítače, vyznačené tím, že výstupy bloku obvodů pro úpravu analogových signálů (1) jsou připojeny na vstupy ($b_1 - b_m$) analogového multiplexoru (2), jehož výstup je připojen na analogový vstup (3a) analogo-číslicového převodníku (3), jehož první výstup je připojen na první vstup (s_1) sdružovače dat (9), na jehož další vstupy ($s_2 - s_n$) jsou připojeny výstupy ($d_1 - d_m$) bloku obvodů pro úpravu číslicových signálů (4), na jehož řídicí vstup (4r) je připojen první výstup bloku spouštěcích obvodů (5), jehož druhý výstup je připojen na nulovací vstup (6r) děliče kmitočtů (6) s hodinovým vstupem (6k), přičemž první výstup děliče kmitočtů (6) je připojen na řídicí vstup (7r) generátoru adres (7),

, zatímco druhý výstup

děliče kmitočtů (6) je připojen na spouštěcí vstup (3s) analogo-číslicového převodníku (3), jehož druhý výstup je připojen na řídicí vstup (10r) počítače (10), jehož výstup je připojen na řídicí vstup (5r) bloku spouštěcích obvodů (5), se synchroizačním vstupem (5s) a zadávacím vstupem (5z), přičemž první adresový výstup generátoru adres (7) je připojen na adresový vstup (2a) analogového multiplexoru (2) a druhý adresový výstup generátoru adres (7) je připojen na adresový vstup (8a) bloku řídicích logických obvodů (8), jehož výstup je připojen na řídicí vstup (9r) sdružovače signálů (9), který má výstupní datovou sběrnici připojenou na datový vstup (10s) počítače (10).

1 výkres

