



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2010년10월04일
(11) 등록번호 10-0984848
(24) 등록일자 2010년09월27일

(51) Int. Cl.
H01L 21/20 (2006.01) H01L 23/12 (2006.01)
H01L 21/50 (2006.01)
(21) 출원번호 10-2008-0124579
(22) 출원일자 2008년12월09일
심사청구일자 2008년12월09일
(65) 공개번호 10-2010-0065973
(43) 공개일자 2010년06월17일
(56) 선행기술조사문헌
KR1020000019377 A
KR1020060074707 A

(73) 특허권자
재단법인 서울테크노파크
서울 노원구 공릉동 172 서울산업대학교생산정보
공학관 201호

(72) 발명자
장동영
서울 송파구 송파동 119 한양아파트 5-908
김성걸
서울특별시 송파구 가락본동 99-6 동부선빌 1602
(뒷면에 계속)

(74) 대리인
특허법인다나

전체 청구항 수 : 총 7 항

심사관 : 정성중

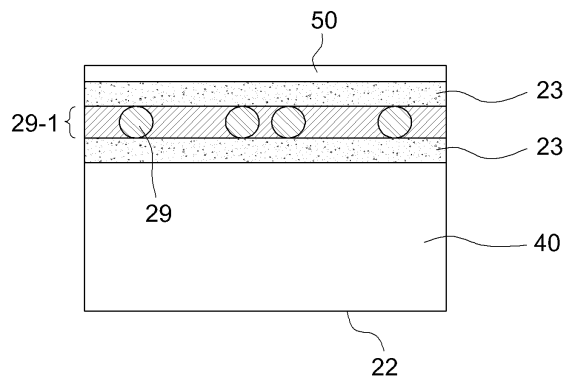
(54) 웨이퍼 에지를 보호하는 웨이퍼 스택 제작 방법

(57) 요약

본 발명은 웨이퍼 에지를 보호하는 웨이퍼 스택 제작 방법에 관한 것으로, 웨이퍼 스택의 제작 공정을 간소화하고, 웨이퍼 본딩층을 코팅하여 그라인딩 공정에서 웨이퍼의 에지 부분에 크랙이 발생하는 것을 방지할 수 있는 웨이퍼 에지를 보호하는 웨이퍼 스택 제작 방법에 관한 것이다.

이를 위하여 본 발명에서는 베이스 웨이퍼 상에 복수의 서브 웨이퍼를 웨이퍼 본딩에 의해 적층하여 웨이퍼 스택을 제작하는 웨이퍼 에지를 보호하는 웨이퍼 스택 제작 방법에 있어서, (a) 전면 상에 활성층이 형성된 베이스 웨이퍼를 준비하고, 상기 베이스 웨이퍼에 형성된 활성층 상에 범프를 형성하는 단계, (b) 상기 범프 사이에 코팅 물질을 추가하여 본딩층을 형성하는 단계, (c) 상기 활성층이 형성된 전면이 상기 베이스 웨이퍼의 전면과 마주하도록 제1 서브 웨이퍼를 웨이퍼 본딩에 의해 적층하는 단계, (d) 상기 제1 서브 웨이퍼의 후면을 그라인딩하는 단계를 포함하는 것을 특징으로 한다.

대표도 - 도10



(72) 발명자

성재용

서울특별시 노원구 중계1동 신안아파트 102동 307호

김은경

서울시 중랑구 면목1동 1531-2 면목마젤란아파트 101-904

김성동

서울 도봉구 도봉동 655 래미안도봉아파트 107-15

이 발명을 지원한 국가연구개발사업

과제고유번호 10029790

부처명 지식경제부

연구관리전문기관

연구사업명 차세대 패키징 공정·장비 실용화사업

연구과제명 마이크로시스템 패키징 기술개발

기여율

주관기관 재단법인 서울테크노파크

연구기간 2008년06월01일~2009년05월31일

특허청구의 범위

청구항 1

베이스 웨이퍼 상에 복수의 서브 웨이퍼를 웨이퍼 본딩에 의해 적층하여 웨이퍼 스택을 제작하는 웨이퍼 에지를 보호하는 웨이퍼 스택 제작 방법에 있어서,

- (a) 전면 상에 활성층이 형성된 베이스 웨이퍼를 준비하고, 상기 베이스 웨이퍼에 형성된 활성층 상에 범프를 형성하는 단계,
- (b) 상기 범프 사이에 코팅 물질을 추가하여 본딩층을 형성하는 단계,
- (c) 상기 활성층이 형성된 전면이 상기 베이스 웨이퍼의 전면과 마주보도록 웨이퍼 본딩에 의해 제1 서브 웨이퍼를 적층하는 단계, 그리고
- (d) 상기 제1 서브 웨이퍼의 후면을 그라인딩하는 단계를 포함하는 것을 특징으로 하는 웨이퍼 에지를 보호하는 웨이퍼 스택 제작 방법.

청구항 2

제1항에 있어서,

상기 단계(d) 이후 상기 코팅 물질을 제거하는 단계를 더 포함하는 것을 특징으로 하는 웨이퍼 에지를 보호하는 웨이퍼 스택 제작 방법.

청구항 3

제2항에 있어서,

상기 코팅 물질은 플러스 또는 폴리머인 것을 특징으로 하는 웨이퍼 에지를 보호하는 웨이퍼 스택 제작 방법.

청구항 4

제1항에 있어서,

상기 코팅 물질은 에폭시인 것을 특징으로 하는 웨이퍼 에지를 보호하는 웨이퍼 스택 제작 방법.

청구항 5

제1항에 있어서,

상기 단계(d) 이후 상기 제1 서브 웨이퍼의 후면 상에 범프를 형성하는 단계,

상기 범프 사이에 코팅 물질을 추가하여 상기 제1 서브 웨이퍼의 본딩층을 형성하는 단계,

상기 활성층이 형성된 제2 서브 웨이퍼의 전면이 상기 제1 서브 웨이퍼의 후면과 마주보도록 상기 제2 서브 웨이퍼를 웨이퍼 본딩에 의해 적층하는 단계, 그리고

상기 제2 서브 웨이퍼의 후면을 그라인딩하는 단계를 더 포함하는 것을 특징으로 하는 웨이퍼 에지를 보호하는 웨이퍼 스택 제작 방법.

청구항 6

제1항에 있어서,

상기 단계(d) 이후 상기 베이스 웨이퍼의 후면을 그라인딩하는 (e)단계,

상기 베이스 웨이퍼에 관통 전극을 형성하는 (f)단계를 더 포함하는 것을 특징으로 하는 웨이퍼 에지를 보호하는 웨이퍼 스택 제작 방법.

청구항 7

제6항에 있어서,

상기 단계(e) 또는 단계(f) 이후 상기 코팅 물질을 제거하는 단계를 더 포함하는 것을 특징으로 하는 웨이퍼

에지를 보호하는 웨이퍼 스택 제작 방법.

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 웨이퍼 에지를 보호하는 웨이퍼 스택 제작 방법에 관한 것으로, 웨이퍼 스택의 제작 공정을 간소화 하고, 웨이퍼 본딩층을 코팅하여 그라인딩 공정에서 웨이퍼의 에지 부분에 크랙이 발생하는 것을 방지할 수 있는 웨이퍼 에지를 보호하는 웨이퍼 스택 제작 방법에 관한 것이다.

배경기술

[0002] 최근 전자제품의 고성능화, 소형화에 대한 요구의 증가에 따라 반도체 패키지 및 그 제조 방법에 대한 많은 연구가 진행되고 있으며, 특히 웨이퍼 레벨에서 복수의 웨이퍼를 수직으로 적층하는 웨이퍼 레벨 패키지 기술 또는 웨이퍼 스택 제작 기술에 대한 활발한 연구가 진행되고 있다.

[0003] 이와 같은 웨이퍼 스택 제작 공정에서는 두께가 약 50 μm이하 정도인 웨이퍼를 적층하게 되는데 웨이퍼의 두께는 백 그라인딩(back grinding) 공정을 통해 조절된다.

[0004] 도 1 내지 도 3은 종래의 웨이퍼 스택 제작 공정을 나타내고 있다.

[0005] 도 1은 스택될 웨이퍼의 사시도이다. 도 1에 도시된 웨이퍼(10)는 백 그라인딩 공정이 수행되기 이전의 웨이퍼(10)로서, 전면(11)에는 집적회로(미도시)가 형성되어 있다. 백 그라인딩 공정은 집적회로가 형성되지 않은 웨이퍼의 후면(12)을 그라인딩 하는 것으로서, 백 그라인딩의 결과 웨이퍼(10)의 두께가 얇아지게 된다. 다만 웨이퍼(10)의 두께가 얇아지면 웨이퍼(10)가 말리거나 웨이퍼(10)에 크랙이 발생하는 경우가 많으므로 백그라인딩 공정은 웨이퍼(10)에 지지부재(14)를 부착한 상태에서 수행된다.

[0006] 도 2는 접착 테이프(13)가 부착된 웨이퍼(10)의 사시도이다. 접착 테이프(13)는 웨이퍼(10)에 지지부재(14)를 접착하기 위한 접착수단으로서, 집적회로가 형성되어 있는 웨이퍼의 상면(11)에 부착된다.

[0007] 도 3은 지지부재(14)가 부착된 웨이퍼(10)의 사시도이다. 지지부재(14)는 백그라인딩이 수행되는 동안 웨이퍼(10)를 지지하기 위한 것을 말하며, 지지부재(14)로는 더미 실리콘 웨이퍼(dummy silicon wafer) 또는 글래스 웨이퍼(glass wafer) 등이 사용된다.

[0008] 웨이퍼(10)의 백 그라인딩이 완료되면 웨이퍼(10)는 다른 웨이퍼나 기판 위에스택을 한 후 지지부재(14)는 웨이퍼(10)로부터 제거되는데 접착 테이프(13)를 웨이퍼(10)로부터 제거함으로써 지지부재(14)를 제거하게 된다. 접착 테이프(13)는 UV 또는 열을 가하여 제거하게 된다.

[0009] 그런데 이와 같은 종래의 웨이퍼 스택 형성 과정에서는 웨이퍼(10)를 개별적으로 백 그라인딩 하였고, 그와 같은 과정에서 접착 테이프(13) 및 지지부재(14)를 부착 및 제거하는 과정이 필요하였는바 웨이퍼 스택의 제작 과정이 복잡하고 제작 비용이 상승하는 등의 문제점이 있었으며, 이러한 문제점들은 적층되는 웨이퍼(10)의 개수가 증가될수록 더욱 심각하였다.

[0010] 나아가 웨이퍼(10)로부터 접착 테이프(13)를 제거하는 과정에서 사용되는 UV 또는 열에 의해 웨이퍼(10)에 형성된 집적회로가 손상되는 문제점이 있었다.

발명의 내용

해결하고자하는 과제

[0011] 본 발명이 해결하고자 하는 기술적 과제는 웨이퍼 스택의 제작 공정에서 지지부재를 사용하지 않고 활성층이 있는 웨이퍼를 직접 스택할 경우에 그라인딩 공정에서 웨이퍼 에지에 크랙이 발생하는 것을 방지할 수 있는 웨이퍼 에지를 보호하는 웨이퍼 스택 제작 방법에 관한 것이다.

과제 해결수단

[0012] 본 발명의 특징에 따르면, 베이스 웨이퍼 상에 복수의 서브 웨이퍼를 웨이퍼본딩에 의해 적층하여 웨이퍼 스택을 제작하는 웨이퍼 에지를 보호하는 웨이퍼 스택 제작 방법이 제공된다. 이 방법은, 전면 상에 활성층이 형성된 베이스 웨이퍼를 준비하고, 상기 베이스 웨이퍼에 형성된 활성층 상에 범프를 형성하는 단계, 상기 범프 사이에 코팅 물질을 추가하여 본딩층을 형성하는 단계, 상기 활성층이 형성된 전면이 상기 베이스 웨이퍼의 전면과 마주보도록 제1 서브 웨이퍼를 웨이퍼 본딩에 의해 적층하는 단계, 상기 제1 서브 웨이퍼의 후면을 그라인딩하는 단계를 포함한다.

효과

[0013] 본 발명의 실시 예에서는 웨이퍼를 적층한 상태에서 웨이퍼 백그라인딩 공정을 수행함으로써 하부에 배치된 웨이퍼가 지지부재의 역할을 수행하도록 하여 웨이퍼 스택의 제작 공정을 간소화할 수 있고, 웨이퍼 본딩 공정과 그라인딩 공정 사이에 웨이퍼 본딩층을 코팅하는 공정을 수행함으로써 그라인딩 공정에서 웨이퍼의 에지 부분이 깨지는 것을 방지할 수 있고, 그라인딩 공정에서 본딩층에 가해지는 기계적인 스트레스를 완화시킬 수 있는 효과가 있다.

발명의 실시를 위한 구체적인 내용

- [0014] 아래에서는 첨부한 도면을 참고로 하여 본 발명의 실시 예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시 예에 한정되지 않는다. 그리고 도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 유사한 부분에 대해서는 유사한 도면 부호를 붙였다.
- [0015] 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다. 또한, 명세서에 기재된 "...부", "...기", "모듈" 등의 용어는 적어도 하나의 기능이나 동작을 처리하는 단위를 의미하며, 이는 하드웨어나 소프트웨어 또는 하드웨어 및 소프트웨어의 결합으로 구현될 수 있다.
- [0016] 본 발명은 복수의 웨이퍼를 적층하여 웨이퍼 스택을 제작하는 방법에 관한 것으로, 이하에서는 최하층 웨이퍼를 베이스 웨이퍼라 하고, 베이스 웨이퍼의 상부에 배치되는 하나 이상의 웨이퍼를 복수의 서브 웨이퍼라 한다.
- [0017] 아래에서는 본 발명의 실시 예에 따른 웨이퍼 에지를 보호하는 웨이퍼 스택제작 방법에 대하여 도면을 참고하여 상세하게 설명한다.
- [0018] 도 4는 본 발명에 따른 웨이퍼 스택의 제작 과정에 사용될 웨이퍼를 개략적으로 도시한 단면도이다.
- [0019] 도 4의 웨이퍼(20)는 백 그라인딩이 수행되기 이전의 웨이퍼(20)로서 약 700 μm의 두께를 가지며, 웨이퍼(20)의 전면(21) 상에는 활성층(23)이 형성되어 있는 상태이다. 이때 활성층(23)이란 트랜지스터 또는 커패시터와 같은 반도체 소자들이 형성된 부분을 의미한다. 도면 부호 22는 웨이퍼(20)의 전면(21)에 반대되는 면인 후면(22)을 의미한다.
- [0020] 도 5는 도 4의 웨이퍼(20)의 활성층(23) 상에 범프(bump)를 형성하는 과정을 도시한 단면도이다. 웨이퍼(20)의 활성층 상에 범프(즉, 전기적 연결 수단)를 형성하는 과정은 기존에 알려져 있는 공정 과정을 이용하여 제작 가능하다.
- [0021] 범프(29)의 재질로서는 납(Pb), 주석(Sn), 은(Ag) 및 구리(Cu)로부터 선택된 단일 금속 또는 2이상으로 구성된 합금이 사용될 수 있으며, 상기 합금은 예를 들어 PbSn, SnAg, SnAgCu 등의 조성을 가질 수 있다.
- [0022] 또한 도 5에서는 단면의 형상이 사각형인 범프(29)가 도시되어 있으나, 범프(29)의 형상은 범프의 재질 등에 따라 타원형 등 다양한 형상으로 형성될 수 있음은 물론이다.
- [0023] 도 6은 본딩층이 코팅된 웨이퍼의 단면을 나타내는 도면으로, 웨이퍼를 웨이퍼 본딩(wafer bonding)에 의해 적층할 경우에는 범프(29) 사이의 공간에 코팅 물질을 추가하여 범프(29)를 포함하는 본딩층(29-1)을 형성한다.

- [0024] 도 4 내지 도 6의 도면에서는 웨이퍼의 단면을 직사각형으로 도시하였으나, 도 7에 도시한 바와 같이 도 6의 A 영역을 확대해서 살펴보면 웨이퍼의 에지 부분이 타원형인 것을 알 수 있다. 따라서, 본 발명의 실시 예에서는 그라인딩 공정에서 웨이퍼의 에지에 크랙이 발생하는 것을 방지하기 위해서, 코팅 공정에서는 웨이퍼 에지 부분까지 코팅 물질이 커버되도록 코팅 물질을 코팅한다. 코팅 물질로는 플럭스(flux), 열에 의해 분해(decompose)되는 폴리머(polymer)(이하, "열분해폴리머"라 함), 에폭시(epoxy) 등의 물질을 사용할 수 있다.
- [0025] 플럭스는 화합물로서 제거가 가능한 물질이고, 열분해폴리머는 열에 의하여 쉽게 분해되는 물질이다. 따라서, 코팅 공정에서 코팅 물질로 플럭스 및 열분해폴리머를 이용할 경우에는 모든 공정이 끝난 후에 코팅 물질을 제거하는 공정을 수행하여 코팅 물질을 제거할 수 있다. 기존의 노 플로우 언더필(No Flow Underfill) 공정에서 사용되는 에폭시 계열의 물질은 본딩층(29-1)에 잔존하여도 웨이퍼 스택에 영향을 주지 않으므로 별도의 제거 공정을 수행하지 않는다. 즉, 본 발명에서는 코팅 물질에 따라 선택적으로 코팅 물질을 제거하는 공정을 실시한다.
- [0026] 도 8은 상기에서 설명한 도 5 내지 도 7의 과정에 따라 범프(29) 및 본딩층(29-1)이 형성된 웨이퍼 2장이 웨이퍼 본딩에 의해 적층된 상태를 도시한 단면도이다. 웨이퍼 본딩은 웨이퍼와 웨이퍼를 붙이는 공정으로, 그 방법은 다양하고 해당 기술분야에서 통상의 지식을 가진 자에게 자명한바 상세한 설명은 생략하도록 한다.
- [0027] 도 8에서는 범프(29)의 단면이 원형인 경우를 예시하였다. 이하에서는 최하층 웨이퍼를 베이스 웨이퍼(40)로, 상기 베이스 웨이퍼(40)의 상부에 배치되는 웨이퍼를 제1 서브 웨이퍼(50)로 칭하도록 한다.
- [0028] 도 8에 도시된 바와 같이 2장의 웨이퍼를 적층하는 경우에는 백 그라인딩이 수행되기 전의 웨이퍼를 2장 적층하되, 제1 서브 웨이퍼(50)의 전면이 베이스 웨이퍼(40)의 전면에 대응하도록, 즉 제1 서브 웨이퍼(50)의 활성층(23)과 베이스 웨이퍼의 활성층(23)이 서로 마주보도록 적층을 하게 된다.
- [0029] 이때 베이스 웨이퍼(40)와 제1 서브 웨이퍼(50)의 활성층(23) 상에 형성된 범프(29)가 서로 접촉되도록 적층을 함이 바람직하다. 범프(29)는 도 9에 도시된 바와 같이 단층으로 형성될 수도 있다. 범프(29)를 단층으로 형성하는 경우에는 어느 하나의 웨이퍼에만 범프를 형성하고 다른 웨이퍼에는 패드만을 형성함으로써 웨이퍼의 적층 과정에서 범프(29)가 패드에 부착되도록 한다. 이 경우 활성층(23) 상에 패드를 형성하는 방법은 해당 기술분야에서 통상의 지식을 가진 자에게 자명한바 상세한 설명은 생략하도록 한다.
- [0030] 도 8 또는 도 9에서와 같이 웨이퍼를 적층한 이후에는 제1 서브 웨이퍼(50)의 후면을 그라인딩함으로써 서브 웨이퍼(50)의 두께를 줄이게 된다. 이때 웨이퍼의 후면이란 활성층(23)이 형성되는 웨이퍼의 전면에 반대되는 면을 의미한다.
- [0031] 웨이퍼의 그라인딩은 황삭(course grinding), 정삭(fine grinding) 그리고 폴리싱(polishing)의 순서로 진행됨이 일반적이며, 폴리싱은 화학적 물리적 폴리싱(chemical mechanical), 습식 에칭(wet etching), 건식 에칭(dry etching) 또는 건식 폴리싱(dry polishing) 등의 방법으로 수행될 수 있다.
- [0032] 도 10은 제1 서브 웨이퍼(50)가 그라인딩된 상태를 나타내고 있는 단면도이다. 이때 그라인딩 과정에서의 활성층(23) 손상을 방지하기 위해 그라인딩 이후 잔존하는 제1 서브 웨이퍼(50)의 두께가 약 50 μm 이하가 되도록 그라인딩이 수행되는 것이 바람직하다.
- [0033] 이와 같이 본 발명에서는 본딩층(29-1)이 코팅된 상태에서 그라인딩 공정을 수행함으로써, 웨이퍼 에지 부분에 크랙이 발생하여 웨이퍼가 에지 부분이 깨지는 것을 방지할 수 있다. 또한, 본딩층(29-1)이 코팅되어 있어서 그라인딩 공정에서 범프가 스트레스를 받아 손실되는 것을 방지할 수 있다.
- [0034] 또한, 본 발명에 따른 웨이퍼 스택 제작 방법에서는 웨이퍼를 적층한 상태에서 백 그라인딩을 수행하게 되므로 웨이퍼 스택 제작 공정이 간소화된다.
- [0035] 제1 서브 웨이퍼(50)의 그라인딩이 완료되면 본딩층(29-1)을 코팅한 코팅 물질에 따라 코팅 물질을 제거하는 공정을 선택적으로 실시한다. 코팅 물질이 플럭스 및 열분해폴리머와 같은 코팅 물질일 경우에는 코팅 물질 제거 공정을 실시하고, 코팅물질이 언더필 공정에 사용되는 에폭시 계열일 경우에는 별도의 코팅 물질 제거 공정을 실시하지 않는다.
- [0036] 그러나, 도 10과 같이 두 개 이상의 웨이퍼를 적층할 경우는 모든 웨이퍼에 대한 본딩 공정, 그라인딩 공정 등이 끝난 후에 코팅 물질을 제거하는 것이 바람직하다.
- [0037] 따라서, 제1 서브 웨이퍼(50)의 그라인딩이 완료되면 제1 서브 웨이퍼(50)의 후면 상에 범프(29)를 형성하고,

범프가 형성된 본딩층(29-1)을 코팅한다.

- [0038] 도 8 또는 도 10의 웨이퍼 적층 과정을 반복함으로써 임의의 개수의 웨이퍼가 적층된 웨이퍼 스택을 제작할 수 있게 된다. 아래에서 예시된 도면에서는 전기적 연결 부분에 대해서는 자세히 나타내지 않았다. 이는 이 발명에 포함되지 않으며 기존의 소자 제작 과정에서 사용되는 일반적인 방법들을 사용한다.
- [0039] 도 11은 3장의 웨이퍼가 적층된 상태를 도시한 단면도로서, 베이스 웨이퍼(40) 위에 2장의 서브 웨이퍼(50,60)가 적층된 상태를 나타내고 있다. 도 11에서 제1 서브 웨이퍼(50)는 후면이 그라인딩된 후 범프(29)가 형성된 상태이며, 제1 서브 웨이퍼(50) 위에 적층된 제2 서브 웨이퍼(60)는 그라인딩이 수행되기 이전의 상태이다. 제2 서브 웨이퍼(60)는 제1 서브 웨이퍼(50)를 베이스 웨이퍼(40) 위에 적층하는 방법과 마찬가지로 활성층(23)이 형성된 전면이 베이스 웨이퍼(40)의 전면에 대응하도록 적층된다. 도 11에서는 범프(29)를 단층으로 형성한 경우를 예시하였으나, 범프(29)는 상기에서 설명한 도 8의 경우와 같이 복층으로 형성될 수도 있음은 물론이다. 또한, 범프(29)가 형성된 본딩층(29-1)은 범프(29)가 형성된 후에 코팅 물질에 의해 코팅된다.
- [0040] 만일 3장의 웨이퍼로 이루어진 웨이퍼 스택을 제작하는 경우라면 제2 서브 웨이퍼(60)는 최상층 웨이퍼가 된다. 이와 같은 최상층 웨이퍼는 그라인딩 이후의 두께가 약 50 μm 되도록 한다.
- [0041] 웨이퍼의 적층이 완료되면 최하층 웨이퍼인 베이스 웨이퍼(40)의 후면을 그라인딩하여 웨이퍼 스택의 두께를 감소시키게 된다. 이때 그라인딩 이후의 베이스 웨이퍼(40)의 두께가 30 μm ~ 200 μm 이 되도록 하여 웨이퍼 스택을 보호할 수 있도록 함이 바람직하다. 도 12는 베이스 웨이퍼(40)의 후면이 그라인딩 상태를 나타낸 단면도이다.
- [0042] 베이스 웨이퍼(40)의 그라인딩이 완료되면, 도 13에 도시된 바와 같이 본딩층(29-1)의 코팅 물질을 제거하거나, 도 14에 도시된 바와 같이 베이스 웨이퍼(40)에 관통전극(30)을 형성할 수 있다.
- [0043] 본 발명에서는 제1 서브 웨이퍼(50)에 대한 그라인딩이 완료된 후에 본딩층(29-1)의 코팅 물질을 제거하는 공정을 실시할 수 있지만, 바람직하게는 도 13에 도시된 바와 같이 베이스 웨이퍼(40)를 포함한 모든 웨이퍼에 대해 그라인딩이 완료된 후에 코팅 물질을 제거한다.
- [0044] 코팅 물질을 제거하는 공정은 코팅 물질에 따라 다르다. 코팅 물질이 플럭스일 경우 플럭스 제거제를 이용하여 브레이징(brazing)하여 본딩층(29-1)으로부터 플럭스를 제거할 수 있다. 코팅 물질이 열분해폴리머일 경우 적정 온도의 열을 가해서 본딩층(29-1)으로부터 폴리머를 제거할 수 있다.
- [0045] 즉, 본 발명에서는 모든 그라인딩 공정이 완료된 후에 복수의 웨이퍼 사이에 코팅된 코팅 물질을 제거함으로써, 다른 웨이퍼의 그라인딩 공정에 의해 해당 웨이퍼에 크랙이 발생하는 것을 방지할 수 있으며, 다른 웨이퍼의 그라인딩 공정에 의해 해당 웨이퍼의 범프가 스트레스 받는 것을 줄일 수 있다.
- [0046] 다음, 도 14에 도시된 바와 같이 베이스 웨이퍼(40)에 관통전극(30)을 형성하는 공정을 설명한다. 관통전극(30)은 외부로부터 인가되는 전력 기타 전기신호를 베이스 웨이퍼(40)의 상부에 형성된 범프(29)에 인가하기 위한 것이다.
- [0047] 관통전극(30)의 단면은 사각형, 사다리꼴 형상 등 다양한 형상으로 형성될 수도 있다. 관통전극(30)의 베이스 웨이퍼(40) 후면측 말단에는 범프(29)가 형성되는 것이 일반적이다.
- [0048] 도 15는 관통전극이 형성된 후 코팅 물질이 제거된 경우의 단면도이고, 도 15에 도시된 바와 같이, 본 발명에서는 관통전극(30)이 형성되면 코팅 물질을 제거하는 공정을 실시할 수도 있다.
- [0049] 이상에서는 2장 또는 3장의 웨이퍼가 적층된 경우를 기준으로 설명을 하였으나 본 발명은 이에 한정되는 것은 아니며 적층되는 웨이퍼의 개수는 필요에 따라 달라질 수 있음은 물론이다. 또한, 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

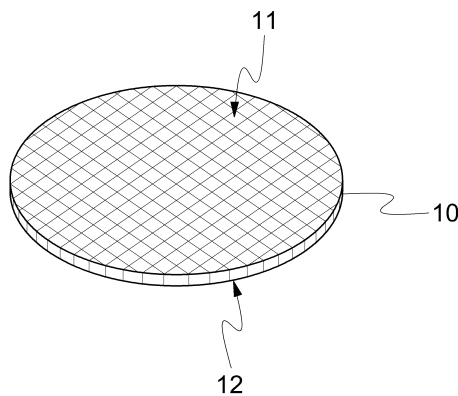
도면의 간단한 설명

- [0050] 도1 은 종래의 웨이퍼 스택 제작 공정에서 스택될 웨이퍼의 사시도.
- [0051] 도2 는 종래의 웨이퍼 스택 제작 공정에서 집착 테이프가 부착된 웨이퍼의 사시도.
- [0052] 도3 은 종래의 웨이퍼 스택 제작 공정에서 도 3은 지지부재가 부착된 웨이퍼의 사시도.

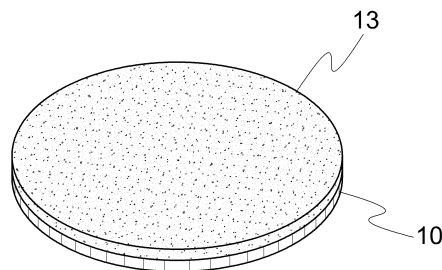
- [0053] 도 4는 본 발명에 따른 웨이퍼 스택의 제작 과정에 사용될 웨이퍼의 단면도.
- [0054] 도 5는 활성층에 범프가 형성된 경우의 단면도.
- [0055] 도 6은 본딩층이 코팅된 웨이퍼의 단면도.
- [0056] 도 7은 도 6의 A영역의 확대도.
- [0057] 도 8은 2장의 웨이퍼가 적층된 경우의 단면도.
- [0058] 도 9는 2장의 웨이퍼가 적층된 경우의 단면도.
- [0059] 도 10은 서브 웨이퍼가 그라인딩된 경우의 단면도.
- [0060] 도 11은 3장의 웨이퍼가 적층된 경우의 단면도.
- [0061] 도 12는 베이스 웨이퍼의 후면이 그라인딩된 경우의 단면도.
- [0062] 도 13은 베이스 웨이퍼의 후면이 그라인딩된 후 코팅 물질이 제거된 경우의 단면도.
- [0063] 도 14는 관통전극이 형성된 경우의 단면도.
- [0064] 도 15는 관통전극이 형성된 후 코팅 물질이 제거된 경우의 단면도.

도면

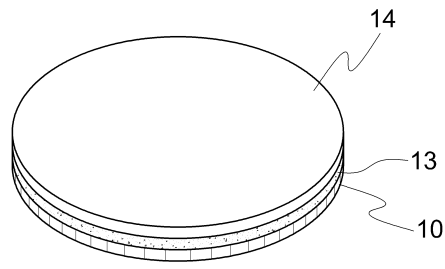
도면1



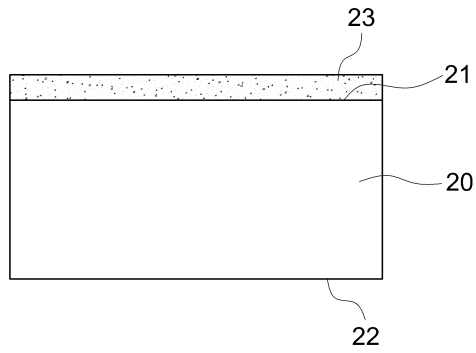
도면2



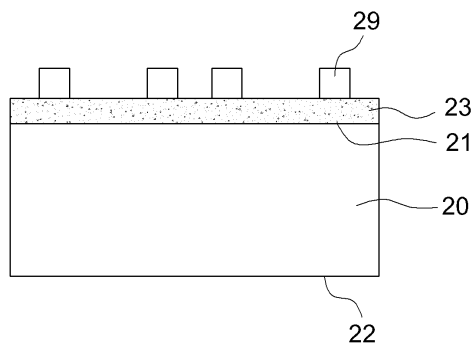
도면3



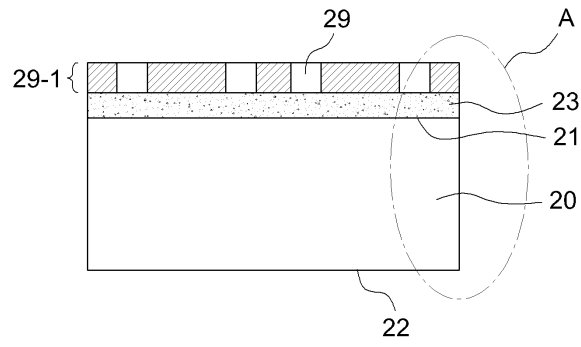
도면4



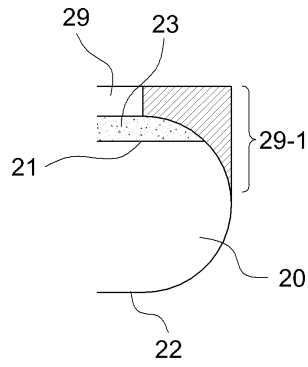
도면5



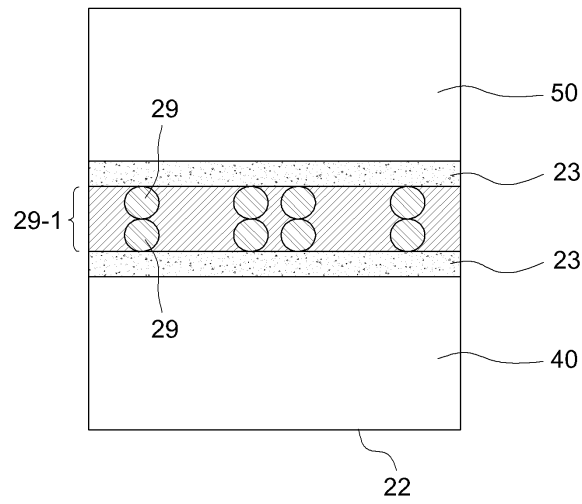
도면6



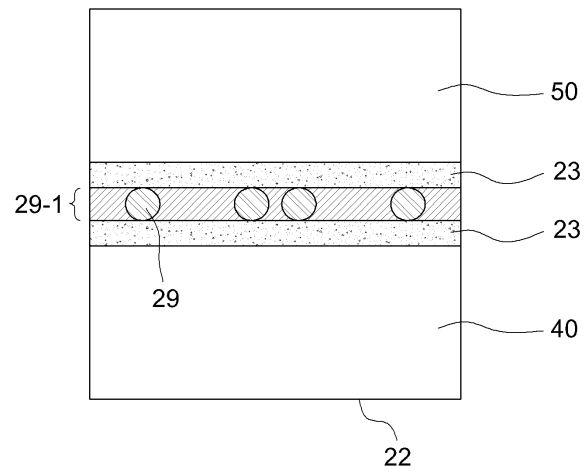
도면7



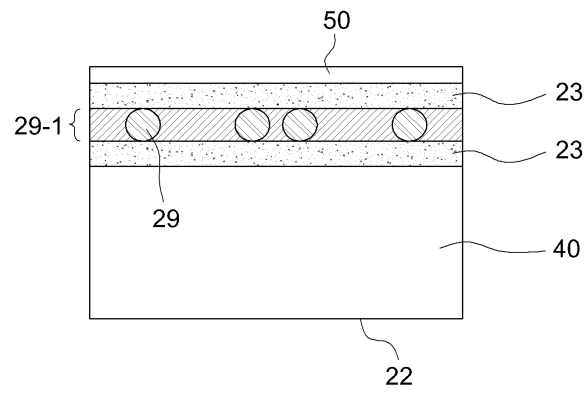
도면8



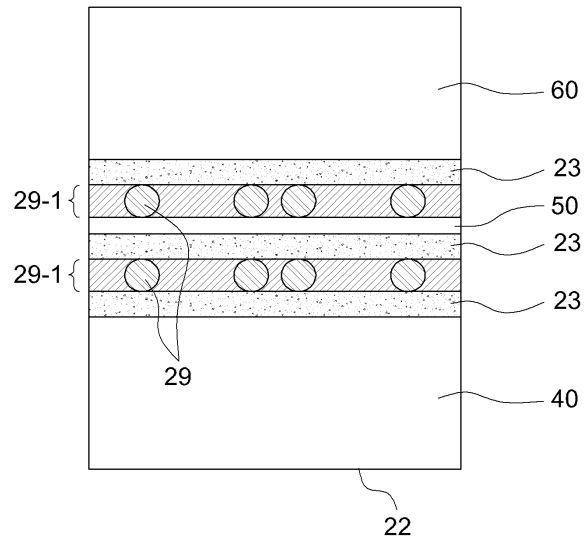
도면9



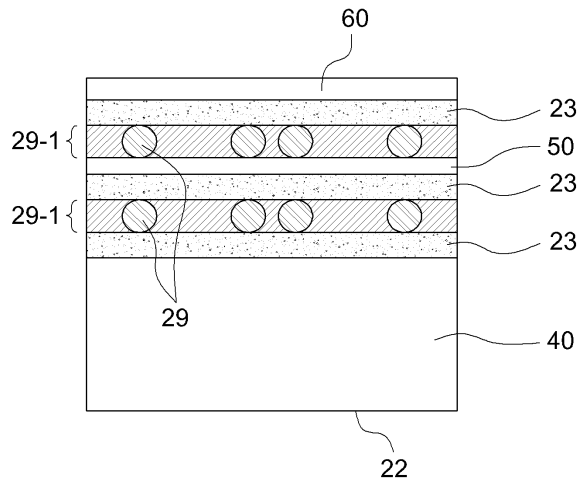
도면10



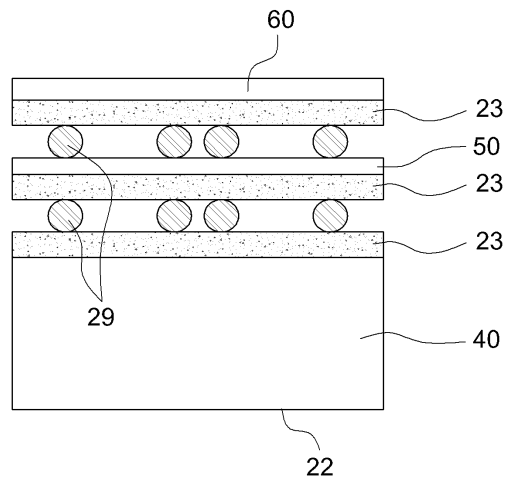
도면11



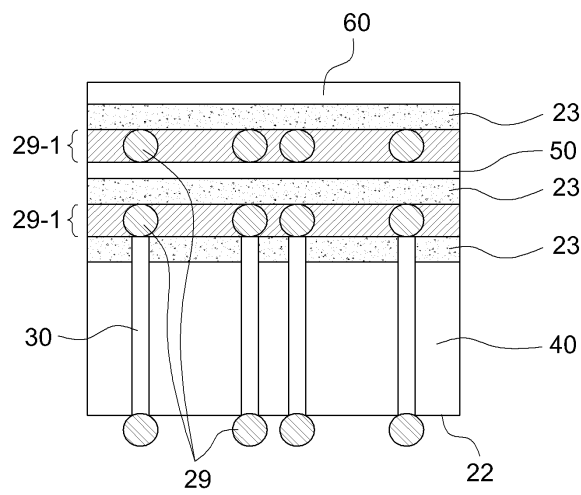
도면12



도면13



도면14



도면15

