

[19] 中华人民共和国国家知识产权局



[12] 发明专利说明书

专利号 ZL 02142169.2

[51] Int. Cl.

H01L 21/336 (2006.01)

H01L 21/283 (2006.01)

H01L 21/324 (2006.01)

[45] 授权公告日 2006 年 6 月 14 日

[11] 授权公告号 CN 1259703C

[22] 申请日 2002.8.29 [21] 申请号 02142169.2

[71] 专利权人 上海宏力半导体制造有限公司

地址 201203 上海市浦东新区张江高科技
园区郭守敬路 818 号

[72] 发明人 高荣正

审查员 钟 翳

[74] 专利代理机构 上海光华专利事务所

代理人 余明伟

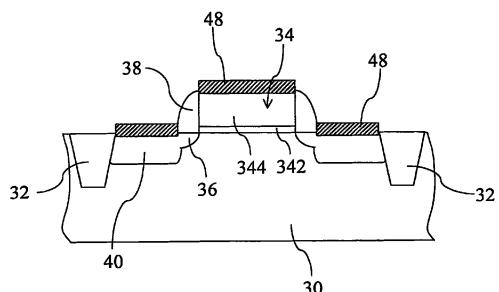
权利要求书 3 页 说明书 5 页 附图 13 页

[54] 发明名称

改善硅外延层中晶格缺陷的半导体组件制造
方法

[57] 摘要

本发明公开一种改善硅外延层中晶格缺陷的半
导体组件制造方法，其是在一半导体基中形成隔
离区域、栅极结构、源/漏极的轻掺杂区域、栅极间
隙壁及源/漏极的重掺杂区域，并在硅外延层形成
之前，先进行一去除金属杂质的快速热退火并清
洗，完成后再于该栅极结构及源/漏极上成长硅外
延层，以形成提升的源/漏极结构；最后进行自行
对准金属硅化物的制造方法。本发明是可避免硅
外延层于成长过程中产生晶格缺陷，并可降低组件
的漏电流现象。



1、一种改善硅外延层中晶格缺陷的半导体组件制造方法，其特征是包括下列步骤：

- 5 提供一半导体基底，其内是形成有隔离区域；
在该半导体基底上形成一栅极结构，包含一栅极氧化层及其上方的多晶硅层；
以该栅极结构为掩模，进行一低浓度的离子注入，在该半导体基底内形成源/漏极的轻掺杂区域；
于该栅极结构侧壁形成有栅极间隙壁；
- 10 进行快速热退火处理，以重整该半导体基底表面的硅晶格并去除金属杂质；
进行一去除金属杂质的清洗；
在该栅极结构及该源/漏极上成长一硅外延层，以形成提升的源/漏极结构；
以及
以该栅极结构与栅极间隙壁为掩模，对该半导体基底进行一高浓度离子注入，以形成源/漏极的重掺杂区域；
- 15 进行自行对准金属硅化物的制造包含下列步骤：
于该半导体基底上沉积一钛金属层；
对该金属层进行氮离子的注入，使位于金属层上部的部份金属层转变成金属氮化物层；
- 20 对该半导体基底进行快速热退火，使与该栅极结构与源/漏极的硅外延层相接触的部份该金属层转变成金属硅化物；
去除该金属氮化物层及未反应成金属硅化物的该金属层；以及
对该金属硅化物进行快速热退火。

25 2、根据权利要求 1 所述的半导体组件制造方法，其特征是该隔离区域是为浅沟渠隔离区域。

3、根据权利要求 1 所述的半导体组件制造方法，其特征是在该轻掺杂区域形成后，且于形成硅外延层之前，该快速热退火是以大于摄氏 750 度的炉管回火，其中该炉管通有包含氢、氯的化合物或是氯化氢、反式 1,2 二氯乙烯、三

氯乙烷、三氯乙烯气体，以彻底清除包含金属离子在内的杂质。

4、根据权利要求 1 所述的半导体组件制造方法，其特征是该金属杂质的清洗是利用氯化氢/过氧化氢/水的酸碱性溶液进行清洗。

5、根据权利要求 1 所述的半导体组件制造方法，其特征是该硅外延层的成长方法是利用外延法完成。

6、根据权利要求 1 所述的半导体组件制造方法，其特征是该硅外延层的厚度是介于 350 埃至 2000 埃之间。

7、根据权利要求 1 所述的半导体组件制造方法，其特征是该硅外延层的成长是于一外延反应炉中进行，并在摄氏 800-900 度的二氯硅烷及氯化氢的环境中进行。

8、根据权利要求 1 所述的半导体组件制造方法，其特征是该栅极间隙壁是包含氧化硅层和氮化硅层。

9、一种改善硅外延层中晶格缺陷的半导体组件制造方法，其特征是包括下列步骤：

15 提供一半导体基底，其内是形成有隔离区域；

在该半导体基底上形成一栅极结构，包含一栅极氧化层及其上方的多晶硅层；

以该栅极结构为掩模，进行一低浓度的离子注入，在该半导体基底内形成源/漏极的轻掺杂区域；

于该栅极结构侧壁形成有栅极间隙壁；

20 以该栅极结构与栅极间隙壁为掩模，对该半导体基底进行一高浓度离子注入，以形成源/漏极的重掺杂区域；

进行快速热退火处理，以重整该半导体基底表面的硅晶格并去除金属杂质；

进行一去除金属杂质的清洗；以及

在该栅极结构及该源/漏极上成长一硅外延层，以形成提升的源/漏极结构；

25 进行自行对准金属硅化物的制造，包含下列步骤：

于该半导体基底上沉积一钛金属层；

对该金属层进行氮离子的注入，使位于金属层上部的部份金属层转变成金属氮化物层；

对该半导体基底进行快速热退火，使与该栅极结构与源/漏极的硅外延层相接触的部份该金属层转变成金属硅化物；

去除该金属氮化物层及未反应成金属硅化物的该金属层；以及

对该金属硅化物进行快速热退火。

5 10、根据权利要求 9 所述的半导体组件制造方法，其特征是该隔离区域是为浅沟渠隔离区域。

11、根据权利要求 9 所述的半导体组件制造方法，其特征是在该轻掺杂区域形成后，且于形成硅外延层之前，该快速热退火是以大于摄氏 750 度的炉管回火，其中该炉管通有包含氢、氯的化合物或是氯化氢、反式 1,2 二氯乙烯、
10 三氯乙烷、三氯乙烯气体，以彻底清除包含金属离子在内的杂质。

12、根据权利要求 9 所述的半导体组件制造方法，其特征是该金属杂质的清洗是利用氯化氢/过氧化氢/水的酸碱性溶液进行清洗。

13、根据权利要求 9 所述的半导体组件制造方法，其特征是该硅外延层的成长方法是利用外延法完成。

15 14、根据权利要求 9 所述的半导体组件制造方法，其特征是该硅外延层的厚度是介于 350 埃至 2000 埃之间。

15、根据权利要求 9 所述的半导体组件制造方法，其特征是该硅外延层的成长是于一外延反应炉中进行，并在摄氏 800-900 度的二氯硅烷及氯化氢的环境中进行。

20 16、根据权利要求 9 所述的半导体组件制造方法，其特征是该栅极间隙壁是包含氧化硅层和氮化硅层。

改善硅外延层中晶格缺陷的半导体组件制造方法

技术领域

本发明是有关一种半导体制造方法技术，特别是关于一种包含提升的源/漏极(raised source/drain)和自行对准金属硅化物(self-aligned silicide, Salicide)制造方法，并可改善硅外延层中的晶格缺陷的半导体组件制造方法。

背景技术

半导体组件制造方法进入到深次微米制造方法，且集成电路的积集度愈来愈高时，源/漏极区域的面积亦等同缩小，但却会增加源/漏极端的接触电阻，而无法维持组件的高电流驱动能力，故为了降低组件电阻值及增加后续连接导线布局的方便性，自动对准金属硅化物技术已逐渐广泛应用在半导体制造方法中。然而组件的微小化更受限于浅金属硅化接面(Silicided junction)的应用，更易造成与浅接面漏电现象，因此，选择性硅磊晶技术用来制作提升的源/漏极的金氧半导体晶体管，以同时获得浅接面和金属硅化接面的应用所产生的漏电得到控制。

已知在制作提升的源/漏极和自行对准金属硅化物等组件的半导体制造方法步骤是参阅图1(a)至图1(c)所示。首先如图1(a)所示，在一半导体基底10中先形成有浅沟渠隔离区域(shallow trench isolation, STI)12及一晶体管栅极结构14，其是由一栅极氧化层142及一多晶硅层144组成；再以栅极结构14为掩模，进行较低能量的第一次离子注入，在半导体基底10中形成一源/漏极轻掺杂区域16；然后于栅极结构14侧壁形成栅极间隙壁18后，利用外延法(epitaxy)选择性的成长硅外延层20于源/漏极区表面，以形成提升的源/漏极结构；之后再进行较高能量的第二次离子注入形成源/漏极重掺杂区域22。

当晶体管栅极结构14及提升的源/漏极结构22均完成后，随即进行自行对准金属硅化物的制造方法，此时，如图1(b)所示，接续在半导体基底10上

沉积一钛金属层 24，利用氮离子对钛金属层 24 进行离子注入，以使部份的钛金属转变成氮化钛而形成氮化钛层 26。接着，对该钛金属层 24 进行低温回火，以使其与下方的栅极结构 14 与源/漏极结构 22 上硅外延层 20 的硅反应成钛金属硅化物 28。在形成钛金属硅化物 28 之后，利用湿蚀刻法去除氮化钛层 26 与部份未反应成钛金属硅化物 28 的钛金属层 24，请参阅图 1(c)所示，最后对此钛金属硅化物 28 进行高温回火，以降低钛金属硅化物 28 的电阻值。

然而，在上述已知的半导体制造方法步骤中，成长一硅外延层 20 于源/漏极 22 上而形成提升的源/漏极结构时，在此硅外延层 20 中极易有晶格缺陷（crystal defects）的产生；而在硅外延层 20 的晶格中所产生的缺陷是会造成浅接面组件中的漏电流（leakage current）现象，进而影响组件特性及其可靠度。

因此，本发明是在针对上述的困扰，提出一种改善硅外延层中晶格缺陷的半导体组件制造方法，以有效解决习知技术所存在的缺失。

发明内容

本发明的主要目的是在提供一种改善硅外延层中晶格缺陷的半导体组件制造方法，其是利用几道金属杂质（metallic impurities）的去除处理，以避免硅外延层于成长过程中产生晶格缺陷。

本发明的另一目的是在提供一种改善硅外延层中晶格缺陷的半导体组件制造方法，其是在降低组件的漏电流现象，以符合组件基本电性的需求。

本发明的另一目的是在提供一种改善硅外延层中晶格缺陷的半导体组件制造方法，其是可避免产生在浅接面中的漏电流现象，以确保组件特性及其可靠度，进而提高产品合格率。

为达到上述的目的，本发明是在一半导体基底中形成有浅沟渠隔离区域及一栅极结构，并以栅极结构为掩模，进行一低浓度的离子注入，形成源/漏极的轻掺杂区域；再于栅极结构侧壁形成有栅极间隙壁；接着进行快速热退火处理，以重整半导体基底表面的硅晶格并去除金属杂质，而后进行一去除金属杂质的清洗；在该栅极结构及源/漏极上选择性成长一硅外延层，以形成提升的源/漏极结构；并以栅极结构与栅极间隙壁为掩模，对半导体基底进行

一高浓度离子注入，以形成源/漏极的重掺杂区域；最后即可继续进行自行对准金属硅化物的制造方法

本发明的另一实施态样是在上述栅极结构侧壁形成有栅极间隙壁之后，先进行一高浓度离子注入，以形成源/漏极的重掺杂区域；接续再如上所述依序进行金属杂质的去除处理、成长硅外延层以及制作自行对准金属硅化物等步骤。

以下通过具体实施例配合附图详加说明，当更容易了解本发明的目的、技术内容、特点及其所达成的功效。

附图说明：

图 1(a)至图 1(c)为习知制作半导体组件的各步骤构造剖视图。

图 2(a)至图 2(f)为本发明于制作半导体组件的各步骤构造剖视图。

图 3(a)至图 3(d)为本发明另一实施例的各步骤构造剖视图。

具体实施方式

已知技术在成长一硅外延层于源/漏极上而形成提升的源/漏极结构时，在此硅外延层中极易有晶格缺陷的产生；而本发明所提出的半导体组件制造方法是可解决该硅外延层中的晶格缺陷产生，以避免硅外延层于浅接面(shallow junction) 的漏电流现象。

图 2(a)至图 2(f)为本发明的一较佳实施例在制作半导体组件的各步骤构造剖视图；如图所示，本发明主要制作方法是包括有下列步骤：首先如图 2(a)所示，提供一半导体基底 30，在该半导体基底 30 中形成浅沟渠隔离区域(shallow trench isolation, STI) 32，以用来隔绝半导体基底 30 中的主动组件及被动组件；于半导体基底 30 表面形成一晶体管栅极结构 34，其是包含一栅极氧化层 342 及其上方的多晶硅层 344；然后以栅极结构 34 为掩模，对半导体基底 30 进行一低浓度的离子注入，以便在半导体基底 30 内形成源/漏极轻掺杂(lightly doped) 区域 36；再于栅极结构 34 的两侧壁旁形成有栅极间隙壁 38，其通常由下层的氧化硅层和上层的氮化物所组成（图中未示）。

接着，在该源/漏极轻掺杂区域 36 形成后，且于形成硅外延层之前，对图 2(a)所示的组件结构进行快速热退火，以重整该半导体基底 30 表面的硅晶格并去除金属杂质，其中，该快速热退火是以大于摄氏 750 度的炉管进行回火，且在该炉管通有包含氢、氯的化合物或是氯化氢、反式 1,2 二氯乙烯(trans 1,2-dichloroethene, Trans-LC)、三氯乙烷(Trichloroethane, TCA) 或三氯乙烯(Trichloroethylene, TCE) 等气体，以彻底清除包含金属离子在内的杂质。经过快速热退火处理后，再进行一去除金属杂质(metallic impurities)的清洗，将半导体基底 30 表面的杂质清洗干净，且金属杂质的清洗是利用氯化氢/过氧化氢/水的酸碱性溶液进行清洗。

完成金属杂质的处理之后，如图 2(b)所示，利用外延法(epitaxy)，于一磊晶反应炉中且在大约摄氏 800-900 度(℃)的二氯硅烷(dichlorosilane, SiH_2Cl_2) 及氯化氢(HCl) 的环境中进行，以选择性的在栅极结构 34 及源/漏极结构 40 区域上分别成长一硅外延层 42，其厚度是介于 350 埃至 2000 埃之间，以形成提升的源/漏极结构(raised source/drain structure)。然后再以该栅极结构 34 与栅极间隙壁 38 为掩模，对半导体基底 30 进行一高浓度的离子注入，以便在半导体基底 30 内形成源/漏极重掺杂区域 40；而后进行一大约 800℃的炉管回火或更高温(900℃)的快速快速热退火(rapid thermal anneal, RTA)，以便将半导体基底 30 表面因离子植入产生的非晶硅现象回火成原来的结晶状态。

在形成该硅外延层 42 及源/漏极重掺杂区域 40 之后，即可继续进行自行对准金属硅化物的制造方法，请参阅图 2(c)所示，于该半导体基底 30 上先沉积一钛金属层 44，然后对钛金属层 44 进行氮离子的注入，使表面的部份钛金属层 44 转变成氮化钛层 46，如图 2(d)所示。再对该半导体基底 30 进行快速热退火，使该钛金属层 44 与该栅极结构 34 与源/漏极结构 40 表面硅外延层 42 相接触的部份转变成钛金属硅化物 48，如图 2(e)所示。完成钛金属硅化物 48 的制作后，即可去除该氮化钛层 46 及未反应成金属硅化物 48 的该钛金属层 44，如图 2(f)所示，最后对金属硅化物 48 进行快速热退火处理，以降低钛金属硅化物 48 的电阻值。

另外，本发明除了上面所述的制造流程的外，更具有另一种不同的较佳实施例，如图 3(a)所示，在一半导体基底 30 中形成浅沟渠隔离区域，且于半导体基底 30 表面形成一晶体管栅极结构 34，其是包含一栅极氧化层 342 及其上方的多晶硅层 344；并以栅极结构 34 为掩模，对半导体基底 30 进行一低浓度的离子注入，以形成源/漏极轻掺杂区域 36；再于栅极结构 34 的二侧壁旁形成有栅极间隙壁 38。接着，以该栅极结构 34 与栅极间隙壁 38 为掩模，对半导体基底 30 进行一高浓度的离子注入，如图 3(b)所示，使其先在半导体基底 30 内形成源/漏极重掺杂区域 40。

在于形成源/漏极重掺杂区域 40 后，且于形成硅外延层之前，对图 3(b)所示的组件结构进行快速热退火，以重整该半导体基底 30 表面的硅晶格并去除金属杂质，而后再将半导体基底 30 表面的杂质清洗干净。完成金属杂质的处理之后，如图 3(c)所示，利用外延法，选择性的在栅极结构 34 及源/漏极结构 40 区域上分别成长一硅外延层 42，以形成提升的源/漏极结构。接着继续进行自行对准金属硅化物的制造方法，此部份的详细制作流程与内容是与前述图 2(c)至图 2(f)所示的制造方法与说明相同，故于此不再赘述，最后即可完成如图 3(d)所示的半导体构造。

因此，本发明为改善硅外延层中晶格缺陷的问题，是在硅外延层成长之前，先利用至少二道金属杂质的去除处理，以避免硅外延层于成长过程中产生晶格缺陷，故可降低组件的漏电流现象，以符合组件基本电性的需求。再者，本发明是可有效避免产生在浅接面中的漏电流现象，以确保组件特性及其可靠度，进而提高产品的合格率。

以上所述的实施例仅是为说明本发明的技术思想及特点，其目的在使熟习此项技艺的人士能够了解本发明的内容并据以实施，当不能以之限定本发明的专利范围，即大凡依本发明所揭示的精神所作的均等变化或修饰，仍应涵盖在本发明的专利范围内。

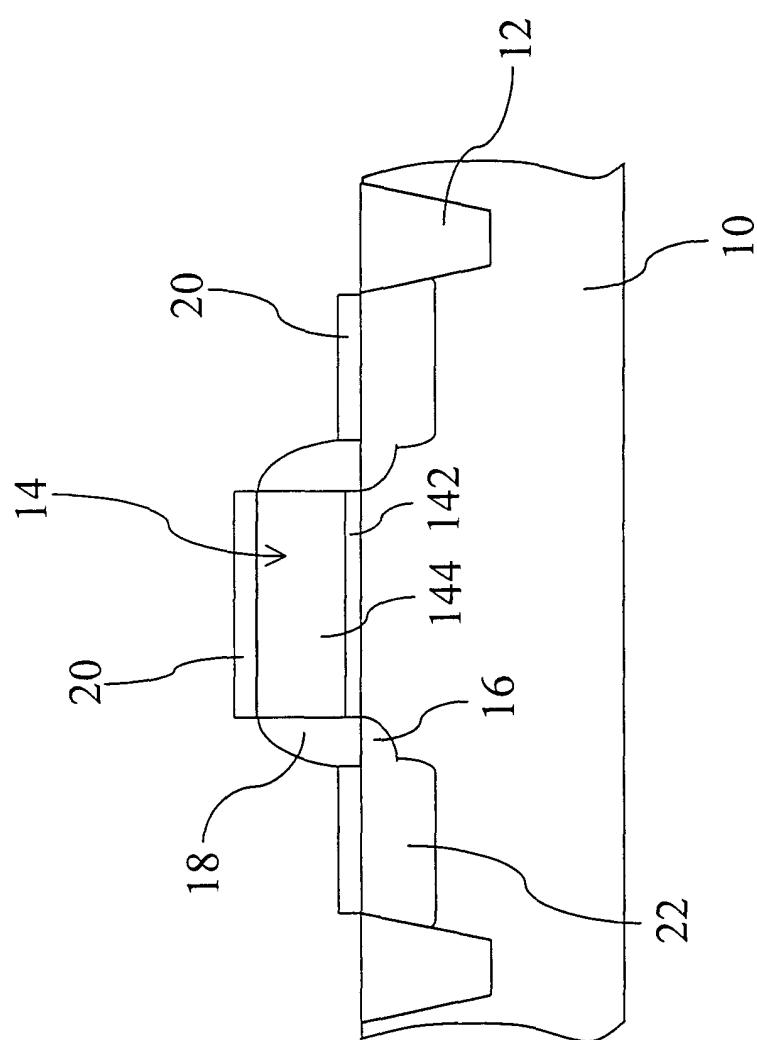


图.1(a)

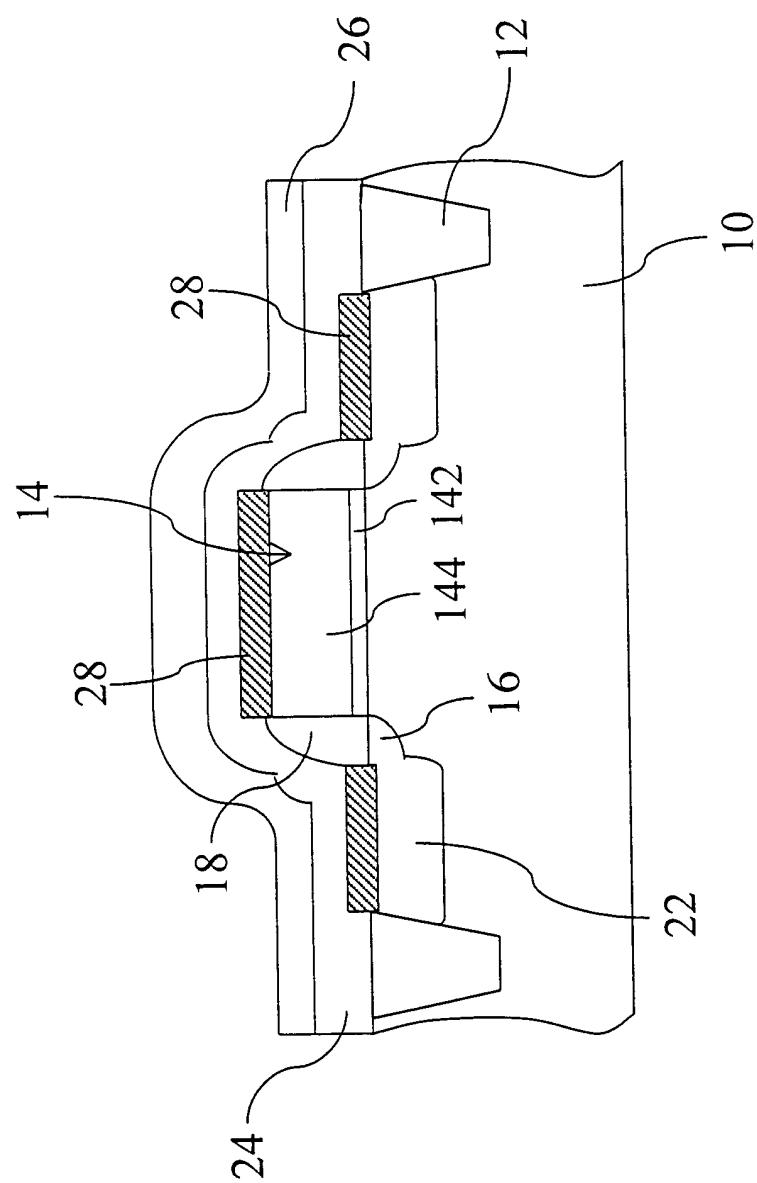


图 1(b)

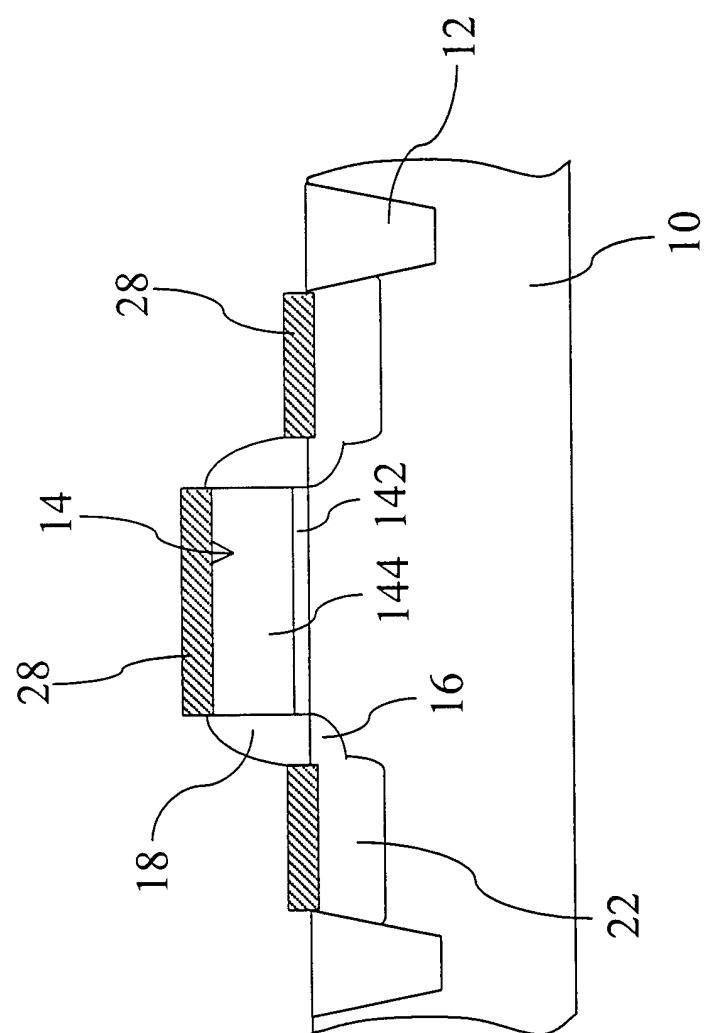


图 1 (c)

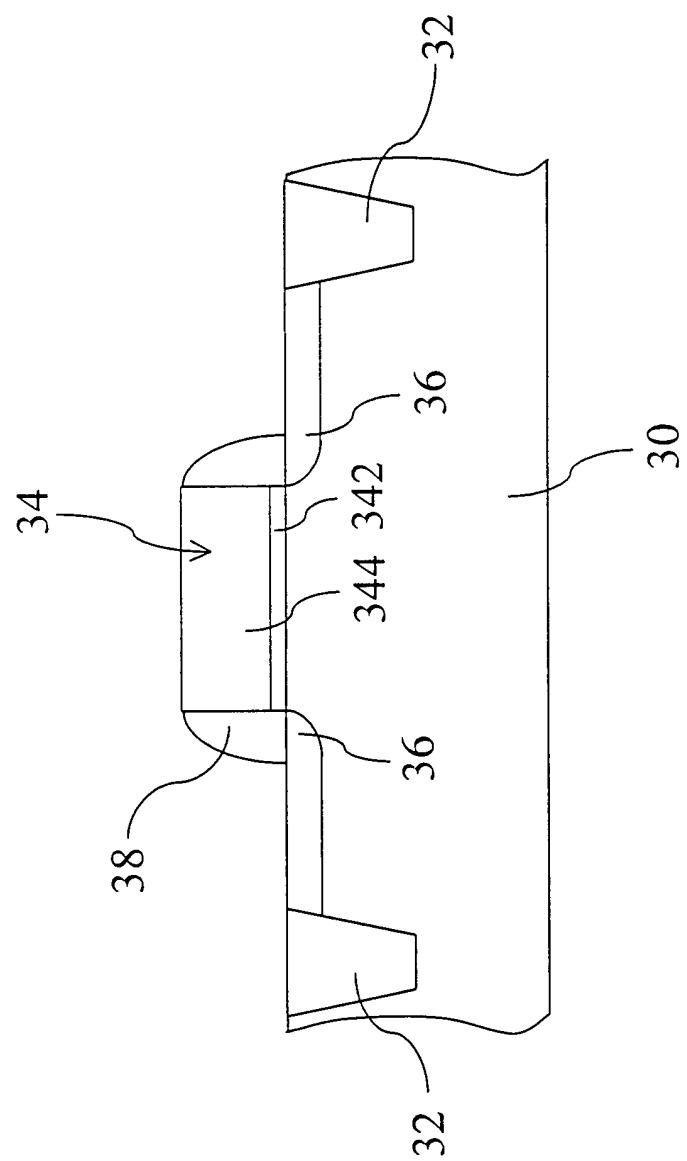


图 2(a)

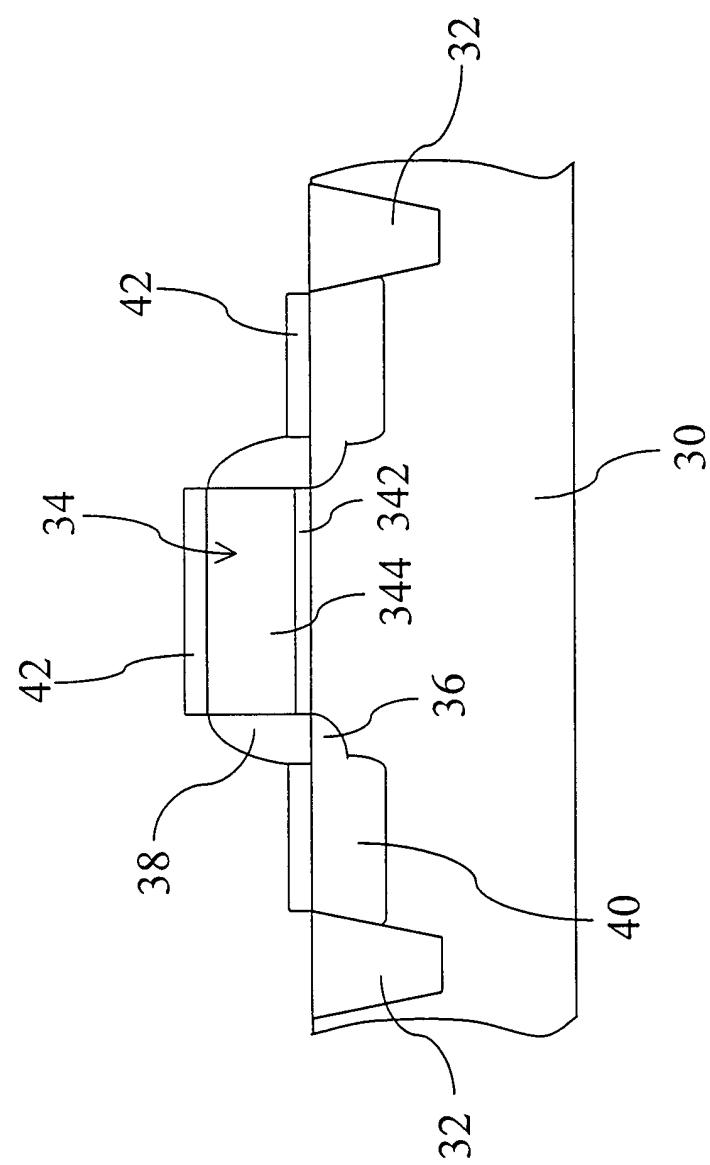


图 2(b)

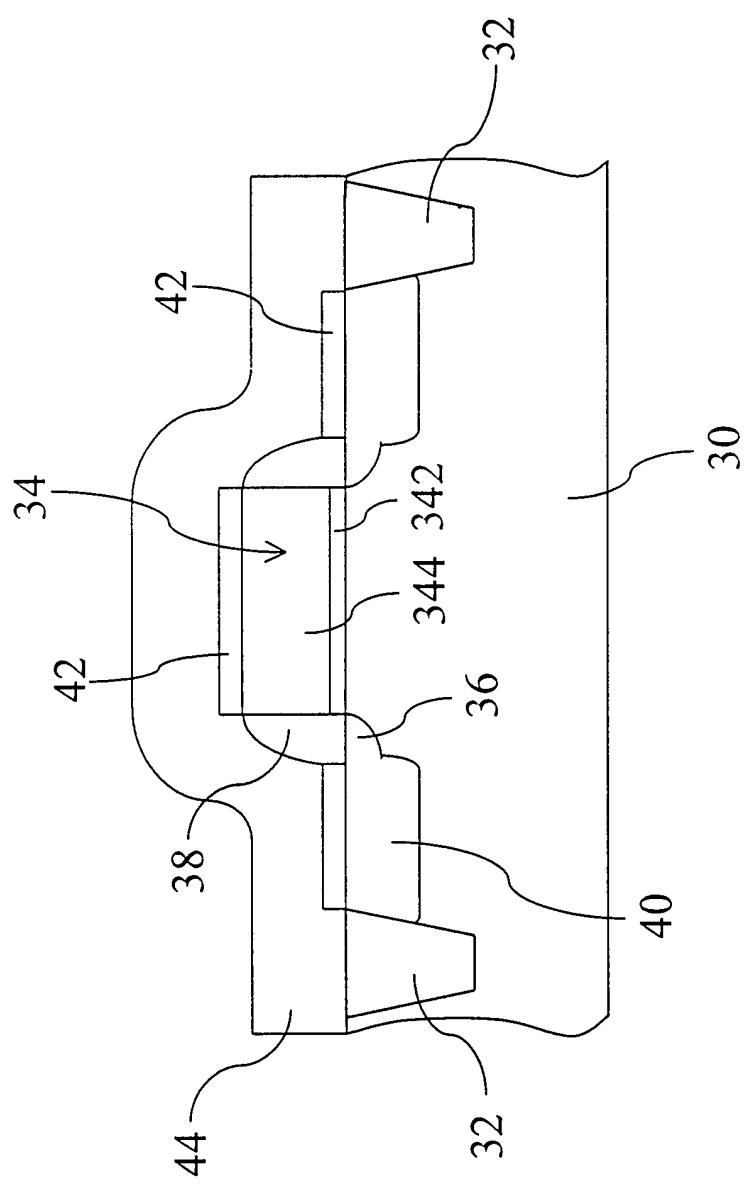


图 2 (c)

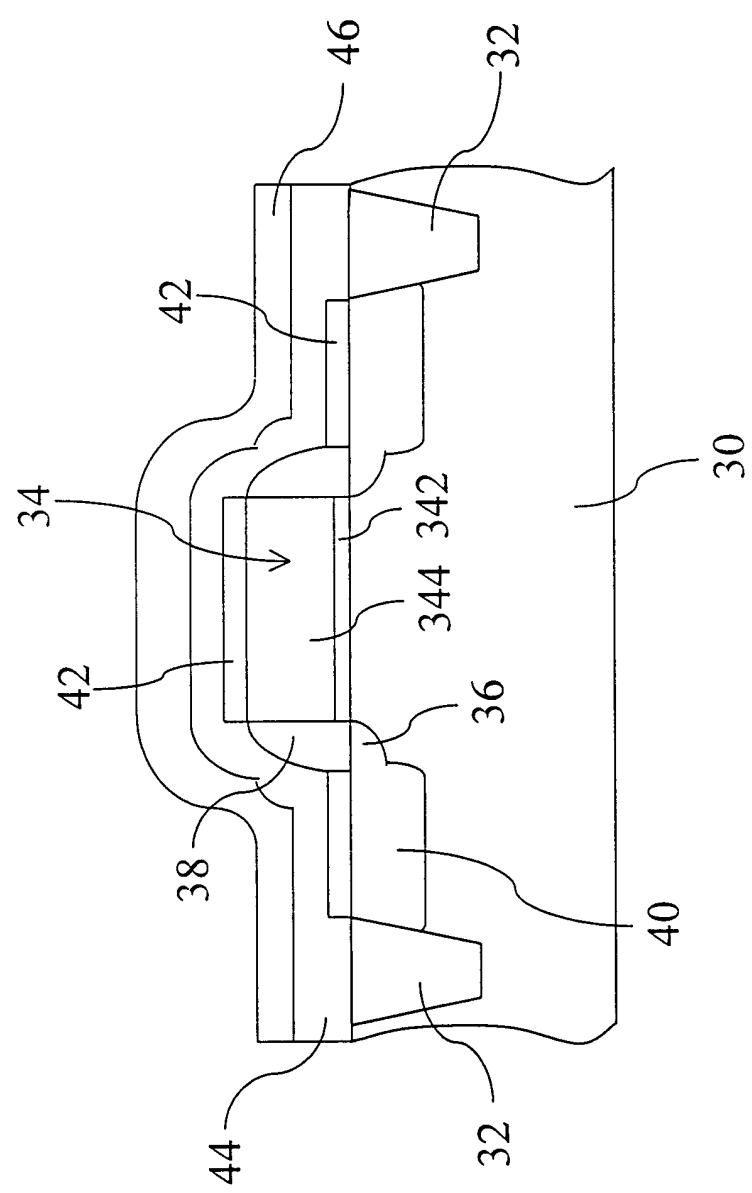


图 2(d)

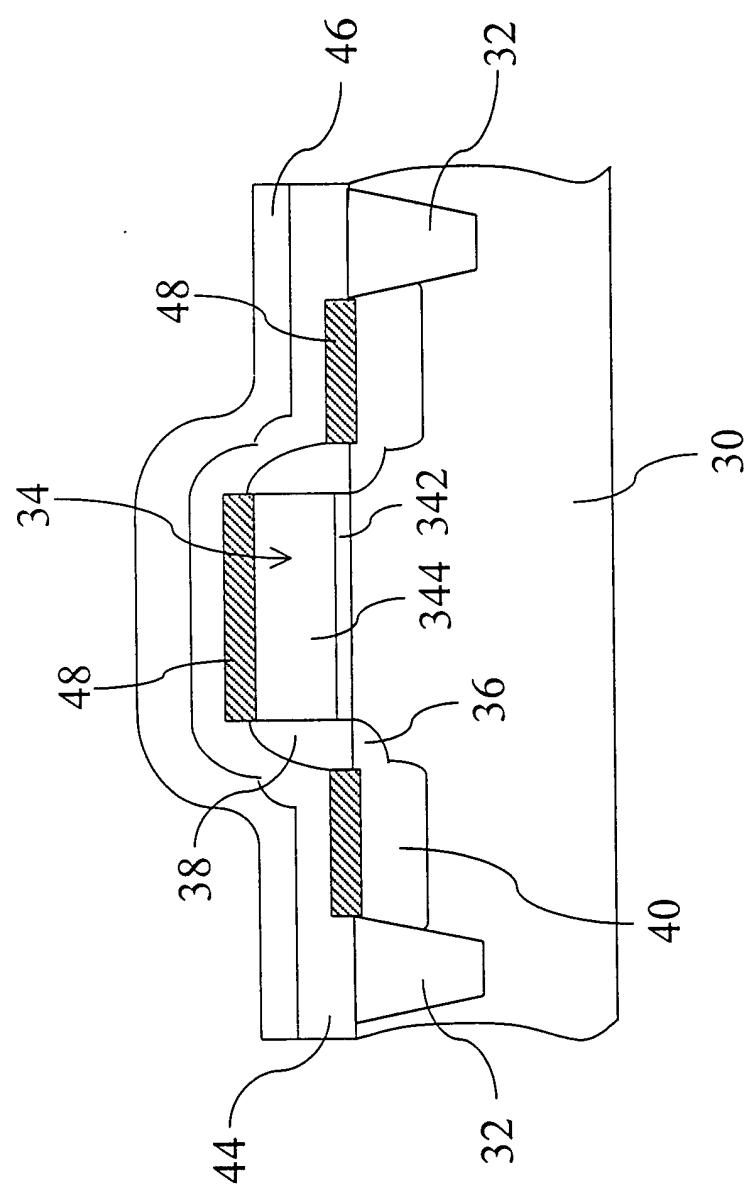


图 2(e)

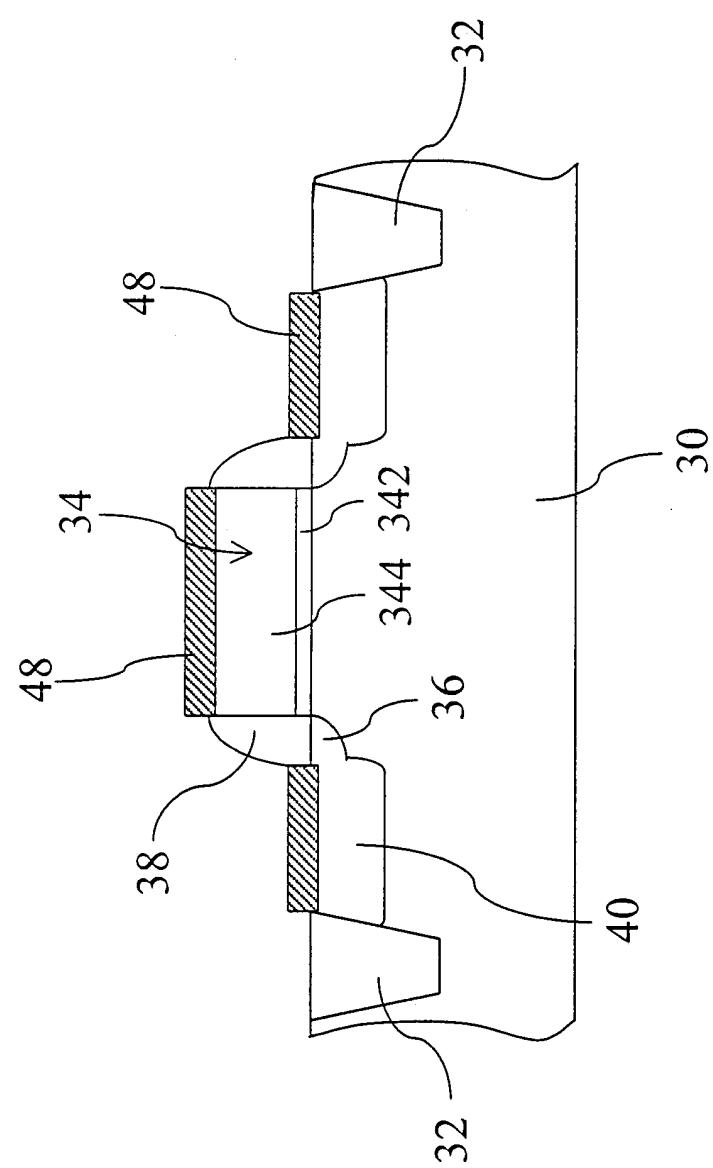


图 2(f)

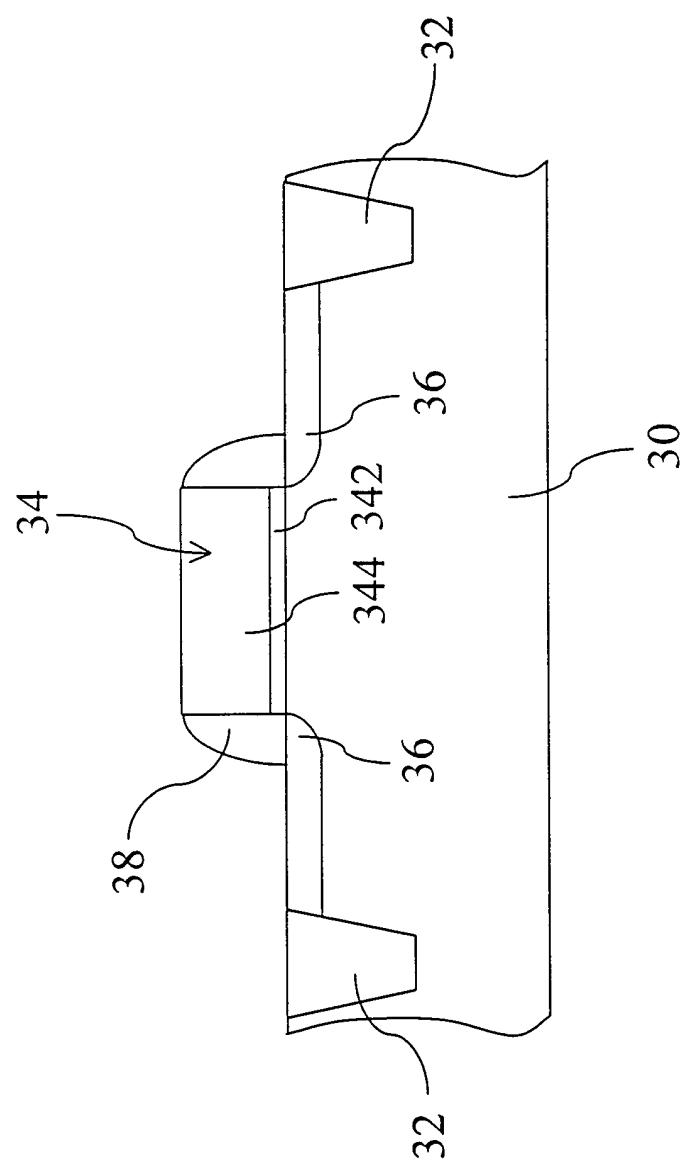


图 3(a)

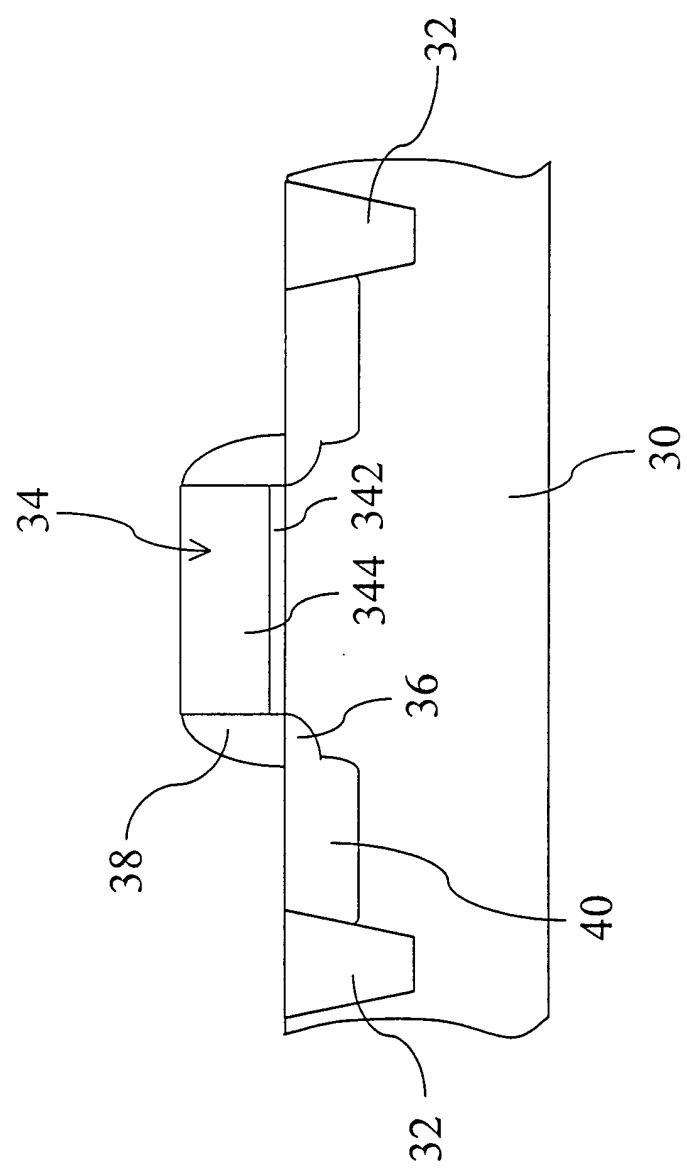


图 3 (b)

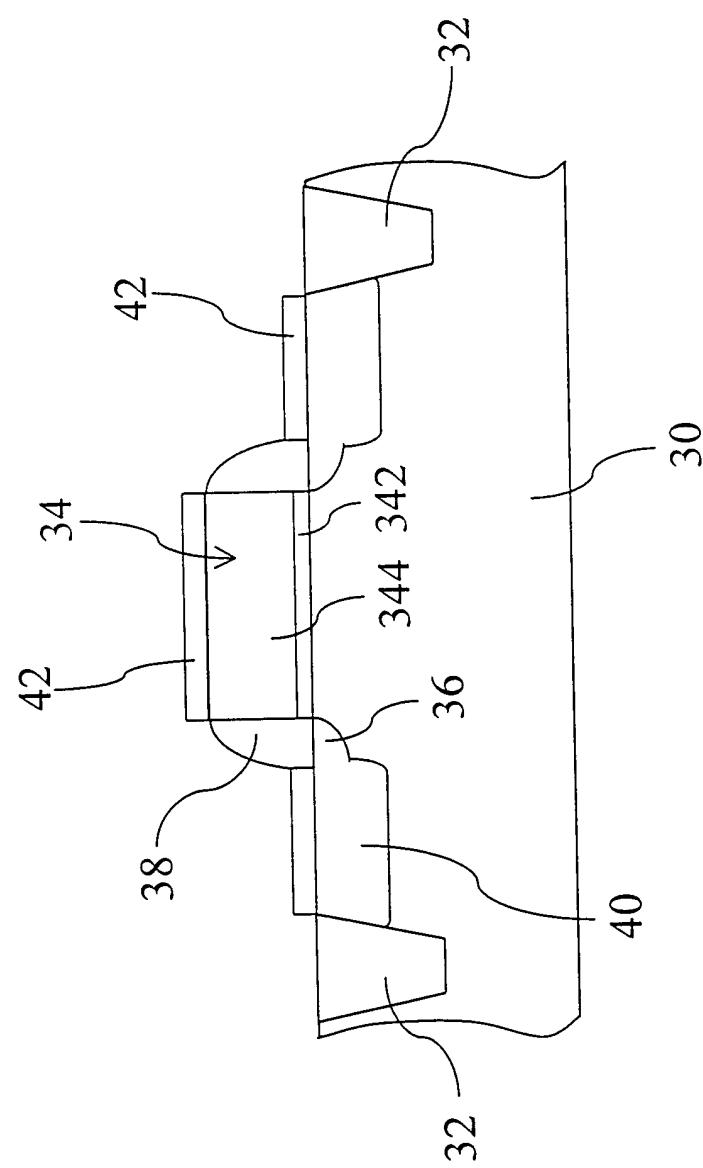


图 3 (c)

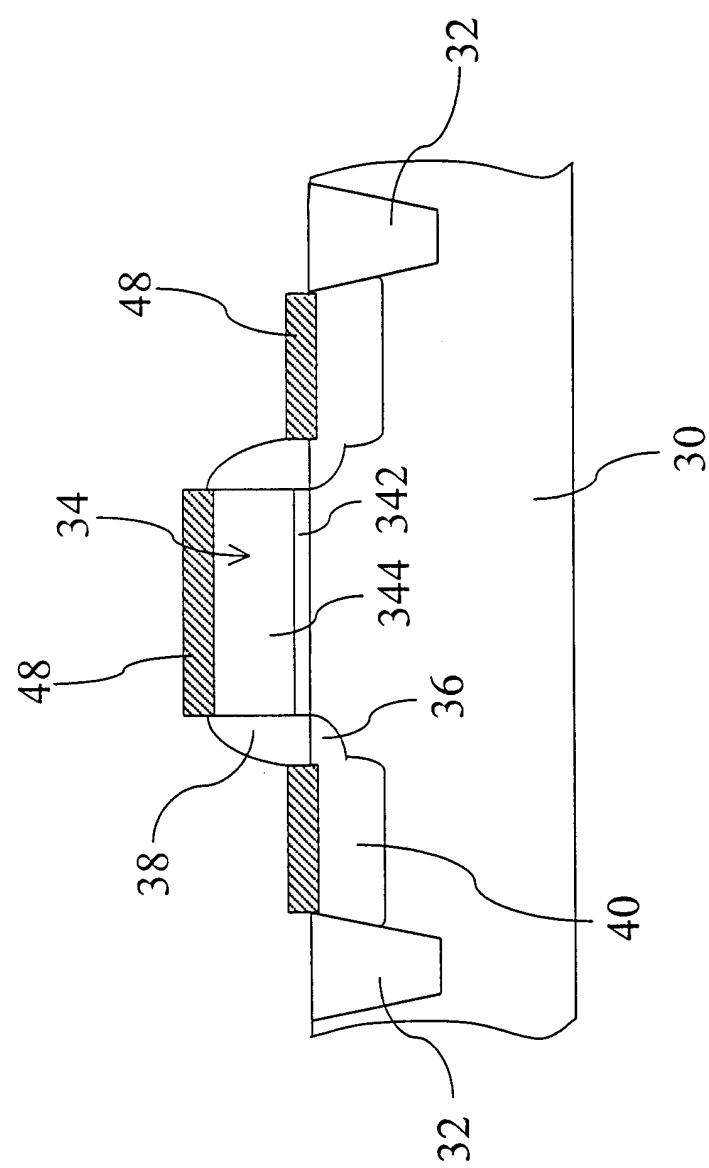


图 3 (d)