

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6462410号
(P6462410)

(45) 発行日 平成31年1月30日(2019.1.30)

(24) 登録日 平成31年1月11日(2019.1.11)

(51) Int.Cl.	F I
G 1 1 C 29/50 (2006.01)	G 1 1 C 29/50 1 5 0
G 1 1 C 29/06 (2006.01)	G 1 1 C 29/06

請求項の数 13 (全 22 頁)

(21) 出願番号	特願2015-36297 (P2015-36297)	(73) 特許権者	302062931
(22) 出願日	平成27年2月26日 (2015.2.26)		ルネサスエレクトロニクス株式会社
(65) 公開番号	特開2016-157504 (P2016-157504A)		東京都江東区豊洲三丁目2番24号
(43) 公開日	平成28年9月1日 (2016.9.1)	(74) 代理人	100103894
審査請求日	平成29年11月27日 (2017.11.27)		弁理士 冢入 健
		(74) 代理人	100089071
			弁理士 玉村 静世
		(72) 発明者	宮西 篤史
			神奈川県川崎市中原区下沼部1753番地
			ルネサスエレクトロニクス株式会社内
		(72) 発明者	石井 雄一郎
			神奈川県川崎市中原区下沼部1753番地
			ルネサスエレクトロニクス株式会社内

最終頁に続く

(54) 【発明の名称】 半導体装置、テストプログラムおよびテスト方法

(57) 【特許請求の範囲】

【請求項1】

ワード線と、ビット線対と、前記ワード線と前記ビット線対とが交差する箇所に配置されたメモリセルと、前記メモリセルにデータを書込むために前記ビット線対を所定の電圧で駆動する駆動回路とを備え、

前記メモリセルには、第1電位と前記第1電位よりも高い第2電位とが電源として供給され、

第1動作モードと第2動作モードとを有し、

前記第1動作モードにおいて、前記駆動回路は、前記ビット線対の一方のビット線を前記第1電位側に駆動し、他方のビット線を前記第2電位側に駆動し、

前記第2動作モードにおいて、前記駆動回路は、前記ビット線対の一方のビット線を前記第1電位よりも高く前記第2電位よりも低い第3電位に駆動し、他方のビット線を前記第2電位側に駆動し、

前記駆動回路は、

前記第2動作モードにおいて、第2電源線から前記ビット線対のそれぞれのビット線への電流経路を形成する、第1及び第2NチャンネルMOSFETと、

前記第1及び第2動作モードにおいて、第1電源線から前記ビット線対の一方のビット線への電流経路を形成する、第3及び第4NチャンネルMOSFETと、

を備え、

第1NチャンネルMOSFETと第3NチャンネルMOSFET、及び、第2NチャンネルM

10

20

ＯＳＦＥＴと第４ＮチャネルＭＯＳＦＥＴのチャネル幅及び／又はチャネル長は異なる、半導体装置。

【請求項２】

請求項１において、

前記第１及び第２ＮチャネルＭＯＳＦＥＴはテストモード信号で制御され、

前記第２動作モードにおいて、前記テストモード信号は、前記データの書き込みを指示するライトイネーブル信号に応じてハイレベルとなるか、又は、ハイレベルに固定される、半導体装置。

【請求項３】

請求項１において、前記メモリセルは、前記第１及び第２電源線に接続され、第１及び第２記憶ノードを有し、第１及び第２ＰチャネルＭＯＳＦＥＴと第５乃至第８ＮチャネルＭＯＳＦＥＴとを備え、

前記第１ＰチャネルＭＯＳＦＥＴのドレイン電極と、前記第５ＮチャネルＭＯＳＦＥＴのドレイン電極と、前記第７ＮチャネルＭＯＳＦＥＴのソース電極と、前記第２ＰチャネルＭＯＳＦＥＴのゲート電極と、前記第６ＮチャネルＭＯＳＦＥＴのゲート電極とは、前記第１記憶ノードに接続され、

前記第２ＰチャネルＭＯＳＦＥＴのドレイン電極と、前記第６ＮチャネルＭＯＳＦＥＴのドレイン電極と、前記第８ＮチャネルＭＯＳＦＥＴのソース電極と、前記第１ＰチャネルＭＯＳＦＥＴのゲート電極と、前記第５ＮチャネルＭＯＳＦＥＴのゲート電極とは、前記第２記憶ノードに接続され、

前記第１ＰチャネルＭＯＳＦＥＴのソース電極と、前記第２ＰチャネルＭＯＳＦＥＴのソース電極とは前記第２電源線に接続され、

前記第５ＮチャネルＭＯＳＦＥＴのソース電極と、前記第６ＮチャネルＭＯＳＦＥＴのソース電極とは前記第１電源線に接続され、

前記第７ＮチャネルＭＯＳＦＥＴのゲート電極と、前記第８ＮチャネルＭＯＳＦＥＴのゲート電極とは前記ワード線に接続され、

前記第７ＮチャネルＭＯＳＦＥＴのドレイン電極は、前記ビット線対の一方のビット線に接続され、

前記第８ＮチャネルＭＯＳＦＥＴのドレイン電極は、前記ビット線対の他方のビット線に接続され、

前記第１電源線には前記第１電位が、前記第２電源線には前記第２電位がそれぞれ供給される、

半導体装置。

【請求項４】

請求項３において、前記ワード線を第１ワード線とし、前記ビット線対を第１ビット線対とし、第２ワード線と第２ビット線対をさらに備え、

前記メモリセルは、第９及び第１０ＮチャネルＭＯＳＦＥＴをさらに備え、

前記第７ＮチャネルＭＯＳＦＥＴのゲート電極と、前記第８ＮチャネルＭＯＳＦＥＴのゲート電極とは前記第１ワード線に接続され、

前記第７ＮチャネルＭＯＳＦＥＴのドレイン電極は、前記第１ビット線対の一方のビット線に接続され、

前記第８ＮチャネルＭＯＳＦＥＴのドレイン電極は、前記第１ビット線対の他方のビット線に接続され、

前記第９ＮチャネルＭＯＳＦＥＴのゲート電極と、前記第１０ＮチャネルＭＯＳＦＥＴのゲート電極とは前記第２ワード線に接続され、

前記第９ＮチャネルＭＯＳＦＥＴのドレイン電極は、前記第２ビット線対の一方のビット線に接続され、

前記第１０ＮチャネルＭＯＳＦＥＴのドレイン電極は、前記第２ビット線対の他方のビット線に接続され、

10

20

30

40

50

前記第 1 動作モードにおいて、前記駆動回路は、前記第 1 ビット線対と前記第 2 ビット線対のうちの少なくとも 1 組のビット線対について、一方のビット線を前記第 1 電位側に駆動し、他方のビット線を前記第 2 電位側に駆動し、

前記第 2 動作モードにおいて、前記駆動回路は、前記第 1 ビット線対と前記第 2 ビット線対のうちの少なくとも 1 組のビット線対について、一方のビット線を前記第 1 電位よりも高く前記第 2 電位よりも低い第 3 電位に駆動し、他方のビット線を前記第 2 電位側に駆動する、

半導体装置。

【請求項 5】

請求項 1 において、前記ワード線と前記ビット線対と前記メモリセルと前記駆動回路とを含むメモリ回路と、前記第 1 動作モードにおいて前記駆動回路によって前記メモリセルに書込むデータを供給するバスと、前記第 2 動作モードにおいて前記駆動回路によって前記メモリセルに書込むデータを供給するテスト回路とを、単一の半導体基板上に備える、半導体装置。

【請求項 6】

ワード線と、ビット線対と、前記ワード線と前記ビット線対とに接続されるメモリセルと、前記ビット線対を駆動する駆動回路とを備える S R A M のテストを含む、テストプログラムであって、

前記駆動回路は、

第 2 電源線から前記ビット線対のそれぞれのビット線への電流経路を形成する、第 1 及び第 2 N チャンネル M O S F E T と、

第 1 電源線から前記ビット線対の一方のビット線への電流経路を形成する、第 3 及び第 4 N チャンネル M O S F E T と、

を備え、

第 1 N チャンネル M O S F E T と第 3 N チャンネル M O S F E T、及び、第 2 N チャンネル M O S F E T と第 4 N チャンネル M O S F E T のチャンネル幅及び / 又はチャンネル長は異なり、前記 S R A M のテストは、

前記ワード線に選択信号をアサートすることによって選択されたメモリセルについて、前記ビット線対の一方のビット線をハイレベル電位、前記第 3 及び第 4 N チャンネル M O S F E T の何れか一方をオンとすることによって、他方のビット線をロウレベル電位にそれぞれ駆動して、当該メモリセルにデータを書込む第 1 ステップと、

前記ワード線に選択信号をアサートすることによって選択されたメモリセルについて、前記ビット線対の一方のビット線を前記ハイレベル電位、前記第 1 及び第 2 N チャンネル M O S F E T をオンとし、前記第 3 及び第 4 N チャンネル M O S F E T のいずれか一方をオンとすることによって、他方のビット線を前記ロウレベル電位よりも高く前記ハイレベル電位よりも低い電位にそれぞれ駆動して、当該メモリセルにデータを書込む第 2 ステップとを含む、

テストプログラム。

【請求項 7】

請求項 6 において、

前記 S R A M のテストは、前記第 2 ステップの直後に、前記第 2 ステップでデータが書込まれたメモリセルから、書込まれたデータを読み出す第 3 ステップをさらに含む、

テストプログラム。

【請求項 8】

請求項 6 において、

前記第 2 ステップは、前記ワード線に選択信号をアサートして当該メモリセルへデータを書込んだ後、当該ワード線のアサート状態を維持したまま、前記ビット線対をプリチャージする期間をさらに含む、

テストプログラム。

【請求項 9】

請求項 6 において、前記ロウレベル電位よりも高く前記ハイレベル電位よりも低い前記電位は、前記 S R A M の動作範囲における最低動作温度に基づいて規定され、前記第 2 ステップは、前記 S R A M を前記最低動作温度以上の温度で実行される、
テストプログラム。

【請求項 1 0】

ワード線と、ビット線対と、前記ワード線と前記ビット線対とに接続されるメモリセルと、前記ビット線対を駆動する駆動回路とを備える S R A M のテストを含む、テスト方法であって、

前記駆動回路は、

第 2 電源線から前記ビット線対のそれぞれのビット線への電流経路を形成する、第 1 及び第 2 N チャンネル M O S F E T と、

第 1 電源線から前記ビット線対の一方のビット線への電流経路を形成する、第 3 及び第 4 N チャンネル M O S F E T と、

を備え、

第 1 N チャンネル M O S F E T と第 3 N チャンネル M O S F E T、及び、第 2 N チャンネル M O S F E T と第 4 N チャンネル M O S F E T のチャンネル幅及び / 又はチャンネル長は異なり、
前記 S R A M のテストは、

前記ワード線に選択信号をアサートすることによって選択されたメモリセルについて、前記ビット線対の一方のビット線をハイレベル電位、前記第 3 及び第 4 N チャンネル M O S F E T の何れか一方をオンとすることによって、他方のビット線をロウレベル電位でそれぞれ駆動して、当該メモリセルにデータを書込む第 1 ステップと、

前記ワード線に選択信号をアサートすることによって選択されたメモリセルについて、前記ビット線対の一方のビット線を前記ハイレベル電位、前記第 1 及び第 2 N チャンネル M O S F E T をオンとし、前記第 3 及び第 4 N チャンネル M O S F E T のいずれか一方をオンとすることによって、他方のビット線を前記ロウレベル電位よりも高く前記ハイレベル電位よりも低い電位でそれぞれ駆動して、当該メモリセルにデータを書込む第 2 ステップとを含む、

テスト方法。

【請求項 1 1】

請求項 1 0 において、

前記 S R A M のテストは、前記第 2 ステップの直後に、前記第 2 ステップでデータが書込まれたメモリセルから、書込まれたデータを読み出す第 3 ステップをさらに含む、

テスト方法。

【請求項 1 2】

請求項 1 0 において、

前記第 2 ステップは、前記ワード線に選択信号をアサートして当該メモリセルへデータを書込んだ後、当該ワード線のアサート状態を維持したまま、前記ビット線対をプリチャージする期間をさらに含む、

テスト方法。

【請求項 1 3】

請求項 1 0 において、前記ロウレベル電位よりも高く前記ハイレベル電位よりも低い前記電位は、前記 S R A M の動作範囲における最低動作温度に基づいて規定され、前記第 2 ステップは、前記 S R A M を前記最低動作温度以上の温度で実行される、

テスト方法。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、半導体装置、テストプログラムおよびテスト方法に関し、特に、前記半導体装置に搭載される S R A M (Static Random Access Memory) の低温における不良を常温でのテストで代替して選別するテスト技術に好適に利用できるものである。

【背景技術】

【0002】

従来、安価な半導体製品においては、製品出荷のための選別試験において、低温（例えば0℃以下）でのテストを省略することで、テストコストを下げる場合がある。これは、これまでの半導体製造プロセスでは、SRAMメモリセルにおいて、静的ノイズマージン（SNM: Static Noise Margin）不足等の製造起因の回路動作不具合が高温で多数発生する傾向があり、上記、低温でのテストを省略しても問題が生じなかったからである。低温での動作が最も厳しいようなテスト項目については、常温で同等の動作条件となるような電源電圧等を予め求めておき、常温テストで代替する技術が提供されている。

【0003】

特許文献1には、予め準備されて提供される、温度とワード線電位の対応関係を記述した温度 - ワード線電位変換表に基づいて、ワード線電位を測定すべき温度に対応した電圧に変化させるテスト技術が開示されている。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2010-244659号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

特許文献1について本発明者が検討した結果、以下のような新たな課題があることがわかった。

【0006】

図1に、一般的な6トランジスタ構成のSRAMメモリセルの回路を示す。メモリセルMCは、ワード線WLとビット線対（BTとBB）と、電源を供給する電源線VDDと接地線VSSとに接続されている。メモリセルMCは、2個の記憶ノード（node Aとnode B）で互いの入力他方の出力にそれぞれ接続される2個のインバータと、2個の転送ゲート（MN3とMN4）とを含んで構成される。2個のインバータは、それぞれがPチャネルMOSFET（Metal Oxide Semiconductor Field Effect Transistor）（MP1とMP2）とNチャネルMOSFET（MN1とMN2）とで構成される。PチャネルMOSFET（MP1とMP2）は負荷MOS、NチャネルMOSFET（MN1とMN2）は駆動MOSと呼ばれる。2個の転送ゲートは、ゲート電極がワード線WLに接続され、ソース電極が2個の記憶ノード（node Aとnode B）にそれぞれ接続され、ドレインがビット線対を構成する2本のビット線（BTとBB）にそれぞれ接続される、2個のNチャネルMOSFET（MN3とMN4）で構成される。なお、本明細書で参照するMOSFETでは、ソース電極とドレイン電極は電気的に対称であり、逆の称呼で呼んでもよい。ソース電極またはドレイン電極の一方をソース電極と呼ぶときに他方をドレイン電極と呼んでいるに過ぎない。

【0007】

図2は、図1のSRAMメモリセルMCにデータが書込まれるときの動作を示す波形図である。ワード線WLに選択信号がアサートされビット線対（BTとBB）に書込みデータに対応する電圧が相補的に印加される。ワード線WLによって選択されたメモリセルMCにおいて、ビット線対（BTとBB）から記憶ノード（node Aとnode B）にそれぞれ印加された電圧が書込まれる。図2には、ビット線BTにハイレベルがビット線BBにロウレベルがそれぞれ印加され、記憶ノード（node Aとnode B）に保持されるレベルが反転する例が示される。良品では、ノードAはハイレベルである電源（VDD）電位から、ロウレベルである接地（VSS）電位に遷移し、ノードBは逆にVSS電位からVDD電位に遷移する。

【0008】

この回路において、ノードB（node B）と電源線VDDの経路に障害が発生した場合、

10

20

30

40

50

メモリセルMCへのデータの書込み動作において、ノードBにハイレベルが保持されるデータが書込まれたときに、ノードBの電位が電源VDDと同電位まで上昇せず、中間電位に留まる不良がある(図2の「不良の記憶ノード」参照)。障害として、負荷MOSであるPチャネルMOSFET(MP2)の閾値電圧が異常に高くオン電流が小さい場合や、経路上に半断線等による高抵抗箇所が存在する場合などが想定される。この不良は特に、低温で顕著になる。この不良を選別するためには、低温で試験を行うか、常温で不良化する電圧まで電源電圧を下げて試験を行っていた。

【0009】

低温選別試験を実施する場合には、試験対象の半導体素子を低温(例えば-20 ~ -40)にするための施設等が必要となり、かつ、高温、常温、低温の3温度で選別試験を行う必要があるためにテスト時間が長くなり、その結果、テストコストが高くなる問題が生じる。

10

【0010】

低温選別試験に代えて常温での選別試験を実施することによって、上記テストコストの上昇の問題は解決される。低温選別試験の代替えを常温で実施する場合には、電圧でガードバンドを設ける必要がある。図3は、一般的なトランジスタ(MOSFET)におけるトランジスタ電流の温度依存性を示す特性図である。横軸は電源電圧VDDであり、縦軸はトランジスタ電流(Tr Current; MOSFETの場合のドレイン電流)である。このトランジスタに関して、仕様の上での動作の下限電圧をVDD_MINとすると、この下限電圧VDD_MINにおける低温時のトランジスタ電流(例えば-40のターゲット電流)と常温(例えば25)時のトランジスタ電流では、常温時のトランジスタ電流の方が大きい。常温時のトランジスタ電流を低温時のトランジスタ電流に合わせるためには、VDD_MINよりも電源電圧をさらにV下げるガードバンドをとる必要がある。ここで、Vは一般には数十mVである。

20

【0011】

低温選別試験の代替となる、このような常温での選別試験について、本発明者が検討した結果、以下のような新たな課題があることがわかった。

【0012】

電源電圧を下げるガードバンドを設けることによって、電流駆動能力を下げる必要のあるトランジスタだけでなく、すべてのトランジスタの電流駆動能力が下がってしまう。このため、本来のテスト項目以外の原因で動作エラーになる半導体チップが発生し、排除したい不良の半導体チップ以外の、本来は良品である半導体チップまでも不良品と判定してしまう、所謂オーバーキルが発生させる問題が生じることがわかった。例えば、図1に示したSRAMメモリセルMCにおいて、負荷MOSであるPチャネルMOSFET(MP2)の電流駆動能力の低下に起因する、図2の「不良の記憶ノード」に示したような不良を検出するために、電源電圧を下げるガードバンドを設けたテストを行うと、その影響でメモリ読み出し時のセル電流が低下してセンスアンプ感度が下がり、不良と判定されてしまう恐れがある。

30

【0013】

さらに、半導体素子の微細化が進んだ場合には、オーバーキルの発生がより顕著であることがわかった。即ち、最近の微細化プロセスでは、ローカルばらつきが大きくなる影響で、SRAMメモリセルの製造起因の回路動作不具合は、低温でも多数発生することがわかった。

40

【0014】

図4は、トランジスタ電流とローカルばらつきの関係および温度依存性を模式的に示す説明図である。横軸はトランジスタ電流、縦軸はローカルばらつきであり、常温(25)と低温(-40)の場合の特性が示される。ローカルばらつきが支配的なプロセスにおいては、中央値(Median; 0)付近のトランジスタ特性とばらつきの大きい領域(6)のトランジスタ特性の温度依存性が異なる。低温(-40)の方が常温(25)よりもトランジスタ電流のローカルばらつきが大きいことがわかった。このため、中央値

50

(0) 付近の特性を基準としてガードバンドを設定する選別試験では、不良流出の危険が増加することがわかった。

【 0 0 1 5 】

このような課題を解決するための手段を以下に説明するが、その他の課題と新規な特徴は、本明細書の記述及び添付図面から明らかになるであろう。

【課題を解決するための手段】

【 0 0 1 6 】

一実施の形態によれば、下記の通りである。

【 0 0 1 7 】

すなわち、ワード線と、ビット線対と、メモリセルと、前記ビット線対を駆動する駆動回路とを備える S R A Mにおいて、前記メモリセルへデータを書込むときに、前記ビット線対の一方のビット線をハイレベル電位で駆動し、他方のビット線を通常書込みの場合のロウレベル電位よりも高く前記ハイレベル電位よりも低い中間電位で駆動することができる機能を持たせる。

【発明の効果】

【 0 0 1 8 】

前記一実施の形態によって得られる効果を簡単に説明すれば下記のとおりである。

【 0 0 1 9 】

すなわち、S R A Mについての低温選別試験に代えて常温での選別試験を実施する場合に、オーバーキルを減らし、かつ、ローカルばらつきに起因する不良流出の危険を抑えることができる。

【図面の簡単な説明】

【 0 0 2 0 】

【図 1】図 1 は、一般的な 6 トランジスタ構成の S R A Mメモリセルの回路図である。

【図 2】図 2 は、図 1 の S R A Mメモリセルにデータが書込まれるときの動作を示す波形図である。

【図 3】図 3 は、一般的なトランジスタにおけるトランジスタ電流の温度依存性を示す特性図である。

【図 4】図 4 は、トランジスタ電流とローカルばらつきの関係および温度依存性を模式的に示す説明図である。

【図 5】図 5 は、テスト対象である S R A Mモジュールの構成例を示すブロック図である。

【図 6】図 6 は、1 個のメモリセルに着目して描いた I / O 回路とメモリセルの回路構成例を示す構成図である。

【図 7】図 7 は、図 6 の S R A Mメモリセルにデータが書込まれるときの動作を示す波形図である。

【図 8】図 8 は、図 6 の S R A Mメモリセルにデータが書込まれるときの動作の変形例（ライトサイクルの直後にリードサイクルを追加）を示す波形図である。

【図 9】図 9 は、ライトドライバの構成例を示す回路図である。

【図 1 0】図 1 0 は、図 9 に示されるライトドライバの動作例を示す波形図である。

【図 1 1】図 1 1 は、図 9 に示されるライトドライバの通常動作モードにおける動作例を示す波形図である。

【図 1 2】図 1 2 は、図 9 に示されるライトドライバの疑似低温選別テストモードにおける一動作例を示す波形図である。

【図 1 3】図 1 3 は、図 9 に示されるライトドライバの疑似低温選別テストモードにおける別の動作例を示す波形図である。

【図 1 4】図 1 4 は、1 個のメモリセルに着目して描いた I / O 回路とメモリセルの回路構成についての別の例を示す構成図である。

【図 1 5】図 1 5 は、図 1 4 の回路構成による書込み直後のストレス動作を示す波形図である。

10

20

30

40

50

【図 16】図 16 は、図 6 の回路構成による書込み直後のストレス動作を示す波形図である。

【図 17】図 17 は、8 トランジスタ構成のデュアルポート S R A M メモリセルの回路図である。

【図 18】図 18 は、テスト対象であるデュアルポート S R A M モジュールの構成例を示すブロック図である。

【図 19】図 19 は、実施形態 5 における半導体チップのレイアウト構成を示す図である。

【発明を実施するための形態】

【0021】

実施の形態について詳述する。

【0022】

〔実施形態 1〕

図 5 は、テスト対象である S R A M モジュール 1 の構成例を示すブロック図である。本実施形態 1 では M ワード × N ビット (M, N は整数) のシングルポートの S R A M モジュール 1 について説明する。S R A M モジュール 1 は、メモリセル M C 0 0 ~ M C __ (M - 1) (N - 1)、I / O 回路 4 __ L S B (L S B : Least Significant Bit) と 4 __ M S B (M S B : Most Significant Bit)、ワード線ドライバ 3 __ 0 ~ 3 __ M - 1、制御回路とアドレスデコーダ 5、及び、テストモード制御回路 6 から成る。S R A M モジュール 1 は、ワード線 W L __ 0 ~ W L __ M - 1 と、ビット線対 B T __ 0 ~ B T __ N - 1 と B B __ 0 ~ B B __ N - 1 とを備え、ワード線とビット線対とが交差する箇所にメモリセル M C 0 0 ~ M C __ (M - 1) (N - 1) が接続されている。ワード線ドライバ 3 __ 0 ~ 3 __ M - 1 は、それぞれに接続されるワード線 W L __ 0 ~ W L __ M - 1 のうち、アドレスデコーダ 5 のデコード結果に基づいて選択される 1 本のワード線に対して、ワード選択信号をアサートする。メモリセル M C が例えば図 1 に図示されるように N チャネル M O S F E T の転送ゲートを備える場合に「ワード選択信号をアサートする」とは、当該ワード線をハイレベル (通常は V D D 電位) で駆動することを言う。I / O 回路 4 __ L S B は下位ビット (L S B) 側のメモリセル M C 0 0 ~ M C __ (M - 1) 0, M C 0 1 ~ M C __ (M - 1) 1, ... に接続され、I / O 回路 4 __ M S B は上位ビット (M S B) 側のメモリセル M C __, M C 0 (N - 2) ~ M C __ (M - 1) (N - 2, M C 0 (N - 1) ~ M C __ (M - 1) (N - 1) に接続される。I / O 回路 4 __ L S B と 4 __ M S B は、リード / ライト制御のために制御回路とアドレスデコーダ 5 に接続され、さらに、通常動作モードかテストモードかを制御するために、テストモード切替信号 T __ M O D E によって制御されるテストモード制御回路 6 からテストモード信号 T E S T が供給される。

【0023】

メモリセル M C と I / O 回路 4 について、より詳細に説明する。

【0024】

図 6 は、1 個のメモリセルに着目して描いた I / O 回路 4 とメモリセル M C の回路構成例を示す構成図である。着目した 1 個のメモリセル M C と、それに接続される I / O 回路 4 のうち、メモリセル M C に接続されるライトドライバ 7、センスアンプ 8、及び、カラム I / O 回路 9 が示される。カラム I / O 回路 9 は、さらに、プリチャージ回路 10、ライトカラムスイッチ 11、リードカラムスイッチ 12、及び、カラム I / O 制御回路 13 よりなる。C T W と C B W はコモンライトビット線対、C T R と C B R はコモンリードビット線対、Y 0 と Y 1 は Y アドレス選択信号、C P C はプリチャージ制御信号、C W S E はライトスイッチ制御信号、C R S E はリードスイッチ制御信号である。

【0025】

図 6 では図示が省略されているが、S R A M モジュール 1 は、図 2 に例示されるように、制御回路とアドレスデコーダ 5 及びワード線ドライバ 3 __ 0 ~ 3 __ M - 1 を含んで構成され、図 6 に示されるワード線 W L はワード線ドライバ 3 によって駆動される 1 本のみが図示され、他のワード線及びそれに接続されるメモリセル M C は図示が省略されている

10

20

30

40

50

。カラム方向も同様である。図6ではI/O回路4は2ビット分のみが図示されているが、カラム方向にさらに並べてもよい。また、図6では1個のI/O回路4あたり2個のカラムI/O回路9から成る例が図示されている。すなわち、MUX2の回路が例示されているが、より多くの選択回路、例えばMUX4、MUX8の構成に変更することもできる。ライトドライバ7には、テストモード信号TESTが入力されており、テストモードでは、ビット線対BTとBBのうちのロウ側のレベルを、VSSよりも高めの電位（中間電位）に浮かせて駆動することができるような回路が設けられている。

【0026】

その中間電位とは、通常動作モードでは常温では良品、低温では不良となるようなメモリセルMCについて、常温でも不良として検出されるような電位である。回路シミュレーションや実験に基づいて設定され、VSSよりも数十mV～百数十mV（例えば20mV～120mV）だけ高く、VDDよりも低い電位となる。図6に示されるような、2個の記憶ノード（node Aとnode B）で互いの入力他方の出力にそれぞれ接続される2個のインバータと、2個の転送ゲート（MN3とMN4）とを含んで構成されるメモリセルMCでは、ビット線対BTとBBから転送ゲート（MN3とMN4）を介して入力される電位によって、本来反転すべき記憶ノードの電位が反転しない場合に不良と判定される。このようなメモリセルMCにおいては、上述の通り、障害として、負荷MOSであるPチャネルMOSFET（MP1とMP2）の閾値電圧が異常に高くオン電流が小さい場合や、経路上に半断線等の高抵抗箇所が存在する場合などが想定される。この不良は特に低温で顕著になるため、通常動作モードでは、常温では正常動作するものの、低温では不良となる。テストモードで、ビット線対BTとBBのうちのロウレベル側を、VSSよりも高めの電位（中間電位）に浮かせて駆動することにより、記憶ノードをロウレベルからハイレベルに遷移させる駆動能力が弱められ、書込みが阻害される。したがって、このテストモードは擬似低温テストモードであり、そのテストを擬似低温選別テストと呼ぶ。このとき、記憶ノードをロウレベルからハイレベルに遷移させる書込みに対して、選択的にストレスを加えることができ、センスアンプなど他の回路にはストレスは加えられない。このように、メモリモジュール全体の電源電圧を下げることによってストレスを加え、常温テストで低温状態を模擬する従来のテストと比較すると、テスト項目の対象となる素子に選択的にストレスを印加することができるので、当該素子以外の周辺の回路がストレスによって正常動作を阻害され不良として検出される、オーバーキルの発生を抑えることができる。

【0027】

SRAMモジュール1の動作について、さらに詳しく説明する。

【0028】

図7は、図6のSRAMメモリセルMCにデータが書込まれるときの動作を示す波形図である。

【0029】

通常動作モードの書込み動作では、ライトドライバ7がコモンライトビット線対CTWとCBW（図7では図示を省略）を介してビット線対BTとBBに対して書込みのための信号を出力し、ビット線対の一方をハイレベル（VDD電位）で、他方をロウレベル（VSS電位）で駆動する。ほぼ同時に、ワード線ドライバ3を駆動してワード線WLを立ち上げる。これは、ワード線選択信号のアサートであり、これにより選択されたメモリセルMCの記憶ノードであるノードAとノードB（node Aとnode B）のレベルがそれぞれ反転することで、データが書込まれる。書込み終了後、ワード線WLを立ち下げ、ビット線対BTとBBをプリチャージすることで1サイクルが終了する。この書込みにおいて、ビット線対BTとBBのうちロウ側に設定されるビット線の電位は、通常の動作の場合は、VSS（GND）レベルに設定される。

【0030】

これに対して、擬似低温テストモードでは、ロウ側のビット線電位をVSS（GND）レベルに対して数十mV～百数十mV浮かす（VSS + V）。その結果、図7に示すように書替え後ロウ側になる内部ノードAがVSS（GND）レベルまで下がらず、上記の浮か

10

20

30

40

50

した電位 ($V_{SS} + V$) になる。図 6 のメモリセル MC における負荷 MOS である P チャネル MOS FET (MP2) のゲート (ノード A) にも浮いた電位 ($V_{SS} + V$) が印加されるため、 V_{SS} (GND) が印加された場合に対して、P チャネル MOS FET (MP2) のソース・ドレイン間オン抵抗は大きくなり、ノード B のハイレベルへの引き上げが阻害される。

【0031】

このように、書込みを阻害することで、十分に書込み能力が無い場合 (電源 V_{DD} からノード B に電流を供給する経路に障害 (故障) がある場合に書込みストレスがかかり、正常な書込みができなくなる。したがって、常温では正常に動作するが低温では不良となるような不良品を、常温でのテストで選別することで排除することができる。

10

【0032】

さらに、不良をより顕在化させるためには、上記のストレスを掛けた書込みを行った直後 (次のサイクル) に同一アドレスにリード動作を行うとよい。

【0033】

図 8 は、図 6 の S R A M メモリセルにデータが書込まれるときの動作の変形例 (ライトサイクルの直後にリードサイクルを追加) を示す波形図である。

【0034】

通常動作モードで、ライトサイクルの直後に追加されたリードサイクルでは、書込みが行われたメモリセル MC と同一のメモリセル MC に対してワード線 WL が再び立ち上げられ (ワード選択信号のアサート)、これに伴って記憶ノードであるノード A のレベルがビット線 BB に、ノード B のレベルがビット線 BT にそれぞれ読み出される。上記の例では、書込まれたレベルはノード A がロウレベル、ノード B がハイレベルであるので、ビット線 BB にノード A からロウレベルが読み出されて、ビット線 BB の電位が低下する。このとき、ノード A の電位は、プリチャージされたビット線 BB から電流が流れ込むために、若干上昇する。

20

【0035】

疑似低温テストモードでも、ライトサイクルの直後に追加されたリードサイクルでは、書込みが行われたメモリセル MC と同一のメモリセル MC に対してワード線 WL が再び立ち上げられ (ワード選択信号のアサート)、これに伴って記憶ノードであるノード A のレベルがビット線 BB に、ノード B のレベルがビット線 BT にそれぞれ読み出される。このとき、メモリセル MC に低温での障害があり、内部の書込みが十分完了していない状態では、ノード A のレベルは V_{SS} (GND) レベルまで下がりきらず、ノード B のレベルは V_{DD} まで上がりきらない。この時点で同一のメモリセル MC に対してリードサイクルが実行され、ワード線 WL が立上ることにより、ノード A とノード B は、プリチャージされたビット線対 BB と BT に、それぞれ転送ゲート (MN3 と MN4) を介して接続される。通常動作モードでは、ノード A の電位は、プリチャージされたビット線 BB から電流が流れ込むために、若干上昇するに留まったが、内部の書込みが十分完了していない状態では、ノード A のレベルはビット線 BB から流れ込む電流によって反転し、これに伴ってノード B のレベルも反転する。このように、低温での障害があり静的ノイズマージン (SNM) が小さいメモリセル MC では、ライト動作で記憶されたデータが直後のリード動作によって揮発することとなり、不良品として選別し、排除することができる。このように SNM が小さいメモリセル MC では、ライト動作の後、ある程度時間が経過すると、ノード A のレベルが V_{SS} (GND) レベルまで下がり、ノード B のレベルが V_{DD} まで上がりきって安定し、その後のリード動作では不良として選別し排除することができない場合がある。疑似低温テストモードでライトサイクルの直後にリードサイクルを追加することにより、上記のような不安定な不良までも適切に排除することができる。

30

40

【0036】

以上のテスト方法は、テストプログラムに所定の制御言語を使いまたテストパターンとして記述される。このテストプログラムを、上記 S R A M が実装される半導体チップをテスト対象として、半導体テスターが実行することによって、そのテスト方法が実行される

50

。半導体テスターによる実行に代えて、同等のテストシーケンスを実行するテスト回路を、半導体チップに内蔵しても良い。このことは、以下の実施形態についても同様である。

【0037】

以上説明したように、SRAMメモリセルへの書込み時において、ビット線対のうちロウ側の電位を通常動作時より数十mV～百数十mV浮かして書込みを阻害することで、書込み能力が不足している不良メモリセルに対する低温選別試験を常温で疑似的に行うことが可能となり、通常の常温テストと同じ電源電圧で行うことで、オーバーキルを防止することができる。さらに、上記ストレスモードで書込んだ後、次のサイクルで同一アドレスをリードすることで、書込みに対するストレスをより顕著に印加できることにより、不安定な不良までも適切に排除することができる。

10

【0038】

〔実施形態2〕

SRAMメモリセルへの書込み時において、ビット線対のうちロウ側の電位を通常動作時より数十mV～百数十mV浮かす機能を備える、ライトドライバ7の構成例について説明する。

【0039】

図9は、ライトドライバ7の構成例を示す回路図である。ライトドライバ7のうち、1ビット分だけが示される。入力されるDは書込みデータ、BWEはビット書込みマスク制御信号、TESTはテストモード信号、WEはライトイネーブル信号、CLKはクロック、出力されるCTWとCBWはコモンライトビット線対である。書込みデータDとビット書込みマスク制御信号BWEは、クロックCLKに同期してそれぞれ対応するフリップフロップFF__DとFF__BWEに取り込まれる。フリップフロップFF__Dに取り込まれた書込みデータDは、論理ゲートG4～G8により、相補的な論理レベルでコモンライトビット線対CTWとCBWに出力される。ただし、ビット書込みマスク制御信号BWEがアサートされている状態では、書込みデータDはマスクされ、コモンライトビット線対CTWとCBWにはともにハイレベルが出力される。このビット書込みマスク機能は、省略することもできる。図9は1ビットに対して1個のビット書込みマスク制御信号BWEが入力される例であるが、例えば8ビット又は9ビットなど複数のビット毎にまとめて1個のビット書込みマスク制御信号BWEが入力されるように構成してもよい。バイト毎にまとめることにより、バイト書込みマスク機能が提供される。

20

30

【0040】

ライトドライバ7は、通常のライトドライバと同様に、入力されるノードNTとNBのレベルをそれぞれ反転して、コモンライトビット線対CTWとCBWに出力する2個のインバータを備える。2個のインバータは、PチャネルMOSFET(MP9)とNチャネルMOSFET(MN10)、PチャネルMOSFET(MP8)とNチャネルMOSFET(MN9)によって構成される。本実施形態のライトドライバ7は、疑似低温テストモードでテストモード信号TESTがハイになったときに、コモンライトビット線対CTWとCBWとを電源VDDに接続する、2個のNチャネルMOSFET(MN9とMN10)をさらに備える。

【0041】

40

テストモード信号TESTで制御される2個のNチャネルMOSFET(MN9とMN10)の駆動能力をそのチャネル幅W2BとW2でそれぞれ表し、2個のインバータを構成する2個のNチャネルMOSFET(MN7とMN8)の駆動能力をそのチャネル幅W1BとW1でそれぞれ表す。テストモード信号TESTがアサートされる疑似低温テストモードでは、コモンライトビット線対CTWとCBWをロウレベルに駆動するインバータと、NチャネルMOSFET(MN7またはMN8)が競合して、コモンライトビット線対に接続されるビット線対のうちロウレベル側を、VSS(GND)電位よりも数十mV～百数十mV浮かす(中間電位にする)ことができる。CTWにロウレベル、CBWにハイレベルがそれぞれ出力されるとき、ロウレベルが出力されるCTWに接続されるNチャネルMOSFET(MN10)もオンになるので、CTWの実際の電位(中間電位)は、Nチ

50

チャンネルMOSFET(MN10)のチャンネル幅W2とインバータを構成するNチャンネルMOSFET(MN8)のチャンネル幅W1の違いによって規定される。逆に、CTWにハイレベル、CBWにロウレベルがそれぞれ出力されるとき、ロウレベルが出力されるCBWに接続されるNチャンネルMOSFET(MN9)もオンになるので、CBWの実際の電位(中間電位)は、NチャンネルMOSFET(MN9)のチャンネル幅W2Bとインバータを構成するNチャンネルMOSFET(MN7)のチャンネル幅W1Bの違いによって規定される。

【0042】

以上は、疑似低温テストモードにおけるビット線対のうちロウ側を所望の中間電位に設定するために、チャンネル幅W1, W2, W1B, W2Bを調整する方法について説明したが、チャンネル長Lも合わせて調整してもよい。チャンネル長の調整は、現実的に2倍のチャンネル長2LのMOSFETを備える代わりに、通常のチャンネル長(L)のMOSFETを2個、直列接続して実現しても良い。

10

【0043】

このように、通常のライトバッファに、テストモード信号TESTで制御される2個のNチャンネルMOSFET(MN9とMN10)を追加するだけで、SRAMメモリセルへの書込み時において、ストレスを与える(ビット線対のうちロウ側の電位を通常動作時より数十mV~百数十mV浮かす機能を備える)ライトドライバ7を実現することができる。

【0044】

ライトドライバ7の動作についてさらに詳しく説明する。

20

【0045】

図10及び図11~図13は、図9に示されるライトドライバ7の動作例を示す波形図である。

【0046】

図10及び図11に示される、通常動作モードにおける書込み動作は、クロックCLKが立上ること、フリップフロップFF_Dに入力信号Dを、フリップフロップFF_BWEにビット書込みマスク制御信号BWEをそれぞれ取り込む。BWEがイネーブル(ロウレベル)の場合に、フリップフロップFF_Dに取り込まれたデータDがメモリセルMCに書込まれ(図10前半)、BWEがディセーブル(ハイレベル)の場合には書込みは行われない(図10後半)。

30

【0047】

ライトイネーブル信号WEが初期段階はハイレベルであり、このときの内部ノードNT及びNBは共にロウレベルとなり、コモンライトビット線対CTWとCBWは共にハイレベルである。

【0048】

次に、ライトイネーブル信号WEがロウレベルとなると、内部ノードNT及びNBは入力信号Dに応じて一方がハイ、他方がロウとなり、コモンライトビット線対CTWとCBWもそれに応じて、一方がロウレベル、他方がハイレベルとなる。

【0049】

その後、ライトイネーブル信号WEがハイレベルとなると、内部ノードNT及びNBは共にロウレベルとなり、コモンライトビット線対CTWとCBWは共にハイレベルにプリチャージされる。

40

【0050】

BWEがイネーブル(ロウレベル)でメモリセルMCにデータDが書込まれるときには、図11に示されるように、ライトイネーブル信号WEが立下り、フリップフロップFF_Dに取り込まれたデータDに基づいて内部ノードNT/NBが変化し、コモンライトビット線対CTW/CBWもそれに応じて駆動される。通常動作モードであるので、テストモード信号TESTはロウレベルであり、図9の2個のNチャンネルMOSFET(MN9とMN10)は共にオフされているため、コモンライトビット線対CTW/CBWのハイ側はVDD電位まで、ロウ側はVSS(GND)電位まで、それぞれ駆動される。

50

【 0 0 5 1 】

これに対して、疑似低温選別テストモードでは、図 1 2 に示されるように、テストモード信号 T E S T が、ライトイネーブル信号 W E が立上る以前にアサートされており、図 9 の 2 個の N チャンネル M O S F E T (M N 9 と M N 1 0) は共にオンされているため、コモンライトビット線対 C T W / C B W は共に V D D 電位に引き上げられている。ライトイネーブル信号 W E が立下り、フリップフロップ F F _ D に取り込まれたデータ D に基づいて内部ノード N T / N B が変化し、コモンライトビット線対 C T W / C B W もそれに応じて駆動される。このとき、コモンライトビット線対 C T W / C B W のうちのロウ側は、M N 9 または M N 1 0 と、ロウレベルを出力するインバータの N チャンネル M O S F E T である M N 7 または M N 8 との間で信号が競合し、上述のようにそれらの駆動能力で決まる中間的な電位になる。これにより、書込み時にロウ側のビット線を数十 mV ~ 百数十 mV 浮かすことでストレスを加えることができる。

10

【 0 0 5 2 】

図 1 2 に示すように、テストモード信号 T E S T はライトイネーブル信号 W E の逆相で制御される。遷移させるタイミングは、テストモード信号 T E S T の立ち上がり、ライトイネーブル信号 W E の立上りと同時かそれよりも早くし、立下りはライトイネーブル信号 W E と同時とする。

【 0 0 5 3 】

これに対して、図 1 3 に示すように、テストモード信号 T E S T をハイレベルに固定したままでもよい。図 1 2 に示す例では、テストモード中に疑似低温選別テストモードと通常の常温選別試験モードと間をテストモード信号 T E S T によって切り替える制御を可能とすることができる。一方、図 1 3 に示す例では、テストモード信号 T E S T を通常動作モードとテストモードの切替え制御信号と兼用することができ、動作モードの切替え制御回路が簡略化される。

20

【 0 0 5 4 】

以上説明したように、S R A M メモリセルへの書込み時において、ビット線対のうちロウ側の電位を通常動作時より数十 mV ~ 百数十 mV 浮かして書込みを阻害することにより、疑似低温選別テストモードを実現するための、ライトドライバ 7 に好適な回路構成が提供される。即ち、ビット線を浮かすために、ソース側が V D D にドレイン側がビット線対にそれぞれ接続され、ゲートにテストモード信号 T E S T が接続される、2 個の N チャンネル M O S F E T (M N 9 と M N 1 0) が、ライドドライバ 7 に追加される。2 個の N チャンネル M O S F E T (M N 9 と M N 1 0) の駆動能力は、ビット線対をロウに駆動する N チャンネル M O S F E T (M N 7 と M N 8) よりも弱く、その駆動能力のバランスでロウ側のビット線を浮かす電位 (中間電位) を決定することができる。このように、2 個の N チャンネル M O S F E T (M N 9 と M N 1 0) を追加するのみでストレス回路を実現することができる。

30

【 0 0 5 5 】

〔 実施形態 3 〕

図 1 4 は、1 個のメモリセルに着目して描いた I / O 回路 4 とメモリセル M C の回路構成についての別の例を示す構成図である。実施形態 1 において図 6 に示される構成例との違いは、プリチャージイネーブル信号 P E が追加されている点である。プリチャージイネーブル信号 P E が入力される論理ゲートがインバータ G 2 から N O R ゲート G 9 に変更されている。他の構成は図 6 に示される構成例と同様であるので、説明を省略する。

40

【 0 0 5 6 】

図 1 5 は、図 1 4 の回路構成による書込み直後のストレス動作を示す波形図である。

【 0 0 5 7 】

実施形態 1 において図 8 を引用して説明した動作例では、ライトサイクルの直後にリードサイクルが追加され、合せて 2 サイクルを要する。これに対して、図 1 5 に示す本実施形態 3 の動作例では、メモリセル M C への 1 回のアクセス期間内に、書込み期間と疑似読出しによるストレス期間とが含まれる。

50

【 0 0 5 8 】

書込み期間は、実施形態 1 の図 8 の書込みサイクルと同様に、ストレスをかけた書込みである。即ち、ビット線対 B T / B B のうちの口ウ側の電位を通常動作時より数十mV~百数十mV浮かして書込みを行う。この期間は、プリチャージイネーブル信号 P E をネゲートして、プリチャージをオフにする。

【 0 0 5 9 】

ストレス期間では、書込み期間が完了した後もワード線 W L は立ち下げず、プリチャージイネーブル信号 P E をアサートして、引き続き同一メモリセル M C に対する対象ビット線対のプリチャージをオンにし、ビット線対 B T / B B を V D D レベルにする。ワード線 W L を立ち上げたまま対象ビット線対 B T / B B がプリチャージされた結果、低温での障害があり内部の書込みが十分完了していないメモリセル M C では、内部ノード A / B における記憶レベルが揮発する。このように、メモリセル M C のデータ保持特性に対してストレスを加えることができ、不良を顕在化させ、不良サンプルを選別することをより容易にすることができる。

10

【 0 0 6 0 】

図 1 4 に示した回路構成例では、プリチャージイネーブル信号 P E を追加したが、これに代えて、図 6 に示される構成例のまま、Y アドレス選択信号 Y 0 と Y 1 をプリチャージの制御信号と兼用することも可能である。

【 0 0 6 1 】

図 1 6 は、図 6 の回路構成による書込み直後のストレス動作を示す波形図である。

20

【 0 0 6 2 】

書込み期間は、図 1 5 の書込み期間と同様に、ストレスをかけた書込みである。即ち、ビット線対 B T / B B のうちの口ウ側の電位を通常動作時より数十mV~百数十mV浮かして書込みを行う。書込み期間に先立つプリチャージ期間では、プリチャージイネーブル信号 P E をアサートする代わりに Y アドレス選択信号 Y 0 と Y 1 をともに非選択とすることにより、全ビットをプリチャージする。書込み期間には選択されたカラムの Y アドレス選択信号 Y 0 または Y 1 を選択状態にすることで、プリチャージをオフにする。

【 0 0 6 3 】

ストレス期間では、図 1 5 のストレス期間と同様に、書込み期間が完了した後もワード線 W L は立ち下げないが、プリチャージイネーブル信号 P E をアサートする代わりに Y アドレス選択信号 Y 0 と Y 1 をともに非選択とすることにより、ビット線対 B T / B B を V D D レベルにプリチャージする。

30

【 0 0 6 4 】

これにより、制御回路を変更するだけで、図 1 5 に示す動作と同様の効果を奏することができる。

【 0 0 6 5 】

以上説明したように、S R A M メモリセルへの書込み時に、ビット線対のうち口ウ側の電位を通常動作時より数十mV~百数十mV浮かして書込みを阻害する、疑似低温選別テストモードにおいて、ストレスを加えた書込みとその後のダミーリード動作を連続的に 1 つのコマンドで行うことができる。通常の書込みコマンドで 2 つのストレス試験を行うことができる為、特別なテストパターンを不要とし、選別試験時のテストパターンを簡略化することができる。また、テストタイムが短縮されるので、テストコストを低減することができる。

40

【 0 0 6 6 】

〔 実施形態 4 〕

以上は、専らシングルポート S R A M を例に採って説明してきたが、マルチポート S R A M においても同様に実施することができる。その一例として、デュアルポート S R A M に適用する実施形態について説明する。

【 0 0 6 7 】

図 1 7 は、8 トランジスタ構成のデュアルポート S R A M メモリセル M C - D P の回路

50

図である。図 1 に示される一般的な 6 トランジスタ構成の S R A M メモリセルと比較して、ワード線は W L - A と W L - B、ビット線対は B T - A / B B - A と B T - B / B T - B のそれぞれ 2 ポートに増設され、これに伴って転送ゲートとして機能する 2 個の N チャネル M O S F E T (M N 1 1 と M N 1 2) が追加されている。他の構成と動作についてはシングルポート S R A M のメモリセルと同様であるので、説明を省略する。

【 0 0 6 8 】

図 1 8 は、テスト対象であるデュアルポート S R A M モジュールの構成例を示すブロック図である。図 5 と同様に M ワード × N ビット (M , N は整数) の構成であり、メモリセルはデュアルポート S R A M メモリセル M C - D P 0 0 ~ M C - D P _ (M - 1) (N - 1) に置き換えられている。A ポート側の I / O 回路 4 - A _ L S B と 4 - A _ M S B、ワード線ドライバ 3 - A _ 0 ~ 3 - A _ M - 1、制御回路とアドレスデコーダー 5 - A、B ポート側の I / O 回路 4 - B _ L S B と 4 - B _ M S B、ワード線ドライバ 3 - B _ 0 ~ 3 - B _ M - 1、制御回路とアドレスデコーダー 5 - B、及び、テストモード制御回路 6 から成る。I / O 回路 4、ワード線ドライバ 3、制御回路とアドレスデコーダー 5 は、A ポート側と B ポート側で同じ回路が実装され、それぞれが、実施形態 1 で説明したシングルポートの S R A M と同様に動作する。テストモード制御回路 6 は、全体で 1 個備えればよく、テストモード信号 T E S T は、一方の I / O 回路、例えば図 1 8 に示されるようにポート A 側の I / O 回路 4 - A _ L S B と 4 - A _ M S B にのみ供給される。ポート A 側の I / O 回路 4 - A _ L S B と 4 - A _ M S B は、図 7 に例示されるような、疑似低温テストモードで、ロウ側のビット線電位を V S S (G N D) レベルに対して数十 mV ~ 百数十 mV 浮かす回路が搭載される。一方、ポート B 側の I / O 回路 4 - B _ L S B と 4 - B _ M S B は、疑似低温テストモードのための上記回路は省略される。低温で顕著となる不良が、メモリセルの障害に原因があるので、どちらか一方のポートから、疑似低温テストモードでの選別試験を実施することができれば十分だからである。

【 0 0 6 9 】

一方、ポート B 側の I / O 回路 4 - B _ L S B と 4 - B _ M S B にも同様の回路を搭載し、両方のポートから、疑似低温テストモードでの選別試験を実施することがように構成しても良い。例えばビット線対やワード線に起因する障害が、低温で顕著となる不良を惹き起こしている場合には、両方のポートから疑似低温テストモードでの選別試験を実施することにより、不良品の流出を防止することができる。

【 0 0 7 0 】

〔 実施形態 5 〕

以上の実施形態 1 ~ 4 で説明したシングルポート及びマルチポートの S R A M モジュールは、S o C (System-on-a-Chip) やマイクロコンピュータを含むシステムが形成された半導体チップ 2 0 に組み込むことができる。図 1 9 は、本実施形態 5 における半導体チップ 2 0 のレイアウト構成を示す図である。図 1 9 において、半導体チップ 2 0 は、C P U (Central Processing Unit) 2 1、シングルポート S R A M (S P - S R A M) 1 _ 1 ~ 1 _ 6、デュアルポート S R A M (D P - S R A M) 2 _ 1 ~ 2 _ 2 および論理回路 (L O G I C) 2 2 _ 1 ~ 2 2 _ 3 を有している。ここで、シングルポート S R A M (S P - S R A M) 1 _ 1 ~ 1 _ 6 は、実施形態 1 ~ 4 で説明したシングルポート S R A M であり、デュアルポート S R A M (D P - S R A M) 2 _ 1 ~ 2 _ 2 は、実施形態 4 で説明したデュアルポート S R A M である。なお、S R A M の他、E E P R O M (Electrically Erasable Programmable Read Only Memory) などの他の記憶素子を有する構成としてもよく、また、アナログ回路などを内蔵してもよい。

【 0 0 7 1 】

C P U 2 1 は、中央演算処理装置とも呼ばれ、コンピュータなどの心臓部にあたる。この C P U 2 1 は、記憶装置から命令を読み出して解読し、それに基づいて多種多様な演算や制御を行なうものである。この C P U 2 1 の内部には、C P U コア (CPU core) が内蔵されており、かかる C P U コアの内部には S R A M が組み込まれている。この C P U コアの内部の S R A M としては、高性能な S R A M が用いられており、上記実施形態 1 ~ 4 に

説明したSRAMを用いて好適である。もちろん、上記シングルポートのSRAM(SP-SRAM)1__1~1__6やデュアルポートのSRAM(DP-SRAM)2__1~2__2にも、上記実施形態1~4で詳細に説明したSRAMを用いてもよい。

【0072】

このように、上記実施形態1~4で説明したSRAMを、SoCやマイクロコンピュータを含むシステムが形成された半導体チップ20に組み込むことにより、その特性を向上させることができる。また、低温で顕著となる不良を惹き起こすのが、搭載されるSRAMでのみ顕著で、CPU21や論理回路(LOGIC)22__1~22__3などの他の回路では低温選別試験が不要である場合には、半導体チップ20に搭載される全てのSRAMに本実施形態1~4を適用することにより、チップ全体の低温選別試験を省略しながらも、オーバーキルや不良流出の問題を防止することができる。

10

【0073】

以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【符号の説明】

【0074】

MC メモリセル
 MC-DP デュアルポートメモリセル
 MP1~7 PチャネルMOSFET
 MN1~12 NチャネルMOSFET
 FF フリップフロップ
 G1~G8 論理ゲート
 VDD 電源線
 VSS 接地線
 WL ワード線
 BT, BB ビット線対
 T__MODE テストモード切替信号
 TEST テストモード信号
 CTW, CBW コモンライトビット線対
 CTR, CBR コモンリードビット線対
 Y0, Y1 Yアドレス選択信号
 CPC プリチャージ制御信号
 PE プリチャージイネーブル信号
 CWISE ライトスイッチ制御信号
 CRSE リードスイッチ制御信号
 D 書込みデータ
 BWE ビット書込みマスク制御信号
 WE ライトイネーブル信号
 CLK クロック
 1 シングルポートSRAMモジュール
 2 デュアルポートSRAMモジュール
 3 ワード線ドライバ
 4 I/O回路
 5 制御回路&アドレスデコーダー
 6 テストモード制御回路
 7 ライトドライバ
 8 センスアンプ
 9 カラムI/O回路
 10 プリチャージ回路

20

30

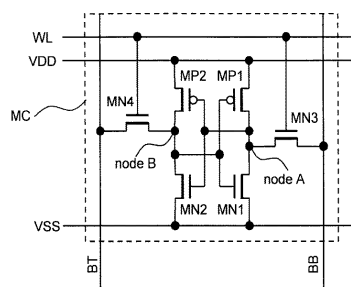
40

50

- | | |
|-----|-----------------------------------|
| 1 1 | ライトカラムスイッチ |
| 2 0 | 半導体チップ |
| 2 1 | C P U (Central Processing Unit) |
| 2 2 | 論理回路 (L O G I C) |

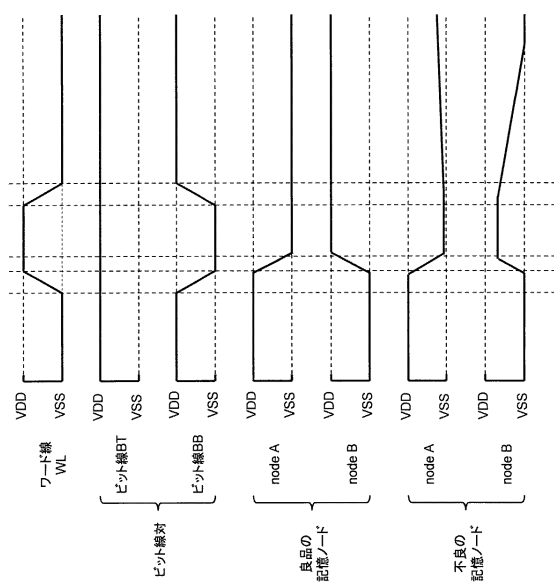
【圖 1】

图1



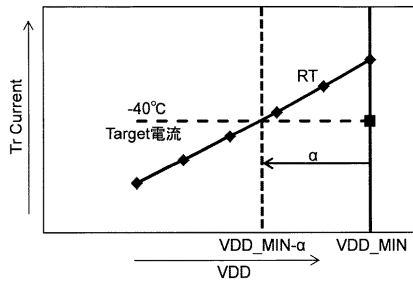
【圖 2】

2



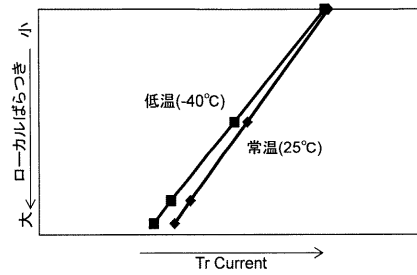
【図 3】

図3



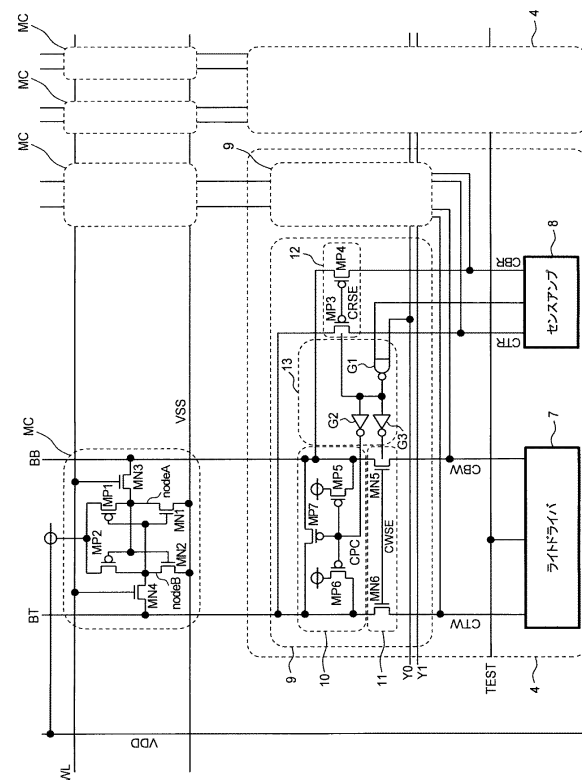
【図 4】

図4



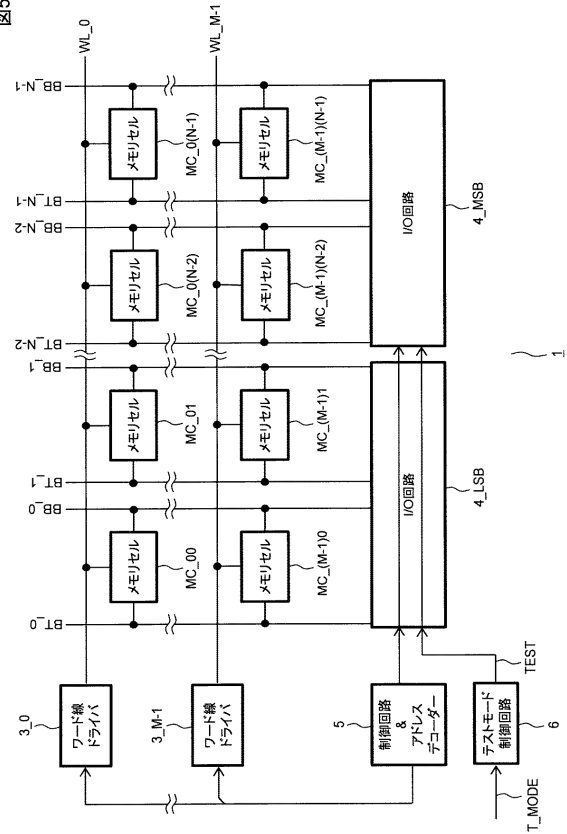
【図 6】

図6



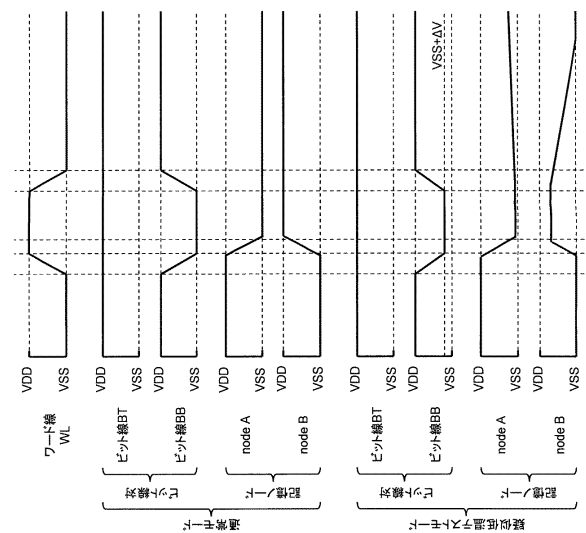
【図 5】

図5



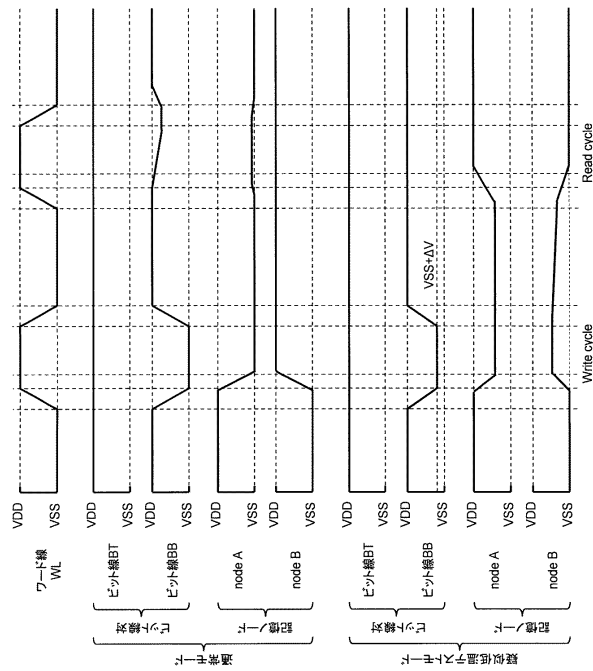
【図 7】

図7



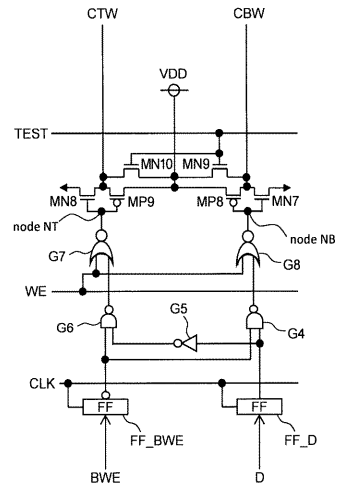
【図 8】

図8



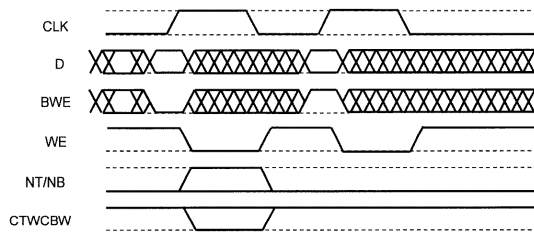
【図 9】

図9



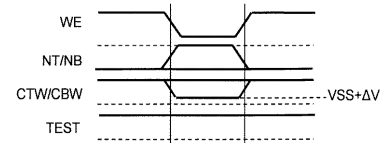
【図 10】

図10



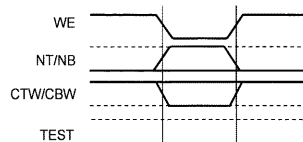
【図 13】

図13



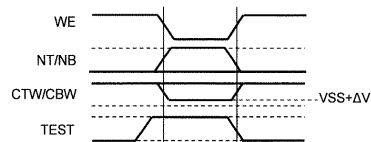
【図 11】

図11



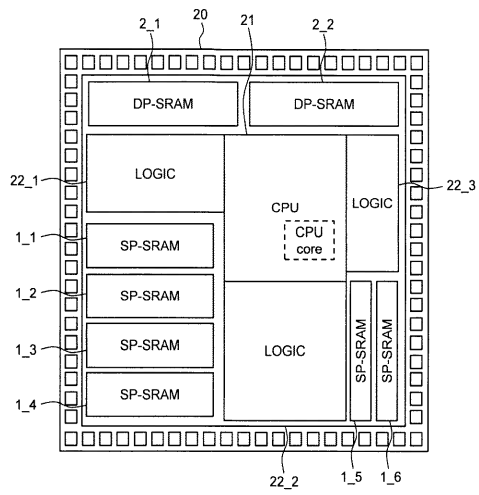
【図 12】

図12



【図 19】

図19



フロントページの続き

(72)発明者 横山 佳巧

神奈川県川崎市中原区下沼部 1 7 5 3 番地 ルネサスエレクトロニクス株式会社内

審査官 篠塚 隆

(56)参考文献 特開 2 0 1 1 - 2 2 7 9 6 9 (J P , A)

特開 2 0 1 3 - 0 1 2 2 7 5 (J P , A)

特開平 1 0 - 1 4 4 0 9 6 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G 1 1 C 2 9 / 5 0

G 1 1 C 2 9 / 0 6