公告本

297949

申請日期	84.09.20
案號	84109867
類別	H01L 27/112

（以上各欄由本局填註）

A4
C4

297949

發明 ~~新型~~ 專利說明書

一、發明 ~~新型~~ 名稱	中文	半導體裝置、罩幕式唯讀記憶體及其製造方法
	英文	SEMICONDUCTOR DEVICE, MASK ROM AND FABRICATION METHOD THEREFOR
二、發明 ~~創作~~ 人	姓名	1.長谷川 正博 2.谷本 順一
	國籍	均日本
	住、居所	1.日本國廣島縣福山市幕山台2丁目16-5 2.日本國奈良縣生駒市俵口町2613-1 407號
三、申請人	姓名（名稱）	日商夏普股份有限公司
	國籍	日本
	住、居所（事務所）	日本國大阪府大阪市阿倍野區長池町22番22號
	代表人姓名	辻 晴雄

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

裝 訂 線

297949

（由本局填寫）

承辦人代碼：	A6 B6
大　　類：	
ＩＰＣ分類：	

本案已向：

國（~~地區~~）　申請專利，申請日期：　　案號：　　，□有　□無主張優先權

日本　　1995.5.24　　Hei 7(1995)-125175

有關微生物已寄存於：　　，寄存日期：　　，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝　訂　線

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 1 ）

發明背景

本發明是關於多個半導體裝置、罩幕式唯讀記憶體及其製造方法。尤其，本發明是關於多個半導體裝置獲致裝置隔離不需使用LOCOS薄膜，及多個罩幕式唯讀記憶體與該等半導體裝置結合於週邊電路內。本發明另關於製造該等半導體裝置和罩幕式唯讀記憶體的方法。

相關技藝之敘述

在金屬氧化半導體裝置內，裝置隔離是使用PN接面及或低介電薄膜所獲致。該裝置隔離技術是使用以防止，由於透穿及一寄生電晶體的該通道形成是由閘極相互連接或金屬化所導致之一裝置的擊穿電壓減少。

如圖17所示，一傳統罩幕式唯讀記憶體包括一施於PN接面隔離的記憶體邏輯格陣列(平格)M及一施於LOCOS隔離薄膜47的周邊電路C。參考圖17，一製造該傳統罩幕式唯讀記憶體的方法將予以敘述。

一N槽41和一P槽42皆具有約每立方公分1×10^{17}雜質濃度形成在一矽基片40內。一氧化薄膜和一氮化矽薄膜接著形成在該矽基片40的整個表面。一保護層組態，具有一位於LOCOS薄膜形成區域上之一窗，經由傳統光刻法和蝕刻技藝形成在該基片40上。該氮化矽薄膜經使用該保護層組態爲一罩幕以成型。

在該保護層組態被移走後，一保護層組態被形成在該基片40上僅覆蓋該N槽41。經使用該保護層組態及該氮化矽薄膜爲罩幕，多個硼離子以一約每平方公分7×10^{13}劑量

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 2 ）

在一約15仟電子伏植入能量植入該矽基片40爲該LOCOS薄膜形成一通道停止器於該區域之下。

在該保護層被移走後，高溫分解氧化在約攝氏950度的溫度完成，此係使用該氮化矽薄膜爲一罩幕以形成具有約600毫微米厚度的LOCOS薄膜47。在此時，通道停止器48被形成在該P槽41內的該LOCOS薄膜47之下。

依次地該氮化矽薄膜經由熱磷酸移走。一保護層組態被形成以覆藝該N槽41，及然後該等硼離子在一每平方公分2.5×10^{12}劑量以20仟電子伏植入能量植入該基片內，並使用該保護層組態爲一罩幕以調整將形成在該N槽42內的N通道電晶體閾限電壓。

在該保護層組態被移走後，一保護層組態被形成以覆蓋該P槽42，及然後多個硼離子在一約20仟電子伏植入能量以每平方公分3×10^{12}劑量植入該基片內，以調整形成在該N槽41內的一P通道電晶體閾限電壓。依序地，該保護層組態被移走，及罩覆著另一保護層組態的該基片，多個砷離子以每平方公分2×10^{15}劑量在40仟電子伏植入能量植入該基片。在該保護層組態被移走後，該基片在攝氏900度被退火約30分鐘以獲致該記憶體邏輯格陣列M內擴散數元線連接。

依序地，一閘極電極52以傳統程序形成。該基片罩幕著一光阻劑在該週邊電路C內及具有該閘極電極52在該記憶體邏輯格陣列M內，多個硼離子以約每平分公分3×10^{13}劑量在20仟電子伏植入能量植入該基片以形成接面隔離以

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（3）

使該擴散數元線連接間彼此隔離。

在移走該光阻劑後，一氧化物薄膜被沈積至一約250毫微米厚度，及被反蝕刻以形成隔片55在該閘極電極52的邊牆上。具有光阻劑以各別地罩幕該N槽41和該P槽42，一P^+擴散層56及一N^+擴散層57形成在該週邊電路C內。

依序地，在使用一光阻劑爲一罩幕以規劃該唯讀記憶體，多個硼離子以每平方公分2×10^{14}劑量和約180仟電子伏植入能量植入該記憶體邏輯格陣列內期望的通道區域。因此，具有一高閥限電壓的電晶體形成了。

在該光阻劑被移走後，層間絕緣薄膜60和61，多個接觸孔和金屬接線62由傳統程序形成。因此，該罩幕唯讀記憶體被完成。

如前述，該罩幕唯讀記憶體的周邊電路C內的該LOCOS隔離程序是該整個罩幕式唯讀記憶體生產程序的百分之十到百分之十五，且需三至四天，結果是較長生產週期及昂貴生產成本。此外，該LOCOS隔離使得該基片表面變得粗糙不平。這妨礙到微製造且導致減產。

爲克服此問題，美國專利案號4,458,262建議一以接面隔離爲基礎的裝置隔離方法。

如圖18所示，一N^+擴散層71形成在一P型矽基片70內。然後，一光阻劑72形成在該基片70上，及多個硼離子被植入該基片內，該基片則被罩覆著約每平方公分2×10^{14}劑量光阻劑72，以形成一P^+擴散層73，如圖19所示。如圖20在該光阻劑72被移走後，該基片受到一熱處理以啓動該

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

修正補充
年 月 日
85. 6. -6

五、發明說明(4)

等雜質及從該矽基片70的結晶性恢復，及因此獲致該接面隔離。

該PN接面隔離由於擴散數元線間的透穿抑制該耐電壓之減少，及防止一由金屬接線所導致的寄生電晶體之通道反向。無論如何，一形成於閘極電極下區域內的閘極絕緣薄膜是非常薄的，其中該寄生電晶體的通道反向應被防止。因此，由該閘極電極導致的寄生電晶體通道反向並無法由使用該槽內雜質濃度位準或在該PN接面隔離內所阻止。因此，該PN接面隔離並無法用於該周邊電路的裝置隔離。

該PN接面隔離需要具有一高雜質濃度以防止由該閘極電極導致的該寄生電晶體之通道反向。該沈積的閘極電極與該擴散層接觸將導致該接面電容之增加及接面擊穿電壓之減少。

例如，如圖3所示，隨著一PN接面隔離表面雜質濃度增加，該接面擊穿電壓減少。因此，當一裝置在5伏特電壓作動，該PN接面隔離表面的雜質濃度高於每立方公分3×10^{17}，無法供應高於六伏特的接面擊穿電壓。當容許該PN接面隔離具有一相對地高表面雜質濃度，如每立方公分1×10^{18}，爲確保一至少六伏特的接面擊穿電壓，該PN接面隔離應與該擴散層隔離，且不小於0.4微米，如圖21所示。爲考慮一必需的重疊區域和來自該接面隔離的雜質橫向擴散，如圖22該PN接面隔離和該擴散層間的間隔不應小於0.6微米。這將導致該裝置的有限微製造。

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 5 ）

發明之概述

根據本發明所供應之一半導體裝置包含：一半導體基片和一包含第一傳導型式或一第二傳導型式雜質離子的槽形成；多個具有一閘極絕緣薄膜形成在該槽上的電晶體，一閘極電極形成在該閘極絕緣薄膜上及一對擴散層形成在該槽內；及一與該槽相同傳導型式的外擴散層及以向外型式與每一擴散層自行排列在該槽內；該外擴散層具有一足夠雜質濃度以供應一希望的接面擊穿電壓，及具有與當一作動電壓施於該相對的電晶體所產生之空乏層相同之寬度；該槽的雜質被設定在一濃度，所以比該閘極電極相連電晶體低的該寄生電晶體的閥限電壓高於一電源供應器電壓，其中該等相鄰電晶體是彼此隔離的。

根據本發明的另一面，供應一製造一半導體裝置的方法，包括下列步驟：(i)在一半導體基片內形成至少一第一傳導型式或第二傳導型式的一槽，及具有一雜質濃度使得較一稍後形成閘極電極爲低的寄生電晶體之閥限電壓高於一電源供應器電壓；(ii)形成多個閘極絕緣薄膜及閘極電極在該槽上，經由使用一具有期望組態的保護層型態以形成與該等閘極電極自行排列的多個擴散層，而供應多個電晶體；(iii)植入與該槽不同傳導型式的多個雜質離子於該半導體基片內，該基片被該保護層組態罩覆以形成第一傳導型式或第二傳導型式的外擴散層，並與每一擴散層自行排列在該槽內的一外週邊區，因此使用相鄰電晶體彼此隔離及容許該等擴散層具有一期望的接面擊穿電壓。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 6 ）

根據本發明之另一面，其供應一用以製造具有一記憶邏輯格陣列區域和一週邊電路區域的罩幕式唯讀記憶體之方法，其包括下列驟：(i)在一半導體基片內形成至少一第一傳導型式或第二傳導型式的一槽，及具有一雜質濃度使得較一稍後形成閘極電極爲低的寄生電晶體之閥限電壓高於一電源供應器電壓；(ii)形成多個閘極絕緣薄膜及閘極電極在該槽上，經由使用一具有期望組態的保護層型態以形成與該等閘極電極自行排列的多個擴散層而供應多個電晶體；(iii)植入與該槽不同傳導型式的多個雜質離子於該半導體基片內，該基片被該保護層組態罩覆以形成第一傳導型式或第二傳導型式的外擴散層，並與每一擴散層自行排列在該槽內的一外週邊區，因此使得相鄰電晶體彼此隔離及容許該等擴散層具有一期望的接面擊穿電壓；(iv)植入傳導型式與該槽不同的多個雜質離子於較該記憶體邏輯格區域內多個閘極電極爲低的區域內以使得資料寫入該記憶體邏輯格內。

因此，本發明可以供應一高可靠半導體裝置而無LOCOS隔離以使相鄰電晶體彼此隔離，但接面隔離使得該接面擊穿電壓和接面電容適合被控制以避免作動問題，及一罩幕式唯讀記憶體結合該一半導體裝置及製造方法。該一半導體可在一低成本和短週期及高產出率下製造且容許高密度集成。本發明的前述、其他目的、特徵和優點將在本發明較佳實施例和附圖說明中更爲清楚詳實地敘說。

附圖之簡單說明

經濟部中央標準局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

裝 訂

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 7 ）

圖1是一截面圖，圖示一具有本發明一半導體裝置在該週邊電路內之模範罩幕式唯讀記憶體的主要部份；

圖2則圖示一槽的該表面雜質濃度和該通道反向電壓間的關係圖；

圖3則圖示一接面隔離的表面雜質濃度和該通道反向電壓間的關係圖；

圖4(a)和4(b)則圖示該環繞一擴散層的離質濃度和一外擴散層的雜質濃度間、該外擴散層寬度和該接面擊穿電壓間的關係；

圖5則圖示該裝置隔離罩覆寬度和有效元件間距離間之關係；

圖6則圖示該有效元件間距離和該接面擊穿電壓間之關係；

圖7則圖示該閥限電壓和該磷離子劑量間的關係，用以將資料寫入具有週邊電路內本發明半導體裝置的一罩幕式唯讀記憶體；

圖8圖示當資料寫入作動發生在結合本發明的半導體裝置在該週邊電路內的一罩幕式唯讀記憶體上時，該閥限電壓和一槽的表面雜質濃度間的關係；

圖9至16則圖示結合本發明的半導體裝置在該週邊電路內的一罩幕式唯讀記憶體之製造基本步驟之截面圖；

圖17之截面圖則圖示一傳統罩幕式唯讀記憶體的主要部份；

圖18至20之截面圖則是獲致一接面隔離於一傳統半導體

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 8 ）

裝置內之基本步驟；

圖21則圖示在先前技藝該接面擊穿電壓和PN接面隔離及擴散層間距離間之關係；及

圖22則圖示當先前技藝內該隔離擴散層的重疊區和橫向雜質擴散列入考慮，該接面擊穿電壓和PN接面隔離及擴散層間距離間之關係。

較佳實施例之詳細說明

本發明的半導體裝置使用的半導體基片包括典型上使用於半導體裝置、罩幕式唯讀記憶體和相似元件製造者，且較佳例是一矽基片。該半導體基片至少由一含P傳導型式或N傳導型式雜質離子的一槽所形成。該等槽之尺寸和數量依希望選取，依形成在該等槽上的電路而定。一P或N傳導型式單槽可被形成且實質地覆蓋該基片的整個範圍。一對P槽及N槽或兩對或更多P槽及N槽可交替地被形成以形成一輔助電路或相似者在該半導體裝置上。

本發明該半導體裝置的該等槽經由傳統方法將硼離子做P型雜質或以砷離子或磷離子爲一N型雜質植入該半導體基片。此時，選擇該雜質濃度以使得一較閘極電極爲低的寄生電晶體的閥限電壓被設定比一電源供應電壓爲高，該電極係用以連接被形成在該槽內的多個電晶體(將於後述)。本發明的一個特徵即是該槽表面的雜質濃度被設定在相當高的位準。

假如閘極電極下該寄生電晶體的通道反向電壓(閥限電壓)被設定比一電源供應器爲高，如不小於3.3伏特，一唯讀

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 9 ）

記憶體作動處之該槽表面區域的雜質濃度應高於每立方公分2×10^{18}，如圖2示。假如該閾限電壓被設定高於6伏特，則該槽內的該雜質濃度應高於每立方公分3×10^{18}。該槽的雜質濃度可被適當地調整，依所使用的電源供應器而定，且較佳調整是由約每立方公分1×10^{18}至約3×10^{18}。該離子植入能量被送擇以使得該等雜質離子可被植入至一深度以容許該槽適當作動。更特別地，該離子植入能量較佳是約20至180仟電子伏，雖然其是依植入之離子種類而變。

本發明半導體裝置的該槽供應多個具有一閘極絕緣膜、一形成在該閘極絕緣膜上的閘極電極和形成在該槽內的多個擴散層的數個電晶體。該閘極絕緣膜、閘極電極和擴散層皆是以已知之方法、期望之尺寸和已知之材料所形成。該閘極電極可被供給予多個側牆隔片，及該等擴散層可以是一LDD結構。

一與該槽相同傳導型式的外層擴散層以自行排列方式形成在該槽每一擴散層的外層週邊。該外層擴散層具有一雜質濃度足以供應一期望的接面擊穿電壓，及當一作動電壓施於該電晶體時，供應一實質與即將被產生的一耗盡層的相同寬度。本發明之另一特徵是與該槽相同傳導型式的外擴散層被供應於一具有高雜質濃度的該槽內。

供應在該電晶體每一擴散層的外圍內之外擴散層容許該擴散層具有一期望的接面擊穿電壓，假如該雜質濃度和寬度皆被調整至如圖4(a)所標示粗線之期望位準。在此該外

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（10）

擴散層的雜質濃度，如每立方公分1×10^{17}，一10伏特接面擊穿電壓可經由調整該外擴散層寬度至約0.3微米而獲得，如圖4(a)所示。此外，該耗盡層的寬度Y可經由作動該電晶體於5伏特而延伸至與該外擴散層實質上相同位準。因此我們必須決定該外擴散層的雜質濃度和寬度以使得一適切之接面擊穿電壓可依據該電晶體的作動電壓而獲得。更進一步地說即是當該電源供應器電壓約爲5伏特時，該外擴散層較佳是具有約每立方公分3×10^{17}雜質濃度及一0.1微米寬度。此時，該接面擊穿電壓爲6伏特，足以作動該電晶體。該耗盡層的寬度Y實質上是與該外擴散層相同的，其中該電晶體作動於5伏特電壓。

該一構造的該半導體裝置較佳是使用於一罩幕式唯讀記憶體的週邊電路內及也可使用於一動態隨機存取記憶體或一靜態隨機存取記憶體的週邊電路內。該半導體裝置也可與其它不同種類的裝置相結合，如電阻器或電容器。當該半導體裝置被使用於週邊電路內，該半導體裝置可被形成在該記憶體邏輯格陣列形成之基片上或一不同基片上。

在依據本發明製造該半導體裝置之一方法，至少一P槽或N槽以步驟(i)的前述方法形成在該半導體基片內。

在步驟(ii)，該閘極絕緣薄膜和閘極電極被形成在該槽上。該閘極絕緣薄膜較佳是由二氧化矽所形成。該閘極電極則由一典型使用於形成一互連層，如多晶矽、矽化物或多矽化物之材料所形成，其是使用一已知程序，如化學汽相沈積法或噴濺法。該閘極絕緣薄膜和閘極電極的厚度可

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（11）

依該電晶體的尺寸而適當地調整。

經由使用一期望組態的保護層模式及該閘極電極爲罩覆，該等擴散層可與該閘極電極自行排列形成。此時，每一擴散層之雜質濃度較佳是約每立方公分1×10^{20}至1×10^{21}。既然該等擴散層被形成在具有一高雜質濃度的該槽內，該離子植入劑量較佳是約每平方公分2×10^{15}至5×10^{15}。該植入能量較佳是調整至約20仟電子至約50仟電子伏，而此是依被形成的電晶體尺寸和該等擴散層的深度而定。雜質離子較佳之植入角度是與該半導體基片呈90度。該等擴散層可以是一LDD結構。該結構是經由供應一側牆隔片給該閘極電極所形成。在本發明製造方法之詳述，該等擴散層是經由使用該閘極電極爲一罩幕所形成。多個擴散層也可由使用一保護層組態所形成，及之後該閘極電極經由延伸過該等擴散層而形成。

在步驟(iii)，當該等擴散層經由先前步驟形成以形成與該槽相同傳導型式的外擴散層並與每一擴散層自行排列在該外週邊內，多個傳導型式與該槽不同的雜質離子經使用一罩覆爲該保護層組態而植入該基片內。此時，當該基片旋轉至一垂直於該基片表面之軸時，該等雜質離子較佳是以相對於該半導體基片表面的一般線之45度至60度植入該基片。一小於45度之植入角度是不佳的，因爲該結果之外擴散層並不足以橫向延伸該擴散層及因此不會形成在該擴散層的整個外週邊內。植入角度大於60度亦不佳，因爲該罩覆或該閘極電極阻礙該離子植入該基片內且所導致之外

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（12）

擴散層並不向外延伸至一希望深度。該半導體基片的旋轉速度並不特別指定。該離子植入能量可依據使用之雜質離子種類、該槽之雜質濃度、該擴散層的深度和離子植入角度而適切地調整。當植入能量約爲30仟電子伏以形成N^+擴散層時，磷以160仟電子伏至200仟電子伏之植入能量植入。當二氟化硼以30仟電子伏植入能量植入以形成P^+擴散層，硼以約80仟電子伏至約120仟電子伏植入能量植入。當該閘極電極於該等擴散層形成後形成，該外擴散層可與每一擴散層自行排列地形成，首先形成該閘極電極，然後當該擴散層形成時形成一如運用相同組態的一保護層組態，及離子植入及使用該保護層組態爲一罩幕。

經此形成該半導體裝置，兩個相鄰電晶體可彼此隔離而無需形成一LOCOS隔離薄膜。

在一製造一結合本發明半導體裝置的罩幕式唯讀記憶體的方法，在步驟(i)之結果，多個並聯擴散層依步驟(i')僅形成在該記憶體陣列區域的該槽內。該等擴散層經由植入雜質離子不同於該槽的傳導型式以製成具有約每立方公分1×10^{20}至約每立方公分1×10^{21}的雜質濃度，而其劑量則約每平方公分1×10^{15}至約每平方公分3×10^{15}且植入能量約爲20仟電子伏至50仟電子伏。

在前述罩幕式唯讀記憶體製造方法，資料在步驟(iii)後的步驟(iv)寫入該記憶體邏輯格陣列。該寫入該記憶體邏輯格陣列之資料係經由罩幕該基片以一保護層組態而獲得，該組態具有多個僅供應給希望記憶體邏輯格的電晶體通

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（13）

道區域上之區域上的多個開孔及植入傳導型式與該槽不同的雜質離子穿過該等閘極電極。此時，該植入能量和雜質濃度可被適切地週整以使得該記憶體邏輯格的該等電晶體具有一預定之閥限電壓。當該P槽雜質濃度約是每立方公分1×10^{18}至約3×10^{18}，經由植入一劑量約每平方公分5×10^{13}至7×10^{13}於一約250仟電子伏至約350仟電子伏，該閥限電壓可被調整至約0.2伏特。

接下來依據本發明的該半導體裝置，罩幕式唯讀記憶體及該等製造方法將以實施例詳述之。

圖1展示一罩幕式唯讀記憶體結合本發明半導體裝置在週邊電路之截面圖。在圖1，該罩幕式唯讀記憶體包括一記憶體邏輯格陣列M及週邊電路C。在該週邊電路內被形成一P槽7和一N槽5，皆被供應著多個電晶體。該等電晶體皆具有一閘極絕緣薄膜8形成在一半導體基片1上，一閘極電極12被供應著隔片在側牆上，多個擴散層15和19與該閘極電極12自行排列地被形成。在該等擴散層15和19的外圍形成各別與其成自行排列的外擴散層16和20。當每一電晶體經由層間絕緣薄膜24和25連接至一希望互連層26，相鄰電晶體經由一PN接面隔離而非傳統使用的LOCOS薄膜彼此隔離。該槽5和7的表面雜質濃度被調整至約每立方公分2.5×10^{18}，此比傳統位準爲高。該雜質濃度被調整以使得出現較該閘極電極和互連層爲低的寄生電晶體閥限電壓比電源供應器電壓爲高。

圖2展示P槽表面雜質濃度和出現較該閘極電極爲低的寄

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（14）

生電晶體通道反向電壓間之關係，在該等狀況下，當該閘極絕緣薄膜具有一200埃厚度，週圍溫度爲攝氏25度，及施於源極和基片間電壓V_{BS}爲零。如圖2所示，當該電源供應器電壓爲3.3伏特，該槽表面雜質濃度需要高於每立方公分1.0×10^{18}，而當電源供應器電壓爲5伏特，則濃度需高於每立方公分2×10^{18}。

如圖3所示，其表示該槽表面雜質濃度和該接面擊穿電壓間之關係，傳統半導體裝置的接面擊穿電壓是隨著槽表面雜質濃度增加而減少。但是，本發明半導體裝置的接面擊穿電壓實質上在槽表面雜質濃度增加時是維持一定的，因爲該外擴散層16和20各別與該等擴散層15和19自行排列形或在該外圍內。

圖4(a)顯示從一深方向觀察之雜質濃度側圖，如從該擴散層15經由該外擴散層16至該P槽7。當一普通電晶體形成在具有如圖4(a)所示細線之高雜質濃度的P槽7內，當一作動電壓施於該電晶體爲小且因此該接面擊穿電壓爲低，該耗盡層寬度X被產生。但是，當外擴散層16形成在該擴散層15和具有依據本發明如圖4(a)之粗線所示高雜質濃度的P槽7之間，該耗盡層寬度Y被產生是當一作動電壓被施於變寬之電晶體及因此一希望的接面擊穿電壓可如傳統方式被提供，而該槽的雜質濃度則如圖4(a)點線所示爲低。

另外，該等外擴散層16和20與該等擴散層15和19自行排列形成以容許該擴散層15或19及該PN接面隔離間之規劃區域減低至零微米。這表示該擴散層15或19可經由該外

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（15）

擴散層16或20實質地與該PN接面隔離相接觸。因此，有效元件間隔離可被認爲與圖5所示裝置隔離的罩幕寬度相同。在圖6更明顯，即使該有效元件間隔離約爲0.3微米，一需要之接面擊穿電壓可被確保。

在前述實施例的半導體裝置內，耐電壓之減少可能是透穿所導致及出現在該互連層下的寄生電晶體作動可由保持該槽5及7的表面雜質濃度於高位準來防止。該等外擴散層16和20與該等擴散層16和20自行排列各別地形成在該外周邊以減少該PN接面隔離的接面電容，及增加該等槽5及7之表面雜質濃度。因此，一期望接面擊穿電壓可被確保，即使該PN接面隔離的寬度減少了。因此，該裝置隔離可藉由該PN接面隔離而不需使用LOCOS隔離即可獲致，因而減少生產罩幕式唯讀記憶體的步驟次數。

資料寫入該罩幕式唯讀記憶體之記憶體邏輯格陣列M可藉由植入劑量爲每平方公分6.0×10^{13}的磷離子進入希望電晶體的通道區域。圖7顯未該通道區域的閥限電壓和該植入劑量在下列狀況時之關係，其中多個磷離子在280仟電子伏及每立方公分2.5×10^{18}表面雜質濃度植入該P槽以將資料寫入該罩幕式唯讀記憶體。由圖7可見，該電晶體的閥限電壓經由此資料寫入作動而調整至約0.7伏特。此時，該槽的表面雜質濃度如圖8所示約爲每立方公分0.5×10^{17}。

結合該半導體裝置的製造一罩幕式唯讀記憶體方法之詳述將如圖1所示。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（16）

爲形成該罩幕式唯讀記憶體的一週邊電路C和一記憶體邏輯格陣列M，一具有20毫微米厚度的熱氧化薄膜2被形成在一矽基片1上，及然後一具有120毫微米薄膜厚度的氮化矽薄膜3則形成在該熱氧化薄膜2上，如圖9所示。一光阻劑則施於該氮化矽薄膜3上以形成一保護層組態4。然後，在N槽形成區域上的該氮化矽薄膜可用光刻法及RIE法移走及使用該保護層組態4爲一罩幕。依次地，在使用該氮化矽薄膜3和保護層組態4爲罩幕，該N槽形成區域5a在一150仟電子伏植入能量被摻雜以每平方公分4×10^{14}磷離子。

在該保護層組態4被移走後，一具有360毫微米厚度的LOCOS薄膜6經由高溫分解氧化作用形成，接著如圖10所示以熱磷酸移走該氮化矽薄膜3。一P槽形成區域7a在使用該LOCOS薄膜爲罩幕下，在一20仟電子伏植入能量植入每平方公分1.38×10^{14}劑量的硼離子。依序地，該基片在攝氏1100度被退火2小時使該等槽之主區如圖11形成一N槽5和一P槽7。此時，該N槽5和P槽7的表面雜質濃度被調整至每立方公分2.5×10^{18}，此是高於傳統濃度的。該LOCOS薄膜6和熱氯化薄膜則經由氫氟酸移走。

之後如圖12所示，該20毫微米厚度的氧化薄膜形成在該矽基片1的整個表面上。一保護層施於該氧化薄膜8上，及經由光刻法形成入一保護層組態9。該記憶體邏輯格陣列M在40仟電子伏植入能量摻雜入每平方公分3×10^{15}劑量的砷離子，及使用該保護層組態9爲一罩幕以形成一擴散

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（17）

數元線互連層10。

在該保護層組態9被移走後，一20毫微米厚閘極氧化薄膜11和一350毫微米厚度多晶矽薄膜如圖13所示成功地形以一普通方式形成在該氧化薄膜8上。接著在擴散磷離子後，該多晶矽薄膜成型爲一希望的組態以形成一閘極電極12。依序地，一氧化薄膜沈積在該閘極電極12上及由RIE法蝕刻以形成隔片13。

之後，一罩幕式組態14由光阻劑組成以形成如圖14所示N^+擴散層。雖然傳統罩幕組態僅含括N槽的週邊電路且由一大窗口在其他區域上所形成，依據本發明的該罩幕組態14僅在電晶體形成之P槽7上的該等區域具有窗口。使用該罩幕組態14，磷離子在30仟電子伏植入能量以每平方公分3×10^{15}植入該基片以形成N^+擴散層15。重覆使用該罩幕組態14，磷離子在200仟電子伏植入能量以每平方公分4×10^{14}劑量及以相對於該基片1表面一般線60度之角度植入該基片在該基片旋轉至該基片(晶圓中央時以形成外擴散層16在該P槽內。爲調整該電晶體的閥眼電壓，磷離子在280仟電子伏植入能量以每平方公分6×10^{13}劑量植入一位於該閘極電極12之下區域及使用該罩幕組態14形成一通道區域17。因此，經使用該罩幕組態以形成該N^+擴散層15，該外擴散層16僅在該N^+擴散層15的外週邊自行排列時形成。本發明使得一增機的接面擊穿電壓和減少接面電容爲之實現。即使該P槽具有高於傳統槽的離質濃度。

其次，如圖15所示一由光阻劑組成的罩幕組態形成P^+擴

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（18）

散層。雖然一傳統罩幕組態僅含括該P槽且與一大窗口形成在其它區域，根據本發明之該罩幕組態18僅在電晶體形成之該N槽5的該等區域具有窗口。經由使用該罩幕組態18，硼離子在50仟電子伏植入能量以每平方公分2×10^{15}劑量植入該基片以形成P^+擴散層19。經由使用該罩幕組態18，硼離子在一100仟電子伏植入能量和相對於該基片表面一般線60度角度以每平方公分1.6×10^{14}劑量植入該基片以在該基片旋轉至該基片(晶圓)中央處之N槽5內形成一外擴散層20。爲調整該電晶體的閥限電壓，硼離子在一120仟電子伏植入能量以每平方公分4.6×10^{13}劑量植入該基片，經由使用該罩幕組態18形成一通道區域21。因此，該外擴散層20可以自行排列僅形成在該等P^+擴散層19的外週邊，經由使用該罩幕組態以形成該等N^+擴散層19。本發明使得一增加的接面擊穿電壓和減少之接面電容爲之實現，即使該N槽具有高於傳統槽的雜質濃度。如該P槽7之例，該裝置隔離可經由該PN接面隔離而無需使用LOCOS隔離所獲致，因而減少製造罩幕式唯讀記憶體的步驟次數。

接著磷離子在使用一光阻劑22爲罩幕以每平方公分6×10^{13}劑量植入該記憶體邏輯格陣列內希望的電晶體的該等通道區域內，因而如圖16所示將資料寫入該記憶體邏輯格陣列M內。

在該基片受到一熱處理以使離子活化而植入及恢復該基片結晶性後，一NSG薄膜24和一BPSG薄膜25沈積在該基

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（19）

片上做爲層間絕緣薄膜，然後形成接觸孔，再形成金屬互連26。因此如圖1所示之該罩幕式唯讀記憶體完成了。

根據本發明，該等槽的雜質濃度調至相當高以使得位於該閘極電極互連電晶體之下該寄生電晶體的閥限電壓被設定比一電源供應器電壓爲高。因此，接面擊穿電壓之減少可能是由透穿所導致及該寄生電晶體之動作可避免。另外，既然該等外擴散層與該等擴散層自行排列各別地形成在該外週邊內，因此即使該等槽具有一高表面雜質濃度，該PN接面隔離的該接面電容可被減少。因此，該等相鄰電晶體的隔離可經由PN接面隔離而非使用該LOCOS隔離所獲致，因而獲致一具平坦表面的高可靠半導體裝置且容許高密度積體。

根據本發明將半導體裝置製造方法用入一罩幕式唯讀記憶體的週邊電路內使得一平記憶體具有一記憶體邏輯格陣列而無需供應一LOCOS隔離，因而使得一容許高密度積體的高可靠罩幕式唯讀記憶體爲之實現。

根據本發明製造一半導體裝置的方法，不需使用LOCOS隔離，獲致一接面隔離使得一接面擊穿電壓和接面電容量能適當地控制以實質地避免作動問題。

根據本發明將半導體裝置製造方法用入一罩幕式唯讀記憶體可縮短生產週期及生產成本，因爲該裝置隔離是由重複使用一罩幕來形成該記憶體邏輯格陣列所獲致。該製造的週邊電路表面被平坦化係因未用該LOCOS隔離。因此，一容許高密度積體的高可靠罩幕式唯讀記憶體可以高產

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（20）

出率製造。

僅特定現有較佳實施例被詳述，特定改變和改良可在該等實施例獲得而無需遠離如下列申請專利範圍所界定的本發明精神和範圍。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

四、中文發明摘要（發明之名稱：半導體裝置、罩幕式唯讀記憶體及其製造方法　）

一種半導體裝置包含一半導體基片與至少一含有多個第一傳導型式或第二傳導型式雜質離子之一槽被形成；多個電晶體皆具有一閘極絕緣薄膜形成在該槽上，一閘極電極形成在該閘極絕緣薄膜上及一對擴散層形成在該槽內；及一與該槽的傳導型式相同的外擴散層及與每一該等擴散層自行排列在該槽的外週邊內；該外擴散層具有一雜質濃度足以供應一希望的接面耐電壓，及當一作動電壓施於該相對電晶體，具有如將產生的一空乏層的相同寬度；該槽的雜質被設定於一濃度使得出現在該閘極電極之下連接著多個相鄰電晶體的一寄生電晶體的一閥限電壓高於一電源供應器電壓，由是該等相鄰電晶體彼此隔離。

英文發明摘要（發明之名稱：SEMICONDUCTOR DEVICE, MASK ROM AND FABRICATION METHOD THEREFOR　）

A semiconductor device comprises a semiconductor substrate formed with at least one well containing impurity ions of either a first conductivity type or a second conductivity type; a plurality of transistors each having a gate insulation film formed on the well, a gate electrode formed on the gate insulation film and a pair of diffusion layers formed in the well; and an outer diffusion layer of the same conductivity type as that of the well and self-aligned with each of the diffusion layers in an outer periphery thereof within the well; the outer diffusion layer having an impurity concentration sufficient to provide a desired junction withstand voltage and having substantially the same width as

（請先閱讀背面之注意事項再填寫本頁各欄）

裝　訂　線

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

四、中文發明摘要（發明之名稱：　　）

英文發明摘要（發明之名稱：　　）

that of a depletion layer to be generated when an operational voltage is applied to the corresponding transistor; the impurity of the well being set for a concentration such that a threshold voltage of a parasitic transistor appearing below the gate electrode connecting adjacent transistors is higher than a power supply voltage, whereby the adjacent transistors are isolated from each other.

（請先閱讀背面之注意事項再填寫本頁各欄）

裝　訂　線

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

1. 一種半導體裝置，包含：

一半導體基片被形成及至少一槽含有第一傳導型式或一第二傳導型式的多個雜質離子；

多個電晶體皆具有一閘極絕緣薄膜形成在該槽上、一閘極電極形成在該閘極絕緣薄膜上及一對擴散層形成在該槽內；及一傳導型式如同該槽的外擴散層及與每一擴散層自行排列在該槽內的一外週邊；

該外擴散層具有一雜質濃度足以供應一希望的接面擊穿電壓及具有實質上與一將被產生的耗盡層相同寬度於一作動電壓被施於該對應電晶體時；

該槽的雜質被設定至一濃度以使得出現在該閘極電極下連接著多個相鄰電晶體的一寄生電晶體之閥限電壓高於一電源供應器電壓，由是該等相鄰電晶體彼此隔離。

2. 根據申請專利範圍第1項之半導體裝置，其中第一傳導型式或一第二傳導型式之該槽具有一每立方公分1×10^{18}至3×10^{18}雜質濃度。

3. 一種罩幕式唯讀記憶體，包含一記憶體邏輯格陣列及於此結合一半導體裝置之週邊電路，包含：

一半導基片與至少含有一第一傳導型式或一第二傳導型式雜質離子的一槽；

多個電晶體皆具有一閘極絕緣薄膜形成在該槽上，一閘極電極形成在該閘極絕緣薄膜上及一對擴散層形成於該槽內；及

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

一外擴散層與該槽的爲相同傳導型式及與每一該等擴散層自行排列在該槽的外週邊內；

該外擴散層具有一雜質濃度足以供應一希望的接面擊穿電壓，及當一作動電壓施於該相對電晶體時，具有如將產生的耗盡層的雜質相同寬度；

該槽的雜質被設定至一濃度以使得出現在該閘極電極之下連接著多個相鄰電晶體的一寄生電晶體之閥限電壓高於一電源供應器電壓，由是該等相鄰電晶體彼此隔離。

4. 根據申請專利範圍第3項之單幕式唯讀記憶體，其中第一傳導型式或第二傳導型式的該槽具有一每立方公分1×10^{18}至3×10^{18}雜質濃度。

5. 一種製造一半導體裝置之方法，包含該等步驟：

(i)形成在一半導體基片內至少一第一傳導型式或一第二傳導型式的一槽具有一雜質濃度以使得出現在一稍後形成閘極電極之下的一寄生電晶體之閥限電壓高於一電源供應器電壓；

(ii)形成多個閘極絕緣薄膜和閘極電極在該槽上，接著經由使用具有一希望組態的保護層組態因而供應多個電晶體，接著形成多個擴散層與該等閘極電極自行排列；及

(iii)植入傳導型式與該槽不同的多個雜質離子進入單幕著該保護層組態的該半導體基片以形成第一傳導型式或第二傳導型式的一外擴散層，其與每一該等擴

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

散層自行排列在該槽的一外週邊內，因而使得多個相鄰電晶體彼此隔離及容許該等擴散層具有一希望的接面擊穿電壓。

6. 根據申請專利範圍第5項之方法，其中第一傳導型式或第二傳導型式的該槽具有一每立方公分1×10^{18}至3×10^{18}雜質濃度。

7. 根據申請專利範圍第5或6項之方法，其中該等擴散層經由以相對於該步驟(ii)的該基片表面90度角度離子植入而形成；及

該等外擴散層是由以相對於該基片表面之一般線約45至60度角度離子植入形成，當旋轉該基片至相對於步驟(iii)該基片表面的一軸延伸至一90度角。

8. 一種用以製造一具有一記憶體邏輯格陣列和一週邊電路的罩幕式唯讀記憶體之方法，包含該等步驟：

(i)形成一第一傳導型式或第二傳導型式的一槽於一半導體基片內，具有一雜質濃度以使得出現在一稍後步驟形成之閘極電極之下一寄生電晶體的一閾限電壓被設定高於一電源供應器電壓；

(i')形成多個擴散層彼此平行僅於該記憶體邏輯格陣列區域內之該槽內；

(ii)形成多個閘極絕緣薄膜和閘極電極在該槽上，接著使用具有一希望的組態的一保護層組態以供應多個電晶體，形成多個擴散層與該等閘極電極自行排列；

(iii)植入傳導型式與該槽不同的多個雜質離子進入

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

罩幕著該保護層組態的該半導體基片內以形成該第一傳導型式或第二傳導型式的一外擴散層與每一該等擴散層自行排列在該槽的外週邊內，因而使多個相鄰電晶體彼此隔離及容許該等擴散層具有一希望的接面擊穿電壓；及

(iv)植入一傳導型式不同於該槽的雜質進入該記憶體邏輯格區域位於希望的閘極電極之下的區域內，因而將資料寫入該記憶體邏輯格內。

9. 根據申請專利範圍第8項之方法，其中該第一傳導型式或第二傳導型式的該槽具有一每立方公分1×10^{18}至3×10^{18}雜質濃度。

10. 根據申請專利範圍第8或9項之方法，其中該等擴散層藉由在一相關於該步驟(ii)的該基片表面90度角度離子植入而形成；及

該等外擴散層當旋轉該基片約一軸延伸於相關於該步驟(iii)的該基片表面90度角度時，藉由相關於該基片表面一般線約45度至60度角度之離子植入而形成。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

第84109867號專利申請案
中文圖式修正本(85年6月)

修正補充
年 月 日
85. 6. -6

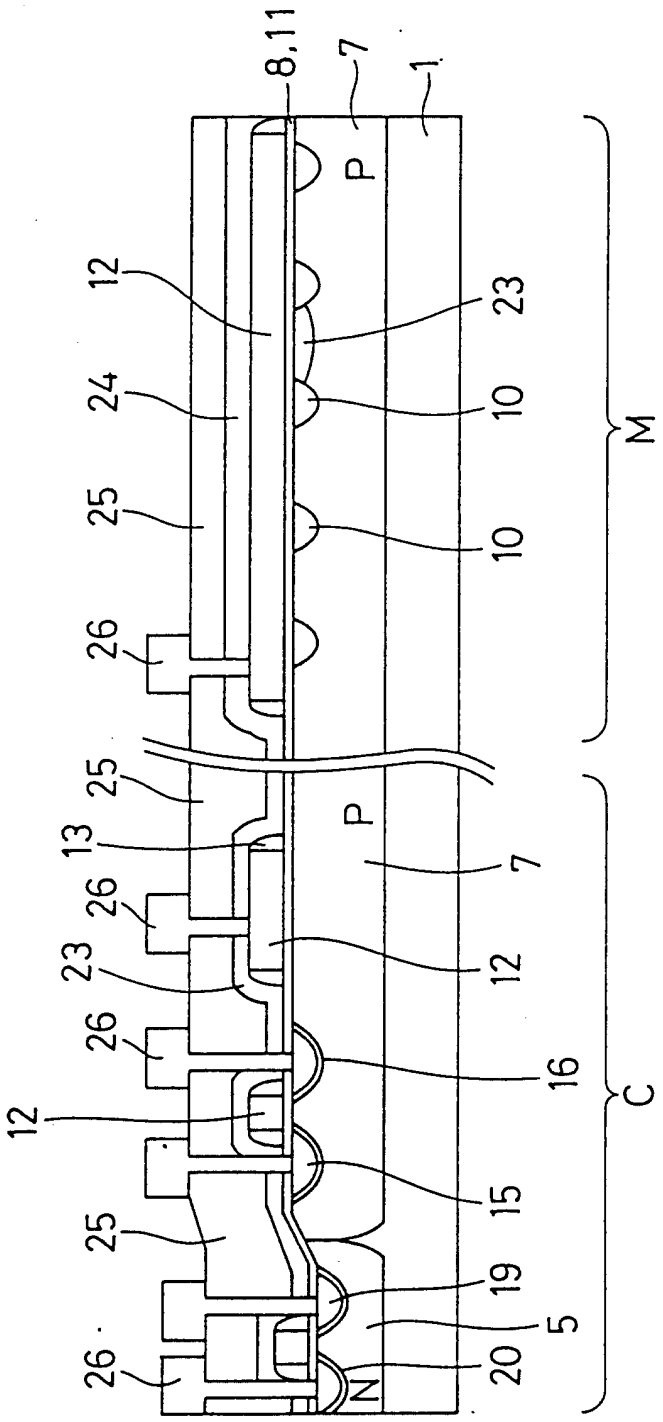
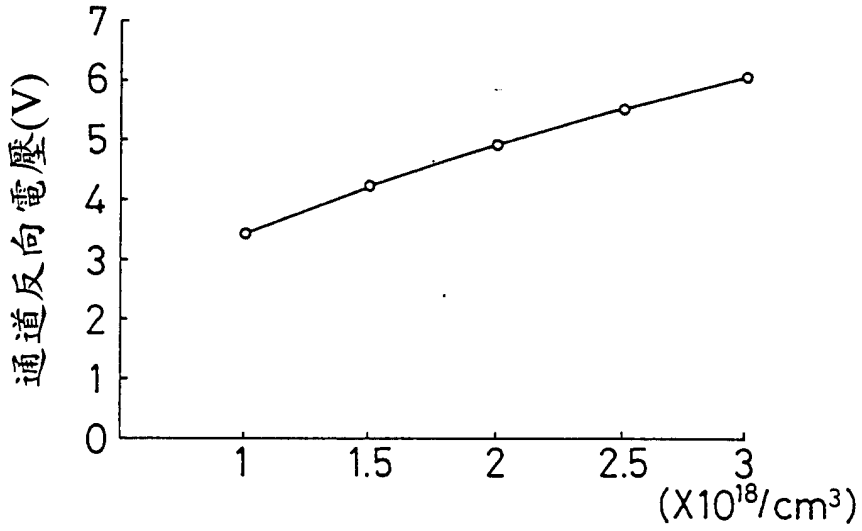


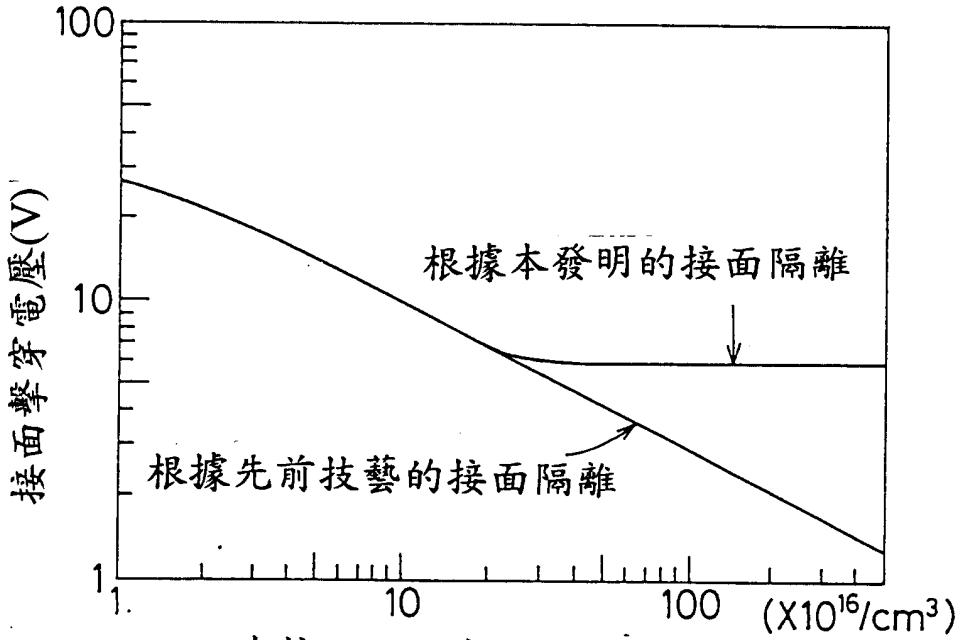
圖 1

圖 2



在槽表面的雜質濃度

圖 3



在接面隔離表面的雜質濃度

圖 4 (a)

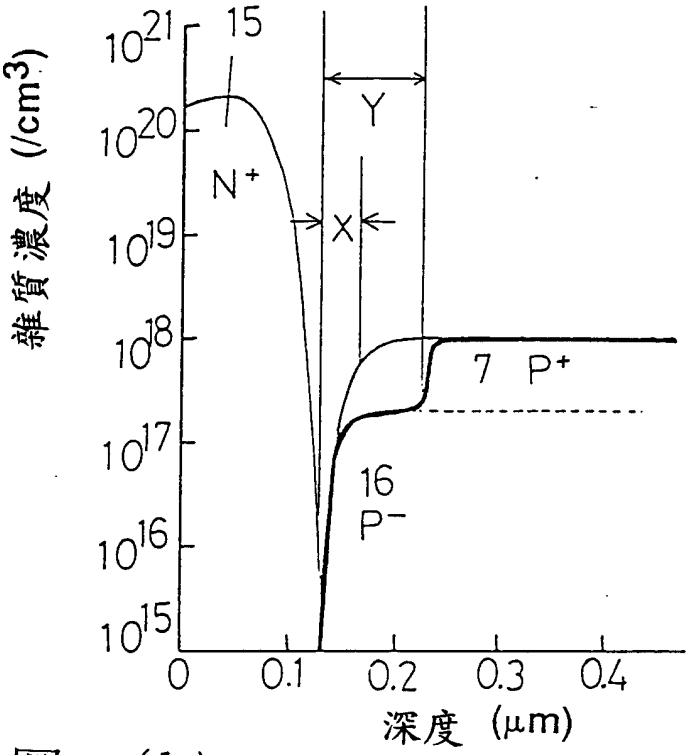

雜質濃度 (/cm3)
10^21
10^20
10^19
10^18
10^17
10^16
10^15
15
Y
N+
X
7 P+
16
P−
0
0.1
0.2
0.3
0.4
深度 (μm)

圖 4 (b)

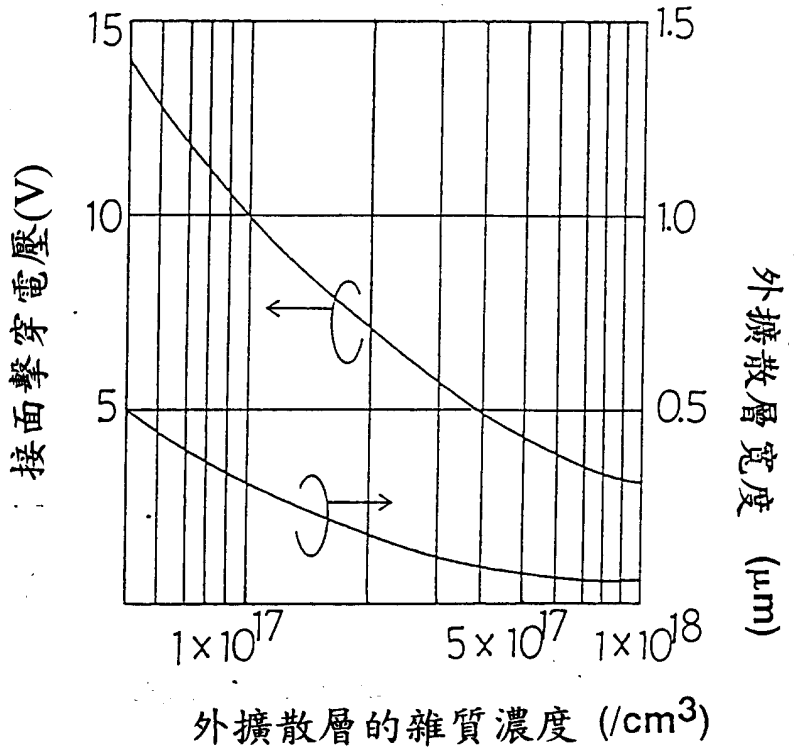

15
10
5
1.5
1.0
0.5
接面擊穿電壓(V)
外擴散層寬度 (μm)
1×10^17
5×10^17
1×10^18
外擴散層的雜質濃度 (/cm3)

圖 5

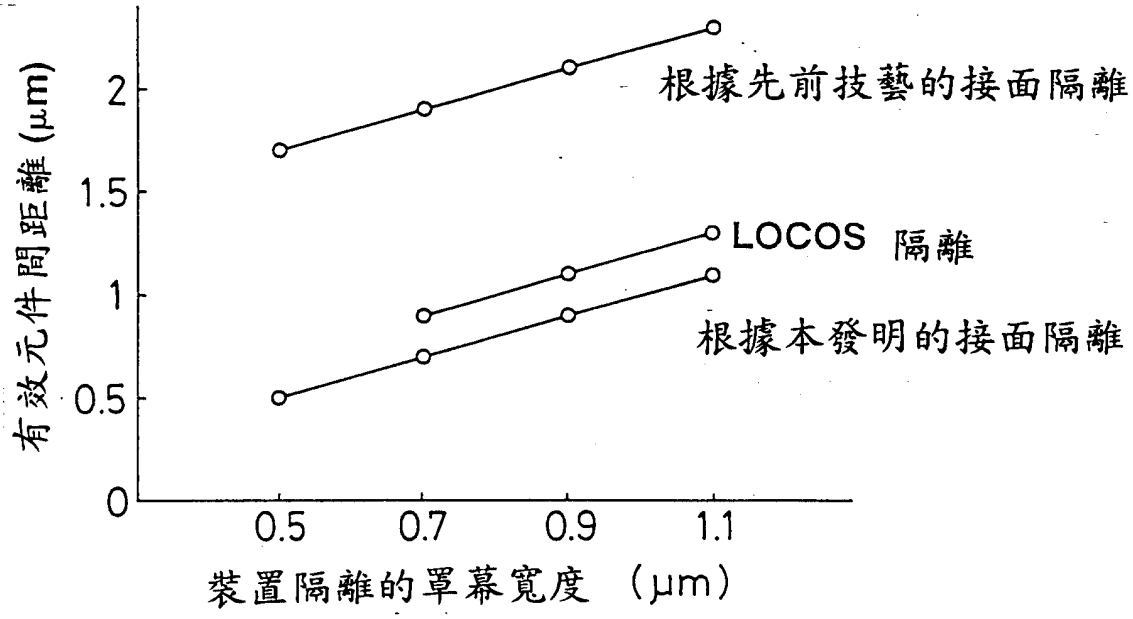

有效元件間距離 (μm)
0
0.5
1
1.5
2
0.5
0.7
0.9
1.1
裝置隔離的罩幕寬度 (μm)
根據先前技藝的接面隔離
LOCOS 隔離
根據本發明的接面隔離

圖 6

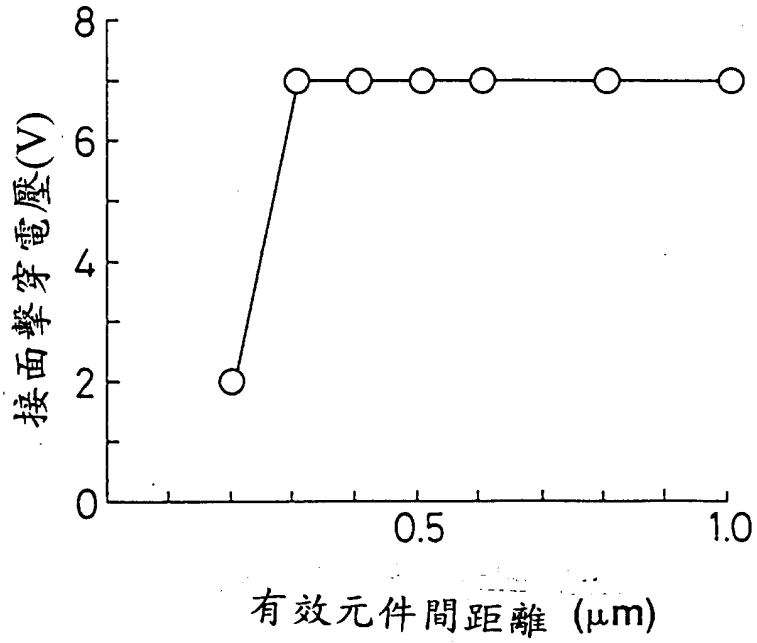

接面擊穿電壓(V)
0
2
4
6
8
0.5
1.0
有效元件間距離 (μm)

圖 7

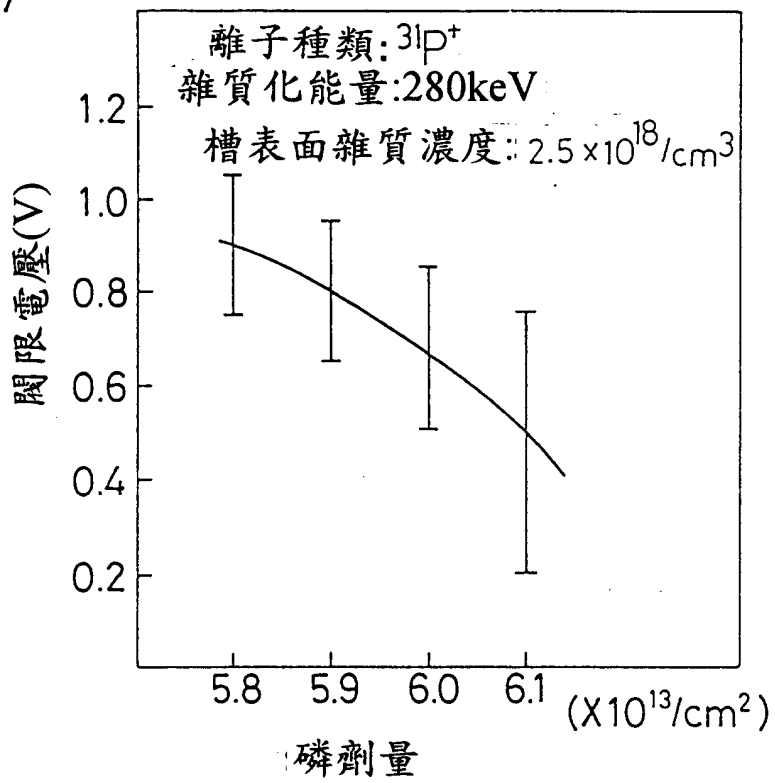

離子種類: $^{31}P^{+}$
雜質化能量:280keV
槽表面雜質濃度: $2.5 \times 10^{18}/cm^3$
閥限電壓(V)
1.2
1.0
0.8
0.6
0.4
0.2
5.8
5.9
6.0
6.1
($X10^{13}/cm^2$)
磷劑量

圖 8

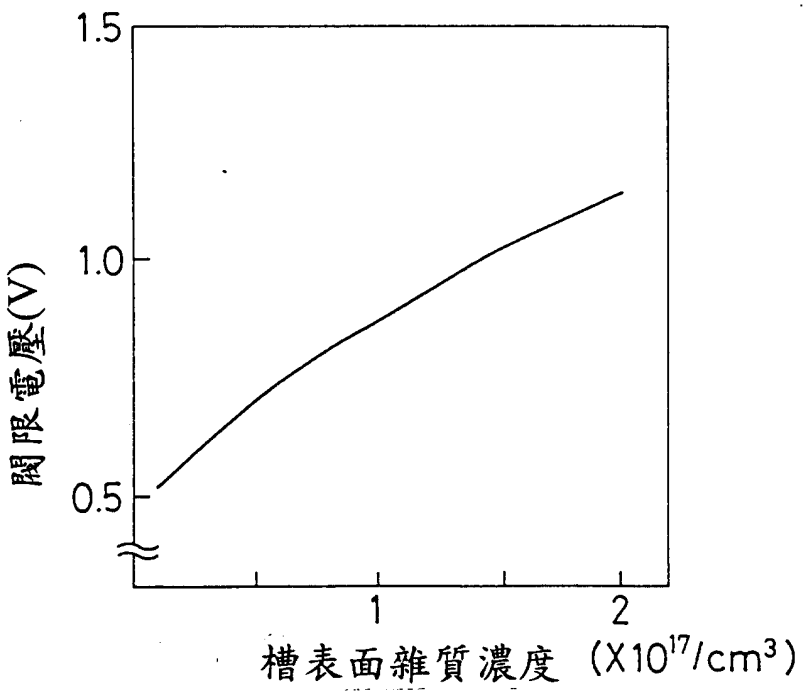

閥限電壓(V)
1.5
1.0
0.5
1
2
槽表面雜質濃度 ($X10^{17}/cm^3$)

圖 9

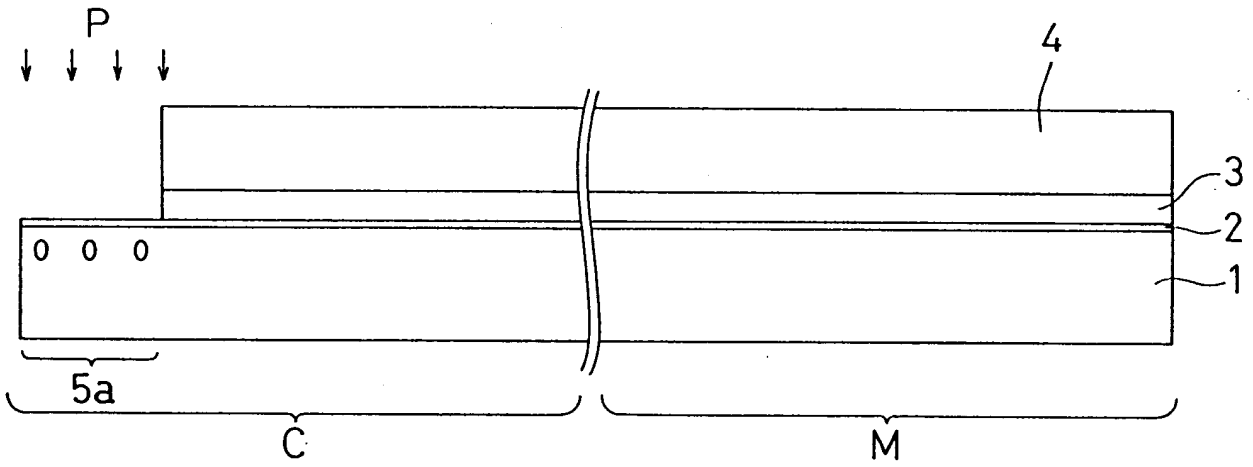


圖10

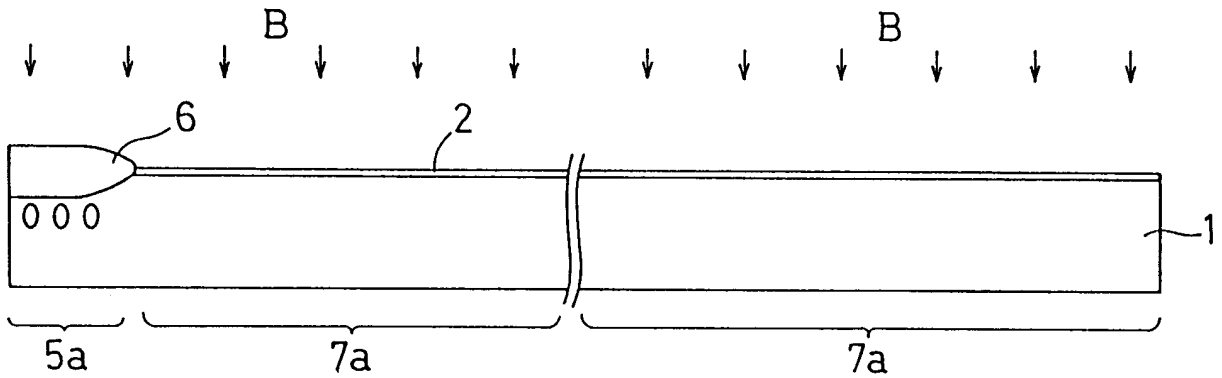


圖 11

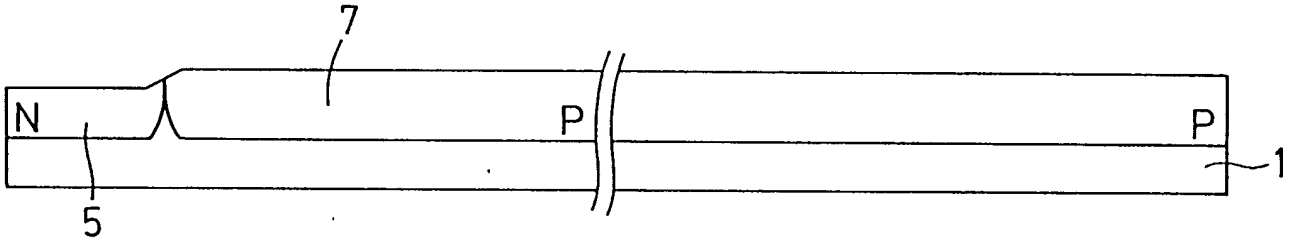


圖 12

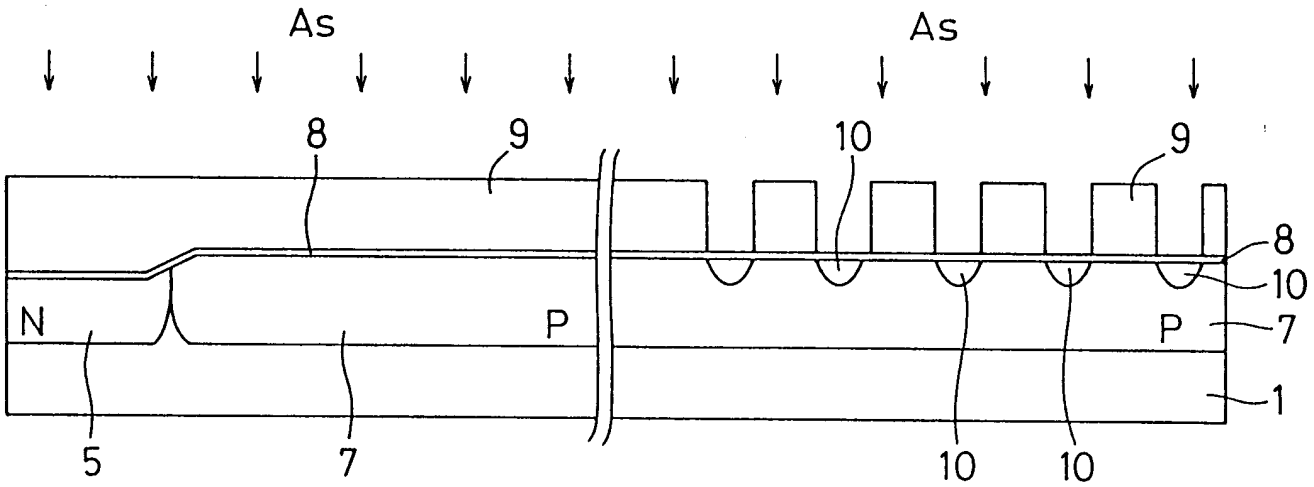


圖 13

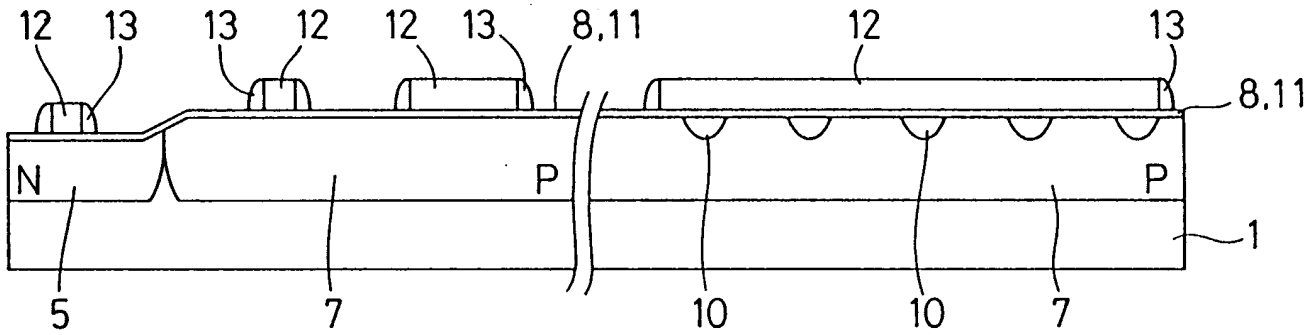
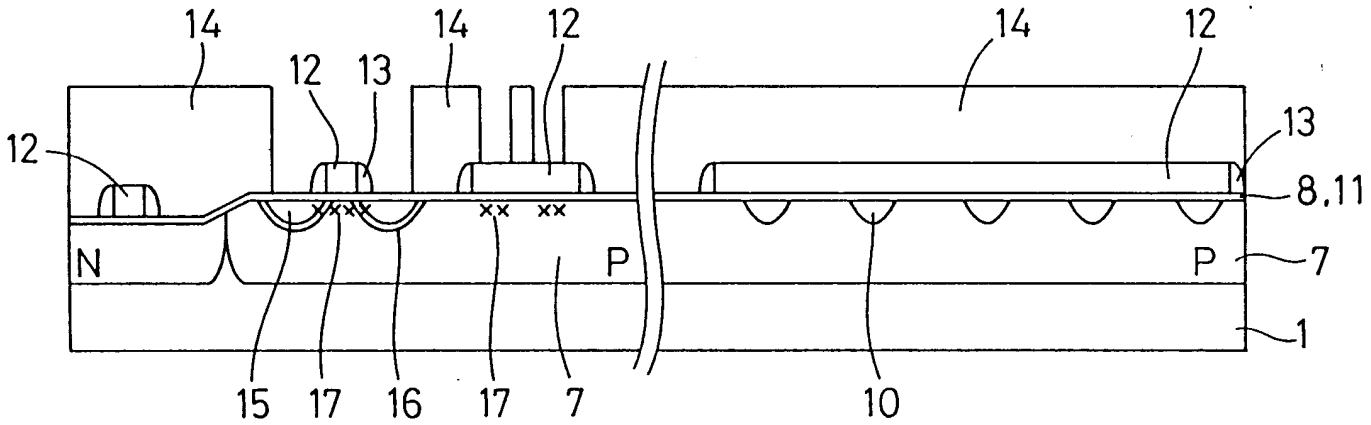

12
13
13
12
12
13
8,11
12
13
8,11
N
P
P
1
5
7
10
10
7

圖 14


14
14
12
14
12
12
13
13
8,11
N
P
P
7
1
15
17
16
17
7
10

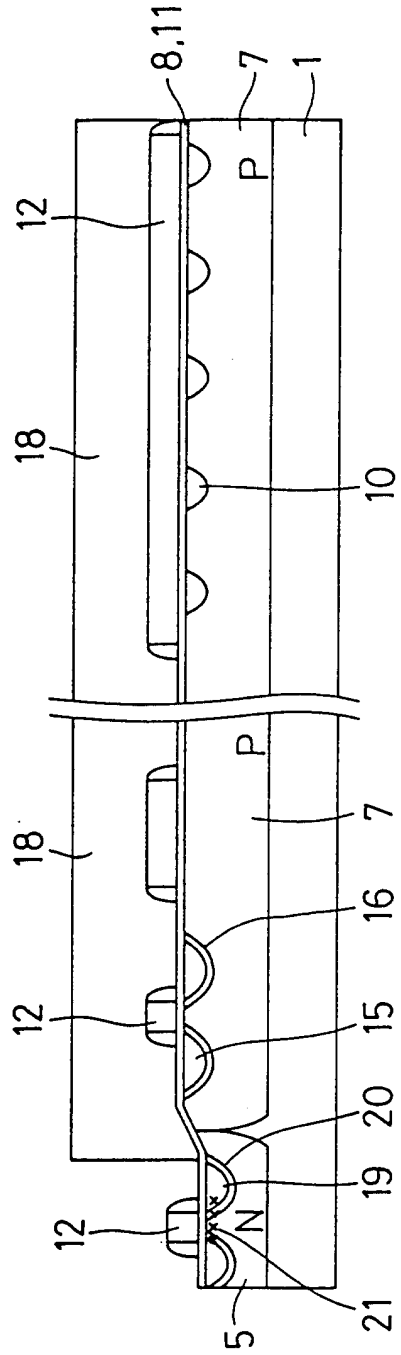

8,11
7
1
12
P
18
10
18
7
16
12
15
20
19
12
N
21
5

圖 15

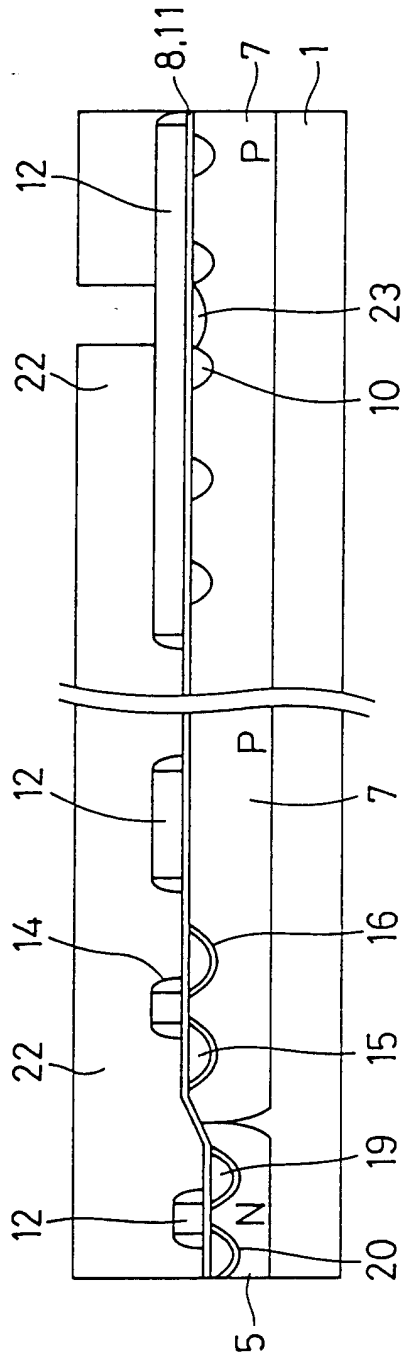

8,11
7
1
12
P
23
22
10
12
7
14
16
22
15
19
12
N
20
5

圖 16

圖 17　先前技藝

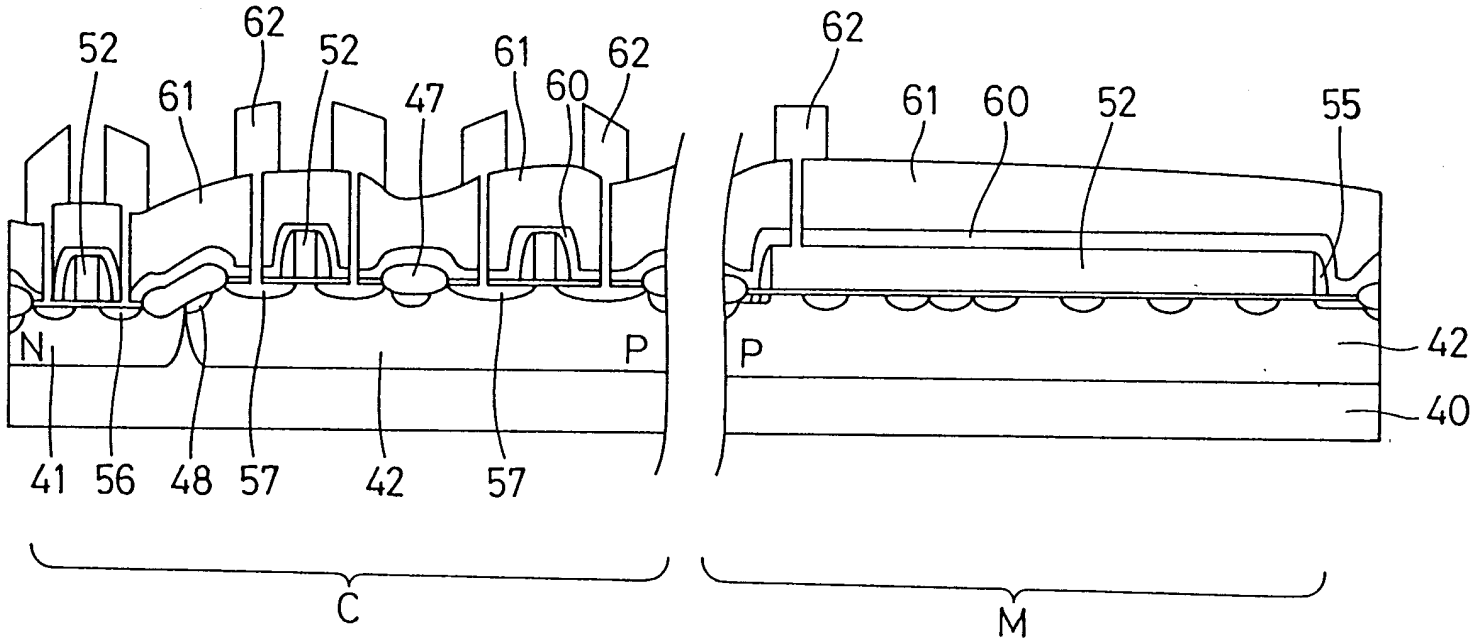


圖 18 (先前技藝)

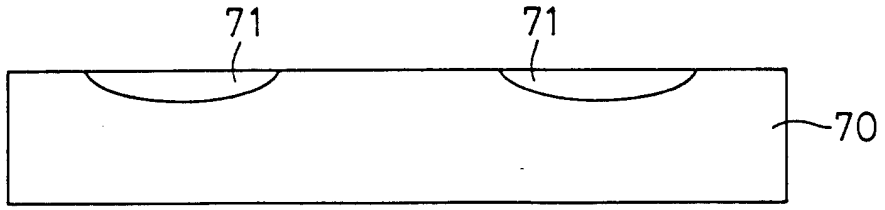


圖 19 (先前技藝)

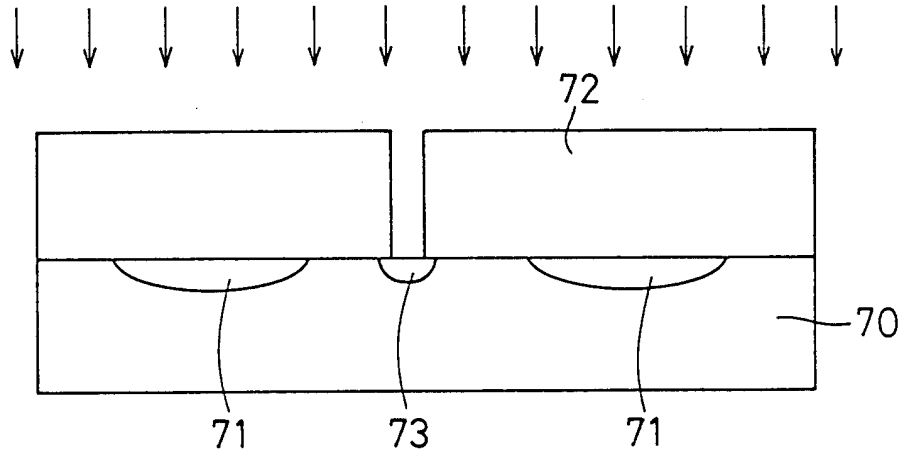


圖 20 (先前技藝)

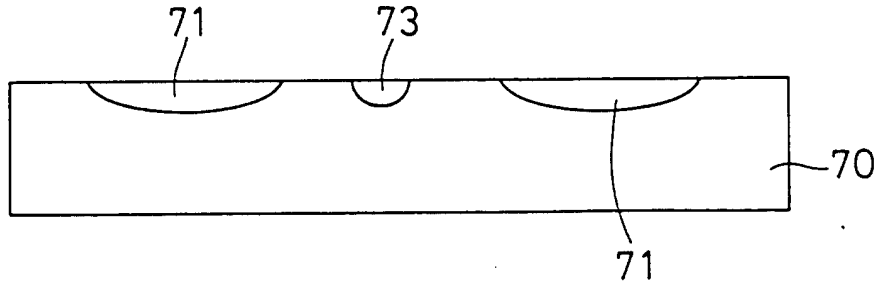


圖 21 (先前技藝)

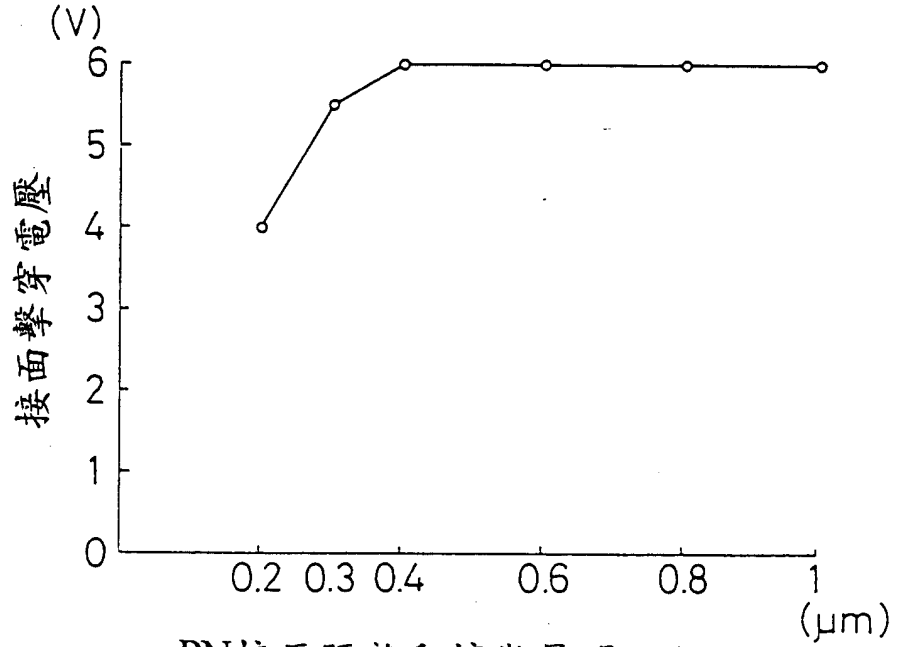


圖 22 (先前技藝)

