



(12) 发明专利

(10) 授权公告号 CN 1926637 B

(45) 授权公告日 2010.08.18

(21) 申请号 200580006490.5

(51) Int. Cl.

(22) 申请日 2005.01.10

G11C 16/34 (2006.01)

(30) 优先权数据

10/761,620 2004.01.21 US

G11C 11/56 (2006.01)

(85) PCT申请进入国家阶段日

2006.08.31

(56) 对比文件

EP 0877386 A1, 1998.11.11, 全文 .

(86) PCT申请的申请数据

CN 1339160 A, 2002.03.06, 全文 .

PCT/US2005/000666 2005.01.10

US 6343033 B1, 2002.01.29, 说明书第1栏
第60行至第4栏第17行 .

审查员 赵婧

(87) PCT申请的公布数据

W02005/073981 EN 2005.08.11

(73) 专利权人 桑迪士克股份有限公司

地址 美国加利福尼亚州

(72) 发明人 格特简·海民克 方玉晶

(74) 专利代理机构 北京律盟知识产权代理有限

责任公司 11287

代理人 刘国伟

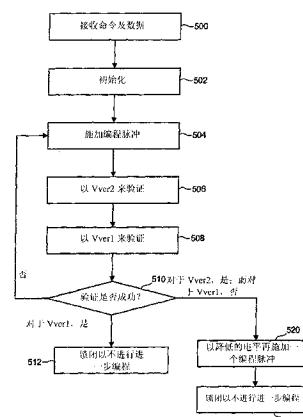
权利要求书 5 页 说明书 12 页 附图 12 页

(54) 发明名称

非易失性存储器及其编程方法

(57) 摘要

对一组非易失性存储元件实施一个或一个以上编程操作。举例而言，所述编程操作可包括施加一组编程脉冲。实施一验证过程以确定所述非易失性存储元件中哪些已达到一中间验证阈值但尚未达到一最终验证阈值。在一降低的电平处对所述已达到所述中间验证阈值但未达到所述最终验证阈值的非易失性存储元件实施一个额外编程操作，然后禁止那些非易失性存储元件的进一步编程。尚未达到所述中间验证阈值的非易失性存储元件将继续编程。达到所述最终验证阈值的非易失性存储元件则被禁止编程。



1. 一种用于对非易失性存储器进行编程的方法,其包括:

对一非易失性存储元件实施一个或一个以上编程操作;

确定所述非易失性存储元件已达到一中间验证阈值,所述中间验证阈值不同于一最终验证阈值;

响应于所述确定步骤,以一降低的电平对所述非易失性存储元件实施仅一个额外编程操作;及

无论所述非易失性存储元件的阈电压响应于所述一个额外编程操作发生如何变化,均在实施所述仅一个额外编程操作后禁止编程所述非易失性存储元件。

2. 根据权利要求 1 所述的方法,其中:

所述一个或一个以上编程操作包括施加以一步长增大其幅值的编程脉冲;及

所述一个额外编程操作使所述非易失性存储元件的一阈电压改变一为所述步长一半的量。

3. 根据权利要求 1 所述的方法,其中:

所述中间验证阈值比所述最终验证阈值低一量,以便在所述非易失性存储元件已达到所述中间验证阈值后所述一个额外编程操作将使所述非易失性存储元件达到所述最终验证阈值。

4. 根据权利要求 1 所述的方法,其中:

所述一个或一个以上编程操作是在所述非易失性存储元件的一位线电压处于一编程电平时实施;

所述禁止编程所述非易失性存储元件是在所述非易失性存储元件的所述位线电压处于一禁止电平时实施;及

所述一个额外编程操作是在所述非易失性存储元件的所述位线电压处于一介于所述编程电平与所述禁止电平之间的中间电平时实施,所述非易失性存储元件的所述位线电压处于所述中间电平恰好长达一个编程操作。

5. 根据权利要求 1 所述的方法,其中:

通过升高所述非易失性存储元件的一位线电压,以所述降低的电平实施所述一个额外编程操作。

6. 根据权利要求 1 所述的方法,其中:

所述一个或一个以上编程操作包括施加编程脉冲;及

通过减小一用于所述一个额外编程操作的编程脉冲的宽度,以所述降低的电平实施所述一个额外编程操作。

7. 根据权利要求 1 所述的方法,其中:

所述一个或一个以上编程操作包括施加编程脉冲;

所述实施仅一个额外编程操作的步骤包括施加一个编程脉冲;及

需要在施加所述一个编程脉冲后实施所述禁止步骤。

8. 一种用于对非易失性存储器进行编程的方法,其包括:

对非易失性存储元件实施一个或一个以上编程操作;

确定所述非易失性存储元件中哪些达到一中间验证阈值但尚未达到一最终验证阈值;

以一降低的电平对所述已达到所述中间验证阈值但尚未达到所述最终验证阈值的非易失性存储元件实施一个额外编程操作；

对于所述已达到所述中间验证阈值但尚未达到一最终验证阈值的非易失性存储元件，在所述一个额外编程操作后自动禁止编程；及

继续对尚未达到所述中间验证阈值的非易失性存储元件进行编程。

9. 根据权利要求 8 所述的方法，其中：

所述一个或一个以上编程操作包括施加以一步长增大其幅值的编程脉冲；及

对于所述已达到所述中间验证阈值但尚未达到所述最终验证阈值的非易失性存储元件，所述一个额外编程操作使阈电压改变一为所述步长一半的量。

10. 根据权利要求 8 所述的方法，其中：

所述中间验证阈值比所述最终验证阈值低一量，以使得对于已达到所述中间验证阈值的非易失性存储元件来说，所述一个额外编程操作将使所述非易失性存储元件达到所述最终验证阈值。

11. 根据权利要求 8 所述的方法，其中：

所述一个或一个以上编程操作是在所述非易失性存储元件的位线电压处于一编程电平范围时实施；

所述禁止编程是在位线电压处于一禁止电平时实施；及

所述一个额外编程操作是在位线电压处于一介于所述编程电平与所述禁止电平之间的中间电平时实施。

12. 根据权利要求 11 所述的方法，其中：

所述一个或一个以上编程操作包括施加编程脉冲；

所述实施仅一个额外编程操作的步骤包括施加一个编程脉冲；及

需要在施加所述一个编程脉冲后实施所述禁止步骤。

13. 根据权利要求 8 所述的方法，其中：

所述一个或一个以上编程操作包括施加编程脉冲；

所述实施仅一个额外编程操作的步骤包括施加一个编程脉冲；及

需要在施加所述一个编程脉冲后实施所述禁止步骤。

14. 根据权利要求 8 所述的方法，其中：

所述一个或一个以上编程操作包括施加编程脉冲；及

通过减小一用于所述一个额外编程操作的编程脉冲的一宽度，以所述降低的电平实施所述一个额外编程操作。

15. 一种非易失性存储系统，其包括：

用于对非易失性存储元件实施一个或一个以上编程操作的装置；

用于确定所述非易失性存储元件中哪些达到一中间验证阈值但尚未达到一最终验证阈值的装置；

用于以一降低的电平对所述已达到所述中间验证阈值但尚未达到所述最终验证阈值的非易失性存储元件实施一个额外编程操作的装置；

对于所述已达到所述中间验证阈值但尚未达到一最终验证阈值的非易失性存储元件，用于在所述一个额外编程操作后自动禁止编程的装置；及

用于继续对尚未达到所述中间验证阈值的非易失性存储元件进行编程的装置。

16. 根据权利要求 15 所述的非易失性存储器系统, 其中 :

所述一个或一个以上编程操作包括以一步长增大其幅值的编程脉冲 ; 及

对于所述已达到所述中间验证阈值但尚未达到所述最终验证阈值的非易失性存储元件, 所述一个额外编程操作使阈电压改变一为所述步长一半的量。

17. 根据权利要求 15 所述的非易失性存储系统, 其中 :

所述一个或一个以上编程操作是在所述非易失性存储元件的位线电压处于一编程电平范围时实施 ;

所述禁止编程是在位线电压处于一禁止电平范围时实施 ; 及

所述一个额外编程操作是在位线电压处于一介于所述编程电平范围与所述禁止电平范围之间的中间电平范围时实施。

18. 根据权利要求 15 所述的非易失性存储系统, 其中 :

所述一个或一个以上编程操作包括施加编程脉冲 ; 及

所述一个额外编程操作包括施加一个编程脉冲。

19. 一种用于对非易失性存储器进行编程的方法, 其包括 :

对一非易失性存储元件实施编程操作, 所述编程操作包括一增大编程电压, 所述增大编程电压具有一增量大小 ;

确定所述非易失性存储元件已达到一组一个或一个以上中间验证阈值中的一特定中间验证阈值 ;

响应于所述确定步骤, 对所述非易失性存储元件实施一个额外编程操作, 所述一个额外编程操作使所述非易失性存储元件的一阈电压改变所述增量大小的一分数, 其中所述分数的大小取决于已确定要达到所述中间验证阈值中的哪一中间验证阈值 ; 及

在实施所述一个额外编程操作之后, 禁止编程所述非易失性存储元件, 需要在所述一个额外编程操作之后且在其它额外编程操作之前实施所述禁止步骤。

20. 根据权利要求 19 所述的方法, 其中 :

所述增量大小的所述分数是所述增量大小的一半, 及

所述一个或一个以上中间验证阈值组包括一个中间验证阈值。

21. 根据权利要求 19 所述的方法, 其中 :

所述增量大小的所述分数是所述增量大小的三分之一 ; 及

所述中间验证阈值组包括两个中间验证阈值。

22. 根据权利要求 19 所述的方法, 其中 :

所述增量大小的所述分数是所述增量大小的三分之二 ; 及

所述中间验证阈值组包括两个中间验证阈值。

23. 根据权利要求 19 所述的方法, 其中 :

所述中间验证阈值组包括三个或更三个以上中间验证阈值。

24. 根据权利要求 19 所述的方法, 其中 :

所述编程操作是在所述非易失性存储元件的一位线电压处于一编程电平时实施 ;

所述禁止编程是在所述位线电压处于一禁止电平时实施 ; 及

所述一个额外编程操作是在所述位线电压处于一介于所述编程电平与所述禁止电平

之间的中间电平时实施。

25. 根据权利要求 19 所述的方法, 其中 :

所述一个或一个以上编程操作包括施加编程脉冲 ;
所述一个额外编程操作包括施加一个编程脉冲 ; 及
需要在施加所述一个编程脉冲后实施所述禁止。

26. 一种非易失性存储系统, 其包括 :

用于对一非易失性存储元件实施编程操作的装置, 所述编程操作包括一增大编程电压, 所述增大编程电压具有一增量大小 ;

用于确定所述非易失性存储元件已达到一组一个或一个以上中间验证阈值中的一特定中间验证阈值的装置 ;

用于响应于所述确定步骤, 对所述非易失性存储元件实施一个额外编程操作的装置, 所述一个额外编程操作使所述非易失性存储元件的一阈电压改变所述增量大小的一分数, 其中所述分数的大小取决于已确定要达到所述中间验证阈值中的哪一中间验证阈值 ; 及

用于在实施所述一个额外编程操作之后, 禁止编程所述非易失性存储元件的装置, 所述禁止需要在所述一个额外编程操作之后且在其它额外编程操作之前实施。

27. 根据权利要求 26 所述的非易失性存储系统, 其中 :

所述编程操作是在所述非易失性存储元件的位线电压处于一编程电平范围时实施 ;
所述禁止编程是在所述位线电压处于一禁止电平范围时实施 ; 及

所述一个额外编程操作是在所述位线电压处于一介于所述编程电平范围与所述禁止电平范围之间的中间电平范围时实施。

28. 根据权利要求 26 所述的非易失性存储系统, 其中 :

所述编程操作包括施加编程脉冲 ; 及

所述一个额外编程操作包括施加一个编程脉冲。

29. 一种用于对非易失性存储器进行编程的方法, 其包括 :

对一非易失性存储元件实施一个或一个以上编程操作 ;

确定所述非易失性存储元件已达到一中间验证阈值 ; 及

响应于所述确定步骤, 对所述非易失性存储元件实施恰好一个额外编程操作, 所述中间验证阈值相对于一最终验证阈值定位以使得所述一个额外编程操作用来使所述非易失性存储元件达到所述最终验证阈值。

30. 一种用于创建一非易失性存储器系统的方法, 其包括 :

创建一非易失性存储元件阵列 ;

为一编程过程设定一最终验证阈值 ; 及

为所述编程过程设定一中间验证阈值, 以在一组一个或一个以上非易失性存储元件达到所述中间验证阈值之后, 一个编程操作将使所述一个或一个以上非易失性存储元件组达到所述最终验证阈值。

31. 根据权利要求 30 所述的方法, 其中 :

所述编程过程包括一组编程操作 ;

每一编程操作均包括施加一编程脉冲, 以使所述编程过程包括一组以一步长增大其幅值的编程脉冲 ; 及

所述最终验证阈值与所述中间验证阈值相差所述步长的一分数。

32. 根据权利要求 30 所述的方法，其中：

所述编程过程包括一组编程操作；

每一编程操作均包括施加一编程脉冲，以使所述编程过程包括一组以一步长增大其幅值的编程脉冲；及

所述最终验证阈值与所述中间验证阈值相差所述步长的一半。

非易失性存储器及其编程方法

技术领域

[0001] 本发明一般而言涉及用于对存储装置进行编程的技术。

[0002] 背景技术

[0003] 半导体存储装置愈来愈普遍地用于各种电子装置中。举例而言，非易失性半导体存储器可用于蜂窝式电话、数码相机、个人数字助理、移动计算装置、非移动计算装置及其他装置中。电可擦除可编程只读存储器 (EEPROM) 及快闪存储器即是最受欢迎的非易失性半导体存储器。

[0004] 典型的 EEPROM 及快闪存储器利用具有一浮动栅极的存储单元，所述浮动栅极设置于一半导体衬底中的一通道区上并与所述通道区隔离。所述通道区位于源极区与漏极区之间的一 p- 阵中。一控制栅极设置于浮动栅极上并与浮动栅极隔离。存储单元的阈电压受浮动栅极上所保持的电荷量控制。换句话说，浮动栅极上的电荷电平决定在接通存储单元以容许其源极与漏极之间导通之前必须施加至控制栅极的最小电压量。

[0005] 某些 EEPROM 及快闪存储器装置具有一用于存储两个电荷范围的浮动栅极，且因此可在两种状态之间编程 / 擦除所述存储单元。多位或多状态快闪存储单元是通过标识一装置内多个不同阈电压范围来构建的。每一不同的阈电压范围均对应于所述一组数据位的预定值。编程到存储单元内的数据与存储单元的阈电压电平之间的具体关系取决于针对存储单元所采用的数据编码方案。举例而言，美国专利第 6,222,762 号及 2003 年 6 月 13 日提出申请的美国专利申请案第 10/461,244 号 “Tracking Cells For A Memory System” 即阐述多种用于多状态快闪存储单元的数据编码方案，所述两个专利申请案者的全文均以引用方式并入本文中。为实现多状态单元的正确数据存储，多状态存储单元的多个阈电压电平范围之间应所述此间隔开足够的裕量，以便能够以清晰的方式编程或擦除存储单元的电平。

[0006] 当对 EEPROM 或快闪存储装置进行编程时，将一编程电压施加至控制栅极并将位线接地。来自通道的电子被注入所述浮动栅极。当电子积聚于浮动栅极中时，浮动栅极变成带负电荷且所述存储单元的阈电压升高。

[0007] 通常，如图 1 所示，编程电压 V_{pgm} 是作为一系列脉冲施加至控制栅极。所述脉冲的幅值随每一连续脉冲增大一预定步长（例如 0.2 伏特）。在所述脉冲之间的周期内，实施验证操作。换句话说，在每一编程脉冲之间读取正被并行编程的一组单元中每一

[0008] 当如图 2 中所述实施编程时，在编程速度与编程精度之间存在一折衷。编程精度与在编程过程后所编程存储单元的阈电压分布相关。阈电压分布愈紧密，愈容易清晰地读取存储单元。对于多状态存储单元而言，对紧密阈电压分布的需要更为重要，因为读取过程需要清晰地识别不同阈电压分布。为获得紧密阈电压分布，使用一较小的步长来编程电压 V_{pgm} 。然而，采用较小的步长会减慢编程过程。

[0009] 图 3 绘示对传统编程方法的一改良。图 3 的方法是将图 1 的编程电压信号 V_{pgm} 施加至拟编程的存储单元的控制栅极。于所述编程脉冲之间，实施验证操作。如果正被编程的存储单元的阈电压小于 V_{ver2} ，则在位线电压保持低电压（例如 0 伏特）的情况下继续

对所述单元进行编程。而如果所述存储单元的阈电压高于 Vver2 且低于 Vver1，则施加一中间位线电压（例如 1 伏特）。中间位线电压的结果是，因为由每一编程脉冲所引起的阈电压偏移将减小，所以通道电压将升高（例如 1 伏特）且对所述存储单元的编程将减慢。所述位线将保持在所述中间位线电压达数个脉冲，直至所述存储单元的阈电压达到最终目标 Vver1。当存储单元的阈电压达到 Vver1 时，位线将升高以阻止进一步编程（例如，通过将位线电压升至 Vinhibit（例如 Vdd））。

[0010] 采用图 3 的方法会比采用图 2 的方法产生更窄的编程阈电压分布，因为一旦阈电压接近目标值（例如当阈电压高于 Vvere2 且低于 Vver1 时），阈电压的每脉冲偏移量即会减小。然而，图 3 的编程方法的速度能得到改进，因为由于中间位线偏压减慢了存储单元的编程，因而可能需要多个额外的脉冲（例如通常为 2 至 3 个脉冲）方可完成所述编程过程。

[0011] 先前存储器系统的另一问题涉及功率。许多先前系统使用 3 伏特的 Vdd。使用一更低的 Vdd 是有利的，因为更低的 Vdd 使存储器系统能够使用更少的功率。如果存储器系统使用更少的功率，则主机装置（例如数码相机）将会具有更长的电池寿命。如果 Vdd 降低（例如降至 1.8 伏特），则存储单元可能不能使用一 1 伏特的中间位线电压。举例而言，于一具有一选择栅极晶体管的 NAND 链中（参见下文论述），如果将更低的 Vdd（例如 1.8 伏特）施加至选择栅极晶体管的栅极以接通所述选择栅极晶体管，那么所述 1 伏特位线电压可能不会完全传递至所述选择晶体管的源极侧。可传递至源极侧的电压取决于所述选择栅极晶体管的阈电压。如果（举例而言）选择栅极具有 1.2 伏特的阈电压，那么所述选择栅极的源极侧处的电压将仅会达到 0.6 伏特 -1.8 伏特（栅极电压）-1.2V（阈电压）。可通过降低选择栅极晶体管的阈电压使 1 伏特传递至源极侧；然而，此时在选择栅极关断（选择栅极处为 0 伏特）的情况下，所述晶体管的泄漏会增大。另一解决方案是将选择栅极的栅极电压升高至（例如）2.4 伏特，然而，在那种情况下，于编程期间，当在一所谓的自增强操作期间将 1.8 伏特施加至位线且所选 NAND 串下的通道区被增强至一高电压时，可能会发生自通道区朝位线的泄漏。

发明内容

[0012] 本发明概略地说是关于用于对一存储器装置进行编程的技术。更具体而言，本发明提供一种更快且会产生一更紧密阈电压分布的编程方法。于某些实施例中，所述经改良的编程方法是使用一更低的中间位线电压，藉此允许使用一更低的 Vdd。

[0013] 本发明的一实施例包括：对一非易失性存储元件执行一个或多个编程操作；确定所述非易失性存储元件已达到一中间验证阈值，响应所述确定步骤以一降低的电平对所述非易失性存储元件仅执行一个额外编程操作；及无论所述非易失性存储元件响应所述一个额外编程操作发生如何变化，均在执行所述额外编程操作后禁止所述非易失性存储元件的编程。于一示性实施方案中，所述编程方法包括：施加一组其幅值随时间增大的脉冲至正被编程的存储单元的控制栅极，其中上文所提及的每一编程操作均包括施加一个脉冲。于其它实施例中，一编程操作可根据特定的存储器技术而包括一不同于施加一脉冲的操作。举例而言，可利用脉冲以外的程序信号，其中包括增大的信号（具有或不具有固定增量大小）或不增大的信号。

[0014] 本发明的另一实施例包括：对一非易失性存储元件执行编程操作，其中所述编程

操作包括以一增量大小升高编程电压 ;确定所述非易失性存储元件已达到一组中间验证阈值中的一特定中间验证阈值 ;响应所述确定步骤对所述非易失性存储元件执行一个额外编程操作 ;无论所述非易失性存储元件响应所述一个额外编程操作发生如何变化,均于执行所述一个额外编程操作后禁止所述非易失性存储元件的编程。所述一个额外编程操作以所述增量大小的一分数改变所述非挥发性存储元件的阈电压,其中所述分数的大小取决于已确定达到哪一中间验证阈值。

[0015] 于某些实施例中,可具有一个以上(例如两个、三个或更多个)中间阈值。

[0016] 一例示性实施方案包括一非易失性存储元件阵列及一与所述非易失性存储元件通信的控制电路。所述控制电路 :致使所述非易失性存储元件执行一个或多个编程操作 ;确定哪一非易失性存储元件达到一中间验证阈值但尚未达到一最终验证阈值 ;致使以一降低的电平对所述已达到中间验证阈值但尚未达到最终验证阈值的非易失性存储元件执行一个额外编程操作 ;在所述一个额外编程操作后,自动禁止所述已达到中间验证阈值的非易失性存储元件的编程 ;及继续对尚未达到中间验证阈值的非易失性存储元件进行编程。

[0017] 本发明的另一实施例包括 :形成一非易失性存储元件阵列 ;为一编程过程设定一最终验证阈值并为所述编程过程设定一中间验证阈值,以便在一组一个或多个非易失性存储元件达到中间验证阈值后,一个编程操作将使所述一组一个或多个非易失性存储元件达到所述最终验证阈值。

[0018] 从下文结合图式阐述本发明较佳实施例的说明中,将更清晰地得知本发明的这些及其它目的及优点。

附图说明

[0019] 图 1 绘示一编程电压信号。

[0020] 图 2 绘示阈电压 (V_{th}) 与时间的关系曲线图及位线电压 (V_{b1}) 与时间的关系曲线图。

[0021] 图 3 绘示阈电压 (V_{th}) 与时间的关系曲线图及位线电压 (V_{b1}) 与时间的关系曲线图。

[0022] 图 4 是一 NAND 串的俯视图。

[0023] 图 5 是所述 NAND 串的等效电路图。

[0024] 图 6 是所述 NAND 串的截面图。

[0025] 图 7 是一其中实施本发明的各种态样的非易失性存储器系统的实施例的方块图。

[0026] 图 8 显示一存储器阵列的组织的实例。

[0027] 图 9 绘示列控制电路的一部分。

[0028] 图 10 绘示多状态存储单元的存储单元阈值分布。

[0029] 图 11 绘示阈电压 (V_{th}) 与时间的关系曲线图及位线电压 (V_{b1}) 与时间的关系曲线图。

[0030] 图 12 是一流程图,其说明一种使用本发明的概念来编程存储器的方法。

[0031] 图 13 是一流程图,其说明一种用于根据本发明的各种实施例进行编程的方法。

[0032] 图 14 是一流程图,其说明一种用于根据本发明的各种实施例来编程一逻辑页面的方法。

[0033] 图 15 绘示阈电压 (V_{th}) 与时间的关系曲线图及位线电压 (V_{b1}) 与时间的关系曲线图。

[0034] 图 16 绘示阈电压 (V_{th}) 与时间的关系曲线图及位线电压 (V_{b1}) 与时间的关系曲线图。

具体实施方式

[0035] 一适合实施本发明的快闪存储器系统的一实例使用 NAND 结构，其包括在两个选择栅极之间串联布置多个晶体管。所述串联晶体管及选择栅极被称作一 NAND 串。图 4 是一显示一 NAND 串的俯视图。图 5 是其一等效电路。图 4 及图 5 所绘示的 NAND 串包括四个串联且夹在一第一选择栅极 120 与一第二选择栅极 122 之间的晶体管 100、102、104 及 106。选择栅极 120 将 NAND 串连接至位线 126。选择栅极 122 将 NAND 串连接至源极线 128。通过施加合适的电压至控制栅极 120CG 来控制选择栅极 120。通过施加合适的电压至控制栅极 122CG 来控制选择栅极 122。所述晶体管 100、102、104 及 106 中每一晶体管均具有一控制栅极及一浮动栅极。晶体管 100 具有控制栅极 100CG 及浮动栅极 100FG。晶体管 102 包括控制栅极 102CG 及浮动栅极 102FG。晶体管 104 包括控制栅极 104CG 及浮动栅极 104FG。晶体管 106 包括一控制栅极 106CG 及浮动栅极 106FG。控制栅极 100CG 连接至字线 WL3，控制栅极 102CG 连接至字线 WL2，控制栅极 104CG 连接至字线 WL1，控制栅极 106CG 连接至字线 WL0。于一实施例中，晶体管 100、102、104 及 106 均是存储单元。于其它实施例中，存储单元可包括多个晶体管，或者可不同于图 4 及图 5 所绘示的情况。

[0036] 图 6 提供上述 NAND 串的截面图。如图 6 所示，NAND 串的晶体管形成于 p- 阵区 140 中。每一晶体管均包括一由控制栅极 (100CG、102CG、104CG 及 106CG) 及浮动栅极 (100FG、102FG、104FG 及 106FG) 组成的堆叠栅极结构。所述浮动栅极形成于一氧化物膜顶上的 p- 阵表面上。控制栅极位于浮动栅极上，其中一多晶硅介电层将控制栅极与浮动栅极隔离开。注意，图 6 看似绘示晶体管 120 及 122 的一控制栅极及浮动栅极。然而，对于晶体管 120 及 122，所述控制栅极与所述浮动栅极是连接在一起的。于其它实施例中，传统上视为浮动栅极的栅极被连接，而位于浮动栅极顶上的栅极不被连接。存储单元 (100、102、104、106) 的控制栅极形成字线。N+ 扩散层 130、132、134、136 及 138 在各相邻单元之间共用，藉此所述单元相互串联连接以形成一 NAND 串。所述 N+ 扩散层形成所述单元中每一单元的源极及漏极。举例而言，N+ 扩散层 130 用作晶体管 122 的漏极及晶体管 106 的源极，N+ 扩散层 132 用作晶体管 106 的漏极及晶体管 104 的源极，N+ 扩散区 134 用作晶体管 104 的漏极及晶体管 102 的源极，N+ 扩散区 136 用作晶体管 102 的漏极及晶体管 100 的源极，N+ 扩散层 138 用作晶体管 100 的漏极及晶体管 120 的源极。N+ 扩散层 126 连接至 NAND 串的位线，同时 N+ 扩散层 128 连接至多个 NAND 串的一共用源极线。

[0037] 注意，虽然图 4-6 显示 NAND 串中的四个存储单元，但使用四个晶体管仅作为实例提供。一 NAND 串可具有少于四个存储单元或多于四个存储单元。举例而言，某些 NAND 串将包括 8 个存储单元、16 个存储单元、32 个存储单元等。本文的论述并不限于一 NAND 串中存储单元的特定数量。

[0038] 每一存储单元均可存储以模拟形式或数字形式表示的数据。当存储一个数字数据位时，将存储单元的可能阈电压范围划分为被指配逻辑数据“1”及“0”的两个范围。于一

NAND 型快闪存储器的实例中,在存储单元被擦除后,电压阈值为负,并定义为逻辑“1”。而在编程操作后,阈电压为正,并定义为逻辑“0”。当阈电压为负并尝试一读取时,存储单元将接通以指示正存储逻辑 1。而当阈电压为正且尝试一读取操作时,存储单元将不接通,此指示存储逻辑零。存储单元也可存储多个信息电平,举例而言,藉此存储多个数字数据位。在存储多个数据电平的情况下,将可能阈电压的范围划分成存储电平的数量。举例而言,如果存储四个信息电平,则将会存在指配给数据值“11”、“10”、“01”及“00”的四个阈电压范围。在一 NAND 型存储器的实例中,一擦除操作后的阈电压为负并定义为“11”。正阈电压用于状态“10”、“01”及“00”。

[0039] 在下列美国专利 / 专利申请案中提供有 NAND 型快闪存储器及其操作的相关实例,所有这些美国专利 / 专利申请案的全文均以引用方式并入本文中:美国专利第 5,570,315 号;美国专利第 5,774,397 号;美国专利第 6,046,935 号;美国专利第 5,386,422 号;美国专利第 6,456,528 号及美国专利申请案第 09/893,277 号(公开号 US2003/0002348)。关于编程 NAND 快闪存储器(包括自增强技术)的信息可见于:2003 年 3 月 5 日提出申请且名称为“Self Boosting Technique”的美国专利申请案 10/379,608;及 2003 年 7 月 29 日提出申请且名称为“Detecting Over ProgrammedMemory”的美国专利申请案 10/629,068,所述两个申请案的全文均以引用方式并入本文中。本发明也可使用其它类型的快闪存储装置。举例而言,下列专利即阐述 NOR 型快闪存储器,这些专利的全文以引用方式并入本文中:美国专利第 5,095,344 号;第 5,172,338 号;第 5,890,192 号;及第 6,151,248 号。快闪存储器类型的另一实例见于美国专利第 6,151,248 号中,其全文以引用方式并入本文中。

[0040] 图 7 是一可用于实施本发明的快闪存储器系统的一实施例的方块图。存储单元阵列 302 是由列控制电路 304、行控制电路 306、c- 源极控制电路 310 及 p- 阵控制电路 308 来控制。列控制电路 304 连接至存储单元阵列 302 的位线以读取存储于存储单元中的数据、确定编程操作期间存储单元的状态、并控制位线的电位电平以促进编程或禁止编程。行控制电路 306 连接至字线以选择所述字线中一者、施加读取电压、施加编程电压及施加一擦除电压。C- 源极控制电路 310 控制一连接至所述存储单元的共用源极线(在图 8 中标记为“C- 源极”)。P- 阵控制电路 308 控制 p- 阵电压。

[0041] 存储于存储单元中的数据是由列控制电路 304 读出并经由数据输入 / 输出缓冲器 312 输出至外部 I/O 线。拟存储于存储单元中的编程数据则经由所述外部 I/O 线输入至数据输入 / 输出缓冲器 312,并传送至列控制电路 304。所述外部 I/O 线连接至控制器 318。

[0042] 用于控制快闪存储装置的命令数据是输入至控制器 318。所述命令数据会通知快闪存储器已请求何种操作。所述输入命令传送至状态机 316,由状态机 316 来控制列控制电路 304、行控制电路 306、c- 源极控制电路 310、p- 阵控制电路 308 及数据输入 / 输出缓冲器 312。状态机 316 也可输出快闪存储器的状态数据,例如 READY/BUSY(准备就绪 / 忙)或 PASS/FAIL(通过 / 失败)。

[0043] 控制器 318 连接至或可连接一主机系统,例如个人计算机、数码相机、个人数字助理等。控制器 318 与所述主机进行通信,以自所述主机接收命令、自所述主机接收数据、提供数据至所述主机及提供状态信息至所述主机。控制器 318 将来自主机的命令转换成可由与状态机 316 通信的命令电路 314 解译及执行的命令信号。控制器 318 通常包含用于正写入或自存储器阵列读取的用户数据的缓冲存储器。

[0044] 一个例示性存储器系统构成一个集成电路，所述集成电路包括控制器 318、及一个或多个分别包含一存储器阵列及相关联控制电路、输入 / 输出电路及状态机电路的集成电路芯片。目前的趋势是将一系统的存储器阵列及控制电路一同集成于一个或多个集成电路芯片上。存储器系统可作为主机系统的一部分嵌入或者可包含于一以可拆卸方式插入主机系统内的记忆卡（或其它封装）中。此一可拆卸式卡可包括整个存储器系统（例如包括控制器）或仅包括所述存储器阵列及相关联外围电路（其中控制器嵌于主机中）。因此，可将控制器嵌于主机中或包含于一可拆卸式存储器系统内。

[0045] 在某些实施方案中，可组合图 7 中的某些组件。在不同设计中，可将图 7 中除存储单元阵列 302 外的所有或某些组件视为多个控制电路或一个控制电路。

[0046] 参考图 8，其图解说明存储单元阵列 302 的例示性结构。作为一实例，其图解说明一分割成 1,024 个区块的 NAND 快闪 EEPROM。存储于每一区块中的数据同时被擦除。在一实施例中，区块是同时被擦除的最小单元单位。在本实例中，在每一区块中，有划分成偶数列及奇数列的 8,512 个列。位线也划分成偶数位线 (BLe) 及奇数位线 (BLo)。图 8 显示四个存储单元串联连接形成一 NAND 串。尽管图中显示每一 NAND 串中包含四个单元，然而，也可使用多于或少于四个存储单元。NAND 串的一终端经由一第一选择晶体管 SGD 连接至对应位线，而另一终端经由一第二选择晶体管 SGS 连接至 c- 源极。

[0047] 在读取和编程操作期间，同时选择 4,256 个存储单元。所选存储单元具有相同的字线及相同种类的位线（例如偶数位线或奇数位线）。因此，可同时读取或编程 532 个数据字节。这些同时被读取或编程的 532 个数据字节形成一逻辑页面。因此，一个区块可存储至少八个逻辑页面（四个字线，每一字线均具有奇数及偶数页面）。当每一存储单元存储两个数据位时（例如一多电平单元），一个区块存储 16 个逻辑页面。本发明也可使用其它大小的区块及页面。此外，也可使用除图 7 及 8 所示以外的架构来实施本发明。

[0048] 存储单元是通过将 p- 阵升高至一擦除电压（例如 20 伏特）并将一所选区块的字线接地而被擦除。源极线及位线浮动。可对整个存储器阵列、单独的区块、或另一单元单位实施擦除。此时，电子会从浮动栅极转移至 p- 阵区，从而使阈电压变为负值。

[0049] 在读取和验证操作中，选择栅极 (SGD 及 SGS) 及未选字线（例如 WL0, WL1 及 WL3）升高至一读取通过电压（例如 4.5 伏特），以使晶体管作为通过栅极操作。所选字线（例如 WL2）连接至一电压，所述电压的电平是针对每一读取及验证操作规定的，以便确定所关心存储单元的阈电压是否已达到此电平。举例而言，在对一两电平存储单元的读取操作中，可将所选字线 WL2 接地，以检测阈电压是否高于 0 伏特。在对一两电平存储单元的验证操作中，将所选字线 WL2 连接至 0.8 伏特（举例而言），以验证阈电压是否已达到至少 0.8 伏特。源极及 p- 阵处于零伏特。所选位线 (BLe) 预充电至一例如 0.7 伏特的电平。如果阈电压高于字线上的读取或验证电平，则所关心位线 (BLe) 的电位电平会因未导通的存储单元而保持高电平。另一方面，如果阈电压低于读取或验证电平，则所关心位线 (BLe) 的电位电平会因导通的存储单元 (M) 而降至一（例如）低于 0.5 伏特的低电平。因此，存储单元的状态是由一连接至位线的读出放大器来检测。

[0050] 上述擦除、读取及验证操作是根据此项技术中已知的技术来实施。因此，所述领域的技术人员可改变所阐述细节中的许多细节。也可使用此项技术中已知的其它读取及验证技术。

[0051] 图 9 是图 7 所示一部分列控制电路 304 的示意性方块图。于列控制电路 304 中, 针对包括一偶数位线 BLe 及一奇数位线 BLo 在内的每两个位线设置一数据存储电路 440。于列控制电路 304 中, 为写入数据至存储单元及从存储单元读取数据, 还给数据存储电路 440 布置一读出放大器。

[0052] 一 n- 通道 MOS 晶体管 442 连接在数据存储电路 440 与偶数位线 BLe 之间以用于列选择。另一 n- 通道 MOS 晶体管 444 连接在数据存储电路 440 与奇数位线 BLo 之间以用于列选择。选择偶数位线 BLe 或奇数位线 BLo 中任一者来控制写入数据或读取数据的操作。更具体而言, 当信号 evenBL 处于逻辑电平 1 且信号 oddBL 处于逻辑电平 0 时, 使 MOS 晶体管 442 电导通以选择偶数位线 BLe, 由此将所述偶数位线 BLe 连接至数据存储电路 440。另一方面, 当信号 evenBL 处于逻辑电平 0 且 oddBL 处于逻辑电平 1 时, 使晶体管 444 电导通以选择奇数位线 BLo, 由此将所述奇数位线 BLo 连接至数据存储电路 440。注意, 信号 evenBL 被施加至所有经由偶数位线连接的列选择用 n- 通道 MOS 晶体管; 而信号 oddBL 被施加至所有连接至奇数位线的列选择用 n- 通道 MOS 晶体管。

[0053] 每一数据存储电路 440 包括三个二进制数据存储区段 DS1、DS2 及 DS3。存储区段 DS1 通过内部数据输入 / 输出线连接至数据输入 / 输出 312, 并存储拟写入的外部输入数据或拟向外部输出的读出数据。数据存储区段 DS2 存储一写入验证操作的检测结果, 以用于于写入操作后确认一存储单元的阈值。数据存储区段 DS3 在正写入及 / 或正读取存储单元的数据时临时存储所述数据。于其它实施例中, 所述数据存储区段也可具有其它功能。于不同的实施例中, DS1、DS2 及 DS3 可以是一存储单元的若干部分、一或多个寄存器、或任何其它可存储信息的装置。于一实施例中, DS1、DS2 及 DS3 均各自为一个位。于其它实施例中, DS1、DS2 及 DS3 中的一个或多个可存储多个位。也可使用不同于图 9 所示的电路来控制位线。

[0054] 注意, 图 9 显示一偶数 / 奇数位线配置。然而, 本发明也可与许多不同的位线配置共同使用, 例如一其中每一位线均具有其自身的读出放大器及 / 或数据存储器的配置。于某些适用于实施本发明的配置中, 一遍而非奇数及偶数遍编程所有位线。举例而言, 参见于 2002 年 9 月 24 日申请的名称为“Highly Compact Non-Volatile Memory and Method Thereof”的第 10/254,483 号美国专利申请案, 其全文以引用方式并入本文中。

[0055] 图 10 显示存储有两个数据位 (例如四种数据状态) 的存储单元的阈电压分布。于一实施例中, 分布 460 代表处于擦除状态 (例如存储“11”) 的单元的阈电压分布, 其具有负阈电压电平。分布 462 代表正存储“10”的单元的阈电压分布。分布 464 代表存储“00”的存储单元的阈值电压分布。分布“466”代表正存储“01”的单元的阈电压分布。于其它实施例中, 每一分布均可对应于除上述状态外的不同数据状态。另外, 本发明也可用于存储两个以上位的存储单元。

[0056] 于一实施方案中, 可将一处于擦除状态的存储单元 (分布 460) 编程为所述编程状态 (分布 462、464 或 466) 中的任一状态。于另一实施例中, 根据一两步骤方法来编程处于擦除状态的存储单元。于所述两步骤方法中, 存储在一数据状态中的所述位的每一位均对应于一不同的逻辑页面。换句话说, 存储于存储单元中的每一位均具有一属于一下逻辑页面及一上逻辑页面的不同逻辑页面地址。举例而言, 于状态“10”中, 对于下逻辑页面存储“0”, 且对于上逻辑页面存储“1”。于一第一编程步骤中, 根据拟编程至下逻辑页面内的位来

设定所述单元的阈电压电平。如果所述位是逻辑“1”，则所述阈电压由于处于因先前已被擦除而处于合适状态而不发生改变。然而，如果拟将所述位编程为逻辑“0”，则所述单元的阈值电平会升高至处于阈电压分布 462 中。

[0057] 于第二编程步骤中，根据正编程至上逻辑页面内的位来设定所述单元的阈电压电平。如果上逻辑页面位将是逻辑“1”，则不再进行进一步的编程，因为所述单元处于对应于阈电压分布 460 或 462 的状态之一中，而阈电压分布 460 或 462 二者均携带有一上页面位“1”。如果上逻辑页面位将是逻辑“0”，且第一步骤使所述单元保持在对应于阈值 460 的擦除状态，则所述编程方法的第二步骤会包括使所述阈电压升高至处于阈值分布 466 中。如果上逻辑页面位将是逻辑“0”，且因第一编程步骤所述单元已编程至对应于阈值分布 462 的状态，则所述编程方法的第二步骤会包括使所述阈电压升高至处于阈电压分布 464 内。所述两步骤方法仅是用于编程多状态存储器的方法的一实例。也可使用许多其它方法，包括一步骤方法或多于两步骤方法。虽然图 8 显示四种状态（两个位），但本发明也可与其它多状态结构共同使用，其中包括那些包含八种状态、十六种状态、三十二种状态及其它数量种状态的多状态结构。

[0058] 图 11 阐释根据本发明一实施例的编程方法。图 11 显示阈电压 (V_{th}) 与时间的关系曲线图及位线电压 (V_{b1}) 与时间的关系曲线图。水平轴显示 t_1 、 t_2 、 t_3 、 t_4 及 t_5 。所述时间中的每一时刻均对应于一在各编程脉冲之间执行的验证过程。图 11 所述方法可用于将一存储单元编程为多种状态中的任一状态，或者可用于编程一二进制存储单元。

[0059] 当将一组类似于图 1 所示编程脉冲的编程脉冲施加至存储单元时，在时间 t_1 与 t_2 之间，所述存储单元的阈电压会如图 11 所示升高。于某些实施例中，在擦除之后、编程之前，初始阈电压将为一负阈电压。当存储单元的阈电压达到下部中间阈电压验证点 V_{ver2} 时，位线电压会从 0 伏特升至中间电压 V_1 。注意，图 11 显示阈电压在 t_2 的后、 t_3 之前变得大于 V_{ver2} 。于所述时刻 t_3 ，将确定存储单元的阈电压高于 V_{ver2} 。在确定所述阈电压高于 V_{ver2} 后，将位线电压升至中间电压 V_1 。于一实施例中， V_1 低于先前技术中所用中间电压。举例而言，某些实施例可使用 0.4 伏特或 0.5 伏特作为 V_1 。本发明涵盖存储单元将使其位线处于 V_1 持续恰好一个编程脉冲。于所述一个编程脉冲之后，位线将升高至禁止电压（例如 V_{dd} ）。因而，在阈电压达到 V_{ver2} 后，编程过程将减慢长达一个编程脉冲，且在此后被禁止。通过减慢最后脉冲的编程过程，且由此减小所述最后脉冲的阈电压偏移量，所述编程方法将获得一更紧密的阈电压分布。另外，可使用更大的步长。举例而言，许多先前技术方法使用 0.2 伏特的步长用于 V_{pgm} 。本发明涵盖 0.4 伏特的步长。

[0060] 于某些实施例中，电压 V_1 的选择方式应使在一编程脉冲期间存储单元的阈电压偏移量等于编程电压步长的一半。换句话说，如果编程电压步长为 0.4 伏特，则 V_1 的选择应使存储单元的阈电压的偏移量等于 0.2 伏特。应以一适当方式选择 V_{ver1} 与 V_{ver2} 的值，以使得在阈电压达到 V_{ver2} 后在一个额外编程脉冲之后，存储单元的阈电压偏移量应为 V_{ver1} 或高于 V_{ver1} （目标值）。因此，于某些实施例中，应使 V_{ver2} 与 V_{ver1} 间隔开编程电压步长的一半（例如 0.2 伏特）。与图 2 所示方法相比，上述方法的优点是，所需的编程脉冲减少，从而使编程时间缩短。

[0061] 图 12 是一流程图，其描述一种使用上文依据图 11 所述的概念来编程存储器的一般方法。于步骤 500 中，所述系统将接收命令及数据以编程所述存储器。于步骤 502 中，

将执行初始化。举例而言,于某些实施例中,将于编程之前擦除存储单元。另外,某些已擦除的存储单元将经受一软编程过程,以使所有已擦除的存储单元均将具有一位于一狭窄擦除阈电压分布内的阈电压。另外,将状态寄存器初始化。于步骤 504 中,施加一编程脉冲。举例而言,处于适当 NAND 链中的晶体管的控制栅极使其控制栅极接收一编程脉冲。于步骤 506 中,将执行一验证操作,以测试存储单元,从而确定其阈电压是否已达到 Vver2(参见图 11)。于步骤 508 中,将执行一验证操作,以测试存储单元来确定其阈电压是否已达到 Vver1(参见图 11)。于一二进制存储单元中,将仅存在一个 Vver1 及一个 Vver2。于一多状态存储单元中,每一状态均将具有其自身的 Vver1 及 Vver2。于某些实施例中,对每一状态均将具有一组验证操作。因此,于一八状态存储单元中,将具有七组验证操作,所述组中的每一验证操作均具有一针对 Vver2 的验证程序及一针对 Vver1 的验证程序。

[0062] 如果步骤 506 的验证过程成功,而步骤 508 的验证过程不成功(见步骤 510),则认为存储单元的阈电压大于 Vver2 而小于 Vver1。于此情况下,于步骤 520 中施加另一编程脉冲至存储单元。然而,以一降低的电平来施加所述编程脉冲。举例而言,于一实施例中,将所述存储器的位线如上所述升至中间电压 V1。于另一实施例中,并不升高位线电压,而是可缩短所述存储单元的编程脉冲。一实施例包括在所述编程脉冲开始时于位线上施加 Vdd。于所述编程脉冲期间,位线电压将自 Vdd 降至 0 伏特以允许实施某一编程。通常,所述编程脉冲是 8-10 微秒。于所述实施例中,减小的编程脉冲是 5 微秒。注意,步骤 520 仅包括施加一个脉冲至正被编程的存储单元。于施加所述一个脉冲之后,将于步骤 522 中锁闭所述存储单元,不再对其实施进一步编程。

[0063] 如果步骤 508 的验证过程成功(见步骤 510),则认为存储单元的阈电压大于 Vver1,且于步骤 512 中,将锁闭存储单元,不再对其实施进一步编程。

[0064] 如果步骤 506 的验证过程不成功,且步骤 508 的验证过程也不成功(见步骤 510),则认为存储单元的阈电压小于 Vver2。于所述种情况下,所述过程循环回步骤 504 以施加下一编程脉冲。

[0065] 如上所述,一多状态存储单元可具有各种配置。于一实施例中,多状态存储单元将容许将已擦除状态编程为任一已编程状态。举例而言,参见图 10,可将处于状态 460 的存储单元直接编程为状态 462、464 或 466 其中之一。于另一实施例中,存储单元可使用多个逻辑页面并可根据上述两步骤编程方法来编程。图 13 是一流程图,其描述一种如上所述编程一多逻辑页面存储单元中的下逻辑页面的方法的实例。具有更多位、更多逻辑页面、不同状态指配等的其它实施例也属于本发明的范畴内。可对图 13 所示方法做各种修改来适应阈值状态指配及编程方法的其它变化。图 13 所示方法也可与二进制存储单元一起使用。

[0066] 于图 13 的步骤 550 中,所述操作开始于从主机接收一数据输入命令并将所述数据输入命令置于状态机中。于步骤 522 中,从主机接收地址数据并将其存储于状态机中,以选择拟用于写入操作的页面。于步骤 554 中,接收拟写入的数据并将其存储于 DS1 中。于步骤 556 中,从主机接收一写入命令并将所述写入命令置于所述状态机中。于一实施例中,在将写入命令存储于状态机中后,所述状态机自动开始后续步骤的操作。于步骤 558 中,将来自 DS1 的数据拷贝至 DS2。于步骤 560 中,设定编程电压 Vpgm 的初始值(例如 12 伏特;然而,也可使用其它值)。另外,将编程计数器 (PC) 初始化为 0。

[0067] 于一实施例中,已擦除状态对应于逻辑数据 1,且编程状态对应于逻辑数据 0。因

此,当将数据加载至 DS1 及 DS2 内时,如果将 0 加载至那些寄存器内,则所述存储单元将被编程。而如果将逻辑数据 1 加载至 DS1 及 DS2 内,则所述存储单元无需编程,因为其早已处于已擦除状态。在多状态存储单元在一两步骤编程方法中使用两个逻辑页面的实施例中,如果拟将下部状态自状态 460 变为状态 462,则将 0 加载至 DS1 及 DS2 内。如果存储单元拟保持处于状态 460,则将 1 加载至 DS1 及 DS2 中。

[0068] 于步骤 570 中,确定 DS1 是否等于零及 DS2 是否等于 0。如果是,则将位线设定为 0 伏特。此是其中存储单元将被编程至下一状态且阈电压低于 Vver2 的情形。

[0069] 如果 DS1 等于 0 且 DS2 等于 1,则将位线设定为 V1,即中间位线电压。此是其中阈电压大于 Vver2 且小于 Vver1 的情形。

[0070] 如果 DS1 等于 1,则认为所述存储单元的阈电压高于 Vver1。于此情况下,将位线设定为 Vdd 以禁止进一步的编程。

[0071] 于步骤 572 中,将下一编程脉冲施加至所述存储单元的控制栅极上。于步骤 574 中,确定 DS2 是否等于 1。如果是,则也将 DS1 设定为 1。执行步骤 574,以便在将 DS2 设定为 1(因所述存储单元的阈电压高于 Vver2 但低于 Vver1) 后,存储单元仅将被编程另一个编程脉冲。于步骤 576 中,存储单元会经历一针对 Vver2 的验证过程。如果所述验证过程成功(因阈电压大于或等于 Vver2),则将 DS2 设定为 1。如果 DS2 早已为 1,则其保持为 1。于步骤 578 中,存储单元经历一针对 Vver1 的验证过程。如果所述验证过程通过(因阈电压已达到 Vver1),则将 DS1 设定为 1。如果 DS1 早已为 1,则其将保持为 1。于步骤 580 中,将编程电压增大所述步长。于一实施例中,步长是 0.4 伏特。因此,下一编程脉冲将较先前脉冲高 0.4 伏特。于另一实施例中,步长是 0.2 伏特或其它值。于步骤 582 中,使编程计数器递增 1。于步骤 584 中,确定是否所有正编程的存储单元均使其 DS1 寄存器等于 1。如果是,则所述编程过程即成功完成。如果否,则继续所述编程过程。于步骤 586 中,确定所述编程计数器是否小于 20。如果否,则所述编程过程已失败。如果所述编程计数器小于 20,则所述方法循环回步骤 570。

[0072] 于某些实施例中,未必将所述编程计数器与 20 相比较。对于两电平操作而言,其可低至 4 或 5。对于多电平操作而言,对于下逻辑页面,其可约为 12,对于上逻辑页面,其可约为 16。所述值也取决于所用步长。于某些实施例中,如果所述编程计数器达到最大值,则编程过程未必失败。在编程计数器达到最大值后,系统会检查所述页面内有多少存储单元尚未达到所述验证电平。如果所述单元数量少于一特定值,例如 1 或更小,则仍可认为所述编程过程成功,因为可使用错误修正(例如 ECC) 来修正所述 1 个位。另外,于许多情况下,一未通过所述验证电压的单元仍可能具有足够高的阈电压以通过在一较低栅极电压下执行的正常读取操作。

[0073] 如上所述,于一使用所述两个逻辑页面及所述两步骤编程方法的多状态存储单元的实施例中,状态 460 等于 11,状态 462 等于 10,状态 464 是 00 且状态 466 是 01。于所述实施例中,图 13 所示方法用于将单元从状态 11 编程至状态 10。图 14 所示方法用于将存储单元从状态 11 编程至状态 01 或从状态 10 编程至状态 00。换句话说,图 14 是一流程图,其说明一将上页面数据写入存储单元的实施例的控制算法。

[0074] 于图 14 的步骤 620 中,操作开始于当从主机接收数据输入命令并将所述数据输入命令置于状态机中时。于步骤 622 中,从主机接收地址数据并将其置于状态机中。于步骤

624 中,接收拟写入的数据并将其存储于 DS1 中。于步骤 626 中,从主机接收一写入命令并将其置于状态机中,此(于某些实施例中)会自动触发随后过程的开始。于步骤 628 中,将编程数据从 DS1 拷贝至 DS2。于步骤 630 中,使用一处于状态 11 与状态 10 之间的读取比较点执行一状态 10 读取操作,以确定所述存储单元是处于状态 11 还是 10。如果确定存储单元处于状态 10,则将所述存储单元的 DS3 寄存器设定为 1;否则,将 DS3 寄存器设定为 0。于步骤 632 中,将编程电压初始设定为一位于 16 伏特 -18 伏特范围内的值(依据测试来确定);然而,也可使用其它初始电压。另外,将编程计数器初始设定为 0。

[0075] 于步骤 640 中,确定 DS1 寄存器及 DS2 寄存器是否均设定为 0。如果是,则认为正被编程的存储单元的阈电压低于 Vver2(其表示正被编程的适当状态),因此将所述位线设定为 0 伏特。

[0076] 如果 DS1 设定为 0 且 DS2 设定为 1,则认为存储单元的阈电压高于 Vver2 并低于 Vver1;因此将位线设定为中间电压 V1。

[0077] 如果 DS1 设定为 1,则认为所述存储单元的阈电压高于 Vver1;因此,将位线电压设定为 Vdd 以禁止进一步的编程。于步骤 642 中,施加下一编程脉冲。于步骤 644 中,确定 DS2 寄存器是否设定为 1。如果是,则也将 DS1 寄存器设定为 1。步骤 644 用于确保在存储单元达到 Vver2 后仅再使用一个脉冲来编程所述存储单元。于步骤 646 中,针对状态 00 的 Vver2 实施一验证过程。如果 DS3 等于 1 且通过所述验证过程,则将 DS2 寄存器设定为 1。于步骤 648 中,针对状态 00 的 Vver1 实施一编程验证过程。如果 DS3 设定为 1 并通过所述验证过程,则将 DS1 寄存器设定为 1。于步骤 650 中,针对状态 01 的 Vver2 实施一验证过程。如果 DS3 寄存器设定为 0 且通过所述验证过程,则将 DS1 寄存器设定为 1。于步骤 652 中,针对状态 01 的 Vver1 实施一验证过程。如果 DS3 寄存器设定为 0 并通过所述验证过程,则将 DS1 寄存器设定为 1。于步骤 654 中,将编程电压升高一步长。

[0078] 于某些实施例中,不执行步骤 650。换句话说,为节省编程时间,系统仅检查最高已编程状态(例如状态 01)的 Vver1。于某些实施方案中,对于最高已编程状态(例如状态 01)而言,可容许一更宽的阈电压分布。

[0079] 于步骤 656 中,使编程计数器递增 1。于步骤 658 中,确定是否所有正被编程的存储单元均将其 DS1 寄存器设定为 1。如果是,则所述编程过程即已成功完成。否则,于步骤 660 中,确定编程计数器是否小于 20。如果否,则所述编程过程失败。如果编程计数器小于 20,则所述过程循环回步骤 640。

[0080] 注意,于上述实施例中,位线中间电压的选择方式使得下一编程脉冲期间的阈值偏移量等于步长的一半。于其它实施例中,所述偏移量可在任一方向上略有改变。Vver1 与 Vver2 之间的差的选择方式使得一在时间 t_n 恰好通过 Vver2 电平的单元具有一在时间 t_{n+1} 恰好高于(于某些情况下接近)Vver1 的阈电压。中间位线电压 V1 仅被施加至那些具有一高于 Vver2 但低于 Vver1 的阈电压(于某一特定时间点 t_n)的单元,且仅被施加长达一个编程脉冲。于所述一个编程脉冲之后,禁止进一步的编程。因此,于一制造过程期间,当根据图 7 形成一非易失性存储元件阵列及存储器系统时,设定用于一特定状态或所有状态的最终验证阈值(例如 Vver1),并设定用于相关不同状态的中间验证阈值(例如 Vver2),以使得在存储单元达到中间验证阈值后的一编程操作(例如一编程脉冲)后,存储单元将达到或几乎达到最终验证阈值。可能某些存储单元会达不到 Vver1 电平。按照上述方法,将

不再使用额外编程脉冲来编程那些未达到 Vver1 电平的存储单元。未达到 Vver1 电平的原因可能是由于在 Vver1 及 / 或 Vver2 步骤期间的读取噪声或由于在最后编程脉冲期间阈电压偏移小于预期。因而,于某些情况下,一使用上述技术的特定存储单元可能使其阈电压恰好低于 Vver1。

[0081] 上述实施例涵盖两个验证点:一个最终验证点及一个中间验证点。本发明的另一实施例使用三个验证电平。于其它实施例中,可使用多于三个验证电平。

[0082] 图 15 及 16 说明一使用三个验证电平的实施例。图 15 及图 16 二者均包括阈电压(Vth)与时间的关系曲线图及位线电压(Vb1)与时间的关系曲线图。于具有三个验证电平的实施例中,通过将位线电压升高至 Vinhibit 来完全禁止那些在验证操作期间阈电压高于目标电压 Vver1 的存储单元。通过在下一编程步骤期间施加一中间位线电压 V1 来减慢那些具有一介于 Vver1 与 Vver2 之间的阈电压的存储单元,并于此后完全禁止那些存储单元,以便仅实施一个其位线处于 V1 的编程脉冲。V1 及 Vver2 的值的设定方式应使得于时间 t_n 通过 Vver2 的单元将在时间 t_{n+1} 达到或几乎达到 Vver1。通过在下一编程步骤期间施加一中间位线电压 V2 来减慢那些在验证操作期间其阈电压处于 Vver3 与 Vver2 之间的存储单元,并于此后完全禁止那些存储单元,以便仅实施一个其位线处于 V2 的编程脉冲。V2 及 Vver3 的值的设定方式应使得在时间 t_n 恰好通过 Vver3 电平的单元将在时间 t_{n+1} 达到或几乎达到 Vver1 电平。于所述实施例中,V2 及 V1 的值的选择方式为:如果存储单元已恰好通过 Vver2,则下一编程脉冲中的阈电压偏移量等于所述编程步骤的三分之一;如果存储器已刚好通过 Vver3,则下一编程脉冲中的阈电压偏移量等于所述编程步骤的三分之二。

[0083] 图 15 显示一被编程的存储单元,其编程方式使得存储单元的阈电压于 t_2 与 t_3 之间变得高于 Vver2。阈电压于 t_2 与 t_3 之间也升高通过 Vver3。因此,当在时间 t_3 实施一验证过程时,会确定所述存储单元高于 Vver2 并低于 Vver1。因此,位线电压升至中间电压 V1 达一个编程脉冲。于所述一个编程脉冲之后,位线电压升至 Vinhibit,所述存储单元被锁闭而不再进一步编程。

[0084] 图 16 的实例显示一其阈电压于 t_2 与 t_3 之间跨过 Vver3 的存储单元。当于时间 t_3 实施一验证过程时,会确定所述存储单元的阈电压高于 Vver3 并低于 Vver2;因此,存储单元的位线电压升至中间电压 V2 达一个脉冲。于所述一个编程脉冲之后,位线电压升至 Vinhibit。

[0085] 在具有更多验证电平的情况下,需要实施更多的验证操作。如果实施更多的验证操作,则编程过程所花时间更长。

[0086] 与图 3 所示方法相比,本发明的一优点是,在升高位线电压后的一个编程脉冲之后,不需要额外的编程脉冲。因此,编程时间缩短。

[0087] 与图 2 所示写入方法相比,由于所述编程方法的最后步骤实际上为半个步长,因此在保持相同阈电压分布时可使用一大得多的步长。由此,可减少所需编程脉冲的数量(例如在某些情况下减少至近 50%)。

[0088] 出于举证说明及描述的目的,上文已对本发明进行了详细说明。其并非意欲作为穷尽性说明或将本发明限定为所揭示的确切形式。根据上文的教示也可做出许多种修改及改变。所述实施例的选择旨在最佳地解释本发明的原理及其实际应用,藉以使其它所述领域的技术人员能够以适合于所构想具体应用的各种实施例形式及使用各种修改来最佳地利用本发明。本发明的范畴意欲由随附权利要求书来界定。

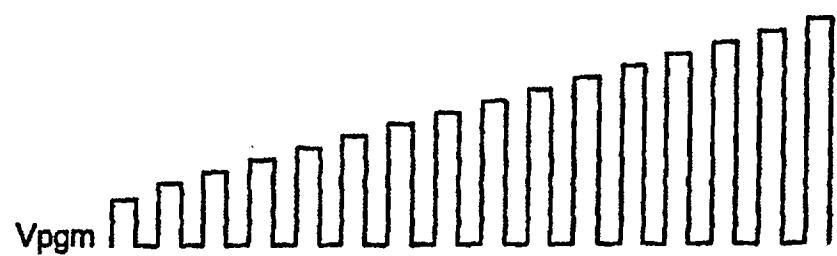


图 1

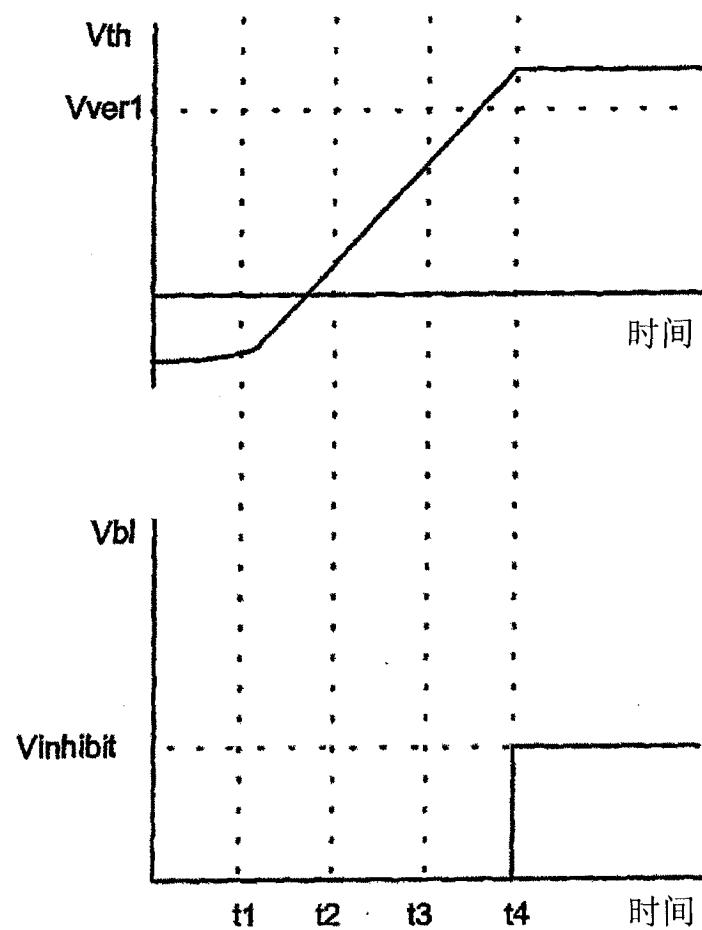


图 2

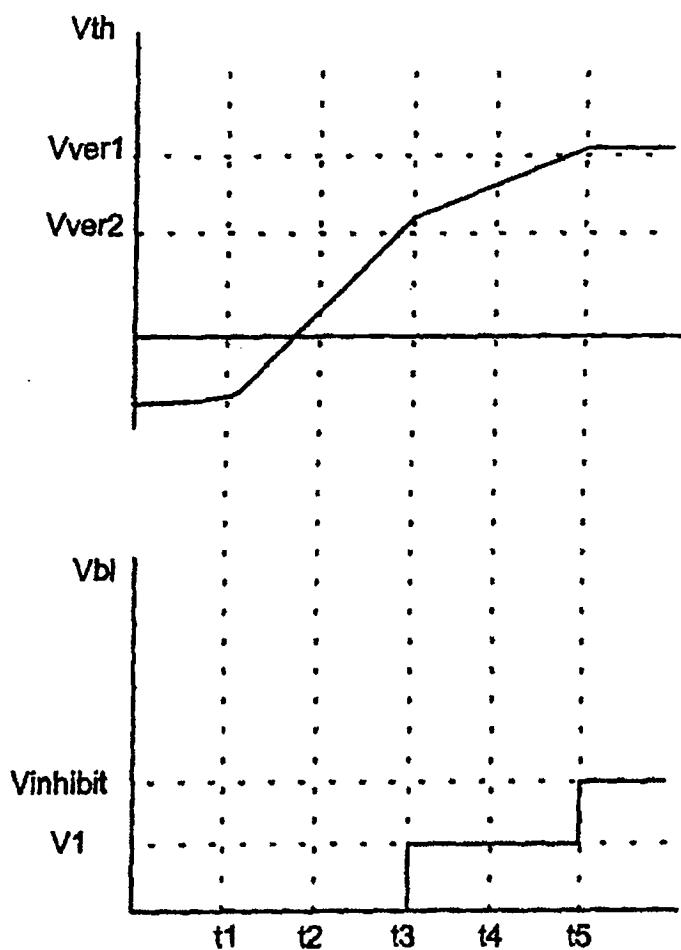


图 3

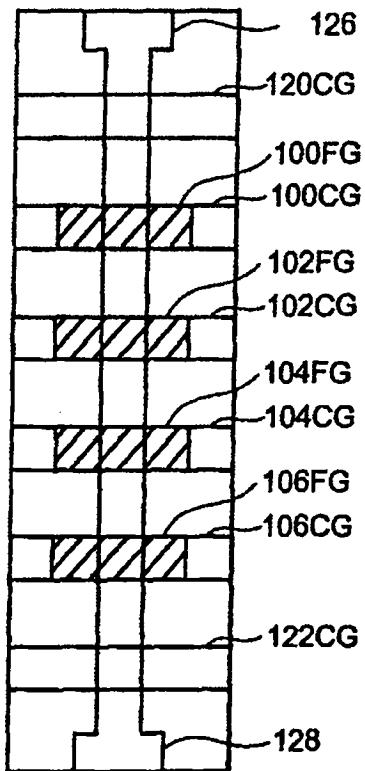


图 4

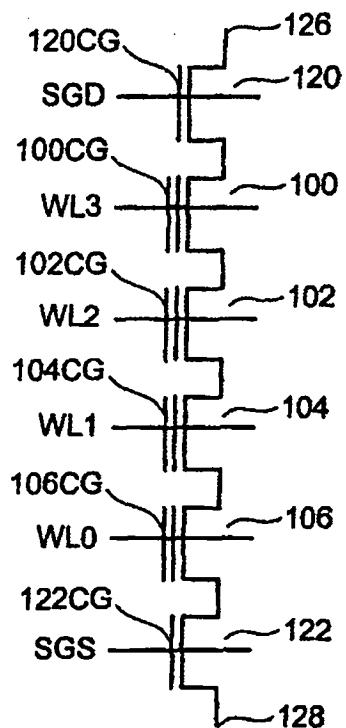


图 5

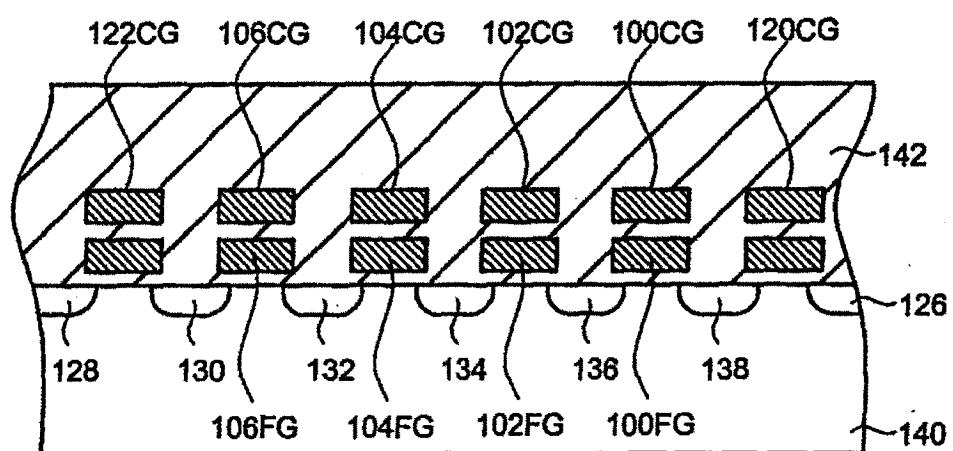


图 6

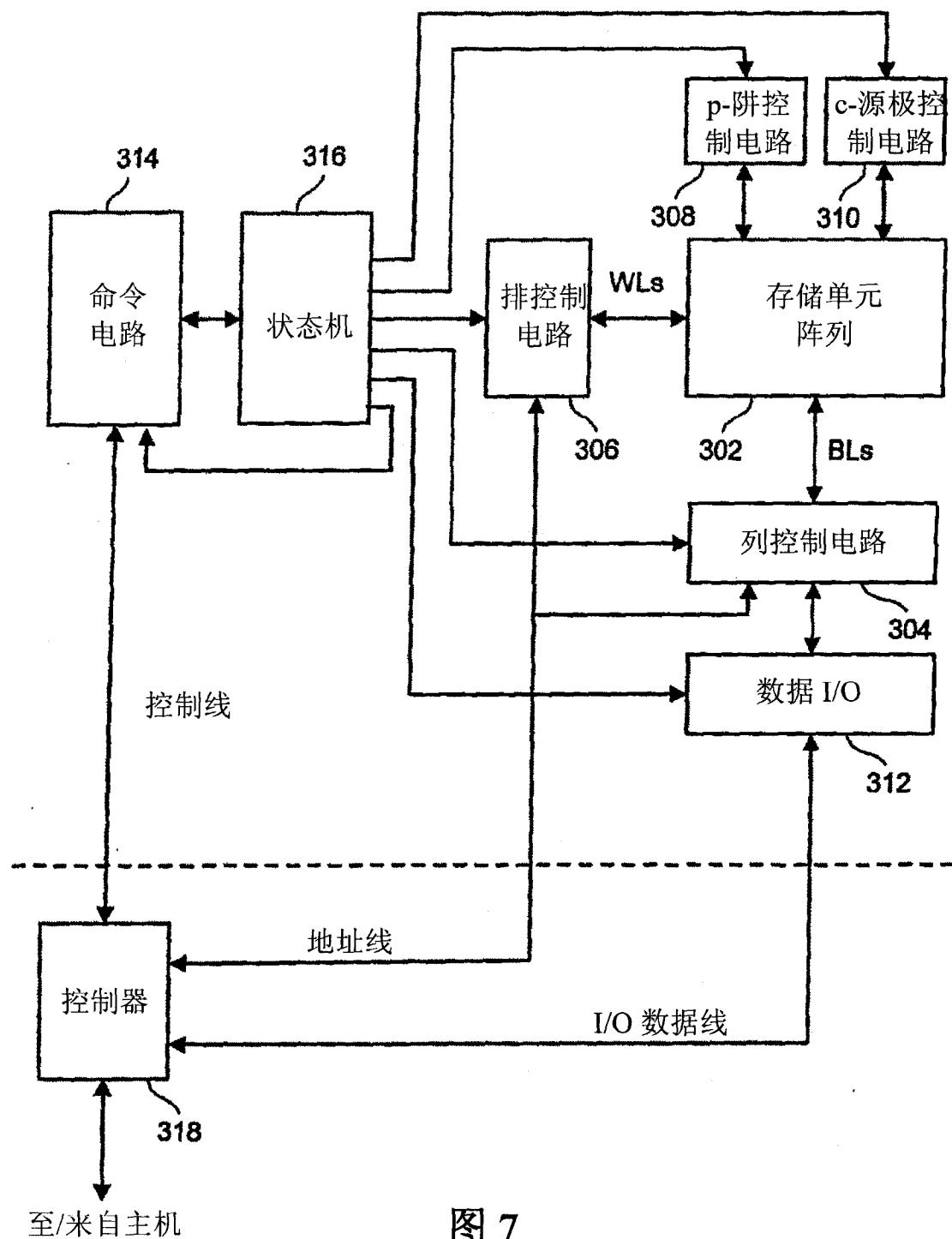


图 7

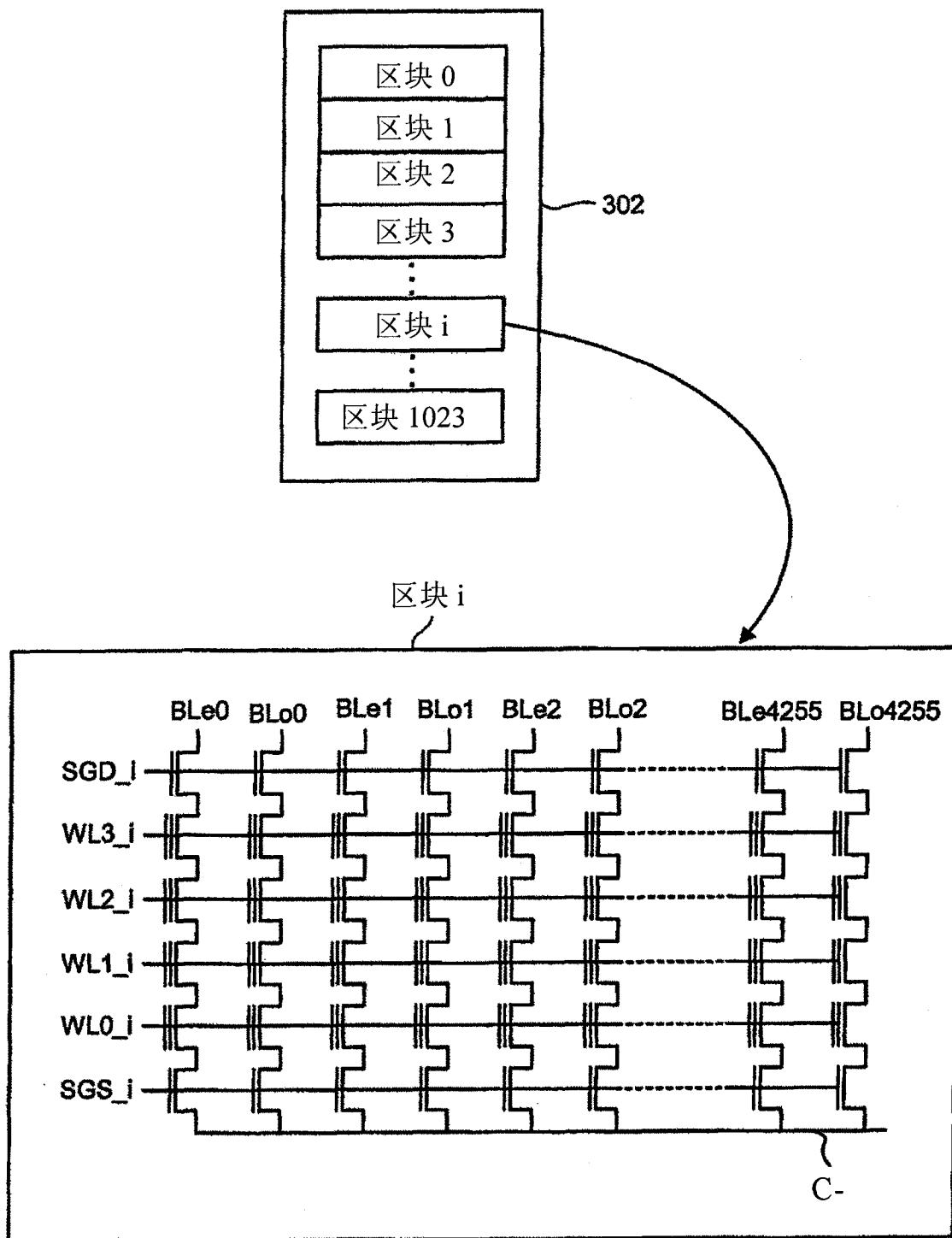


图 8

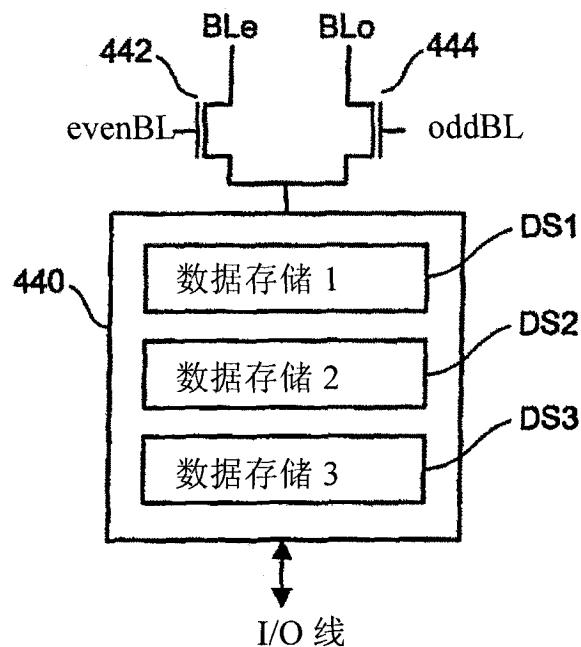


图 9

单元数量

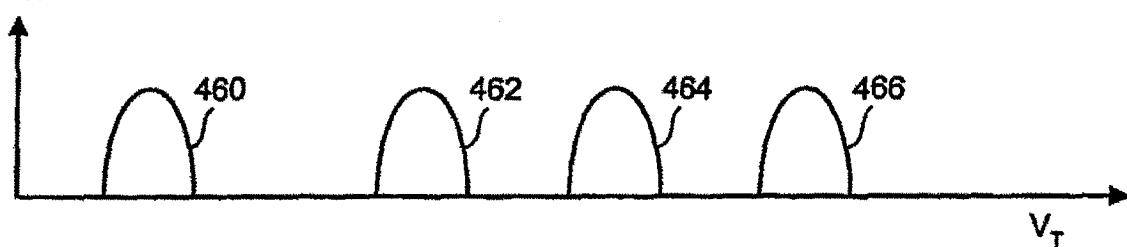


图 10

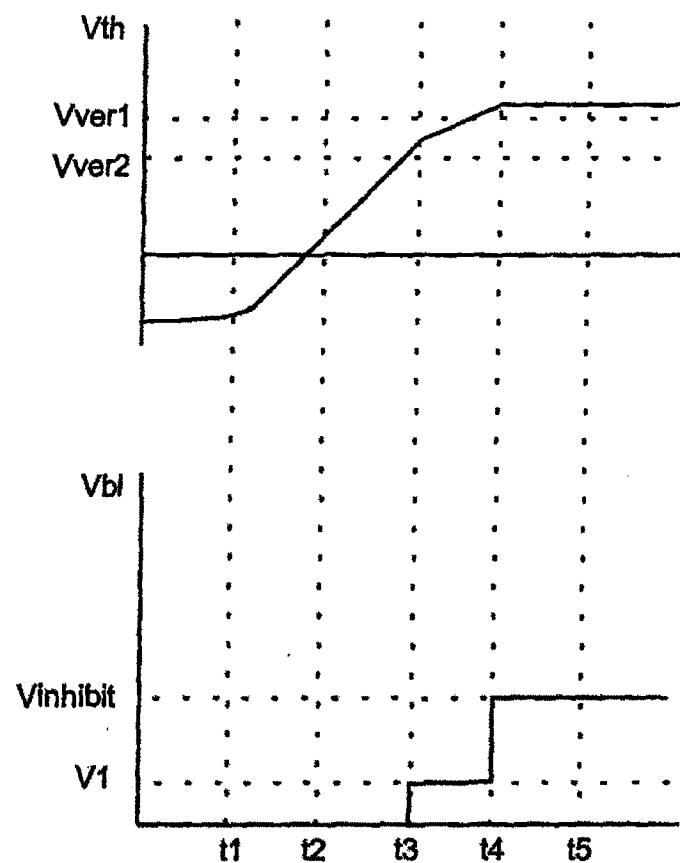


图 11

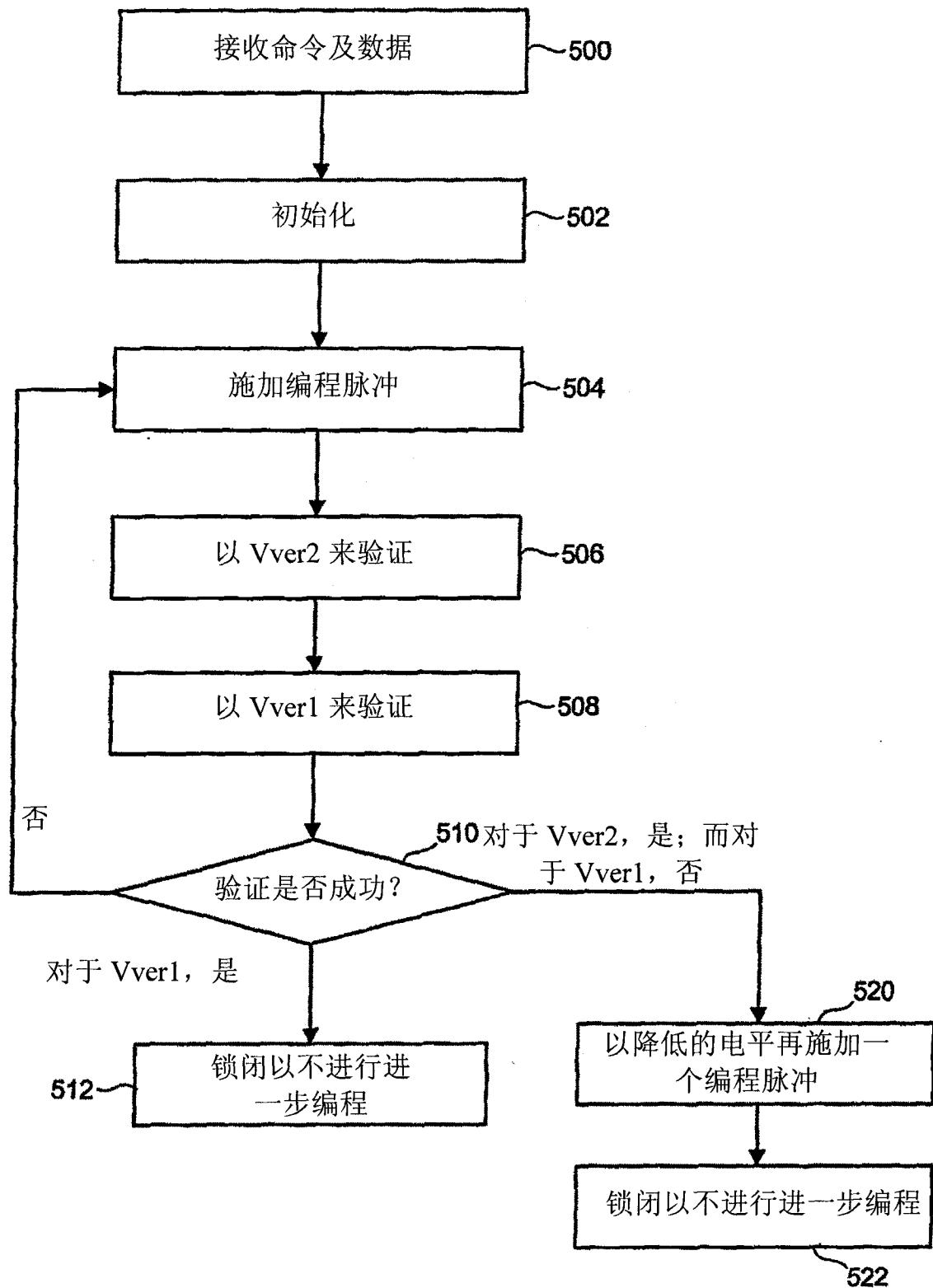


图 12

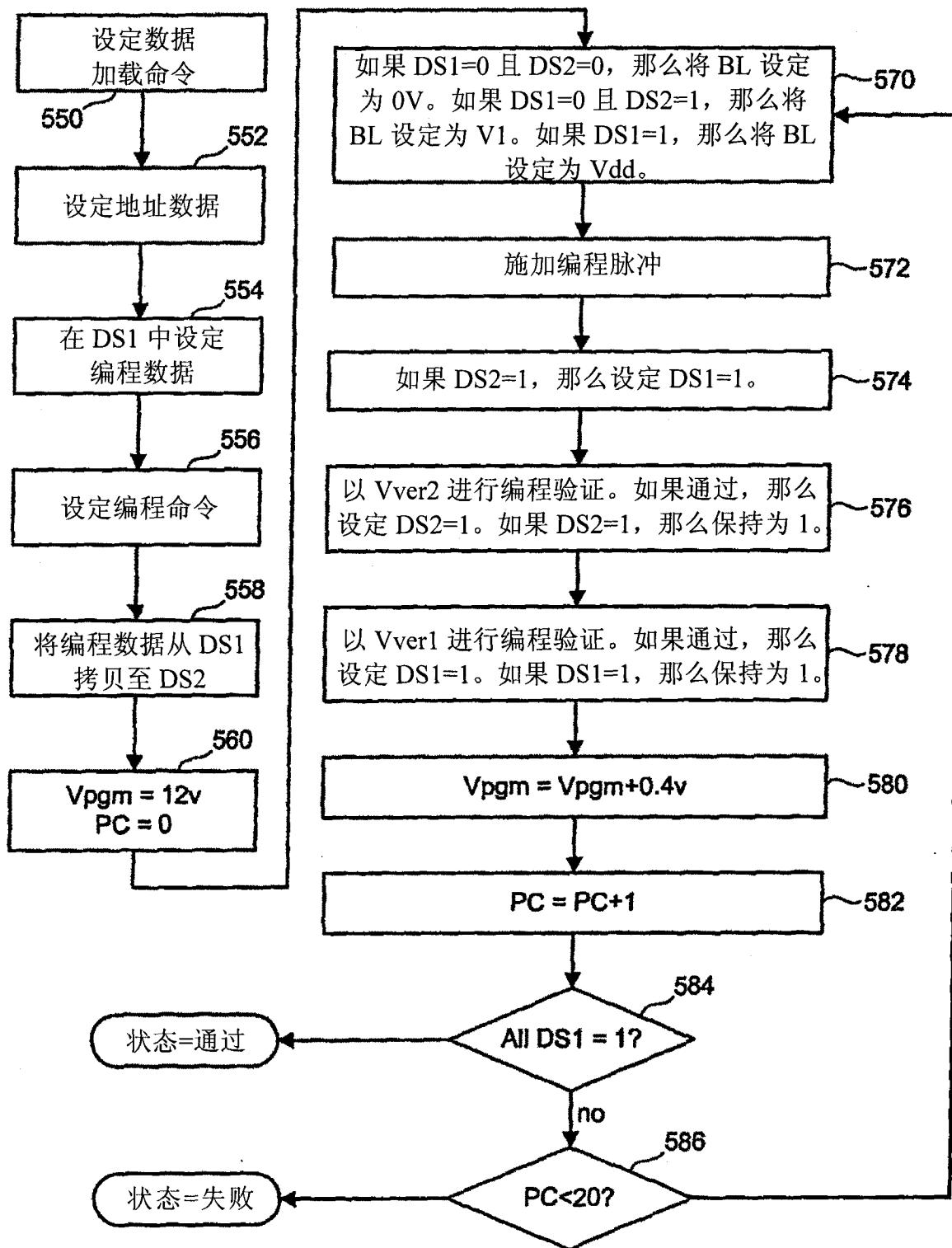
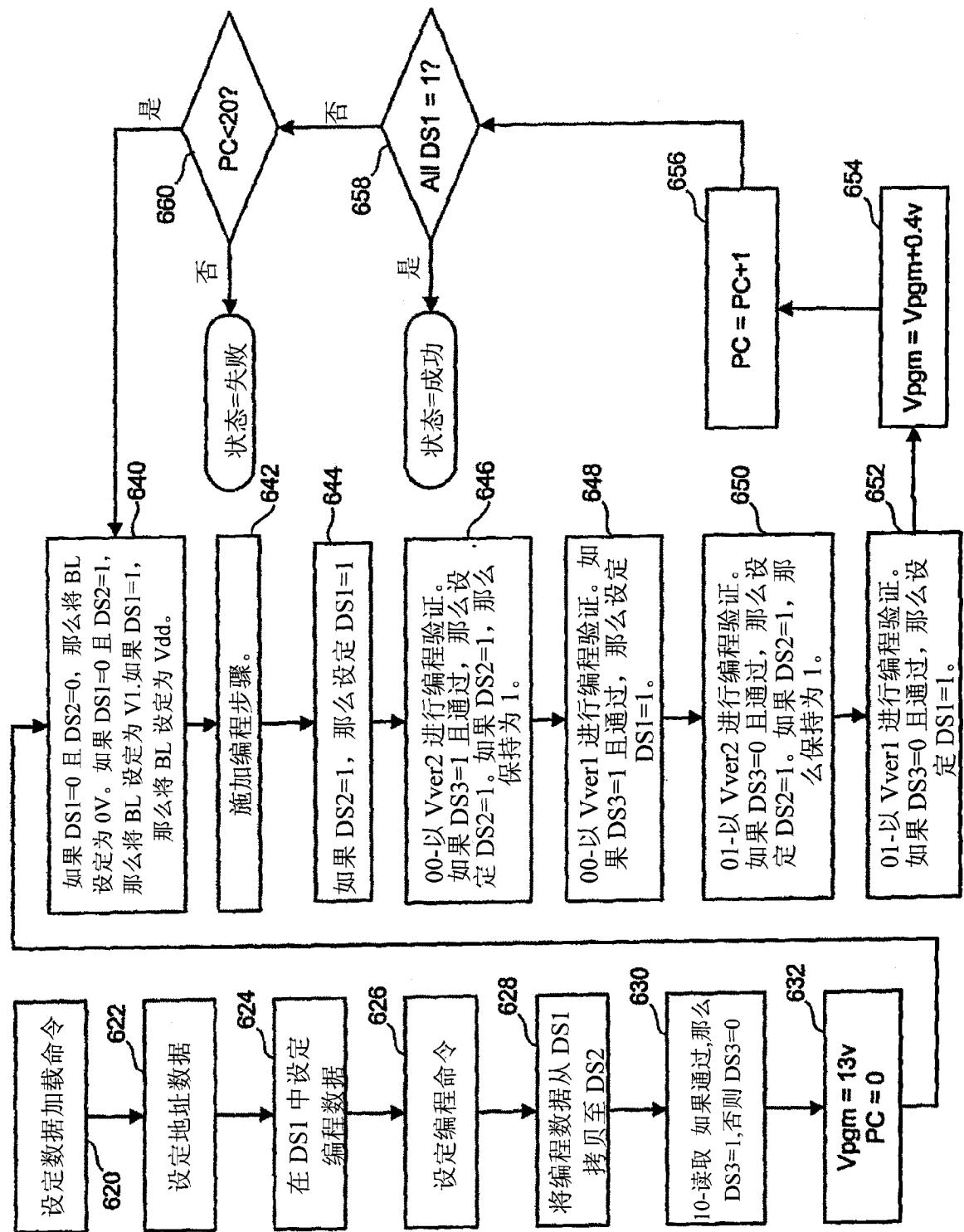


图 13



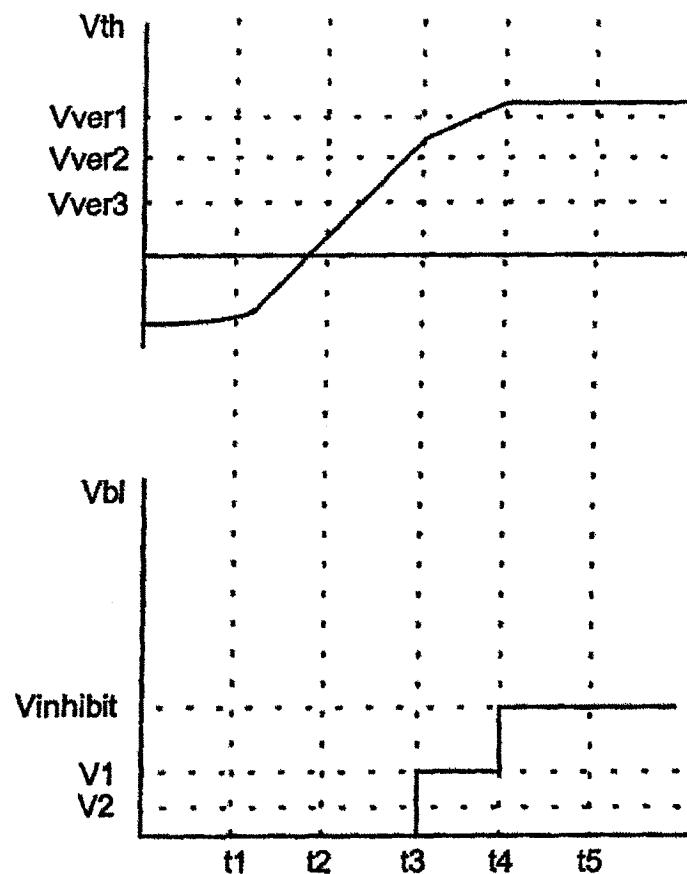


图 15

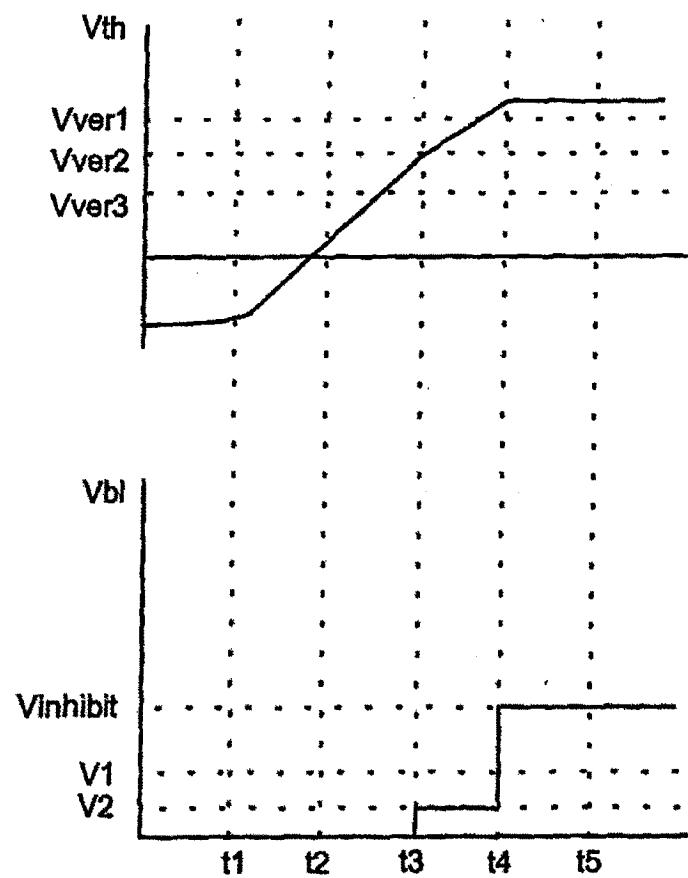


图 16