



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVEDČENÍU

210358

(11) (B1)

(51) Int. Cl.³
G 06 F 9/06

(22) Prihlášené 22 10 79
(21) (PV 7132-79)

(40) Zverejnené 31 10 80

(45) Vydané 15 07 83

(75)
Autor vynálezu

BAČIAK DUŠAN ing., BRATISLAVA

(54) Zapojenie bitovo vrstvených mikroprocesorov

1

Vynález sa týka paralelného zapojenia bitovo vrstvených mikroprocesorov prostredníctvom spoločnej modulovej pamäti s prihliadnutím na zabezpečenie maximálnej rýchlosti výmeny dát medzi mikroprocesormi.

Doterajšie zapojenie využívalo prioritnú logiku, alebo systém veľkých krížových spínačov riešiaci oblasť vzájomného zapojenia bitovo vrstvených mikroprocesorov. Známe systémy pri väčšom počte mikroprocesorov a pamäťových modulov spoločnej pamäti vyžadujú veľmi veľa času pre riadenie spoločnej zbernice. Pre využitie prestojových časov pri obsadení spoločnej pamäti môže byť programovo zabezpečené náhradné spracovanie, avšak systém je pri väčšom počte mikroprocesorov značne zložitý a prakticky nepoužiteľný.

Nedostatky známeho stavu odstraňuje paralelné zapojenie bitovo vrstvených mikroprocesorov podľa vynálezu, ktorého podstata spočíva v tom, že mikroprocesory v počte 2 a viac sú navzájom zapojené spoločnými pamäťovými modulmi cez vonkajšie zbernice zostavené z riadiacej, adresnej a dátovej časti, pričom každý z mikroprocesorov je napojený na spoločný generátor hodinových impulzov a synchronizačnú linku.

Zapojenie sa uplatňuje v oblastiach výpočtovej techniky, kde veľký počítačový systém pozostáva z viacerých mikroprocesorových systémov. Takýto komplex umožňuje zabezpečiť vysokú spoľahlivosť a rýchlosť spracovania, pričom niekoľko mikroprocesorov spracúva paralelne tú istú úlohu, pričom každý mikroprocesor dodáva ich výsledky v vyhodnotených formách.

Pre potreby viacerých mikroprocesorov môže konkrétny mikroprocesor vadný nahradiť iný a naopak. Jednoduchým prostriedkom umožňuje dosiahnuť vysokú variabilitu systému, čo umožňuje jeho široké uplatnenie v najrôznejších oblastiach vysokej rýchlosti spracovania.

210358

vania tým, že jednotlivé mikroprocesory spracovávajú dielčie časti úlohy a tak vzniká prekryvanie logických a pamäťových operácií v rovnakom čase. Pri uvedených výhodách systém v maximálnej miere obmedzuje prestojové časy.

Výhody systému sa dosahujú pri minimálnych nákladoch a požiadavkách na technické a programové vybavenie.

Príklady paralelného zapojenia mikroprocesorov podľa vynálezu sú schematicky znázornené na pripojených obrazoch, kde na obr. 1 je znázornené paralelné zapojenie dvoch mikroprocesorov a obr. 2 predstavuje principiálne paralelné zapojenie troch a viacerých mikroprocesorov.

Paralelné zapojenie dvoch mikroprocesorov 3, 3a podľa obr. 1 je realizované prostredníctvom vonkajších zberníc 2, 2a a spoločného pamäťového modulu 1. Zbernice 2, 2a pozostávajú z jednosmernej riadiacej a adresnej a obojsmernej dátovej časti.

Na každý mikroprocesor sú prostredníctvom internej zbernice 4, 4a pripojené interné pamäte 5, 5a a radiče vstupno-výstupných jednotiek 6, 6a.

Oba mikroprocesory 3, 3a sú riadené spoločným generátorom taktov 7 a oneskorovaciu linkou 8. Paralelné zapojenie štyroch mikroprocesorov je schematicky znázornené na obr. 2. Spojenie mikroprocesorov 3 - 3n je realizované prostredníctvom vonkajších zberníc 2 - 2n a spoločných pamäťových modulov 1 - 1n.

Zbernice 2 - 2n pozostávajú z jednosmernej riadiacej, adresnej a obojsmernej dátovej časti. Na každý mikroprocesor sú prostredníctvom interných zberníc 4 - 4n pripojené interné pamäte 5 - 5n a radiče vstupno-výstupných jednotiek 6 - 6n.

Všetky mikroprocesory 3 - 3n sú riadené spoločným generátorom taktov 7 a oneskorovacou linkou 8. Požiadavky mikroprocesorov 3 - 3n na spoločné pamäťové moduly 1 - 1n sa zabezpečujú prostredníctvom dekoderov adresy 9 - 9n pamäťového modulu a riadiacou logikou 10 - 10n zbernic 2 - 2n. Maximálny počet n - mikroprocesorov je daný rýchlosťou pamäťových modulov 1 - 1n, pracovnou rýchlosťou zberníc 2 - 2n a operačnou rýchlosťou mikroprocesorov 3 - 3n. Každý systém môže byť pre špeciálne účely vybavený ľubovoľným počtom pamäťových modulov 1.

Mikroprocesory zapojené podľa vynálezu pracujú tak, že každý z mikroprocesorov pracuje samostatne, synchronne, avšak s posunutými hodinovými taktmi. Výmena dát medzi mikroprocesormi sa realizuje prostredníctvom spoločných pamäťových modulov cez zbernice. Keďže systémy pracujú s posunutými hodinovými impulzmi, nedochádza k prekryvaniu požiadaviek jednotlivých mikroprocesorov na ten istý pamäťový modul. Mikroprocesory sú riadené z jediného generátora taktov a posunutie času sa realizuje oneskorovacou linkou.

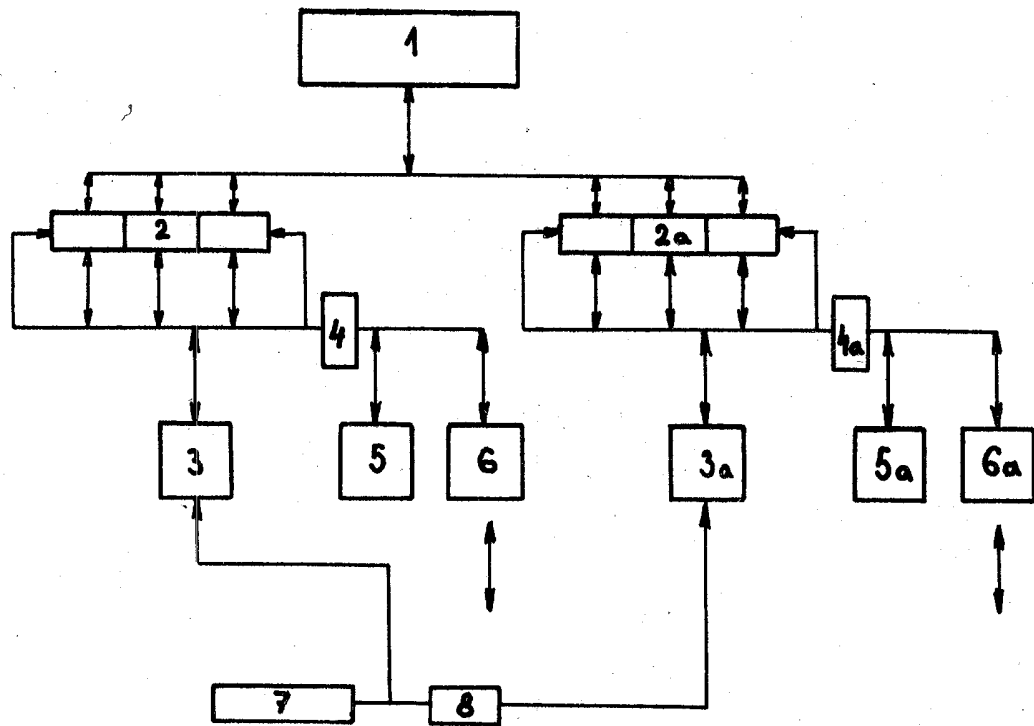
Interná zbernica sprostredkováva spojenie každého mikroprocesora s vlastnou pamäťou a radičom vstupno-výstupných jednotiek. Vonkajšie zbernice spájajú mikroprocesory so spoločnou modulovou pamäťou. Pri systéme zapojenia viacerých mikroprocesorov požiadavka každého mikroprocesora na spoločné pamäťové moduly je dekódovaná dekódérom pamäťového modulu. Po dekódovaní adresy riadiaca logika najbližšej zbernice zabezpečí spojenie mikroprocesor - pamäťový modul.

Zapojenie mikroprocesorov podľa vynálezu je možné využiť ako stavebný prvok veľkých počítačových systémov, riadiaci prvok periférnych jednotiek a radičov, ako riadiace minipočítače technologických procesov a na spracovanie informácií v reálnom čase pri zabezpečovaní leteckej prevádzky a podobných oblastí, vyžadujúcich okamžité, presné a spoľahlivé údaje.

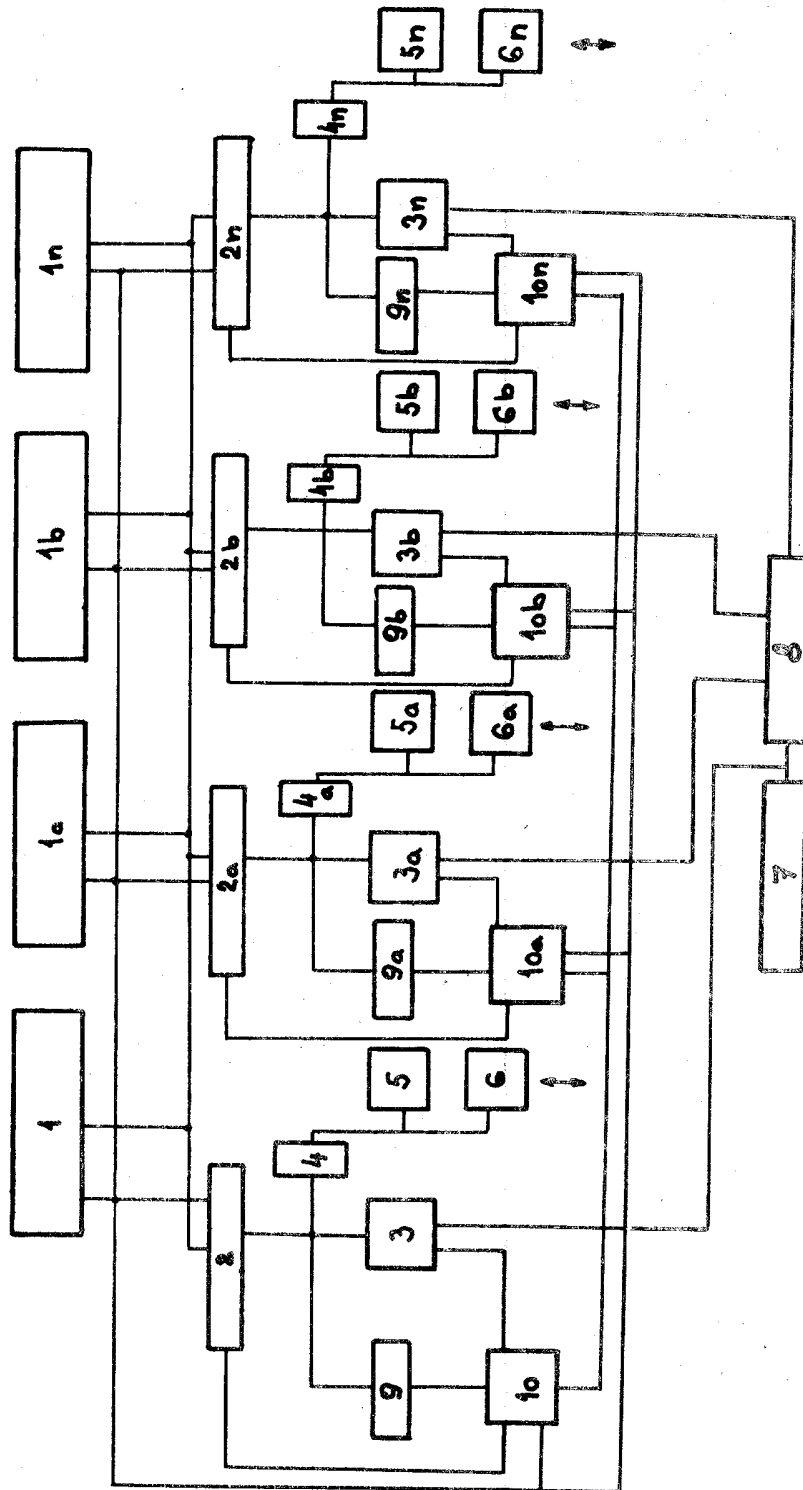
P R E D M E T V Y N Á L E Z U

Paralelné zapojenie bitovo vrstvených mikroprocesorov pozostávajúcich z inertných zberníc, inertných pamätí a radičov vstupno-výstupných jednotiek vyznačujúce sa tým, že alespoň dva mikroprocesory /3 až 3n/ sú navzájom zapojené spoločnými pamäťovými modulmi /1 až 1n/ cez vonkajšie zbernice /2 až 2n/ zostavené z riadiacej, adresnej a dátovej časti, pričom každý z mikroprocesorov /3 až 3n/ je napojený na spoločný generátor /7/ hodinových impulzov a oneskorenú linku /8/.

2 listy výkresov



obr. 1



obr. 2