

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第5931573号  
(P5931573)

(45) 発行日 平成28年6月8日(2016.6.8)

(24) 登録日 平成28年5月13日(2016.5.13)

(51) Int.Cl.	F 1
HO1L 21/336 (2006.01)	HO1L 29/78 627C
HO1L 29/786 (2006.01)	HO1L 29/78 616V
GO2F 1/1368 (2006.01)	HO1L 29/78 618E
	HO1L 29/78 619A
	GO2F 1/1368

請求項の数 5 (全 23 頁)

(21) 出願番号	特願2012-106116 (P2012-106116)
(22) 出願日	平成24年5月7日(2012.5.7)
(65) 公開番号	特開2012-256865 (P2012-256865A)
(43) 公開日	平成24年12月27日(2012.12.27)
審査請求日	平成27年3月12日(2015.3.12)
(31) 優先権主張番号	特願2011-108761 (P2011-108761)
(32) 優先日	平成23年5月13日(2011.5.13)
(33) 優先権主張国	日本国(JP)

(73) 特許権者	000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地
(72) 発明者	田中 哲弘 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(72) 発明者	笛川 慎也 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内

審査官 岩本 勉

最終頁に続く

(54) 【発明の名称】半導体装置の作製方法

## (57) 【特許請求の範囲】

## 【請求項 1】

ゲート電極上にゲート絶縁膜を形成し、

前記ゲート絶縁膜上に、少なくとも微結晶半導体領域及び非晶質半導体領域が積層する半導体膜を形成し、

前記半導体膜上に導電膜を形成した後、前記導電膜上にエッチング保護膜を形成し、

前記エッチング保護膜上にマスクを形成し、前記エッチング保護膜、前記導電膜及び前記非晶質半導体領域の一部をエッチングする第1のエッチング処理により、前記非晶質半導体領域を露出させると共に、ソース電極及びドレイン電極として機能する配線を形成し、

前記マスクを除去した後、前記露出した非晶質半導体領域及び前記微結晶半導体領域の一部をドライエッチングする第2のエッチング処理により、微結晶半導体領域の一部を露出させ、

前記エッチング保護膜は、前記第2のエッチング処理において、前記導電膜を保護することを特徴とする半導体装置の作製方法。

## 【請求項 2】

請求項1において、前記エッチング保護膜は、酸化アルミニウム、酸化ジルコニウム、酸化ハフニウムまたは酸化アルミニウム、酸化ジルコニウム、もしくは酸化ハフニウムを含むシリケートまたは酸化アルミニウム、酸化ジルコニウム、もしくは酸化ハフニウムの二以上を含む複合酸化物で形成されることを特徴とする半導体装置の作製方法。

**【請求項 3】**

請求項 1 または請求項 2 において、前記導電膜の表面を含む領域は、チタン、チタン化合物、またはチタン合金で形成されることを特徴とする半導体装置の作製方法。

**【請求項 4】**

請求項 1 乃至請求項 3 のいずれか一項において、前記第 1 のエッチング処理は、エッチングガスとして塩素または塩化物を用いる条件であることを特徴とする半導体装置の作製方法。

**【請求項 5】**

請求項 1 乃至請求項 4 のいずれか一項において、前記第 2 のエッチング処理は、エッチングガスとしてフッ素、またはフッ化物を用いる条件であることを特徴とする半導体装置の作製方法。 10

**【発明の詳細な説明】****【技術分野】****【0001】**

本発明は、半導体装置の作製方法、及び表示装置に関する。

**【0002】**

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、表示装置、電気光学装置、光電変換装置、半導体回路、及び電子機器は全て半導体装置である。

**【背景技術】****【0003】**

電界効果トランジスタの一種として、絶縁表面を有する基板上に形成された半導体膜を用いてチャネル領域が形成される薄膜トランジスタが知られている。薄膜トランジスタのチャネル領域に用いられる半導体膜に、非晶質シリコン、微結晶シリコン及び多結晶シリコンを用いる技術がある。薄膜トランジスタの代表的な応用例は、液晶テレビジョン装置であり、表示画面を構成する各画素のスイッチングトランジスタとして実用化されている。 20

**【0004】**

また、大型のテレビジョン装置を量産高く作製するため、画素のスイッチングトランジスタとして逆スタガ型の薄膜トランジスタを用いた技術が開示されている（特許文献 1 参照。）。また、高精細な（画素数の多い）液晶表示装置（例えば、フルハイビジョン（FH D）、2 k × 4 k、4 k × 8 k 等）を作製するためには、オン電流の高い薄膜トランジスタが必要である。そこで、画素のスイッチングトランジスタとして、非晶質半導体膜をチャネル領域に有する薄膜トランジスタよりオン電流の高い、微結晶シリコン膜をチャネル領域に有する薄膜トランジスタが注目されている。 30

**【先行技術文献】****【特許文献】****【0005】**

【特許文献 1】特開 2009 - 21571 号公報

**【発明の概要】****【発明が解決しようとする課題】****【0006】**

しかしながら、微結晶シリコン膜を用いてチャネル領域が形成される薄膜トランジスタは、非晶質シリコン膜でチャネル領域が形成される薄膜トランジスタと比較して、電界効果移動度は向上するもののオフ電流が高くなってしまい、十分なスイッチング特性が得られないといった問題がある。 40

**【0007】**

また、逆スタガ型の薄膜トランジスタのチャネル領域となる半導体膜において、ゲート電極側の面と反対側の領域（以下、バックチャネル領域という。）の状態によって、薄膜トランジスタのオフ電流が上昇してしまうという問題がある。

**【0008】**

10

20

30

40

50

そこで、本発明の一態様は、オフ電流を低減した優れた特性を有する薄膜トランジスタを作製することを課題とする。

【課題を解決するための手段】

【0009】

本発明の一態様は、少なくとも微結晶半導体領域及び非晶質半導体領域が積層する半導体膜を有する逆スタガ型の薄膜トランジスタにおいて、半導体膜上に導電膜と、エッティング保護膜とを積層形成し、エッティング保護膜上にマスクを形成し、エッティング保護膜、導電膜及び非晶質半導体領域の一部をエッティングする第1のエッティング処理の後、マスクを除去する。次に、上記エッティングされたエッティング保護膜をマスクとして、露出した非晶質半導体領域及び微結晶半導体領域の一部をドライエッティングする第2のエッティング処理により、微結晶半導体領域の一部を露出させ、バックチャネル領域を形成する半導体装置の作製方法である。 10

【0010】

また、第2のエッティング処理の後、エッティングされた微結晶半導体領域、エッティングされた非晶質半導体領域、及びエッティングされたエッティング保護膜上に絶縁膜を形成し、絶縁膜上にエッティングされた微結晶半導体領域と重畠するバックゲート電極と、ソース電極及びドレイン電極として機能する配線と接続する画素電極を形成する半導体装置の作製方法である。

【0011】

なお、上記導電膜の表面を含む領域は、チタン、チタン化合物、またはチタン合金で形成されている。このため、ソース電極またはドレイン電極として機能する配線と画素電極とが接しても、電食の発生を低減できるため、配線及び画素電極の接続部におけるコンタクト抵抗を低減することができる。 20

【0012】

エッティング保護膜としては、難エッティング材料である金属酸化膜を用いて形成する。難エッティング材料である金属酸化膜の代表例としては、酸化アルミニウム、酸化ジルコニウム、酸化ハフニウム、及びそれらを含むシリケート( $HfSi_xO_y$ ,  $ZrSi_xO_y$ 等)、並びにそれらの二以上を含む複合酸化物( $Hf_{1-x}Al_xO_y$ ,  $Zr_{1-x}Al_xO_y$ 等)がある。 30

【0013】

また、上記第1のエッティング処理は、エッティング保護膜及び導電膜をエッティングする条件である。第1のエッティング処理として、エッティングガスとして塩素または塩化物を用いる条件がある。また、上記第2のエッティング処理は、エッティング保護膜より、露出した非晶質半導体領域及び微結晶半導体領域を選択的にエッティングする条件である。第2のエッティング処理として、エッティングガスとしてフッ素、またはフッ化物を用いる条件がある。

【0014】

本実施の形態に示す薄膜トランジスタは、微結晶半導体領域と、不純物半導体領域の間に、非晶質半導体領域を有する。このため、薄膜トランジスタのオフ電流を低減することができる。また、マスクを用いて、導電膜及びエッティング保護膜をエッティングすると共に、非晶質半導体領域を露出させる第1のエッティング処理の後、マスクを除去する。次に、エッティングされたエッティング保護膜をマスクとして、非晶質半導体領域、及び微結晶半導体膜領域の一部を選択的にエッティングする第2のエッティング処理により、バックチャネル領域を形成する。第2のエッティング処理によって、第1のエッティング処理で生じた非晶質半導体領域表面の残渣物を除去するため、バックチャネル領域である微結晶半導体領域表面の残渣物を低減できる。また、導電膜上の難エッティング材料で形成される金属酸化膜がエッティング保護膜として機能するため、第2のエッティング処理における導電膜の膜減りが低減できる。以上のことから、オフ電流を低減した薄膜トランジスタを作製することができる。また、配線及び画素電極の電食を低減し、配線及び画素電極の接続部において、コンタクト抵抗を低減することができる。 40

【発明の効果】

**【0015】**

本発明の一態様を適用することで、オフ電流が低く優れた電気特性を有する半導体装置を作製することができる。また、電気特性が優れた半導体装置を、生産性高く作製することができる。

**【図面の簡単な説明】****【0016】**

【図1】本発明の一実施の形態に係る半導体装置の作製方法を説明する断面図である。

【図2】本発明の一実施の形態に係る半導体装置の作製方法を説明する断面図である。

【図3】本発明の一実施の形態に係る半導体装置の作製方法を説明する上面図である。

【図4】本発明の一実施の形態に係る半導体装置の作製方法を説明する断面図である。

10

【図5】本発明の一実施の形態に係る半導体装置の作製方法を説明する断面図である。

【図6】本発明の一実施の形態に係る半導体装置の作製方法を説明する断面図である。

【図7】電子書籍の一例を示す斜視図である。

**【発明を実施するための形態】****【0017】**

本発明の実施の形態について、図面を参照して以下に説明する。ただし、本発明は以下の説明に限定されるものではない。本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは、当業者であれば容易に理解されるからである。したがって、本発明は以下に示す実施の形態の記載内容のみに限定して解釈されるものではない。なお、図面を用いて本発明の構成を説明するにあたり、同じものを指す符号は異なる図面間でも共通して用いる。

20

**【0018】****(実施の形態1)**

本実施の形態では、本発明の一形態である半導体装置に形成される薄膜トランジスタの作製方法について、図1乃至図3を参照して説明する。なお、薄膜トランジスタは、p型よりもn型の方がキャリアの移動度が高い。また、同一の基板上に形成する薄膜トランジスタを全て同じ極性に統一すると、工程数を抑えることができて好ましい。そのため、本実施の形態では、n型の薄膜トランジスタの作製方法について説明する。

**【0019】**

なお、オン電流とは、薄膜トランジスタがオン状態のときに、ソース電極とドレイン電極の間に流れる電流をいう。例えば、n型の薄膜トランジスタの場合には、ゲート電圧が薄膜トランジスタの閾値電圧よりも高いときにソース電極とドレイン電極との間に流れる電流である。

30

**【0020】**

また、オフ電流とは、薄膜トランジスタがオフ状態のときに、ソース電極とドレイン電極の間に流れる電流をいう。例えば、n型の薄膜トランジスタの場合には、ゲート電圧が薄膜トランジスタの閾値電圧よりも低いときにソース電極とドレイン電極との間に流れる電流である。

**【0021】**

図1(A)に示すように、基板101上にゲート電極103(第1のゲート電極ともいう。)を形成する。次に、ゲート電極103を覆うゲート絶縁膜105を形成し、ゲート絶縁膜105上に半導体膜117を形成する。なお、半導体膜117は、微結晶半導体領域117a、非晶質半導体領域117b、及び不純物半導体領域117cが順に積層されている。次に、ゲート絶縁膜105及び半導体膜117上に導電膜127を形成する。次に、導電膜127上に、エッチング保護膜128を形成する。次に、導電膜127を選択的にエッチングして、ソース電極及びドレイン電極として機能する配線を形成するためのマスク130a、130bを形成する。

40

**【0022】**

基板101としては、ガラス基板、セラミック基板の他、本作製工程の処理温度に耐えうる程度の耐熱性を有するプラスチック基板等を用いることができる。また、基板に透光性

50

を要しない場合には、ステンレス等の金属基板を用いてもよい。ガラス基板としては、例えば、バリウムホウケイ酸ガラス、アルミニノホウケイ酸ガラス若しくはアルミニノケイ酸ガラス等の無アルカリガラス基板を用いるとよい。なお、基板 101 のサイズに限定はなく、例えばフラットパネルディスプレイの分野でよく使われる第 3 世代～第 10 世代のガラス基板を用いることができる。

【0023】

ゲート電極 103 は、モリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジム、スカンジウム、ニッケル等の金属材料またはこれらを主成分とする合金材料を用いて、単層でまたは積層して形成することができる。また、リン等の不純物元素をドーピングした多結晶シリコンに代表される半導体、Ag-Pd-Cu 合金、Al-Nd 合金、Al-Ni 合金などを用いてもよい。

【0024】

例えば、ゲート電極 103 の二層の積層構造としては、アルミニウム膜上にモリブデン膜を積層した二層の積層構造、または銅膜上にモリブデン膜を積層した二層構造、または銅膜上に窒化チタン膜若しくは窒化タンタル膜を積層した二層構造、窒化チタン膜とモリブデン膜とを積層した二層構造、酸素を含む銅-マグネシウム合金膜と銅膜とを積層した二層構造、酸素を含む銅-マンガン合金膜と銅膜とを積層した二層構造、銅-マンガン合金膜と銅膜とを積層した二層構造などとすることが好ましい。三層の積層構造としては、タンタル膜または窒化タンタル膜と、アルミニウムとシリコンの合金膜またはアルミニウムとチタンの合金膜と、窒化チタン膜またはチタン膜とを積層した三層構造とすることが好ましい。電気的抵抗が低い膜上にバリア膜として機能する金属膜が積層されることで、電気的抵抗を低くでき、且つ金属膜から半導体膜への金属元素の拡散を防止することができる。

【0025】

ゲート電極 103 は、基板 101 上に、CVD 法、スパッタリング法または真空蒸着法を用いて、上記した材料を用いて導電膜を形成し、該導電膜上にフォトリソグラフィ法またはインクジェット法等によりマスクを形成し、該マスクを用いて導電膜をエッチングして形成することができる。また、銀、金または銅等の導電性ナノペーストをインクジェット法により基板上に吐出し、焼成することで形成することもできる。なお、ゲート電極 103 と、基板 101 との密着性向上を目的として、上記の金属材料の窒化物膜を、基板 101 と、ゲート電極 103 との間に設けてもよい。ここでは、基板 101 上に導電膜を形成し、フォトリソグラフィ工程により形成したマスクを用いて、当該導電膜をエッチングして、ゲート電極 103 を形成する。

【0026】

なお、ゲート電極 103 の側面は、テーパー形状とすることが好ましい。例えば、基板 101 及びゲート電極 103 の側面のなす角度を、20 度以上 60 度以下、好ましくは 35 度以上 45 度以下とすることが好ましい。これは、後の工程で、ゲート電極 103 上に形成される絶縁膜、半導体膜及び配線が、ゲート電極 103 の段差箇所において切断されないようにするためである。ゲート電極 103 の側面をテーパー形状にするためには、マスクを後退させつつエッチングを行えばよい。

【0027】

また、ゲート電極 103 を形成する工程により、ゲート配線（走査線）及び容量配線も同時に形成することができる。なお、走査線とは画素を選択する配線をいい、容量配線とは画素の保持容量の一方の電極に接続された配線をいう。ただし、これに限定されず、ゲート配線及び容量配線の一方または双方と、ゲート電極 103 とは別に設けてよい。

【0028】

ゲート絶縁膜 105（第 1 のゲート絶縁膜ともいう。）は、酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜、窒化酸化シリコン膜、酸化アルミニウム膜、窒化アルミニウム膜、酸化窒化アルミニウム膜、または窒化酸化アルミニウム膜を、単層でまたは積層して形成することができる。

10

20

30

40

50

## 【0029】

なお、ここでは、酸化窒化シリコンとは、その組成として、窒素よりも酸素の含有量が多いものであって、好ましくは、ラザフォード後方散乱法 (RBS : Rutherford Backscattering Spectrometry) 及び水素前方散乱法 (HFS : Hydrogen Forward Scattering Spectrometry) を用いて測定した場合に、組成範囲として酸素が 50 ~ 70 原子%、窒素が 0.5 ~ 1.5 原子%、シリコンが 25 ~ 35 原子%、水素が 0.1 ~ 1.0 原子% の範囲で含まれるものという。また、窒化酸化シリコンとは、その組成として、酸素よりも窒素の含有量が多いものであって、好ましくは、RBS 及び HFS を用いて測定した場合に、組成範囲として酸素が 5 ~ 30 原子%、窒素が 20 ~ 55 原子%、シリコンが 25 ~ 35 原子%、水素が 10 ~ 30 原子% の範囲で含まれるものという。ただし、酸化窒化シリコンまたは窒化酸化シリコンを構成する原子の合計を 100 原子% としたとき、窒素、酸素、シリコン及び水素の含有比率が上記の範囲内に含まれるものとする。10

## 【0030】

なお、ゲート絶縁膜 105 を酸化シリコンまたは酸化窒化シリコン等の酸化絶縁膜により形成することで、薄膜トランジスタの閾値電圧の変動を低減することができる。

## 【0031】

ゲート絶縁膜 105 は、CVD 法またはスパッタリング法等を用いて形成することができる。ゲート絶縁膜 105 の CVD 法による形成工程において、グロー放電プラズマの生成は、3 MHz から 30 MHz、代表的には 13.56 MHz、27.12 MHz の HF 帯の高周波電力、または 30 MHz より大きく 300 MHz 程度までの VHF 帯の高周波電力、代表的には、60 MHz を印加することで行われる。また、1 GHz 以上のマイクロ波の高周波電力を印加することで行われる。なお、高周波電力がパルス状に印加されるパルス発振や、連続的に印加される連続発振とすることができる。また、HF 帯の高周波電力と、VHF 帯の高周波電力を重畠させることで、大面積基板においてもプラズマのムラを低減し、膜厚及び膜質の均一性を高めることができると共に、堆積速度を高めることができる。また、高周波数が 1 GHz 以上であるマイクロ波プラズマ CVD 装置を用いてゲート絶縁膜 105 を形成すると、ゲート電極と、ドレイン電極及びソース電極との間の耐圧を向上させることができると、信頼性の高い薄膜トランジスタを得ることができる。20

## 【0032】

また、ゲート絶縁膜 105 として、有機シランガスを用いた CVD 法により酸化シリコン膜を形成することで、後に形成する半導体膜の微結晶半導体領域の結晶性を高めることができると共に、堆積速度を高めることができる。有機シランガスとしては、テトラエトキシシラン (TEOS : 化学式 Si(OCH<sub>3</sub>)<sub>4</sub>)、テトラメチルシラン (TMS : 化学式 Si(CH<sub>3</sub>)<sub>4</sub>)、テトラメチルシクロテトラシロキサン (TMCTS)、オクタメチルシクロテトラシロキサン (OMCTS)、ヘキサメチルジシラザン (HMDS)、トリエトキシシラン (SiH(OCH<sub>3</sub>)<sub>3</sub>)、トリスジメチルアミノシラン (SiH(N(CH<sub>3</sub>)<sub>2</sub>)<sub>3</sub>) 等のシリコン含有化合物を用いることができる。30

## 【0033】

半導体膜 117 は、微結晶半導体膜、非晶質半導体膜、及び不純物半導体膜を順に積層形成した後、不純物半導体膜上にマスクを形成し、該マスクを用いて選択的にエッティング処理を行い、微結晶半導体領域 117a、非晶質半導体領域 117b、及び不純物半導体領域 117c を形成する。40

## 【0034】

エッティングされて微結晶半導体領域 117a となる微結晶半導体膜は、原料ガスとして、シリコンまたはゲルマニウムを含む堆積性気体と、水素とを混合し、グロー放電プラズマにより形成する。または、原料ガスに、ヘリウム、アルゴン、ネオン、クリプトン、キセノン等の希ガスを混合し、グロー放電プラズマにより形成する。ここでは、シリコンまたはゲルマニウムを含む堆積性気体の流量に対する水素の流量を 50 倍以上 6000 倍以下50

、好ましくは50倍以上3000倍以下にして堆積性気体を希釈し、且つ処理室内の圧力を67Pa以上50000Pa以下(0.5Torr以上370Torr以下)、更に好ましくは67Pa以上13332Pa以下(0.5Torr以上100Torr以下)とする条件により、微結晶半導体膜として、微結晶シリコン膜、微結晶シリコンゲルマニウム膜、微結晶ゲルマニウム膜等を形成する。

#### 【0035】

このときの堆積温度は、室温～350 とすることが好ましく、より好ましくは150～280 とする。なお、上部電極及び下部電極の間隔は、プラズマが発生しうる間隔とすればよい。なお、本明細書において、シリコンまたはゲルマニウムを含む堆積性気体の流量に対する水素の流量は、希釈されてない100%のシリコンまたはゲルマニウムを含む堆積性気体に対する水素の流量である。このため、シリコンまたはゲルマニウムを含む堆積性気体が希釈されている場合は、シリコンまたはゲルマニウムを含む堆積性気体を100%として、水素流量を調整すればよい。

10

#### 【0036】

微結晶半導体膜は、微結晶半導体で形成される。微結晶半導体とは、非晶質と結晶構造(単結晶、多結晶を含む)の中間的な構造の半導体である。このため、微結晶半導体は非晶質半導体領域を有する。微結晶半導体は、自由エネルギー的に安定な第3の状態を有する半導体であって、短距離秩序を持ち格子歪みを有する結晶質な半導体であり、混相粒径が2nm以上200nm以下、好ましくは10nm以上80nm以下、より好ましくは、20nm以上50nm以下の柱状または針状の混相粒が基板表面に対して法線方向に成長している。このため、柱状または針状の混相粒の界面には、粒界が形成される場合もある。なお、ここでの結晶粒径は、基板表面に対して平行な面における結晶粒の最大直径をいう。また、混相粒とは、非晶質半導体領域と、単結晶とみなせる微小結晶である結晶子とを含む結晶粒である。

20

#### 【0037】

微結晶半導体の代表例である微結晶シリコンは、そのラマンスペクトルのピークが単結晶シリコンを示す $520\text{ cm}^{-1}$ よりも低波数側に、シフトしている。即ち、単結晶シリコンを示す $520\text{ cm}^{-1}$ とアモルファスシリコンを示す $480\text{ cm}^{-1}$ の間に微結晶シリコンのラマンスペクトルのピークがある。また、未結合手(ダングリングボンド)を終端するため水素またはハロゲンを少なくとも1原子%またはそれ以上含んでいる。さらに、ヘリウム、アルゴン、ネオン、クリプトン、キセノンなどの希ガス元素を含ませて格子歪みをさらに助長させることで、安定性が増し良好な微結晶半導体が得られる。このような微結晶半導体に関する記述は、例えば、米国特許4,409,134号で開示されている。

30

#### 【0038】

エッティングされて非晶質半導体領域117bとなる非晶質半導体膜は、シリコンまたはゲルマニウムを含む堆積性気体を用いたグロー放電プラズマにより形成する。または、シリコンまたはゲルマニウムを含む堆積性気体と、水素とを混合し、グロー放電プラズマにより形成する。ここでは、シリコンまたはゲルマニウムを含む堆積性気体の流量に対する水素の流量を0.1倍以上10倍以下にして堆積性気体を希釈し、且つ処理室内の圧力を67Pa以上50000Pa以下(0.5Torr以上370Torr以下)、更に好ましくは67Pa以上13332Pa以下(0.5Torr以上100Torr以下)とする条件により、非晶質半導体膜として、非晶質シリコン膜、非晶質シリコンゲルマニウム膜、非晶質ゲルマニウム膜等を形成する。

40

#### 【0039】

このときの堆積温度は、室温～350 とすることが好ましく、より好ましくは150～280 とする。なお、上部電極及び下部電極の間隔は、プラズマが発生しうる間隔とすればよい。

#### 【0040】

エッティングされて不純物半導体領域117cとなる不純物半導体膜は、プラズマCVD装

50

置の処理室内において、シリコンを含む堆積性気体と、水素と、ホスフィン（水素希釈またはシラン希釈）とを混合し、グロー放電プラズマにより、リンが添加されたアモルファスシリコン、またはリンが添加された微結晶シリコンを形成する。なお、p型の薄膜トランジスタを作製する場合は、不純物半導体膜113として、ホスフィンの代わりに、ジボランを用いて、グロー放電プラズマにより形成すればよい。

【0041】

なお、シリコンまたはゲルマニウムを含む堆積性気体の代表例としては、 $\text{SiH}_4$ 、 $\text{Si}_2\text{H}_6$ 、 $\text{GeH}_4$ 、 $\text{Ge}_2\text{H}_6$ 等がある。

【0042】

また、微結晶半導体膜、非晶質半導体膜、及び不純物半導体膜を形成する際のグロー放電のプラズマ生成は、ゲート絶縁膜105で列挙した高周波電力を適宜印加することで行われる。

10

【0043】

導電膜127は、アルミニウム、銅、ネオジム、スカンジウム、モリブデン、クロム、タンタル若しくはタンクスチタン等で形成される第1の導電層と、チタン、チタン化合物、若しくはチタン合金等で形成される第2の導電層とを積層して形成する。チタン化合物の一例としては、窒化チタン、酸化チタン等がある。また、第1の導電層の上面及び下面を、チタン、チタン化合物、若しくはチタン合金等で形成される導電層で挟んだ積層構造としてもよい。

【0044】

20

後に画素電極と接続する配線となる導電膜127を少なくとも第1の導電層及び第2の導電層の積層構造とし、導電膜127の上層、即ち表面側の領域を、チタン、チタン化合物、若しくはチタン合金等で形成される第2の導電層とすることで、配線及び画素電極の接続部で、画素電極が第1の導電層と接触することを防止でき、特に、第1の導電層としてアルミニウムを用い、画素電極としてITOを用いた場合、ITOとアルミニウムとの間での電食を防ぐことができる。この結果、配線及び画素電極の電食、溶解等によるコンタクト抵抗の上昇を防ぐことができる。

【0045】

導電膜127は、CVD法、スパッタリング法または真空蒸着法を用いて形成する。

【0046】

30

エッチング保護膜としては、難エッチング材料である金属酸化膜を用いて形成する。難エッチング材料である金属酸化膜の代表例としては、酸化アルミニウム、酸化ジルコニアム、酸化ハフニウム、及びそれらを含むシリケート( $\text{HfSi}_x\text{O}_y$ ,  $\text{ZrSi}_x\text{O}_y$ 等)、並びにそれらの二以上を含む複合酸化物( $\text{Hf}_1-x\text{Al}_x\text{O}_y$ ,  $\text{Zr}_1-x\text{Al}_x\text{O}_y$ 等)がある。エッチング保護膜128は、5nm以上20nm以下の厚さで形成することで、後のエッチング保護膜128及び導電膜127のエッチング工程において、エッチング保護膜128を容易にエッチングできるため好ましい。

【0047】

エッチング保護膜128は、CVD法またはスパッタリング法を用いて形成する。エッチング保護膜の一例である酸化アルミニウム膜の作製方法の一例としては、ターゲットに酸化アルミニウムを用い、流量25sccmのアルゴン、及び流量25sccmの酸素をスパッタリングガスとし、圧力を0.4Pa、電源電力を15kW、ターゲット及び基板間隔を60mm、基板温度を250度とする条件がある。

40

【0048】

マスク130a、130bは、フォトリソグラフィ工程を用いて形成する。または、スクリーン印刷法、インクジェット法等を用いてマスク130a、130bを形成してもよい。

【0049】

次に、マスク130a、130bを用いて導電膜127及びエッチング保護膜128をエッチングしてソース電極及びドレイン電極として機能する配線129a、129b並びに

50

エッティング保護膜 131a、131bを形成する。次に、半導体膜117の一部をエッティングして、ソース領域及びドレイン領域として機能する一対の不純物半導体領域133a、133b、凹部を有する非晶質半導体領域132を形成する。当該半導体膜117のエッティングにおいては、微結晶半導体領域117aを露出しないように半導体膜117をエッティングする必要があり、少なくとも不純物半導体領域117cをエッティングする。または、不純物半導体領域117c及び非晶質半導体領域117bの途中までエッティングする(図1(B)参照。)。なお、エッティング保護膜131a、131bは、後のエッティング工程において、配線129a、129bのエッティング保護膜として機能する。

#### 【0050】

導電膜127及びエッティング保護膜128のエッティングは、ドライエッティングまたはウェットエッティングを用いることができる。エッティング条件は、導電膜127及びエッティング保護膜128をエッティングする条件を適宜用いる。ドライエッティング方法については特に限定はなく、誘導結合型プラズマ( I C P : I n d u c t i v e l y C o u p l e d P l a s m a ) 方式、容量結合型プラズマ( C C P : C a p a c i t i v e l y C o u p l e d P l a s m a ) 方式、電子サイクロトン共鳴プラズマ( E C R : E l e c t r o n C y c l o t r o n R e s o n a n c e ) 方式、反応性イオンエッティング( R I E : R e a c t i v e I o n E t c h i n g ) 方式等を適宜用いることができる。ドライエッティング条件の一例としては、エッティング速度の早い塩素( C l <sub>2</sub> )または塩化物をエッティングガスとして用いる条件がある。塩化物の一例としては、 B C l <sub>3</sub> がある。また、塩素及び B C l <sub>3</sub> の一以上を含む混合ガス( B C l <sub>3</sub> 及び O <sub>2</sub> の混合ガス、 B C l <sub>3</sub> 及び C l <sub>2</sub> の混合ガス、 B C l <sub>3</sub> 、 C l <sub>2</sub> 及び O <sub>2</sub> の混合ガス、 B C l <sub>3</sub> 及び C <sub>4</sub> F <sub>8</sub> の混合ガス、 C l <sub>2</sub> 及び希ガスの混合ガス、 C l <sub>2</sub> 及び O <sub>2</sub> の混合ガス、 C l <sub>2</sub> 及び C F <sub>4</sub> の混合ガス、 C l <sub>2</sub> 、 C F <sub>4</sub> 及び O <sub>2</sub> の混合ガス、 C l <sub>2</sub> 及び H B r の混合ガス、 C l <sub>2</sub> 、 H B r 及び O <sub>2</sub> の混合ガス等)がある。なお、 B C l <sub>3</sub> をエッティングガスに用いると、プラズマ中で解離したホウ素及び塩素が金属酸化物の酸素と反応し、ホウ素・酸素・塩素化合物となる。この結果、金属酸化物に含まれる酸素を除去することができる。さらに、塩素及び金属元素が反応して塩化物となる。この結果、金属酸化物に含まれる金属元素が除去され、エッティングが進行する。これらのため、難エッティング材料の金属酸化膜をより容易にエッティングすることができる。ウェットエッティング条件の一例としては、フッ酸、またはフッ酸及び硝酸の混合液をエッチャントとして用いる条件がある。

#### 【0051】

なお、配線129a、129bの一方は、ソース電極またはドレイン電極のみならず信号線としても機能する。ただし、これに限定されず、ソース電極及びドレイン電極とは別に信号線を設けてもよい。

#### 【0052】

次に、図2(A)に示すように、マスク130a、130bを除去する。当該工程においてマスクを除去する溶液の一部が、非晶質半導体領域132の表面に残存する場合がある。以下、非晶質半導体領域132の表面に残存した、当該マスクを除去する溶液の一部を残渣物という。

#### 【0053】

次に、配線129a、129b及びエッティング保護膜131a、131bをマスクとして、非晶質半導体領域132、及び微結晶半導体領域117aの一部をエッティングして、図2(B)に示すように分離された一対の非晶質半導体領域134a、134bと、凹部を有する微結晶半導体領域135を形成する。即ち、微結晶半導体領域135、一対の非晶質半導体領域134a、134b、及び一対の不純物半導体領域133a、133bを有する半導体膜136を形成する。

#### 【0054】

非晶質半導体領域132及び微結晶半導体領域117aのエッティングは、ドライエッティングを用いることができる。ドライエッティングにより、エッティング保護膜より非晶質半導体領域132及び微結晶半導体領域117aを選択的にエッティングすることができる。ドラ

10

20

30

40

50

イエッティング方法については特に限定はなく、ICP方式、CCP方式、ECR方式、RIE方式等を適宜用いることができる。エッティング条件は、エッティング保護膜及び配線より、非晶質半導体領域132及び微結晶半導体領域117aを選択的にエッティングする条件を適宜用いる。エッティング条件の一例としては、フッ素またはフッ化物をエッティングガスとして用いる条件がある。フッ化物としては、NF<sub>3</sub>、CF<sub>4</sub>、CHF<sub>3</sub>、及び該フッ化物を一以上含む混合ガス(HBr及びNF<sub>3</sub>の混合ガス、CF<sub>4</sub>及びO<sub>2</sub>の混合ガス等)がある。非晶質半導体領域132、及び微結晶半導体領域117aのエッティングの一条件としては、流量60sccmのBCl<sub>3</sub>、及び流量20sccmのCl<sub>2</sub>をエッティングガスとし、圧力を1.9Pa、ICP電力を450W、バイアス電力を100Wとする条件がある。

10

#### 【0055】

当該エッティング処理により、半導体膜136は、配線129a、129bで覆われる領域では微結晶半導体領域135、非晶質半導体領域134a、134b、及び不純物半導体領域133a、133bが積層され、配線129a、129bで覆われず、かつ少なくともゲート電極と重なる領域においては、微結晶半導体領域135が露出する形状となる。また、非晶質半導体領域132の表面の残渣物を除去できる。

#### 【0056】

上記工程のように、エッティング工程を2段階とし、1段階目のエッティングで、微結晶半導体領域が露出しない状態までエッティングし、その後マスクを除去する。当該、マスク除去の工程においては、微結晶半導体領域117aが非晶質半導体領域132に覆われているため、微結晶半導体領域117aが、残渣物と触れることがない。また、マスクを除去した後、2段階目のエッティングとして、エッティング保護膜131a、131bをマスクとして用いて、非晶質半導体領域132をエッティングして、微結晶半導体領域135を形成する。このため、残渣物は、バックチャネルには残存しない。

20

#### 【0057】

微結晶半導体領域及び非晶質半導体領域のエッティング条件の一例としては、フッ素またはフッ化物をエッティングガスとして用いる条件がある。従来のエッティング保護膜を設けない構造において、マスクが除去され、配線129a、129bが露出されている状態で微結晶半導体領域及び非晶質半導体領域のエッティングを行うと、配線129a、129bの表面に設けられるチタン、チタン化合物、またはチタン合金を有する領域が、フッ素またはフッ化物と反応し、チタン、チタン化合物、またはチタン合金を有する領域がエッティングされてしまう。また、当該チタン、チタン化合物、またはチタン合金と、フッ素またはフッ化物との反応物がバックチャネルに残存すると、当該反応物を介して電流が流れ、オフ電流の上昇の原因となる。しかしながら、本実施の形態においては、配線上にはエッティング保護膜として機能する難エッティング材料で形成される金属酸化膜が形成されているため、2段階目のエッティングにおいて、配線の上層に設けられるチタン、チタン化合物、またはチタン合金がフッ素またはフッ化物と反応せず、エッティングされない。

30

#### 【0058】

以上のことから、微結晶半導体領域135は、後に形成される薄膜トランジスタのバックゲート側のチャネル領域となるため、当該領域の残渣物を除去することで、バックチャネルに残存した残渣物が原因のリーク電流が発生しないため、薄膜トランジスタのオフ電流をより低減することができる。また、後に形成される画素電極及び配線の接続部において、チタン、チタン化合物、またはチタン合金で形成される導電層が画素電極と接するため、画素電極の電食を低減することができる、配線及び画素電極のコンタクト抵抗の上昇を防ぐことができる。

40

#### 【0059】

次に、微結晶半導体領域135及び非晶質半導体領域134a、134bの表面にプラズマ処理、代表的には水プラズマ処理、酸素プラズマ処理、アンモニアプラズマ処理、窒素プラズマ処理、酸素及び水素の混合ガスによるプラズマ処理等を行ってもよい。

#### 【0060】

50

ドライエッティングに続けて水プラズマ処理を行うことで、2段階目のエッティングで残渣が生じても除去できると共に、微結晶半導体領域135の欠陥を低減することができる。また、プラズマ処理を行うことで、ソース領域とドレイン領域との間の絶縁性を高めることができ、完成する薄膜トランジスタのオフ電流を低減し、電気的特性のばらつきを低減することができる。

【0061】

以上の工程によりシングルゲート型の薄膜トランジスタを作製することができる。また、本実施の形態に示す構造とすることで、オフ電流が低く、オン電流及び電界効果移動度が高いシングルゲート型の薄膜トランジスタを生産性高く作製することができる。

【0062】

次に、半導体膜136上に絶縁膜137（第2のゲート絶縁膜ともいう。）を形成する。絶縁膜137は、ゲート絶縁膜105と同様に形成することができる。

【0063】

次に、フォトリソグラフィ工程によりマスクを形成し、当該マスクを用いて絶縁膜137に開口部（図示しない。）を形成する。次に、絶縁膜137上にバックゲート電極139（第2のゲート電極ともいう。）及び画素電極141を形成する（図2（C）参照）。以上の工程により、デュアルゲート型の薄膜トランジスタを作製することができる。

【0064】

バックゲート電極139及び画素電極141は、酸化タンゲステンを含むインジウム酸化物、酸化タンゲステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物、インジウム亜鉛酸化物、または酸化シリコンを添加したインジウム錫酸化物等の透光性を有する導電性材料を用いて形成することができる。

【0065】

また、バックゲート電極139及び画素電極141は、透光性を有する導電性高分子（導電性ポリマーともいう。）を含む導電性組成物を用いて形成することができる。バックゲート電極139は、シート抵抗が10000 / sq以下であって、且つ波長550nmにおける透光率が70%以上であることが好ましい。また、導電性組成物に含まれる導電性高分子の抵抗率が0.1 · cm以下であることが好ましい。

【0066】

導電性高分子としては、いわゆる電子共役系導電性高分子を用いることができる。例えば、ポリアニリン若しくはその誘導体、ポリピロール若しくはその誘導体、ポリチオフェン若しくはその誘導体、または、アニリン、ピロール及びチオフェンの2種以上の共重合体若しくはその誘導体等がある。

【0067】

バックゲート電極139及び画素電極141は、CVD法、スパッタリング法または真空蒸着法を用いて、上記材料のいずれかを用いた薄膜を形成した後、フォトリソグラフィ工程によって形成したマスクを用いて上記薄膜をエッティングすることで、形成できる。また、バックゲート電極139及び画素電極141は、銀、金または銅等の導電性ナノペーストを用いてスクリーン印刷法またはインクジェット法等を用いて吐出し、焼成することで形成しても良い。

【0068】

次に、薄膜トランジスタの上面図である図3を用いて、バックゲート電極の形状を説明する。

【0069】

図3（A）に示すように、バックゲート電極139は、ゲート電極103と平行に形成することができる。この場合、バックゲート電極139に印加する電位と、ゲート電極103に印加する電位とを、それぞれ任意に制御することができる。このため、薄膜トランジスタの閾値電圧を制御することができる。また、キャリアが流れる領域、即ちチャネル領域が、微結晶半導体領域のゲート絶縁膜105側、及び絶縁膜137側に形成される

10

20

30

40

50

ため、薄膜トランジスタのオン電流を高めることができる。

【0070】

また、図3(B)に示すように、バックゲート電極139は、ゲート電極103に接続させることができる。即ち、ゲート絶縁膜105及び絶縁膜137に形成した開口部150において、ゲート電極103及びバックゲート電極139が接続する構造とすることができます。この場合、バックゲート電極139に印加する電位と、ゲート電極103に印加する電位とは、等しい。この結果、半導体膜において、キャリアが流れる領域、即ちチャネル領域が、微結晶半導体領域のゲート絶縁膜105側、及び絶縁膜137側に形成されるため、薄膜トランジスタのオン電流を高めることができる。

【0071】

また、図3(C)に示すように、バックゲート電極139は、ゲート電極103と接続せず、フローティングでもよい。バックゲート電極139に印加せずとも、チャネル領域が、微結晶半導体領域のゲート絶縁膜105側、及び絶縁膜137側に形成されるため、薄膜トランジスタのオン電流を高めることができる。

【0072】

さらには、図3(D)に示すように、バックゲート電極139は、絶縁膜137を介して配線129a、129bと重畳してもよい。ここでは、図3(A)に示す構造のバックゲート電極139を用いて示したが、図3(B)及び図3(C)に示すバックゲート電極139も同様に配線129a、129bと重畳してもよい。

【0073】

本実施の形態に示す薄膜トランジスタは、微結晶半導体領域135と、不純物半導体領域133a、133bの間に、非晶質半導体領域134a、134bを有する。このため、薄膜トランジスタのオフ電流を低減することができる。また、2段階のエッチング処理によりバックチャネル領域を形成するため、バックチャネル領域表面の残渣を低減することができる、薄膜トランジスタのオフ電流を低減することができる。また、配線上にエッチング保護膜として難エッチング材料で形成される金属酸化膜を設けているため、2段階のエッチング工程において、配線の膜減りを低減できる。以上のことから、オフ電流を低減した薄膜トランジスタを作製することができる。また、配線及び画素電極の電食を低減し、配線及び画素電極の接続部において、コンタクト抵抗を低減することができる。

【0074】

(実施の形態2)

本実施の形態では、実施の形態1と比較して、さらに、オフ電流の低減が可能な薄膜トランジスタの作製方法について、図4を用いて説明する。

【0075】

実施の形態1と同様に、図1(A)の工程の途中で、図4(A)に示すように、半導体膜117を形成する。

【0076】

次に、マスク115を残存させたまま、半導体膜117の側面をプラズマ123に曝すプラズマ処理を行う。ここでは、酸化ガスまたは窒化ガス雰囲気でプラズマを発生させて、半導体膜117をプラズマ123に曝す。酸化ガスとしては、酸素、オゾン、一酸化二窒素、水蒸気、酸素及び水素の混合気体等がある。また、窒化ガスとしては、窒素、アンモニア、フッ化窒素、塩化窒素、クロロアミン、フルオロアミン等がある。酸化ガスまたは窒化ガス雰囲気でプラズマを発生させることで、ラジカルが発生する。当該ラジカルは半導体膜117と反応し、半導体膜117の側面に酸化物または窒化物である絶縁領域125を形成することができる。なお、プラズマを照射する代わりに、紫外光を照射し、ラジカルを発生させてもよい。

【0077】

また、酸化ガスとして、酸素、オゾン、水蒸気、酸素及び水素の混合気体を用いると、図4(B)に示すように、プラズマ照射によりレジストが後退し、上面の面積が縮小したマスク115aが形成される。このため、当該プラズマ処理により、半導体膜117の側面

10

20

30

40

50

及び上面の一部が酸化し、半導体膜 117 の側面及び上面の一部にも酸化物または窒化物である絶縁領域 125 が形成される。

【0078】

次に、実施の形態 1 に示すように、図 1 (A) 乃至図 2 (C) と同様の工程を経て、図 4 (C) に示すように、ソース電極及びドレイン電極として機能する配線 129a、129b、微結晶半導体領域 135、一対の非晶質半導体領域 134a、134b、一対の不純物半導体領域 133a、133b を有する半導体膜 136、絶縁膜 137、及びバックゲート電極 139 を形成することで、デュアルゲート型の薄膜トランジスタを作製することができる。

【0079】

本実施の形態に示す薄膜トランジスタは、半導体膜 136 及び配線 129a、129b の間に酸化物または窒化物である絶縁領域 125 を設けることにより、配線 129a、129b から半導体膜 136 へのホールの注入を抑制することが可能であり、実施の形態 1 と比較してさらにオフ電流が低い薄膜トランジスタとなる。

【0080】

(実施の形態 3)

本実施の形態では、実施の形態 1 と比較して、オフ電流を低減しつつオン電流を更に高めることができ可能な薄膜トランジスタの作製方法について、図 5 を用いて説明する。

【0081】

本実施の形態では、図 1 (A) において、半導体膜 117 の代わりに、図 5 に示すような半導体膜 118 を有することを特徴とする。なお、図 5 は、図 1 (A) のゲート絶縁膜 105 から不純物半導体領域 117c の間の拡大図である。

【0082】

半導体膜 118 は、微結晶半導体膜 118a、微結晶半導体領域 118c 及び非晶質半導体領域 118d を有する半導体膜 118b、並びに不純物半導体領域 117c を有する。半導体膜 118 は、微結晶半導体領域 118c 及び非晶質半導体領域 118d の界面が凹凸状であることを特徴とする。

【0083】

図 5 (A) に示すように、微結晶半導体領域 118c 及び非晶質半導体領域 118d の界面は凹凸状であり、凸部はゲート絶縁膜 105 から不純物半導体領域 117c に向かって、先端が狭まる（凸部の先端が鋭角である）凸状（錐形状）である。なお、凸部の形状は、ゲート絶縁膜 105 から不純物半導体領域 117c に向かって幅が広がる凸状（逆錐形状）であってもよい。

【0084】

微結晶半導体領域 118c が凹凸状であるため、薄膜トランジスタのオン電流を高めることができる。

【0085】

また、微結晶半導体膜 118a 及び半導体膜 118b に含まれる酸素の二次イオン質量分析法 (S I M S : Secondary Ion Mass Spectrometry) によって計測される濃度を、 $1 \times 10^{18}$  atoms / cm<sup>3</sup> 未満とすることで、微結晶半導体膜 118a 及び微結晶半導体領域 118c の結晶性を高めることができるため好ましい。また、二次イオン質量分析法によって計測される半導体膜 118 の窒素濃度プロファイルのピーク濃度は、 $1 \times 10^{20}$  atoms / cm<sup>3</sup> 以上  $1 \times 10^{21}$  atoms / cm<sup>3</sup> 以下、好ましくは  $2 \times 10^{20}$  atoms / cm<sup>3</sup> 以上  $1 \times 10^{21}$  atoms / cm<sup>3</sup> 以下である。

【0086】

非晶質半導体領域 118d は、窒素を有する非晶質半導体で形成される。窒素を有する非晶質半導体に含まれる窒素は、例えば NH 基または NH<sub>2</sub> 基として存在していてもよい。非晶質半導体としては、アモルファスシリコンを用いる。

【0087】

10

20

30

40

50

窒素を含む非晶質半導体は、従来の非晶質半導体と比較して、CPM (Constant photocurrent method) やフォトルミネッセンス分光測定で測定される Urbach 端のエネルギーが小さく、欠陥吸収スペクトル量が少ない半導体である。即ち、窒素を含む非晶質半導体は、従来の非晶質半導体と比較して、欠陥が少なく、価電子帯のバンド端における準位のテール(裾)の傾きが急峻である秩序性の高い半導体である。窒素を含む非晶質半導体は、価電子帯のバンド端における準位のテール(裾)の傾きが急峻であるため、バンドギャップが広くなり、トンネル電流が流れにくい。このため、窒素を含む非晶質半導体を微結晶半導体領域 118c と、不純物半導体領域 117c との間に設けることで、薄膜トランジスタのオフ電流を低減することができる。また、窒素を含む非晶質半導体を設けることで、オン電流と電界効果移動度を高めることができる。10

#### 【0088】

なお、窒素を含む非晶質半導体は、低温フォトルミネッセンス分光によるスペクトルのピークが、1.31 eV 以上 1.39 eV 以下の範囲にある。なお、微結晶半導体、代表的には微結晶シリコンを低温フォトルミネッセンス分光により測定したスペクトルのピーク領域は、0.98 eV 以上 1.02 eV 以下であり、窒素を含む非晶質半導体は、微結晶半導体とは異なるものである。

#### 【0089】

また、非晶質半導体領域 118d の他に、微結晶半導体領域 118c にも、NH 基または NH<sub>2</sub> 基を有してもよい。20

#### 【0090】

また、図 5 (B) に示すように、非晶質半導体領域 118d に、粒径が 1 nm 以上 10 nm 以下、好ましくは 1 nm 以上 5 nm 以下の半導体結晶粒 118e を含ませることで、更にオン電流と電界効果移動度を高めることができる。

#### 【0091】

ゲート絶縁膜 105 から不純物半導体領域 117c に向かって、先端が狭まる凸状(錐形状)の微結晶半導体は、微結晶半導体膜 118a を結晶核としつつ、結晶成長を抑制する条件で結晶成長させると共に、非晶質半導体を堆積することで、このような構造となる。

#### 【0092】

半導体膜 118b の作製方法の代表例としては、プラズマ CVD 装置の処理室内において、シリコンまたはゲルマニウムを含む堆積性気体と、水素と、窒素を含む気体とを混合し、グロー放電プラズマにより形成する。窒素を含む気体としては、アンモニア、窒素、フッ化窒素、塩化窒素、クロロアミン、フルオロアミン等がある。グロー放電プラズマの生成は、ゲート絶縁膜 105 と同様にことができる。30

#### 【0093】

このとき、シリコンまたはゲルマニウムを含む堆積性気体に対する水素の流量比は、実施の形態 1 に示す微結晶半導体領域 117a となる微結晶半導体膜と同様の流量比を用い、さらに原料ガスに窒素を含む気体を用いる条件とすることで、微結晶半導体膜 118a の堆積条件よりも、結晶成長を抑制することができる。具体的には、半導体膜 118b の堆積初期においては、原料ガスに窒素を含む気体が含まれるため、部分的に結晶成長が抑制され、錐形状の微結晶半導体領域が成長すると共に、非晶質半導体領域が形成される。さらに、堆積中期または後期では、錐形状の微結晶半導体領域の結晶成長が停止し、非晶質半導体領域のみが堆積される。この結果、半導体膜 118b において、微結晶半導体領域 118c、及び欠陥が少なく、価電子帯のバンド端における準位のテール(裾)の傾きが急峻である秩序性の高い半導体で形成される非晶質半導体領域 118d を形成することができる。40

#### 【0094】

ここでは、半導体膜 118b の原料ガスに窒素を含む気体を含ませて、微結晶半導体領域 118c 及び非晶質半導体領域 118d を有する半導体膜 118b を形成したが、他の半導体膜 118b の形成方法として、微結晶半導体膜 118a の表面に窒素を含む気体を曝

10

20

30

40

50

して、微結晶半導体膜 118a の表面に窒素を吸着させた後、シリコンまたはゲルマニウムを含む堆積性気体及び水素を原料ガスとして、微結晶半導体領域 118c 及び非晶質半導体領域 118d を有する半導体膜 118b を形成することができる。

【0095】

または、半導体膜 118b として、実施の形態 1 に示す微結晶半導体領域 117a となる微結晶半導体膜の成膜条件を用いて第 1 の微結晶半導体膜領域を形成した後、上記実施の形態 1 に示す微結晶半導体領域 117a となる微結晶半導体膜に示す流量比を満たす原料ガスに、さらに窒素を含む気体を用いる条件で第 2 の微結晶半導体領域及び非晶質半導体領域を形成してもよい。このとき、第 1 の微結晶半導体領域の成膜条件において、シリコンまたはゲルマニウムを含む堆積性気体に対する水素の流量比を、微結晶半導体領域 117a と比較して低くすることで、成膜速度を高めることができる。 10

【0096】

半導体膜 118b の微結晶半導体領域 118c は、錐形状または逆錐形状であるため、オン状態でソース電極及びドレイン電極の間に電圧が印加されたときの縦方向（膜厚方向）における抵抗、即ち、半導体膜 118b の抵抗を下げることが可能である。また、微結晶半導体膜 118a と不純物半導体領域 117c との間に、欠陥が少なく、価電子帯のバンド端における準位のテール（裾）の傾きが急峻である秩序性の高い、窒素を含む非晶質半導体を有するため、トンネル電流が流れにくくなる。以上のことから、本実施の形態に示す薄膜トランジスタは、オン電流及び電界効果移動度を高めるとともに、オフ電流を低減することができる。 20

【0097】

（実施の形態 4）

本実施の形態では、実施の形態 1 に示す微結晶半導体領域 117a または実施の形態 3 に示す微結晶半導体膜 118a において、結晶性が高く、混相粒が密である微結晶半導体膜の作製方法について、図 6 を用いて説明する。

【0098】

図 6 (A) に示すように、基板 101 上にゲート絶縁膜 105 を形成し、ゲート絶縁膜 105 上に種結晶 157 を形成する。

【0099】

種結晶 157 としては、微結晶半導体、代表的には、微結晶シリコン、微結晶シリコンゲルマニウム、微結晶ゲルマニウム等を用いて形成する。種結晶 157 は、複数の混相粒が分散した状態、混相粒が連続した膜の状態、または混相粒及び非晶質半導体領域が連続した膜の状態を含む。このため、種結晶 157 は、混相粒 157a が隣接せず、混相粒 157a の間に隙間 157b を有するものも含む。さらに、混相粒の粒密度（面内における混相粒の存在割合）が低く、且つ混相粒の結晶性が高いことを特徴とする。 30

【0100】

種結晶 157 は、プラズマ CVD 装置の処理室内において、混相粒の粒密度が低く、且つ混相粒の結晶性が高くなるような第 1 の条件を用いて、原料ガスであるシリコンまたはゲルマニウムを含む堆積性気体と、水素とを混合し、グロー放電プラズマにより形成する。または、原料ガスに、ヘリウム、アルゴン、ネオン、クリプトン、キセノン等の希ガスを混合し、グロー放電プラズマにより形成する。ここでは、シリコンまたはゲルマニウムを含む堆積性気体の流量に対する水素の流量を 50 倍以上 1000 倍以下にして堆積性気体を希釈し、且つ処理室内の圧力を 67 Pa 以上 50000 Pa 以下 (0.5 Torr 以上 370 Torr 以下)、更に好ましくは 67 Pa 以上 13332 Pa 以下 (0.5 Torr 以上 100 Torr 以下) とする第 1 の条件により、種結晶 157 を形成する。第 1 の条件に示すような、シリコンまたはゲルマニウムを含む堆積性気体の流量に対する水素の流量を高くる条件を用いて形成することで、結晶成長が促進され、種結晶 157 に含まれる混相粒 157a の結晶性が高まる。即ち、種結晶 157 に含まれる混相粒 157a に含まれる結晶子の大きさが増大する。また、隣り合う混相粒 157a の間に隙間 157b ができる、混相粒 157a の粒密度が低下する。 40

## 【0101】

種結晶157を形成する際のグロー放電のプラズマの生成は、ゲート絶縁膜105に列挙した高周波電力を適宜印加することで行われる。また、種結晶157の堆積温度は、微結晶半導体領域117aとなる微結晶半導体膜に列挙した堆積温度を適宜用いる。

## 【0102】

次に、図6(B)に示すように、種結晶157上に第1の微結晶半導体膜159を形成する。第1の微結晶半導体膜159は、種結晶157の隙間を埋めつつ、結晶成長を促す条件で形成することを特徴とする。

## 【0103】

第1の微結晶半導体膜159は、プラズマCVD装置の処理室内において、第2の条件により、原料ガスであるシリコンまたはゲルマニウムを含む堆積性気体と、水素とを混合し、グロー放電プラズマにより形成する。または、原料ガスに、ヘリウム、アルゴン、ネオジウム、クリプトン、キセノン等の希ガスを混合し、グロー放電プラズマにより形成する。ここでは、第2の条件を、シリコンまたはゲルマニウムを含む堆積性気体の流量に対する水素の流量を100倍以上6000倍以下、好ましくは100倍以上3000倍以下にして堆積性気体を希釈し、且つ処理室内の圧力を1333Pa以上50000Pa以下(10Torr以上370Torr以下)、更に好ましくは1333Pa以上13332Pa以下(10Torr以上100Torr以下)とする。

## 【0104】

上記第2の条件により、第1の微結晶半導体膜159として微結晶シリコン膜、微結晶シリコンゲルマニウム膜、微結晶ゲルマニウム膜等を形成する。

## 【0105】

第1の微結晶半導体膜159を形成する際のグロー放電のプラズマの生成は、ゲート絶縁膜105に列挙した高周波電力を適宜印加することで行われる。なお、種結晶157及び第1の微結晶半導体膜159のグロー放電のプラズマ生成は、同じ条件で行うことでスループットを向上させることができるが、異なっていてもよい。また、種結晶157の堆積温度は、微結晶半導体領域117aとなる微結晶半導体膜に列挙した堆積温度を適宜用いる。

## 【0106】

第1の微結晶半導体膜159は、種結晶157の混相粒157aの隙間157bを埋めつつ、結晶成長を促す第2の条件で形成される。第2の条件を上記条件とすると、処理室内的圧力が高いため、平均自由行程が短く、イオンのエネルギーが低くなり、被覆率が向上すると共に、イオンダメージが低減し、欠陥低減に寄与する。また、シリコンまたはゲルマニウムを含む堆積性気体の希釈比が高く、水素ラジカルの生成量が増加するため、非晶質半導体領域をエッティングしつつ、混相粒157aに含まれる結晶子を核として結晶成長する。この結果、第1の微結晶半導体膜159は、非晶質半導体領域に対する結晶領域の割合が増加し、結晶性が高まる。また、堆積中の第1の微結晶半導体膜159の欠陥低減に寄与する。

## 【0107】

第1の微結晶半導体膜159は、種結晶157の混相粒157aに含まれる結晶子を核として結晶成長する。また、第1の微結晶半導体膜159の混相粒の大きさは、種結晶157の混相粒157aの間隔に依存する。このため、種結晶157の混相粒157aの粒密度が低いと、混相粒157aの間隔が広がるため、第1の微結晶半導体膜159の混相粒の結晶成長距離が伸び、第1の微結晶半導体膜159の混相粒の大粒径化が可能である。

## 【0108】

次に、図6(C)に示すように、第1の微結晶半導体膜159上に第2の微結晶半導体膜161を形成する。第2の微結晶半導体膜161は、第1の微結晶半導体膜に含まれる混相粒の隙間を広げず、且つ第1の微結晶半導体膜159より結晶性の高い微結晶半導体膜を成膜する条件で形成することを特徴とする。

## 【0109】

10

20

30

40

50

第2の微結晶半導体膜161は、プラズマCVD装置の処理室内において、第3の条件により、原料ガスとしてシリコンまたはゲルマニウムを含む堆積性気体と、水素とを混合し、グロー放電プラズマにより形成する。または、原料ガスに、ヘリウム、アルゴン、ネオン、クリプトン、キセノン等の希ガスを混合し、グロー放電プラズマにより形成する。ここでは、第3の条件は、処理室内の圧力を1333Pa以上50000Pa以下、更に好ましくは1333Pa以上13332Pa以下とし、且つ微結晶半導体を堆積する第1の周期と、当該微結晶半導体に含まれる非晶質半導体領域を選択的にエッチングする上記第1の周期より長い第2の周期とを交互に行う条件である。

【0110】

微結晶半導体を堆積する第1の周期と、当該微結晶半導体に含まれる非晶質半導体領域を選択的にエッチングする上記第1の周期より長い第2の周期とを交互に行うためには、シリコンまたはゲルマニウムを含む堆積性気体に対する水素の流量比を交互に増減すればよく、具体的にはシリコンまたはゲルマニウムを含む堆積性気体または水素の流量を増減すればよい。シリコンまたはゲルマニウムを含む堆積性気体に対する水素の流量比が低い場合、代表的には堆積性気体の流量に対する水素の流量を100倍以上2000倍以下にすることで、微結晶半導体の堆積及び結晶成長が優先的に生じる。一方、シリコンまたはゲルマニウムを含む堆積性気体の流量に対する水素の流量比が高い場合、代表的にはシランまたはゲルマニウムを含む堆積性気体を0sccmより大0.3sccm以下とし、水素流量を1000sccmより高くすることで、微結晶半導体に含まれる非晶質半導体領域のエッチングが優先的に生じる。このとき、水素の流量を一定とし、シリコンまたはゲルマニウムを含む堆積性気体の流量を増減させる場合は、第1の周期と同様の流量の水素を処理室に導入することで、第1の周期及び第2の周期において処理室内の圧力を一定に保つことが可能であるため、第2の微結晶半導体膜の膜質の均一性を高めることができる。なお、処理室の圧力を1333Pa以上50000Pa以下、更に好ましくは1333Pa以上13332Pa以下とすることで、シリコンまたはゲルマニウムを含む堆積性気体に対する水素の流量比が高い場合は、微結晶半導体に含まれる結晶子よりも非晶質半導体領域が優先的にエッチングされる。

【0111】

上記第1の周期及び第2の周期を繰り返すことで、第2の周期では非晶質半導体領域の優先的なエッチングによる結晶子の露出と、第1の周期では露出された結晶子を核とする結晶成長とが交互に起きるため、混相粒の結晶子の大きさが大きくなり、さらには配向面を有する結晶成長が生じる。また、第1の周期よりも第2の周期の方を長くすると、微結晶半導体に含まれる非晶質半導体領域のエッチングが十分に行われるため、第2の微結晶半導体膜に含まれる非晶質半導体量を低減することが可能である。これらの結果、第1の微結晶半導体膜に含まれる混相粒の隙間を広げず、且つ第1の微結晶半導体膜より結晶性の高い第2の微結晶半導体膜を形成することができる。また、第2の微結晶半導体膜161の欠陥を低減することができる。

【0112】

また、第2の周期において、わずかな流量、代表的には0sccmより高く0.3sccm以下の流量のシリコンまたはゲルマニウムを含む堆積性気体を流すことで、当該堆積性気体から生成されるわずかなラジカル（代表的には、シリルラジカル）が、非晶質半導体領域のエッチングにより露出された結晶子のダンギリングボンドに結合するため、結晶性の高い結晶成長が生じる。即ち、エッチングと共に、結晶成長が生じるため、第2の微結晶半導体膜161の結晶性がより高くなる。

【0113】

上記第3の条件により、第2の微結晶半導体膜161として微結晶シリコン膜、微結晶シリコンゲルマニウム膜、微結晶ゲルマニウム膜等を形成する。

【0114】

第2の微結晶半導体膜161を形成する際の、グロー放電のプラズマの生成は、ゲート絶縁膜105に列挙した高周波電力を適宜印加することで行われる。なお、種結晶157、

10

20

30

40

50

第1の微結晶半導体膜159、及び第2の微結晶半導体膜161のグロー放電プラズマの生成を同じ条件で行うことで、スループットを向上させることができるが、異なっていてもよい。また、第2の微結晶半導体膜161の堆積温度は、微結晶半導体領域117aとなる微結晶半導体膜に列挙した堆積温度を適宜用いる。

【0115】

なお、処理室内の圧力が1333Pa以上50000Pa以下(10Torr以上370Torr以下)、更に好ましくは1333Pa以上13332Pa以下(10Torr以上100Torr以下)であれば、第1の条件の圧力より第2の条件の圧力が高くともよい。または、第2の条件より第1の条件の圧力が高くともよい。または、第1の条件及び第2の条件の圧力は同じであってもよい。

10

【0116】

次に、図6(D)に示すように、第2の微結晶半導体膜161上に第3の微結晶半導体膜163を形成する。第3の微結晶半導体膜163は、第2の微結晶半導体膜161の混相粒の隙間を埋めつつ、結晶成長を促す条件で形成することを特徴とする。

【0117】

第3の微結晶半導体膜163は、プラズマCVD装置の処理室内において、第4の条件により、原料ガスとしてシリコンまたはゲルマニウムを含む堆積性気体と、水素とを混合し、グロー放電プラズマにより形成する。または、原料ガスに、ヘリウム、アルゴン、ネオン、クリプトン、キセノン等の希ガスを混合し、グロー放電プラズマにより形成する。なお、第4の条件は、第2の条件と同様である。

20

【0118】

上記第4の条件により、第3の微結晶半導体膜163として微結晶シリコン膜、微結晶シリコンゲルマニウム膜、微結晶ゲルマニウム膜等を形成する。

【0119】

第4の条件を上記第2条件と同様とすると、処理室内の圧力が高いため、平均自由行程が短く、イオンのエネルギーが低くなり、被覆率が向上する。また、シリコンまたはゲルマニウムを含む堆積性気体の希釈比が高く、水素ラジカルの生成量が増加するため、非晶質半導体領域をエッチングしつつ、第2の微結晶半導体膜161に含まれる結晶子を核として結晶成長する。この結果、第3の微結晶半導体膜163は、非晶質半導体領域に対する結晶領域の割合が増加し、結晶性が高まる。また、第2の微結晶半導体膜161及び堆積中の第3の微結晶半導体膜163の平坦化に寄与する。

30

【0120】

以上の工程により、微結晶半導体膜164を形成することができる。

【0121】

ここで、図6(E)～図6(H)に、本実施の形態に示す微結晶半導体膜164の成膜概念図を示す。図6(E)～図6(H)は、それぞれ図6(A)～図6(D)における堆積状態をイメージした拡大図である。

【0122】

図6(E)に示すように、種結晶157の堆積工程は、微結晶半導体膜に含まれる混相粒の大きさを大きくするために、種結晶粒子を散在させる工程である。このため、図6(E)に示すように、種結晶157は、種結晶粒子となる混相粒157aが隙間157bにおいて堆積される。

40

【0123】

図6(F)に示すように、第1の微結晶半導体膜159の堆積工程は、種結晶粒子を元に結晶成長させ、隙間の極めて少ない混相粒を有する膜を形成する工程である。このため、混相粒157aを種結晶粒子として結晶成長しながら微結晶半導体158が堆積される。なお、第2の条件を用いることで、微結晶半導体158は、膜厚方向だけでなく、平面方向にも結晶成長するため、微結晶半導体158同士の隙間が埋まり、微結晶半導体158が接する。

【0124】

50

図6(G)に示すように、第2の微結晶半導体膜161の堆積工程は、微結晶半導体158上に更に結晶性の高い微結晶半導体160を堆積させる工程である。第2の微結晶半導体膜161の堆積工程においては、微結晶半導体の堆積及び結晶成長の工程と、微結晶半導体に含まれる非晶質半導体領域を優先的にエッティングし、微結晶半導体に含まれる結晶子を露出させる工程が交互に行われる。また、処理室の圧力が1333Pa以上5000Pa以下(10Torr以上370Torr以下)、更に好ましくは1333Pa以上13332Pa以下(10Torr以上100Torr以下)であるため、微結晶半導体に含まれる非晶質半導体領域が優先的にエッティングされる。これらのため、露出された結晶子に微結晶半導体が堆積する際、エピタキシャル成長が生じやすい。この結果、第2の微結晶半導体膜161の堆積工程においては、微結晶半導体の配向性が高くなり、配向面を有する微結晶半導体160が堆積される。  
10

#### 【0125】

図6(H)に示すように、第3の微結晶半導体膜163の堆積工程は、第2の微結晶半導体膜161を元に結晶成長させ、第2の微結晶半導体膜161の混相粒の隙間を埋めつつ、第2の微結晶半導体膜161の凹凸を低減し、平坦化する工程である。このため、微結晶半導体160を種結晶として結晶成長しながら微結晶半導体162が堆積される。

#### 【0126】

なお、第1の条件の圧力が第2の条件の圧力より低いと、基板面内における種結晶157の分布の均一性が高まるため好ましい。また、シリコンまたはゲルマニウムを含む堆積性気体に対する水素の流量比において、第1の条件が第2の条件より低いと、第2の条件によって混相粒が密となるように、種結晶157の堆積割合が高まるため好ましい。また、第1の微結晶半導体膜159の結晶性及び膜密度が高まるため好ましい。  
20

#### 【0127】

図6(E)乃至図6(H)の工程を経ることで、結晶性が高く、混相粒の隙間が極めて少なく、且つ配向面を有する混相粒を有する微結晶半導体膜164を形成することができる。なお、微結晶半導体膜164に含まれる混相粒は、種結晶157、第1の微結晶半導体膜159、第2の微結晶半導体膜161、及び第3の微結晶半導体膜163のそれぞれで堆積した微結晶半導体の場合もある。または、種結晶157、第1の微結晶半導体膜159、第2の微結晶半導体膜161、及び第3の微結晶半導体膜163の二以上が結晶成長しながら堆積した微結晶半導体の場合もある。  
30

#### 【0128】

##### (実施の形態5)

薄膜トランジスタを作製し、該薄膜トランジスタを画素部、さらには駆動回路に用いて表示機能を有する半導体装置(表示装置ともいう)を作製することができる。また、薄膜トランジスタを用いた駆動回路の一部または全体を、画素部と同じ基板上に一体形成し、システムオンパネルを形成することができる。

#### 【0129】

表示装置は表示素子を含む。表示素子としては液晶素子(液晶表示素子ともいう)、発光素子(発光表示素子ともいう)を用いることができる。発光素子は、電流または電圧によって輝度が制御される素子をその範疇に含んでおり、具体的には無機EL(Electro Luminescence)、有機EL等が含まれる。また、電子インクなど、電気的作用によりコントラストが変化する表示媒体も適用することができる。  
40

#### 【0130】

また、表示装置は、表示素子が封止された状態にあるパネルと、該パネルにコントローラを含むIC等を実装した状態にあるモジュールとを含む。さらに、該表示装置を作製する過程における、表示素子が完成する前の一形態に相当する素子基板に関し、該素子基板は、電流を表示素子に供給するための手段を複数の各画素に備える。素子基板は、具体的には、表示素子の画素電極のみが形成された状態であっても良いし、画素電極となる導電膜を形成した後であって、エッティングして画素電極を形成する前の状態であっても良いし、あらゆる形態があてはまる。  
50

**【0131】**

なお、本明細書中における表示装置とは、画像表示デバイス、表示デバイス、もしくは光源（照明装置含む）を指す。また、コネクタ、例えばFPC（Flexible printed circuit）もしくはTAB（Tape Automated Bonding）テープもしくはTCP（Tape Carrier Package）が取り付けられたモジュール、TABテープやTCPの先にプリント配線板が設けられたモジュール、または表示素子にCOG（Chip On Glass）方式によりIC（集積回路）が直接実装されたモジュールも全て表示装置に含むものとする。

**【0132】**

## (実施の形態6)

10

本明細書に開示する半導体装置は、さまざまな電子機器（遊技機も含む）に適用することができる。電子機器としては、例えば、テレビジョン装置（テレビ、またはテレビジョン受信機ともいう）、コンピュータ用などのモニタ、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、携帯電話機（携帯電話、携帯電話装置ともいう）、携帯型ゲーム機、携帯情報端末、音響再生装置、パチンコ機などの大型ゲーム機、電子ペーパーとして適用することができる。電子ペーパーは、情報を表示するものであればあらゆる分野の電子機器に用いることが可能である。例えば、電子ペーパーを用いて、電子書籍（電子ブック）、ポスター、デジタルサイネージ、PID（Public Information Display）、電車などの乗り物の車内広告、クレジットカード等の各種カードにおける表示等に適用することができる。電子機器の一例を図7に示す。

20

**【0133】**

図7は、電子書籍の一例を示している。例えば、電子書籍2700は、筐体2701および筐体2703の2つの筐体で構成されている。筐体2701および筐体2703は、軸部2711により一体とされており、該軸部2711を軸として開閉動作を行うことができる。このような構成により、紙の書籍のような動作を行うことが可能となる。

**【0134】**

筐体2701には表示部2705及び光電変換装置2706が組み込まれ、筐体2703には表示部2707及び光電変換装置2708が組み込まれている。表示部2705および表示部2707は、継ぎ画面を表示する構成としてもよいし、異なる画面を表示する構成としてもよい。異なる画面を表示する構成とすることで、例えば右側の表示部（図7では表示部2705）に文章を表示し、左側の表示部（図7では表示部2707）に画像を表示することができる。

30

**【0135】**

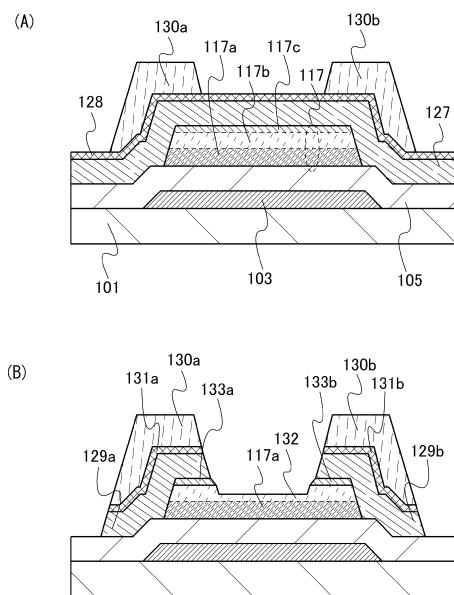
また、図7では、筐体2701に操作部などを備えた例を示している。例えば、筐体2701において、電源2721、操作キー2723、スピーカ2725などを備えている。操作キー2723により、頁を送ることができる。なお、筐体の表示部と同一面にキーボードやポインティングデバイスなどを備える構成としてもよい。また、筐体の裏面や側面に、外部接続用端子（イヤホン端子、USB端子、またはACアダプタおよびUSBケーブルなどの各種ケーブルと接続可能な端子など）、記録媒体挿入部などを備える構成としてもよい。さらに、電子書籍2700は、電子辞書としての機能を持たせた構成としてもよい。

40

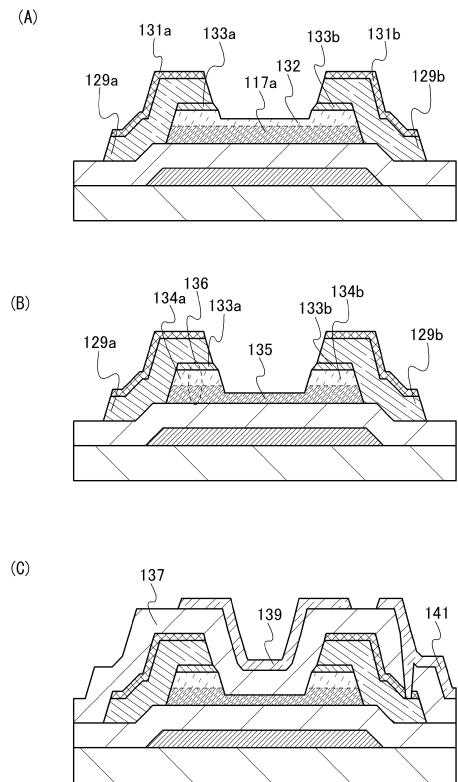
**【0136】**

また、電子書籍2700は、無線で情報を送受信できる構成としてもよい。無線により、電子書籍サーバから、所望の書籍データなどを購入し、ダウンロードする構成とすることも可能である。

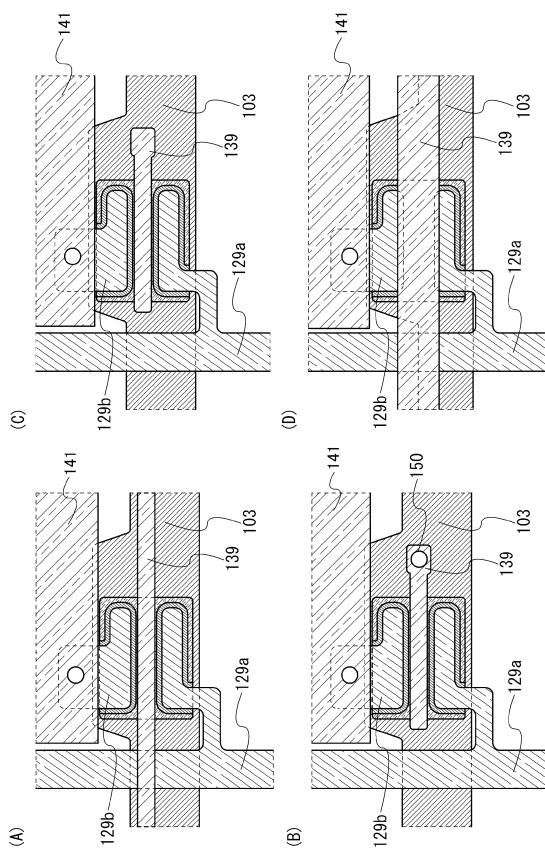
【図1】



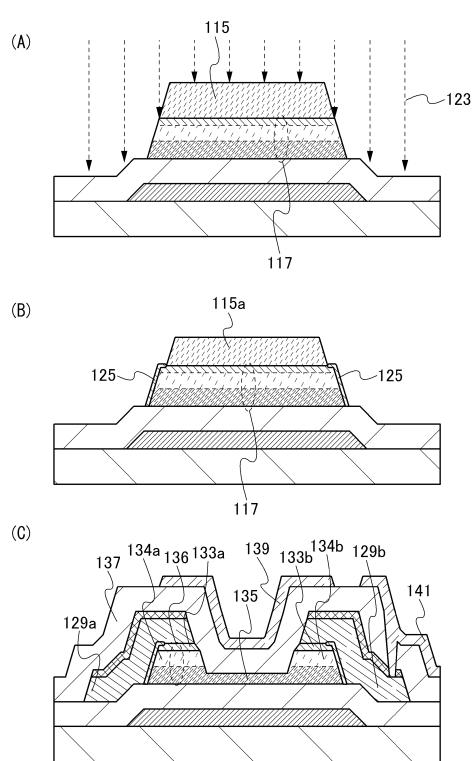
【図2】



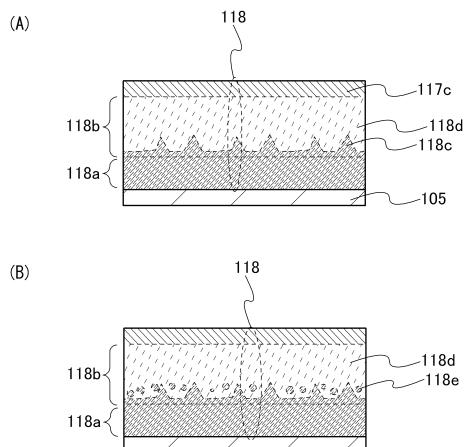
【図3】



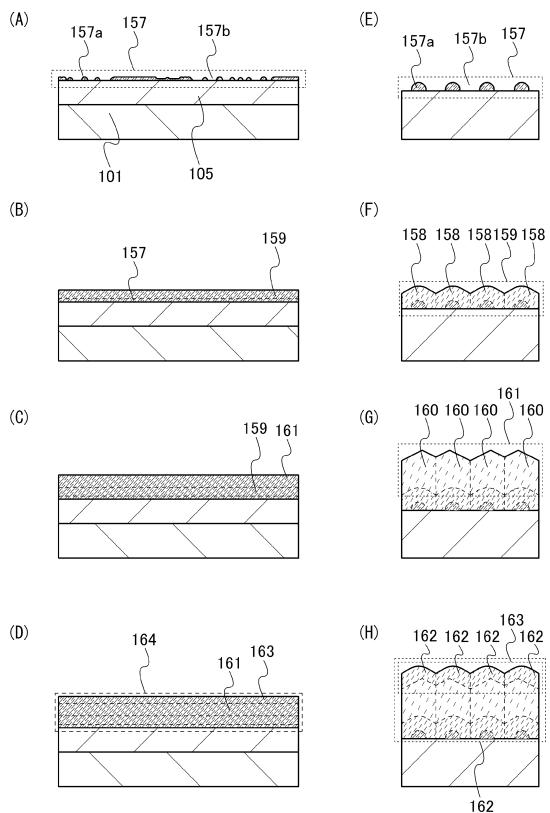
【図4】



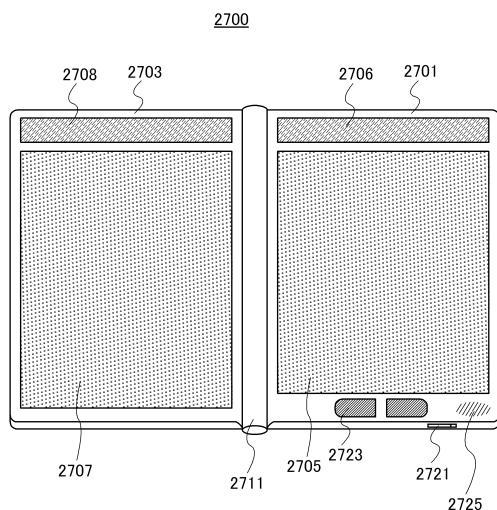
【図5】



【図6】



【図7】



---

フロントページの続き

(56)参考文献 特開2002-198360(JP,A)  
特開2004-172150(JP,A)  
特開2010-135384(JP,A)  
特開2010-109342(JP,A)  
特開2009-021571(JP,A)

(58)調査した分野(Int.Cl., DB名)

G 02 F	1 / 1368
H 01 L	21 / 28 - 21 / 288
H 01 L	21 / 3205 - 21 / 3213
H 01 L	21 / 329
H 01 L	21 / 336
H 01 L	21 / 44 - 21 / 445
H 01 L	21 / 768
H 01 L	23 / 522
H 01 L	23 / 532
H 01 L	29 / 40 - 29 / 49
H 01 L	29 / 786
H 01 L	29 / 872