

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2012年5月3日(03.05.2012)

PCT

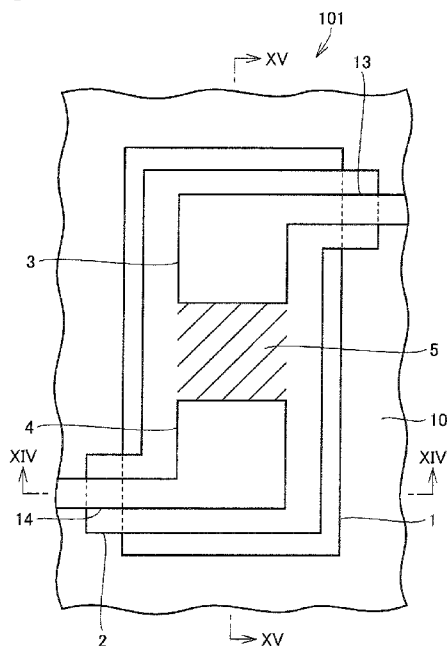
(10) 国際公開番号
WO 2012/057074 A1

- (51) 国際特許分類:
H01L 29/786 (2006.01) G02F 1/1368 (2006.01)
- (21) 国際出願番号: PCT/JP2011/074425
- (22) 国際出願日: 2011年10月24日(24.10.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2010-244217 2010年10月29日(29.10.2010) JP
- (71) 出願人 (米国を除く全ての指定国について): シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町2番2号 Osaka (JP).
- (72) 発明者: および
- (75) 発明者/出願人 (米国についてのみ): 高丸 泰 (TAKAMARU, Yutaka). 結城 龍三(YUKI, Ryuzo).
- (74) 代理人: 特許業務法人深見特許事務所(Fukami Patent Office, p.c.); 〒5300005 大阪府大阪市北区中之島二丁目2番7号 中之島セントラルタワー Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーロシヤ (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第21条(3))

(54) Title: THIN-FILM TRANSISTOR AND DISPLAY PANEL PROVIDED WITH SAME

(54) 発明の名称: 薄膜トランジスタおよびこれを備える表示パネル

[図13]



(57) Abstract: A TFT (101) comprises: a substrate (10); a gate electrode (1) formed on a surface of the substrate (10); a gate insulating film formed so as to cover an upper side of the gate electrode (1); a semiconductor layer (2) formed on the gate insulating film; a source electrode (3) and a drain electrode (4) formed so as to be separated from each other by an interposed channel region (5) on the upper side of the semiconductor layer (2), as viewed from above; a source wiring (13) extending outside of the gate electrode (1) from the source electrode (3), as viewed from above; and a drain wiring (14) extending outside of the gate electrode (1) from the drain electrode (4), as viewed from above. The channel region (5) is in a position that is neither on the extension of the source wiring (13) nor on the extension of the drain wiring (14).

(57) 要約: TFT (101) は、基板 (10) と、基板 (10) の表面に形成されたゲート電極 (1) と、ゲート電極 (1) の上側を覆うように形成されたゲート絶縁膜と、上記ゲート絶縁膜上に形成された半導体層 (2) と、半導体層 (2) の上側において平面的に見てチャネル領域 (5) を挟んで互いに離隔するように形成されたソース電極 (3) およびドレイン電極 (4) と、ソース電極 (3) から平面的に見てゲート電極 (1) の外側へと延在するソース配線 (13) と、ドレイン電極 (4) から平面的に見てゲート電極 (1) の外側へと延在するドレイン配線 (14) とを備える。チャネル領域 (5) は、ソース配線 (13) の延長上を避けた位置にあり、かつ、ドレイン配線 (14) の延長上を避けた位置にある。

明 細 書

発明の名称： 薄膜トランジスタおよびこれを備える表示パネル 技術分野

[0001] 本発明は、薄膜トランジスタおよびこれを備える表示パネルに関するものである。

背景技術

[0002] 液晶表示パネルなどの表示パネルにおいて、各画素を駆動するために薄膜トランジスタ（以下「TFT」ともいう。）が用いられる。TFTは半導体層を備える。TFTの半導体層としては一般的にa-Si薄膜（非晶質シリコン薄膜）が用いられる。ソース電極およびドレイン電極が配置されることにより、a-Si薄膜の一部がチャネル領域として働くこととなる。

[0003] 特開2009-86118号公報（特許文献1）においては、U字形のソース電極とI字形のドレイン電極とを備えたTFTが開示されている。特許文献1に開示されたTFTにおいては、ソース電極、チャネル領域およびドレイン電極が一直線上に並んで配置されている。

先行技術文献

特許文献

[0004] 特許文献1：特開2009-86118号公報

発明の概要

発明が解決しようとする課題

[0005] a-Si薄膜のチャネル領域に光が入射すると電子-正孔対に起因した光電流が発生する。本来のTFTへの指示とは無関係に光の入射のみによって光電流が発生してしまうということは、TFTのオフ時にリーク電流が流れることを意味する。このようなリーク電流を以下「オフリーク電流」というものとする。オフリーク電流が増加することによって、フリッカ、クロストークといった現象が発生する。その結果、表示パネルとしては表示品質が低下する。

[0006] そこで、本発明は、オフリーク電流が流れることを抑制することができるようなT F Tを提供することを目的とする。さらに、オフリーク電流に起因して生じていたフリッカ、クロストークなどといった現象を抑えることができる表示パネルを提供することを目的とする。

課題を解決するための手段

[0007] 上記目的を達成するため、本発明に基づくT F Tは、基板と、上記基板の表面に形成されたゲート電極と、上記ゲート電極の上側を覆うように形成されたゲート絶縁膜と、上記ゲート絶縁膜上に形成された半導体層と、上記半導体層の上側において平面的に見てチャネル領域を挟んで互いに離隔するように形成されたソース電極およびドレイン電極と、上記ソース電極から平面的に見て上記ゲート電極の外側へと延在するソース配線と、上記ドレイン電極から平面的に見て上記ゲート電極の外側へと延在するドレイン配線とを備える。上記チャネル領域は、上記ソース配線の延長上を避けた位置にある。上記チャネル領域は、上記ドレイン配線の延長上を避けた位置にある。

発明の効果

[0008] 本発明によれば、チャネル領域は、ソース配線の延長上を避けた位置にあり、かつ、ドレイン配線の延長上を避けた位置にあるので、反射を繰り返して進行する光はチャネル領域に入射することなくT F Tの外に出る。したがって、チャネル領域での光電流に起因するオフリーク電流が流れることを抑制することができる。

図面の簡単な説明

[0009] [図1]発明者らが検討する際に用いた第1のモデルの平面図である。

[図2]図1におけるI-I'線に関する矢視断面図である。

[図3]第1のモデルにおける光の進路を記入した平面図である。

[図4]第2のモデルにおける光の進路を記入した平面図である。

[図5]発明者らが実験のために用意したI字型T F Tの写真である。

[図6]発明者らが実験のために用意したU字型T F Tの写真である。

[図7]図5に示したT F Tの拡大図である。

[図8]図6に示したTF Tの拡大図である。

[図9]I字型TF Tにおける実験結果のグラフである。

[図10]U字型TF Tにおける第1の実験結果のグラフである。

[図11]U字型TF Tにおける第2の実験結果のグラフである。

[図12]配線幅とオフリーク電流の量の関係についてのグラフである。

[図13]本発明に基づく実施の形態1におけるTF Tの平面図である。

[図14]図13におけるX I V - X I V線に関する矢視断面図である。

[図15]図13におけるX V - X V線に関する矢視断面図である。

[図16]本発明に基づく実施の形態1におけるTF Tでの光の進路の説明図である。

[図17]比較例としてのTF Tでの光の進路の説明図である。

[図18]本発明に基づく実施の形態1におけるTF Tの各部の寸法の呼び名の説明図である。

[図19]本発明に基づく実施の形態2におけるTF Tの平面図である。

[図20]本発明に基づく実施の形態3におけるTF Tの平面図である。

[図21]本発明に基づく実施の形態4における表示パネルの平面図である。

[図22]本発明に基づく実施の形態4における表示パネルに含まれる画素の拡大図である。

発明を実施するための形態

[0010] (発明者らによる検討)

発明者らは、オフリーク電流の原因について検討した。発明者らは、a-Si薄膜のチャネル領域に何らかの事情で光が入射することによってオフリーク電流が生じているのではないかと考えた。しかし、チャネル領域は、表示パネルのブラックマトリックス部と重なっているため、表示パネルの表側からの光はブラックマトリックス部により遮光されている。また、チャネル領域は、光を通さないゲート電極と重なるような位置に配置されているため、バックライト装置からの光が直接入射することができない位置にある。したがって、一見すると光はチャネル領域には入射しないように思われる。そ

ここで、発明者らは、図 1 に示すモデルを想定し、バックライト装置からの光がどのように進行するか調べるためにシミュレーションを行なった。図 1 においては、縦長長方形のゲート電極 1 の上側に横長長方形の半導体層 2 が横断するように配置され、さらにその上側にソース電極 3、ドレイン電極 4 が配置されている。半導体層 2 の中央がチャネル領域 5 となっている。図 1 における I-I' 線に関する矢視断面図を図 2 に示す。図 2 ではバックライト装置（図示せず）から進入する光がどのように進行するかが示されている。このシミュレーションにおいては、ゲート電極 1 とソース電極 3 またはドレイン電極 4 との重なり部分の幅は 1 ヶ所当たり 5.75 μm とした。図 2 に示すように TFT の上方には TFT の投影領域を被覆するようにブラックマトリックス部 6 が位置している。ブラックマトリックス部 6 の反射率は 0 であるものとした。

[0011] 図 2 に示すように、バックライト装置からの光 7 はソース電極 3 およびドレイン電極 4 の下面に当たって反射した後に、ゲート電極 1 の上面に当たってさらに反射している。光 7 はソース電極 3 およびドレイン電極 4 の下面とゲート電極 1 の上面との間で反射を何度か繰り返した後にチャネル領域 5 に入射している。チャネル領域 5 に対してこれ以外の経路からの光の入射は見られなかった。

[0012] したがって、チャネル領域 5 に対して入射する光の原因は、ソース電極 3 およびドレイン電極 4 の下面とゲート電極 1 の上面との間で反射を繰り返して進行してくる光であるということがわかった。

[0013] 平面図である図 1 に光 7 の進路を記入すると、図 3 に示すようになる。図 3 に示すようにゲート電極 1 とソース電極 3 またはドレイン電極 4 とが重なっている領域は光 7 の多重反射が起こり得る領域（以下「多重反射領域」という。）8 となっている。ソース電極 3 またはドレイン電極 4 がゲート電極 1 の端から突出する部分の幅 9 の大きさは、多重反射領域 8 への光の入口の大きさを意味する。この幅 9 が大きければ大きいほど多くの光が多重反射領域 8 へ進入することができる。図 4 に示すように幅 9 が小さくなっている場

合は、多重反射領域 8 に進入する光の量も小さくなる。

[0014] (実験)

シミュレーション結果を踏まえて、発明者らは、チャネル領域への光入射の量には、ソース電極またはドレイン電極がゲート電極の端から突出する部分の幅や形状が関係することを知得したが、さらに確認するために、発明者らは、実際の装置で実験を行なった。

[0015] 図 5、図 6 に示すような 2 種類の T F T を用意した。図 5、図 6 の各 T F T を拡大したところを図 7、図 8 にそれぞれ示す。図 5、図 7 に示した T F T はいわゆる I 字型 T F T である。図 6、図 8 に示した T F T はいわゆる U 字型 T F T である。

[0016] 図 7 に示すように、I 字型 T F T において電極がゲート電極の端から突出する部分の幅を $50\ \mu\text{m}$ とした場合の、ゲート電極に印加する電位 V_g と、ドレイン電極に流れる単位チャネル幅当たりの電流 I_d との関係を図 9 に示す。このときドレイン電極に印加される電位 V_d は $4.1\ \text{V}$ である。図 9 のグラフは、光を照射しない場合と、 $1750\ \text{cd}/\text{m}^2$ の光を照射した場合との 2 通りの曲線を示している。図 9 中に楕円で示すように、これらの 2 本の曲線の間には開いている部分がある。この開きの上下方向の大きさが、チャネル領域に入射する光によるオフリーク電流の大きさに相当する。

[0017] 図 8 に示した U 字型 T F T においては、I 字形電極 15 と U 字形電極 16 とが互いに対向する構造となっている。I 字形電極 15 がゲート電極 1 の端から突出する部分の幅は $6\ \mu\text{m}$ である。U 字形電極 26 がゲート電極 1 の端から突出する部分の幅は $26\ \mu\text{m}$ である。

[0018] U 字型 T F T において U 字形電極 16 をドレイン電極とした場合の、ゲート電極の電圧 V_g と、ドレイン電極に流れる電流 I_d との関係を図 10 に示す。図 10 においても、図 9 と同様に 2 通りの曲線を示す。

[0019] U 字型 T F T において I 字形電極 15 をドレイン電極とした場合の、ゲート電極の電圧 V_g と、ドレイン電極に流れる電流 I_d との関係を図 11 に示す。図 11 においても、図 9 と同様に 2 通りの曲線を示す。

[0020] 図9～図11に示した結果から、配線幅と単位チャネル幅当たりのオフリーク電流の量との関係についてグラフ化したものを図12に示す。図12では、ゲート電極の電位 V_g は15V、ドレイン電極の電位は4.1Vの条件下で、3通りの配線幅の値に対してオフリーク電流 I_d がどの程度であるかが示される。配線幅が大きくなるとオフリーク電流 I_d も大きくなっていることがわかる。

[0021] 以上のことを知得した発明者らは、TFETにおいて上記課題を解決する発明として本発明をなした。本発明の実施の形態について以下に説明する。

[0022] (実施の形態1)

図13～図15を参照して、本発明に基づく実施の形態1における薄膜トランジスタ(TFET)について説明する。図13におけるX1V-X1V線に関する矢視断面図を図14に示す。図13におけるXV-XV線に関する矢視断面図を図15に示す。

[0023] 薄膜トランジスタ101は、基板10と、基板10の表面に形成されたゲート電極1と、ゲート電極1の上側を覆うように形成されたゲート絶縁膜11と、ゲート絶縁膜11上に形成された半導体層2と、半導体層2の上側において平面的に見てチャネル領域5を挟んで互いに離隔するように形成されたソース電極3およびドレイン電極4と、ソース電極3から平面的に見てゲート電極1の外側へと延在するソース配線13とドレイン電極4から平面的に見てゲート電極1の外側へと延在するドレイン配線14とを備える。チャネル領域5は、ソース配線13の延長上を避けた位置にある。なおかつ、チャネル領域5は、ドレイン配線14の延長上を避けた位置にある。

[0024] 本実施の形態では、バックライト装置からの光7は図14に矢印で示すように下方から進入し、ドレイン電極4とゲート電極1との間で反射を繰り返して進行する。図14ではドレイン電極4の下側における光7の進行について示しているが、ソース電極3の下側においても同様に、光7はソース電極3とゲート電極1との間で反射を繰り返して進行する。この際の光7の進路を平面的に示すと図16に矢印で示すとおりである。光7は、ソース配線1

3、ドレイン配線14の各々の長手方向に沿って進入し、そのままソース配線13、ドレイン配線14の各々の延長上を進行してソース電極3、ドレイン電極4を通過する。反射を繰り返して進行する光7は、図14、図16に示すように、ソース電極3、ドレイン電極4を横断し終わるとTF T 1 0 1の外に出る。

[0025] 本実施の形態では、チャンネル領域5は、ソース配線13の延長上を避けた位置にあり、かつ、ドレイン配線14の延長上を避けた位置にあるので、反射を繰り返して進行する光はチャンネル領域5に入射することなくTF T 1 0 1の外に出る。

[0026] 比較例を図17に示す。図17に示すようにソース配線13、ドレイン配線14の延長上にチャンネル領域5がある構成のTF T 1 0 0を想定した場合、光7はソース配線13、ドレイン配線14とゲート電極1との間で反射を繰り返した末にチャンネル領域5に入射しやすいが、本実施の形態におけるTF T 1 0 1では、そのような事態を避けることができる。こうして、チャンネル領域5への光の入射を抑制することができる。したがって、チャンネル領域での光電流に起因するオフリーク電流の発生を避けることができるので、本実施の形態におけるTF T 1 0 1ではオフリーク電流が流れることを抑制することができる。

[0027] TF T 1 0 1における各部の寸法の呼び名を図18に示す。図18におけるソース電極3の横方向の幅はW 1 Sであり、ドレイン電極4の横方向の幅はW 1 Dである。W 1 S、W 1 Dはそれぞれチャンネル領域5に対向する幅である。ソース配線13の幅はW 2 Sであり、ドレイン配線14の幅はW 2 Dである。本実施の形態におけるTF T 1 0 1では、ソース配線の幅W 2 Sおよびドレイン配線の幅W 2 Dが設計ルール上の最小幅となっていることが好ましい。この構成を採用することにより、ソース電極またはドレイン電極とゲート電極との間に入射してくる光を最小限に抑えることができるので、光リーク電流の発生を抑えることができる。

[0028] 本実施の形態におけるTF T 1 0 1では、半導体層2は、平面的に見て、

ソース配線 1 3 およびドレイン配線 1 4 がゲート電極 1 の領域からそれぞれ出ていく部分において、ソース配線 1 3 およびドレイン配線 1 4 に沿ってゲート電極 1 の領域からそれぞれ突出する半導体層突出部 2 a, 2 b を有し、半導体層突出部 2 a, 2 b は、ソース配線 1 3 およびドレイン配線 1 4 の幅方向の両側にはみ出す部分を有するようにソース配線 1 3 およびドレイン配線 1 4 より広い幅となっており、前記幅方向の両側にはみ出す部分の片側当たりのはみ出し量 $\Delta W a$, $\Delta W b$ は、設計ルール上の最小幅となっていることが好ましい。この構成を採用することにより、ゲート電極の外側にはみ出す半導体幅はソース電極側、ドレイン電極側とも最小となるので、さらに光リーク電流の発生を抑えることができる。

[0029] (実施の形態 2)

図 1 9 を参照して、本発明に基づく実施の形態 2 における T F T 1 0 2 について説明する。ゲート電極 1 の上側に半導体層 2 が配置されており、半導体層 2 は長方形から 2 ヶ所が突出した形状をしている。図 1 9 においては、半導体層 2 は、縦長長方形の左上が左に向かって突出し、右下が右に向かって突出した形状である。ソース電極 3 とドレイン電極 4 とはいずれも L 字形である。ソース電極 3 とドレイン電極 4 とが狭い間隔で対向する部分として半導体層 2 の一部にチャネル領域 5 i が形成されている。ソース電極 3 とドレイン電極 4 とが L 字形であることに起因して、チャネル領域 5 i は折れ線状かつ逆 S 字形状となっている。

[0030] 本実施の形態における T F T 1 0 2 においても、チャネル領域 5 i は、ソース配線 1 3 の延長上を避けた位置にあり、かつ、ドレイン配線 1 4 の延長上を避けた位置にあるので、反射を繰り返して進行する光はチャネル領域 5 i に入射することなく T F T 1 0 2 の外に出る。したがって、本実施の形態における T F T 1 0 2 においても、実施の形態 1 と同様にオフリーク電流を抑制することができる。

[0031] (実施の形態 3)

図 2 0 を参照して、本発明に基づく実施の形態 3 における T F T 1 0 3 に

ついて説明する。ゲート電極 1 の上側に半導体層 2 が配置されており、半導体層 2 は長方形から 2 ヶ所が突出した形状をしている。図 20 においては、半導体層 2 は、縦長長方形の左上が左に向かって突出し、右辺中央部が右に向かって突出した形状である。ソース電極 3 は略 U 字形状であり、ドレイン電極 4 は I 字形状である。ソース電極 3 は略 U 字形状であるが、ソース配線 13 は、ソース電極 3 の中心ではなく一方に偏った位置に連なって延在している。ソース電極 3 とドレイン電極 4 とが狭い間隔で対向する部分として半導体層 2 の一部にチャネル領域 5j が形成されている。ソース電極 3 はドレイン電極 4 の先端部を取り囲むように配置されている。その結果、チャネル領域 5j は略 U 字形状となっている。

[0032] 本実施の形態における T F T 103 は、基板 10 と、基板 10 の表面に形成されたゲート電極 1 と、ゲート電極 1 の上側を覆うように形成されたゲート絶縁膜 11 と、ゲート絶縁膜 11 上に形成された半導体層 2 と、半導体層 2 の上側において平面的に見てチャネル領域 5 を挟んで互いに離隔するように形成されたソース電極 3 およびドレイン電極 4 と、ソース電極 3 から平面的に見てゲート電極 1 の外側へと延在するソース配線 13 と、ドレイン電極 4 から平面的に見てゲート電極 1 の外側へと延在するドレイン配線 14 とを備える。チャネル領域 5j は、ソース配線 13 の延長上とドレイン配線 14 の延長上とのうちの少なくとも一方を避けた位置にある。ここで例示する T F T 103 においては、具体的には、チャネル領域 5j はソース配線 13 の延長上を避けた位置にある。

[0033] 本実施の形態における T F T 103 においても、チャネル領域 5j は、ソース配線 13 の延長上を避けた位置にあるので、ソース配線 13 とゲート電極 1 との間で反射を繰り返して進行する光はチャネル領域 5j に入射することなく T F T 103 の外に出る。本実施の形態では、チャネル領域 5j の一部はドレイン電極 14 の延長上にあるので、ドレイン電極 14 とゲート電極 1 との間で反射を繰り返して進行する光はチャネル領域 5j に入射する可能性がある。しかし、このようにチャネル領域がソース配線とドレイン配線の

一方の延長上を避けるのみの配置であっても、チャネル領域への光の進入は大幅に低減することができる。したがって、実施の形態 1, 2 に比べて効果が劣るものの、本実施の形態における T F T 1 0 3 においても、ある程度はオフリーク電流を抑制することができる。

[0034] なお、本実施の形態では、ソース電極 3 が略 U 字形状であって、ドレイン電極 4 が I 字形状であるものとして説明したが、ソース電極とドレイン電極とが逆であってもよい。その場合も、同様の効果を得ることができる。

[0035] (実施の形態 4)

図 2 1 を参照して、本発明に基づく実施の形態 4 における表示パネルについて説明する。この表示パネル 2 0 1 は、表示領域 2 0 1 d を有する。表示領域 2 0 1 d 内の 1 つの画素を拡大したところを図 2 2 に示す。この表示パネル 2 0 1 は、画素電極 2 1 1 と、画素電極 2 1 1 を駆動するための駆動素子 2 1 2 を備える。駆動素子 2 1 2 は、実施の形態 1 で説明したいずれかの薄膜トランジスタ (T F T) である。

[0036] 本実施の形態における表示パネルでは、駆動素子としての各 T F T において、チャネル領域での光電流に起因するオフリーク電流の発生を避けることができるので、各 T F T ではオフリーク電流が流れることを抑制することができる。したがって、この表示パネルでは、良好な画像を表示することができる。

[0037] なお、今回開示した上記実施の形態はすべての点で例示であって制限的なものではない。本発明の範囲は上記した説明ではなくて請求の範囲によって示され、請求の範囲と均等の意味および範囲内でのすべての変更を含むものである。

産業上の利用可能性

[0038] 本発明は、薄膜トランジスタおよびこれを備える表示パネルに利用可能である。

符号の説明

[0039] 1 ゲート電極、 2 半導体層、 2 a, 2 b 半導体層突出部、 3 ソー

ス電極、4 ドレイン電極、5, 5 i, 5 j チャンネル領域、6 ブラックマトリックス部、7 光、8 多重反射領域、9 幅、10 基板、11 ゲート絶縁膜、13 ソース配線、14 ドレイン配線、15 I字形電極、16 U字形電極、100 (比較例としての) TFT、101, 102, 103 (本発明に基づく) TFT、201 表示パネル、201 d 表示領域、211 画素電極、212 駆動素子。

請求の範囲

[請求項1]

基板（10）と、
前記基板の表面に形成されたゲート電極（1）と、
前記ゲート電極の上側を覆うように形成されたゲート絶縁膜（11）と、
前記ゲート絶縁膜上に形成された半導体層（2）と、
前記半導体層の上側において平面的に見てチャネル領域（5）を挟んで互いに離隔するように形成されたソース電極（3）およびドレイン電極（4）と、
前記ソース電極から平面的に見て前記ゲート電極の外側へと延在するソース配線（13）と、
前記ドレイン電極から平面的に見て前記ゲート電極の外側へと延在するドレイン配線（14）とを備え、
前記チャネル領域は、前記ソース配線の延長上と前記ドレイン配線の延長上とのうちの少なくとも一方を避けた位置にある、薄膜トランジスタ。

[請求項2]

前記チャネル領域は、前記ソース配線の延長上と前記ドレイン配線の延長上とのいずれも避けた位置にある、請求項1に記載の薄膜トランジスタ。

[請求項3]

前記ソース配線の幅および前記ドレイン配線の幅が設計ルール上の最小幅となっている、請求項1または2に記載の薄膜トランジスタ。

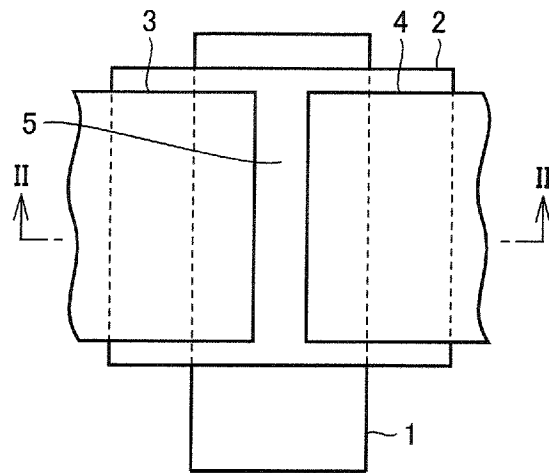
[請求項4]

前記半導体層は、平面的に見て、前記ソース配線および前記ドレイン配線が前記ゲート電極の領域からそれぞれ出ていく部分において、前記ソース配線および前記ドレイン配線に沿って前記ゲート電極の領域からそれぞれ突出する半導体層突出部を有し、
前記半導体層突出部は、前記ソース配線および前記ドレイン配線の幅方向の両側にはみ出す部分を有するように前記ソース配線および前記ドレイン配線より広い幅となっており、前記幅方向の両側にはみ出

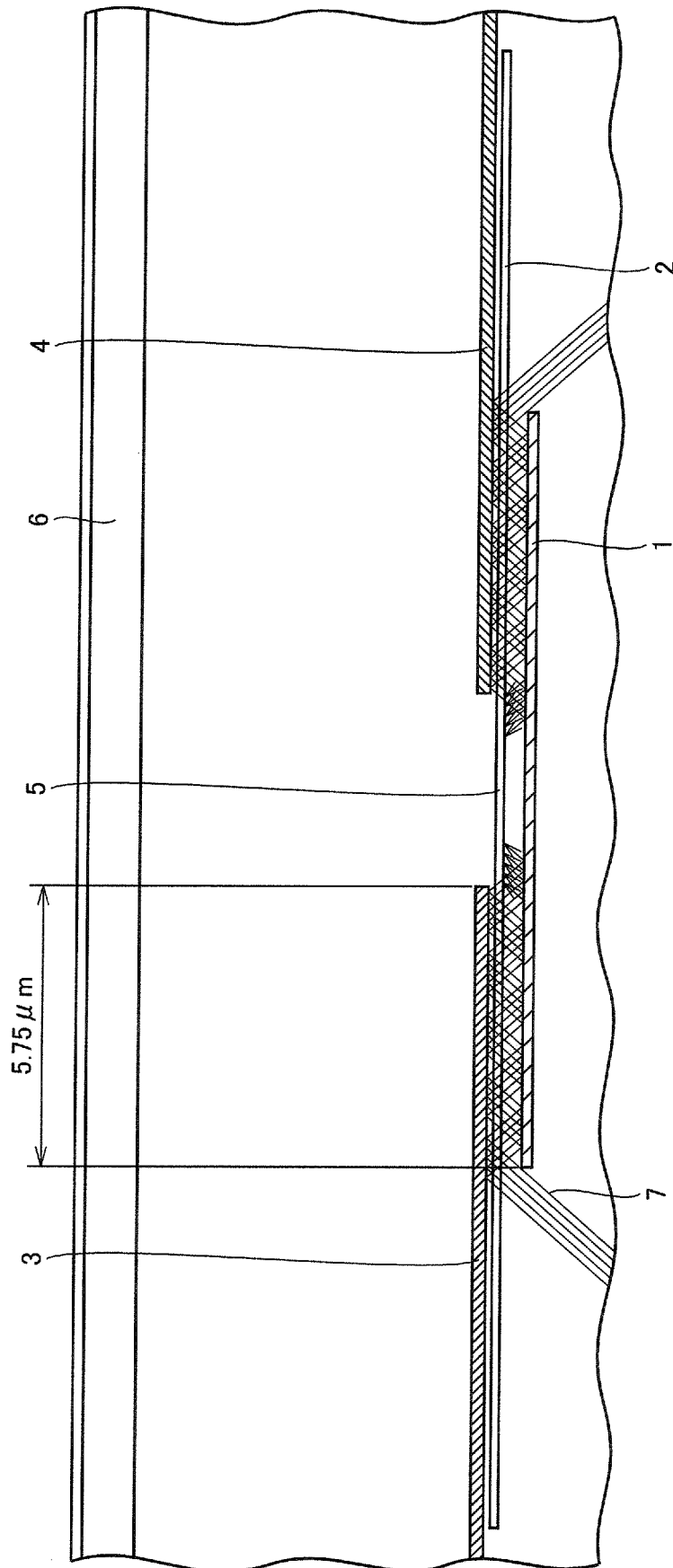
す部分の片側あたりのはみ出し量は、設計ルール上の最小幅となっている、請求項 1 から 3 のいずれかに記載の薄膜トランジスタ。

[請求項5] 請求項 1 から 4 のいずれかに記載の薄膜トランジスタを備える、表示パネル。

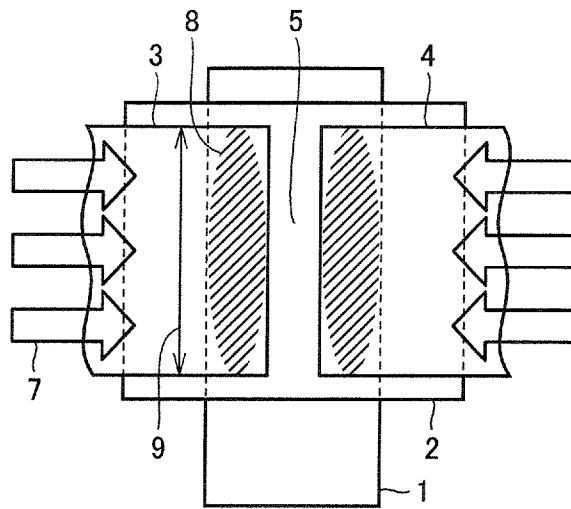
[図1]



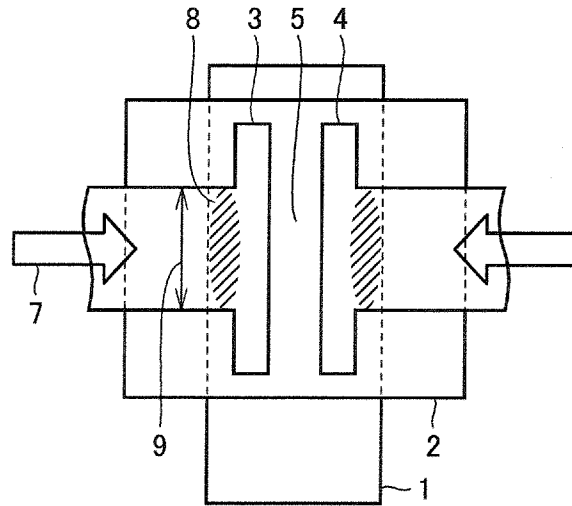
[図2]



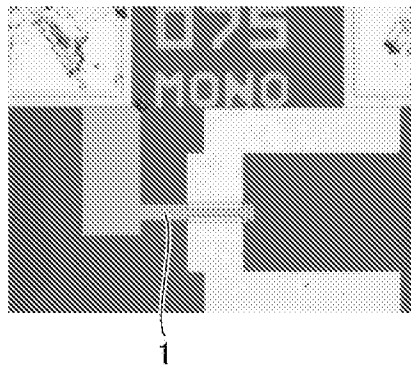
[図3]



[図4]



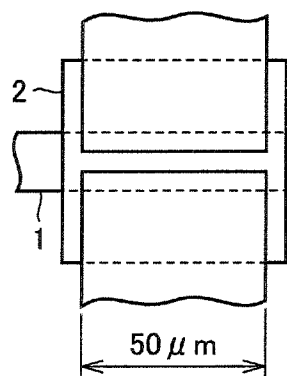
[図5]



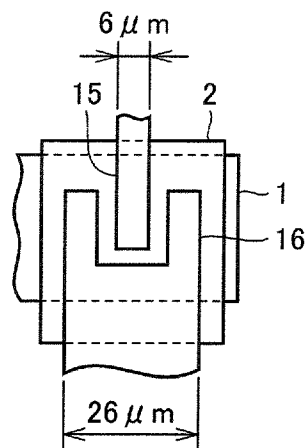
[図6]



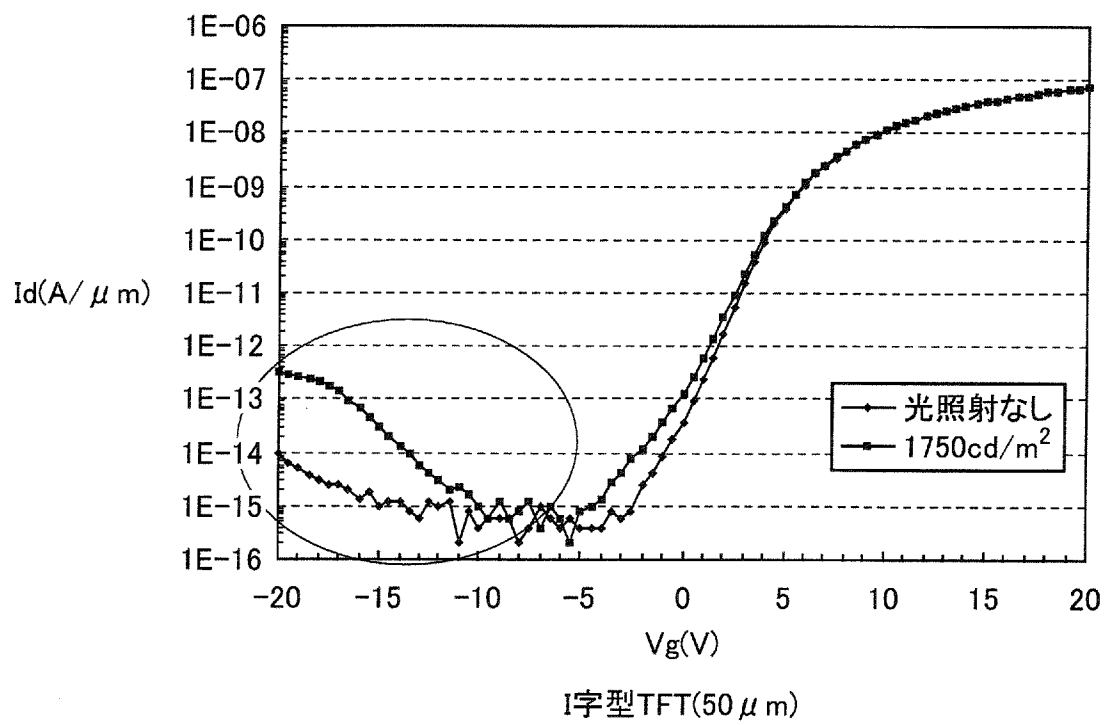
[図7]



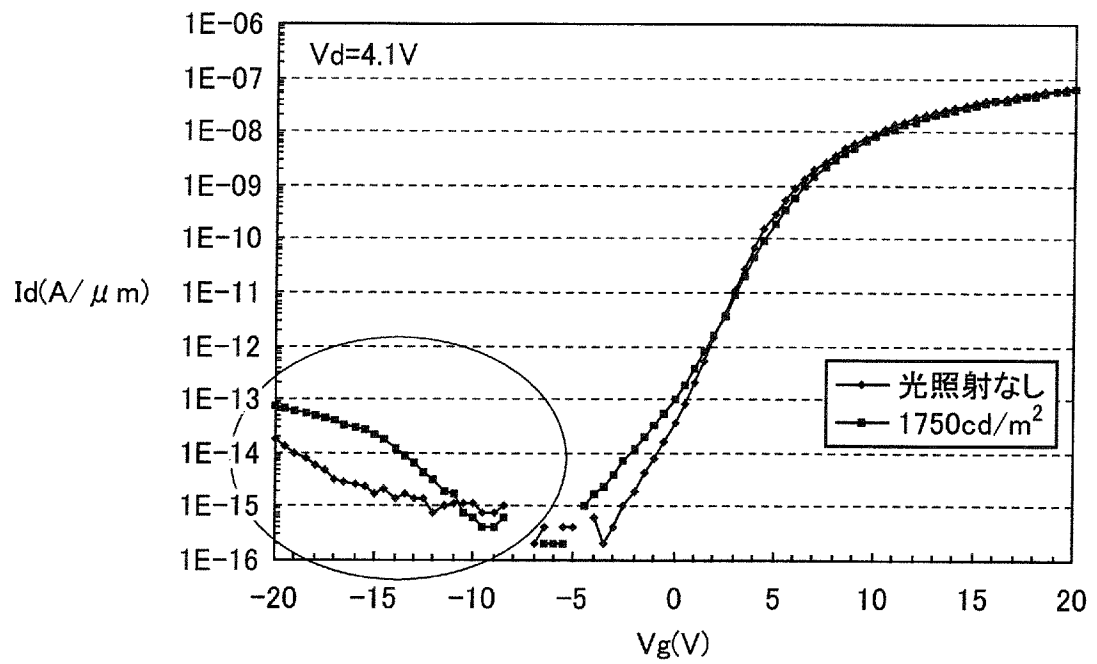
[図8]



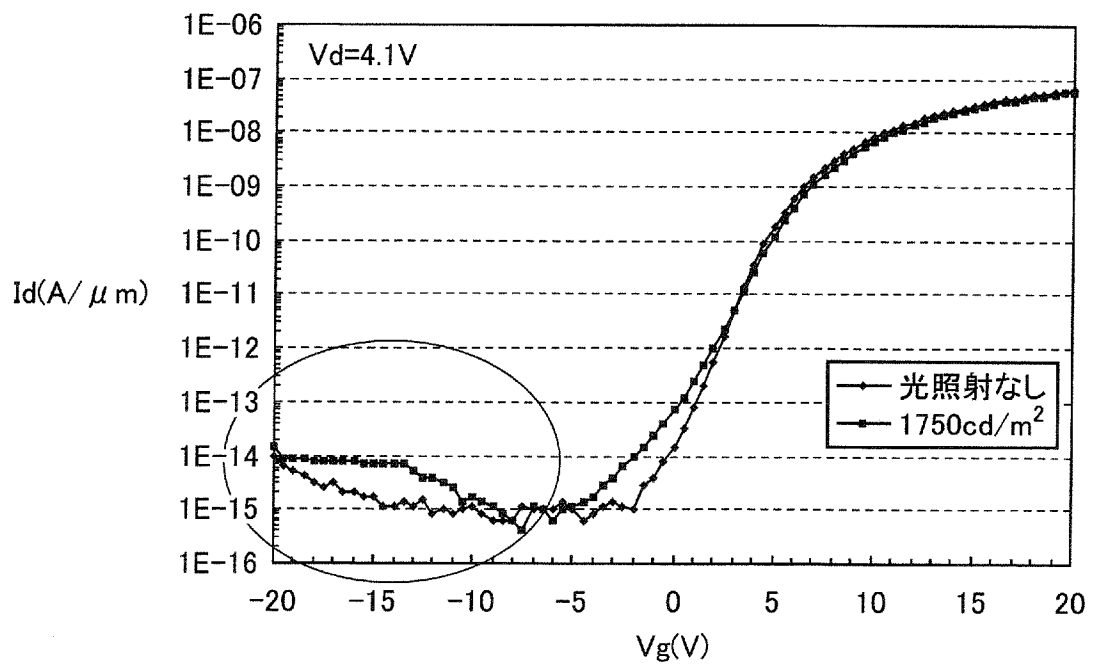
[図9]



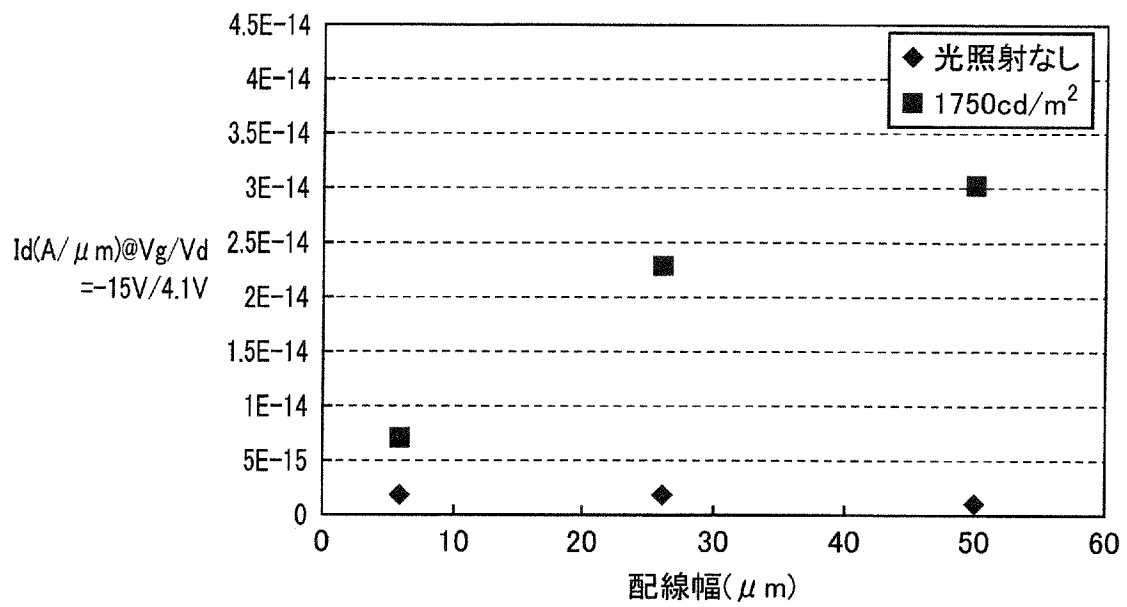
[図10]

U字型TFT/U字電極をドレイン電極(26 μm)

[図11]

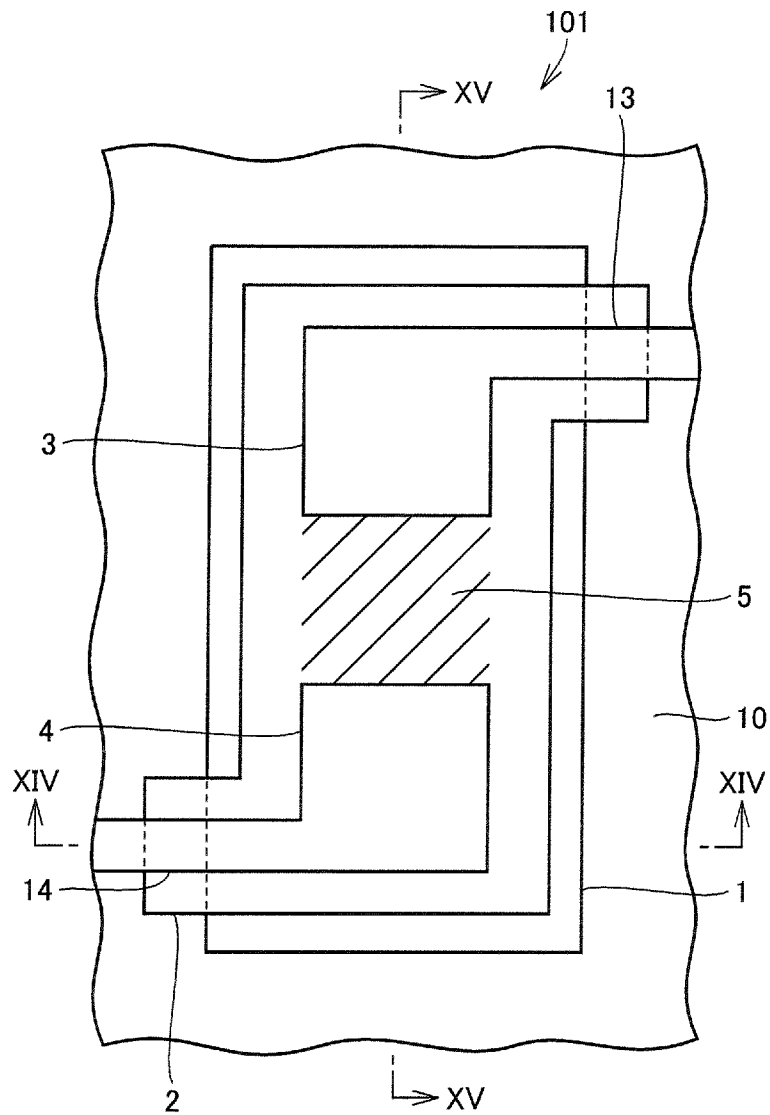
U字型TFT/1字電極をドレイン電極(6 μm)

[図12]

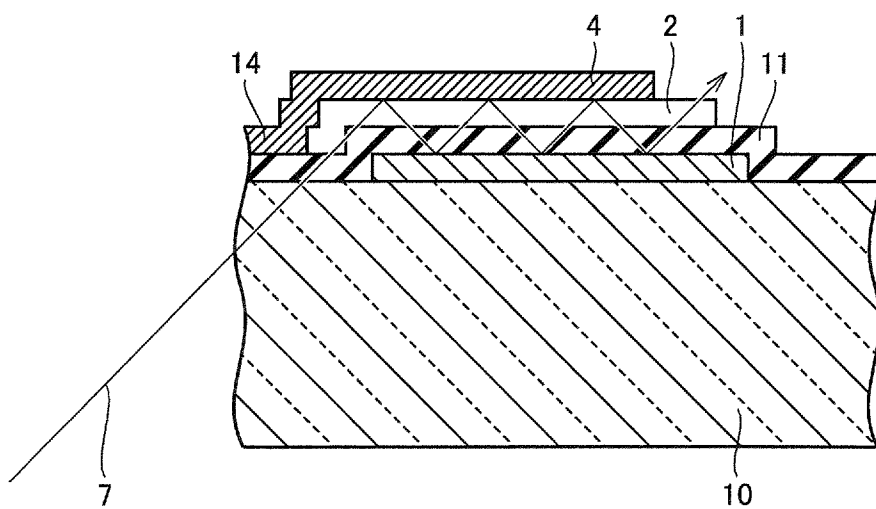


配線幅とオフリーク量の関係

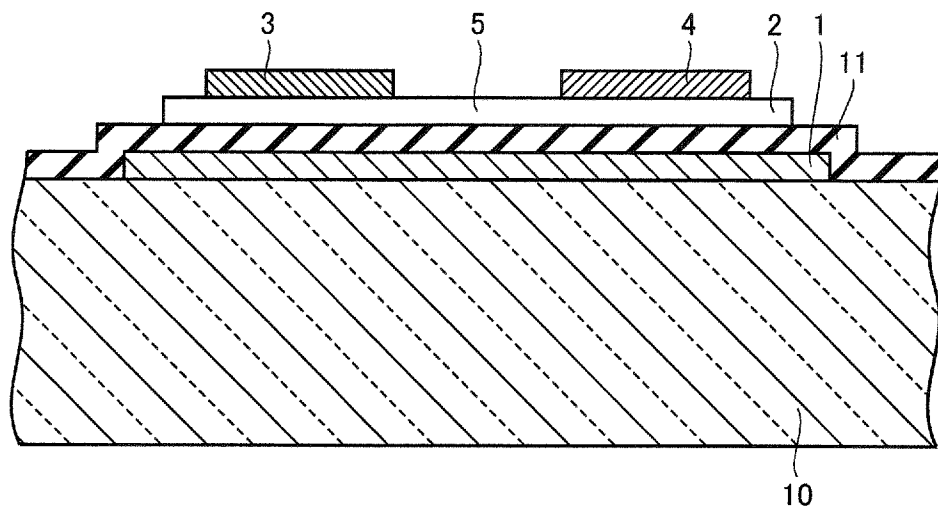
[図13]



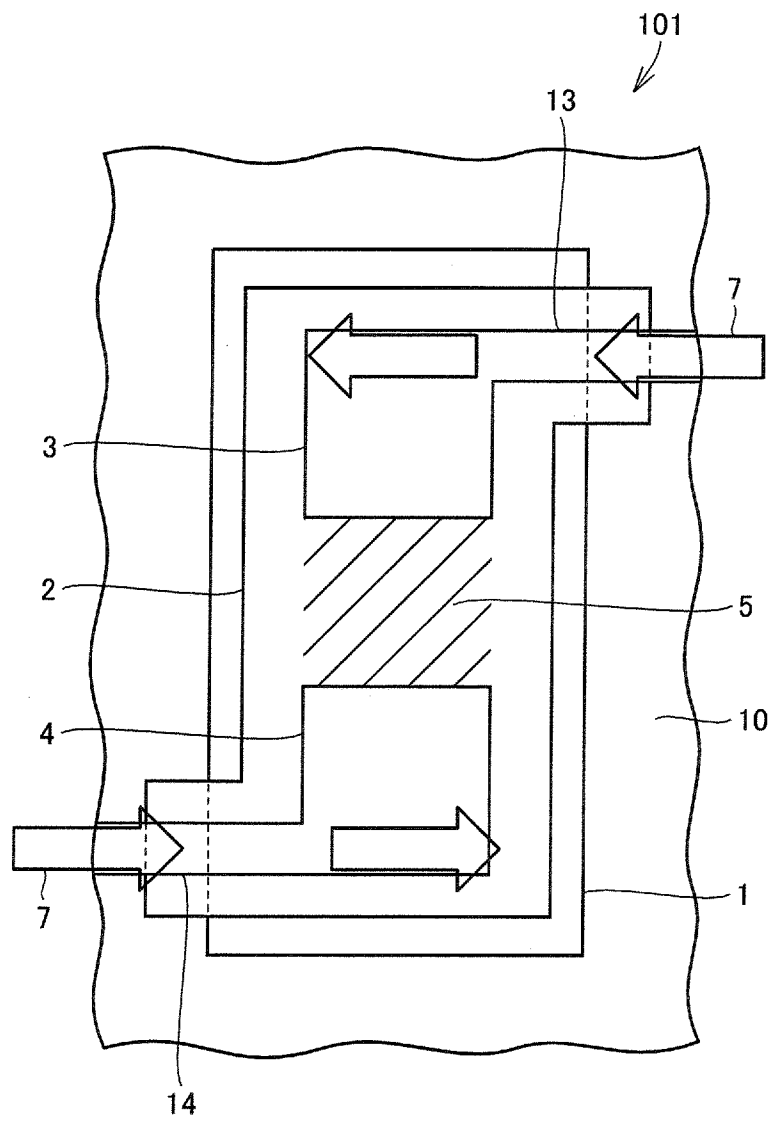
[図14]



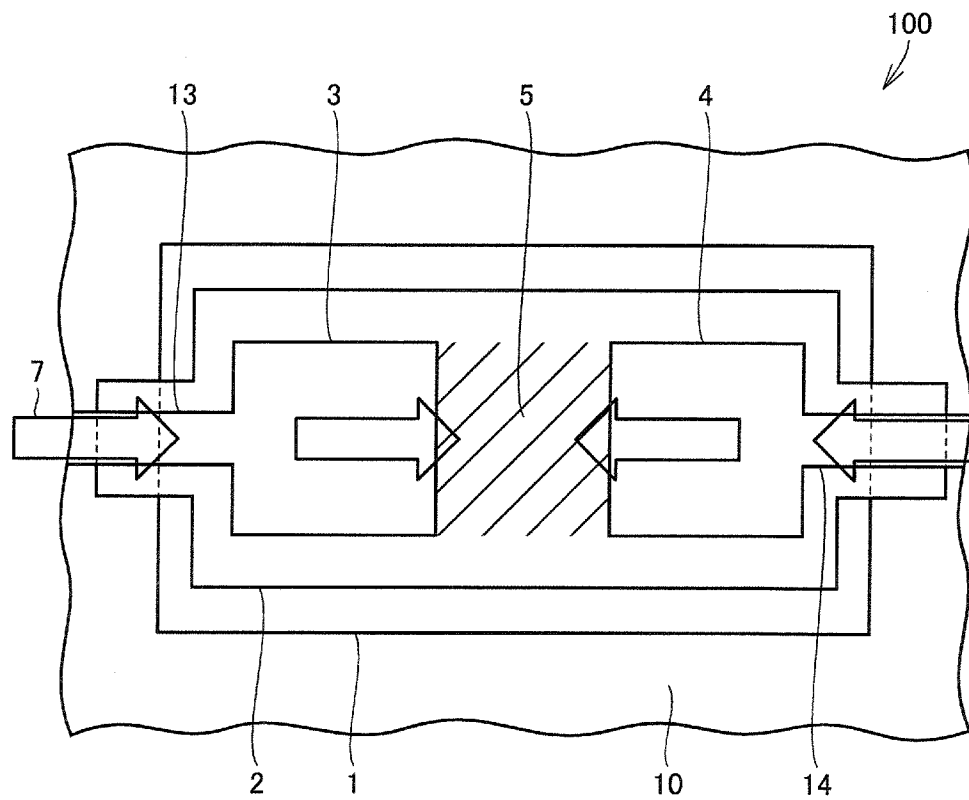
[図15]



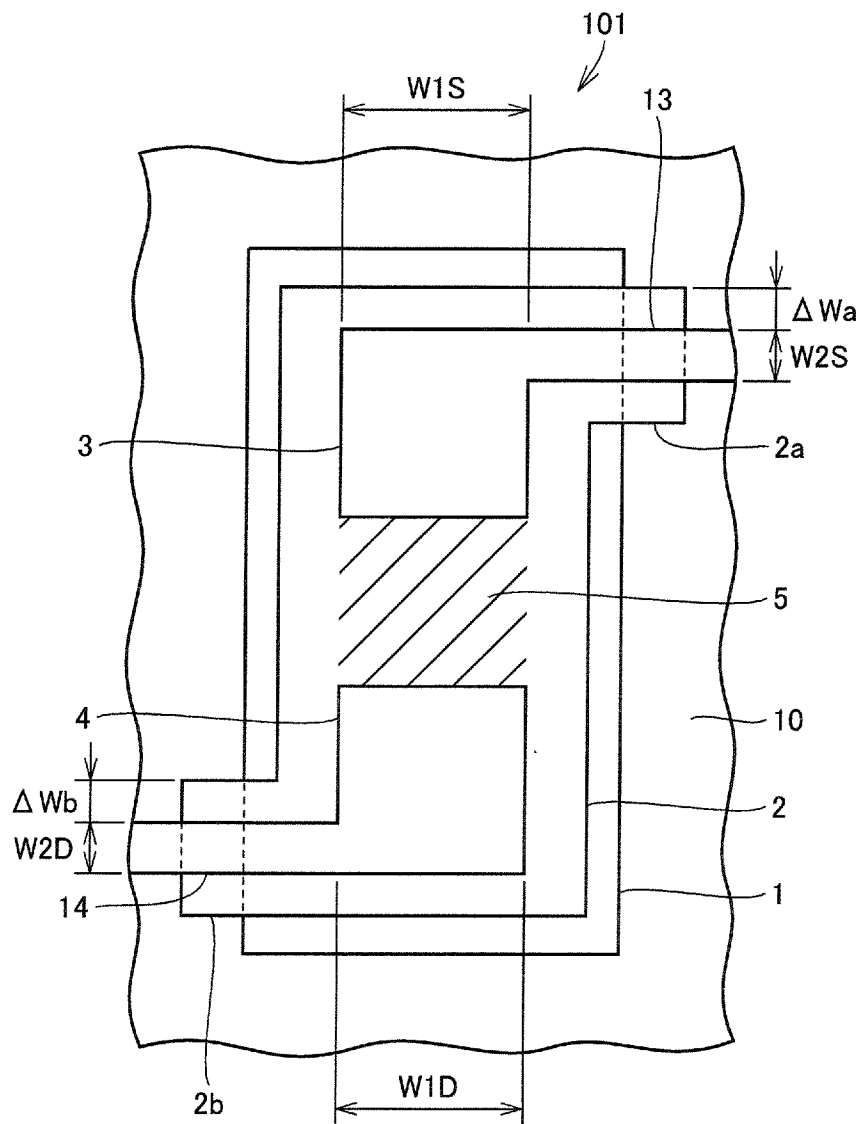
[図16]



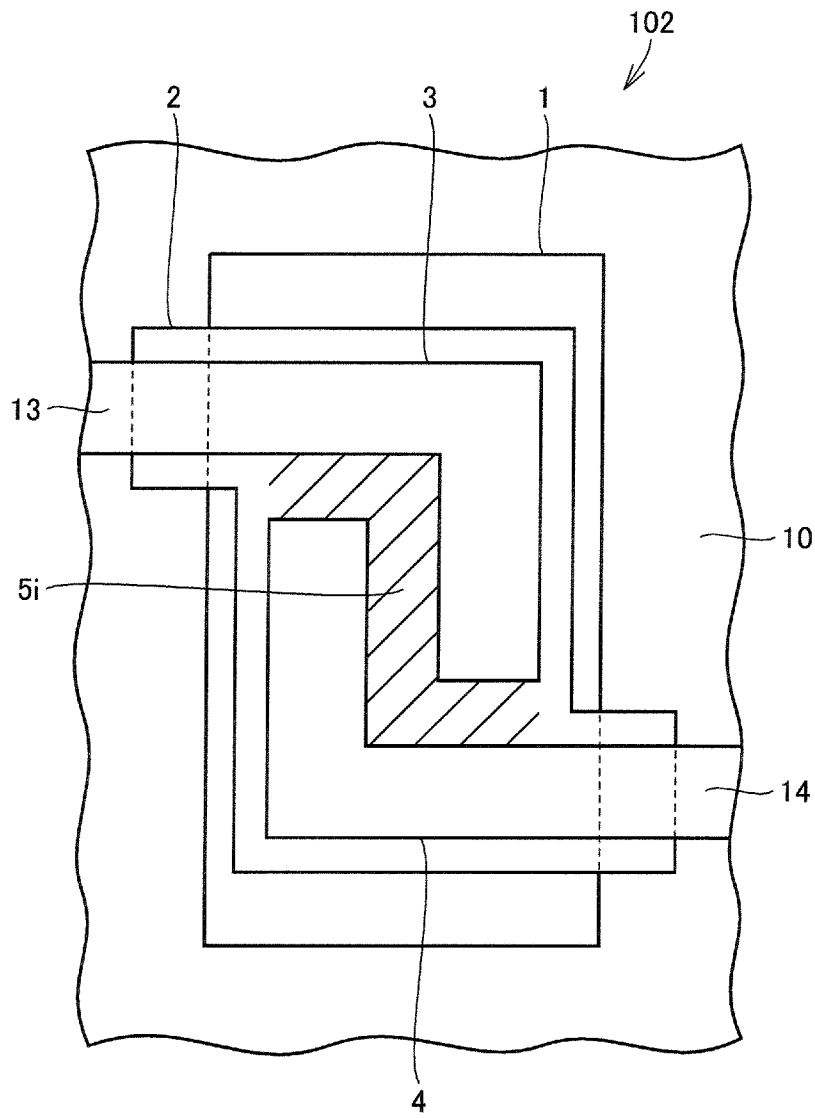
[図17]



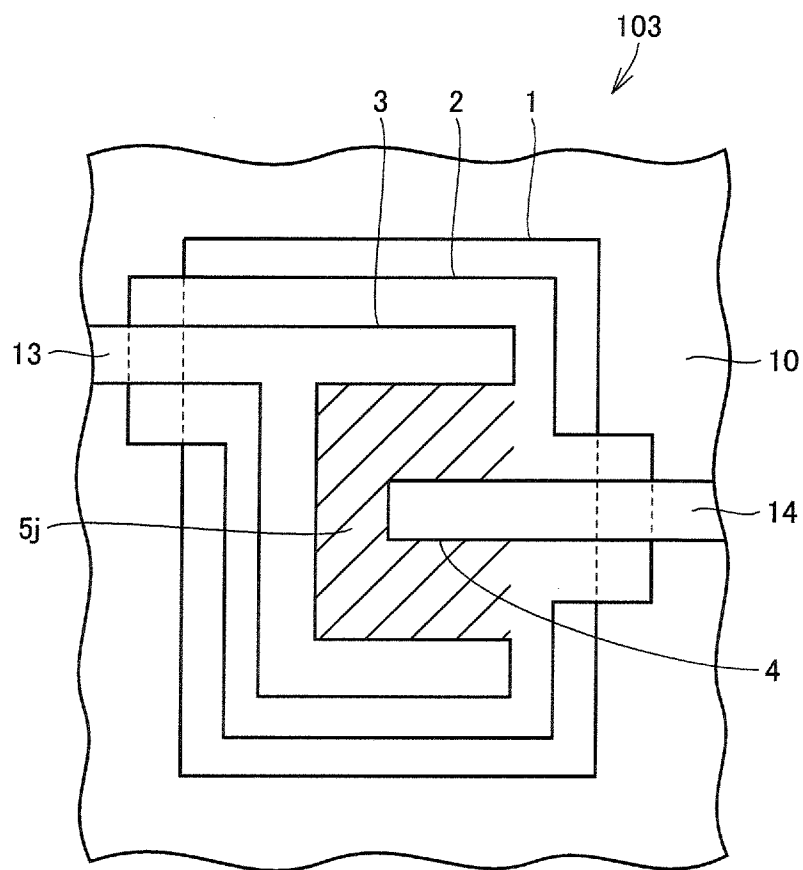
[図18]



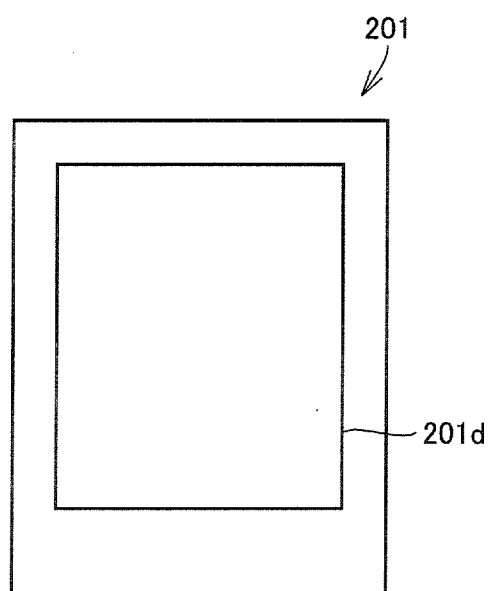
[図19]



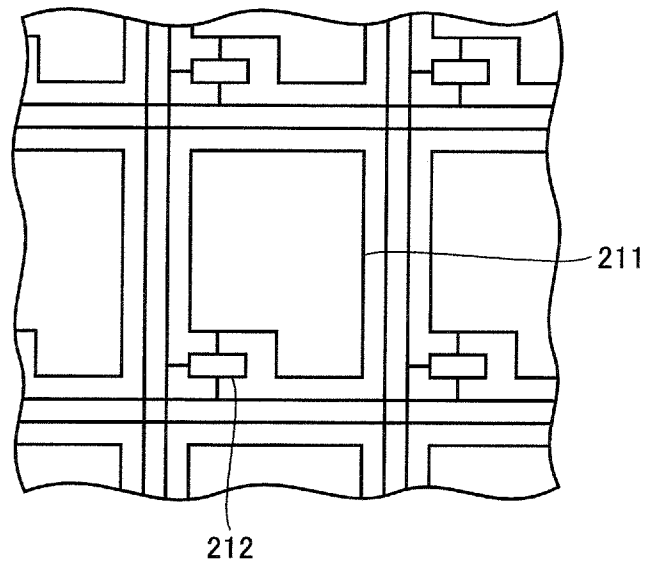
[図20]



[図21]



[図22]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/074425

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/786(2006.01) i, G02F1/1368(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/786, G02F1/1368

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2011
Kokai Jitsuyo Shinan Koho	1971-2011	Toroku Jitsuyo Shinan Koho	1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2010-014921 A (Epson Imaging Devices Corp.), 21 January 2010 (21.01.2010), paragraphs [0015] to [0047]; fig. 1 to 7 (Family: none)	1, 2, 5 3, 4
A	JP 2003-167261 A (Sharp Corp.), 13 June 2003 (13.06.2003), paragraphs [0001] to [0065] (Family: none)	1-5

☐

Further documents are listed in the continuation of Box C.

☐

See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
09 December, 2011 (09.12.11)

Date of mailing of the international search report
20 December, 2011 (20.12.11)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））
Int.Cl. H01L29/786(2006.01)i, G02F1/1368(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L29/786, G02F1/1368

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 1 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 1 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 1 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X A	JP 2010-014921 A（エプソンイメージングデバイス株式会社） 2010.01.21, 段落 0015-0047, 図 1-7（ファミリーなし）	1, 2, 5 3, 4
A	JP 2003-167261 A（シャープ株式会社）2003.06.13, 段落 0001-0065（ファミリーなし）	1-5

☐ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

0 9 . 1 2 . 2 0 1 1

国際調査報告の発送日

2 0 . 1 2 . 2 0 1 1

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官（権限のある職員）

綿引 隆

4 M

2 9 3 4

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 6 2