



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 100 51 167 B4** 2007.10.25

(12)

Patentschrift

(21) Aktenzeichen: **100 51 167.8**
(22) Anmeldetag: **16.10.2000**
(43) Offenlegungstag: **25.04.2002**
(45) Veröffentlichungstag
der Patenterteilung: **25.10.2007**

(51) Int Cl.⁸: **G11C 11/4072** (2006.01)
G11C 17/16 (2006.01)

Innerhalb von drei Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 2 Patentkostengesetz).

(73) Patentinhaber:
Infineon Technologies AG, 81669 München, DE

(74) Vertreter:
Müller - Hoffmann & Partner Patentanwälte, 81667 München

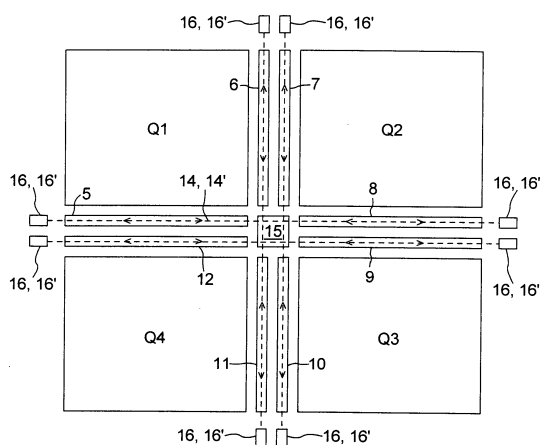
(72) Erfinder:
Fischer, Helmut, 82024 Taufkirchen, DE;
Schaffroth, Thilo, 85244 Röhrmoos, DE

(56) Für die Beurteilung der Patentfähigkeit in Betracht
gezogene Druckschriften:
DE 198 23 687 A1
US 59 70 000 A

(54) Bezeichnung: **Anordnung zur Fuseinitialisierung**

(57) Hauptanspruch: Anordnung zur Fuseinitialisierung, mit mindestens einer Fusebank (5 bis 12), die mehrere Fuses (F) aufweist, in denen Redundanzinformation gespeichert ist, die durch ein erstes und ein zweites durch eine Generatoreinrichtung (15) erzeugtes Initialisierungssignal (bFPUP, FPUN) in jeweils ein jeder Fuse (F) zugeordnetes Latch (L) auslesbar ist, dadurch gekennzeichnet, dass

- ein Speicherzellenfeld (Q1 bis Q4) in vier Quadranten vorgesehen ist und längs einander benachbarten Rändern dieser Quadranten (Q1 bis Q4) jeweils eine Fusebank (5 bis 12) liegt,
- für jeden Quadranten das erste Initialisierungssignal auf einer ersten Leitung (14) und das zweite Initialisierungssignal auf einer zweiten, von der ersten Leitung verschiedenen Leitung (14') jeweils seriell zu den Fuses (F) geführt ist, und
- jedes Initialisierungssignal (bFPUP, FPUN) am Beginn und Ende jeder Leitung einer Fusebank zeitlich verzögert ist.



Beschreibung

[0001] Die vorliegende Erfindung betrifft eine Anordnung zur Fuseinitialisierung, mit mindestens einer Fusebank, die mehrere Fuses aufweist, in denen Redundanzinformation gespeichert ist, die durch ein erstes und ein zweites durch eine Generatoreinrichtung erzeugtes Initialisierungssignal in jeweils ein jeder Fuse zugeordnetes Latch auslesbar ist. Unter "Fuses" sollen dabei auch Antifuses verstanden werden. Bevorzugt wird die Erfindung bei einem Speicher eingesetzt, dessen Speicherzellenfeld in Quadranten unterteilt ist, längs denen sich die Fusebänke erstrecken.

[0002] In Fuses abgespeicherte Redundanzinformation wird beim Aktivieren beziehungsweise Hochfahren eines Speichers, wie beispielsweise eines DRAMs, in Latches (Verriegelungsglieder) eingelesen, welche die Redundanzinformation zwischenspeichern und in direkter Nachbarschaft zu den Fuses gelegen sind. Dabei ist jeder Fuse ein Latch zugeordnet.

[0003] Für dieses Einlesen von Redundanzinformation werden zwei Initialisierungssignale benötigt, nämlich ein erstes Initialisierungssignal bFPUP (bar fuse power up), bei dem es sich um ein Enable-Signal handelt, und ein zweites Initialisierungssignal FPUN, das ein Steuersignal zum Einlatchen der Redundanzinformation ist und aus einem Puls besteht, der während seiner Dauer die Redundanzinformation in den Latches zwischenspeichern lässt.

[0004] [Fig. 4](#) zeigt schematisch einen Speicher mit einem Speicherzellenfeld aus vier Quadranten Q1 bis Q4 und zwischen diesen Quadranten Q1 bis Q4 gelegenen Fusebänken **5** bis **12**. Die Fusebänke **5** und **6** sind dem Quadranten Q1 zugeordnet, während die Fusebänke **7** und **8** zu dem Quadranten Q2, die Fusebänke **9** und **10** zu dem Quadranten Q3 und die Fusebänke **11** und **12** zu dem Quadranten Q4 gehören. Dabei liegen die Fusebänke **5** und **6** längs zwei Seiten des Quadranten Q1, welche im Abstand den benachbarten Quadranten Q4 und Q2 gegenüberliegen. Entsprechendes gilt für die Fusebänke **7** und **8** hinsichtlich des Quadranten Q2, für die Fusebänke **9** und **10** hinsichtlich des Quadranten Q3 und für die Fusebänke **11** und **12** hinsichtlich des Quadranten Q4. Die Fuses der Fusebänke **5** bis **12** sind dabei jeweils einzelnen Segmenten bzw. Arrays der Quadranten Q1 bis Q4 zugeordnet.

[0005] [Fig. 5](#) zeigt eine Fuse F mit einem zugeordneten Latch L. Die Fuse F liegt in Reihe mit einer Serienschaltung aus einem N-Kanal-MOS-Transistor T1 und einem P-Kanal-MOS-Transistor T2 zwischen einem festen Potential (Masse bzw. Ground) und einer Versorgungsspannung Vint. Am Gate des Transistors T2 liegt das erste Initialisierungssignal bFPUP, wäh-

rend Gate des Transistors T1 mit dem zweiten Initialisierungssignal FPUN beaufschlagt ist.

[0006] Der Knoten zwischen den beiden Transistoren T1 und T2 ist mit dem Eingang eines ersten Inverters I1 und dem Ausgang eines dem ersten Inverter I1 nachgeschalteten zweiten Inverters I2 verbunden. Außerdem liegt der Ausgang des ersten Inverters I1 am Steuereingang eines ersten gesteuerten Schalters S1, während der Ausgang des zweiten Inverters I2 an den Steuereingang eines zweiten gesteuerten Schalters S2 angeschlossen ist.

[0007] Der Eingang des ersten Schalters S1 ist mit einem ersten Signal A1 beaufschlagt, während am Eingang des zweiten Schalters S2 ein zweites Signal A2 liegt.

[0008] [Fig. 6](#) zeigt den Verlauf der Versorgungsspannung Vint, des ersten Initialisierungssignales bFPUP und des zweiten Initialisierungssignales FPUN in Abhängigkeit von der Zeit t.

[0009] Wenn die Versorgungsspannung Vint eingeschaltet wird, also hoch wird, ist der Transistor T2 leitend, während der Transistor T1 noch sperrt, da beide Signale bFPUP und FPUN niedrig sind. Damit liegt die Versorgungsspannung Vint am Eingang des Latches L, so dass dessen Vorinitialisierung erfolgt. Geht sodann das erste Initialisierungssignal bFPUP hoch (Flanke F2), so sperrt der Transistor T2. Das Latch L ist damit von der Versorgungsspannung Vint abgeschaltet. Nach Einschalten des zweiten Initialisierungssignales beziehungsweise Pulses FPUN (Flanke F3) leitet der Transistor T1, während der Transistor T2 weiter sperrt. Damit wird die Fuseinformation der Fuse F dem Latch L zugeführt, wobei abhängig vom Inhalt dieser Information ("1") oder ("0") der Schalter S1 leitet, während der Schalter S2 sperrt oder der Schalter S1 sperrt, während der Schalter S2 leitet. Dieser Einschreibvorgang der Fuseinformation ist mit dem Ende des Pulses FPUN (Flanke F4) abgeschlossen. An einem Ausgang A der Schalter S1 und S2 wird so abhängig von der Fuseinformation der Fuse F das Signal A1 oder das Signal A2 gewonnen.

[0010] [Fig. 7](#) zeigt einen möglichen Signalverlauf, der vorliegt, wenn das erste Initialisierungssignal bFPUP zusammen mit der Versorgungsspannung Vint hochläuft. Hier erfolgt die Vorinitialisierung des Latches L mit dem Abfall (Flanke F1) des Signales bFPUP.

[0011] Die beiden Initialisierungssignale bFPUP und FPUN müssen beim Aktivieren des Speichers allen Fuses der Fusebänke **5** bis **12** zugeführt werden, damit diese Fuses ihre jeweilige Information in die zugehörigen Latches einlesen können, wobei jeder einzelnen Fuse F ein Latch L der in [Fig. 5](#) gezeigten Art zugeordnet ist. Selbstverständlich können dabei für

die Latches L auch andere Schaltungskonfigurationen gewählt werden.

[0012] Um die Initialisierung mit den beiden Initialisierungssignalen bFPUP und FPUN zu ermöglichen, sind längs der Fusebänke 5 bis 12 für jedes dieser Signale Leitungen 13 schleifenförmig geführt, wie dies in Fig. 4 in Strichlinien für das erste Initialisierungssignal bFPUP in Strichlinien angedeutet ist. Für das zweite Initialisierungssignal FPUN wird eine entsprechende Leitungsschleife benötigt.

[0013] Das erste Initialisierungssignal bFPUP läuft also zunächst auf der Leitung 13 längs der Fusebank 5 von der Mitte des Speichers bis zu dessen Rand und dann entlang dieser Fusebank 5 wieder zurück, um anschließend in entsprechender Weise nacheinander durch die Fusebänke 6 bis 12 geführt zu sein.

[0014] Da gleiches auch für das zweite Initialisierungssignal FPUN beziehungsweise für dessen Leitung gilt, bedeutet dies, dass insgesamt längs der Fusebänke 5 bis 12 beziehungsweise längs einander benachbarter Seiten der Quadranten Q1 bis Q4 jeweils vier Leitungen benötigt werden.

[0015] Entsprechend dem in Fig. 4 angedeuteten Schema verläuft also die Fuseinitialisierung sequentiell über den gesamten Chip des Speichers, was während der Initialisierungsphase einen für das Hochlaufen der Schaltung vorteilhaften gleichmäßigen und zeitlich verteilten Strom zur Folge hat.

[0016] Abhängig von der Chiparchitektur eines Speichers kann der Flächenverbrauch einzelner Bereiche auf dem Chip durch Transistoren oder durch Leitungen dominiert sein. Liegt der letztere Fall vor, so wirkt eine Einsparung an Leitungen flächenreduzierend, was von einem erheblichen Vorteil ist. Dies gilt selbst dann, wenn durch die Leitungseinsparung zusätzliche Transistoren benötigt werden.

[0017] In der US 5 970 000 A ist eine reparierbare Halbleiterspeicheranordnung beschrieben, bei der einzelnen Domänen eines Speicherzellenfeldes selektiv Gruppen von redundanten Elementen zugewiesen werden können. Dabei kann in einer Fuseschaltung eine Fuse in Reihe zu einer Serienschaltung von zwei MOS-Transistoren des entgegengesetzten Leitungstyps, die an ihren Gates jeweils mit einem Initialisierungssignal beaufschlagt sind, liegen, während der Mittenabgriff dieser MOS-Transistoren mit einer Reihenschaltung von Invertern als Latch verbunden ist, denen wiederum Schalter nachgeschaltet sind.

[0018] Weiterhin beschreibt die DE 198 23 687 A1 eine Fuselatch-Schaltung, bei der mittels eines ersten und eines zweiten Steuersignals, die zeitversetzt zueinander sind, Fuse-Information aus einer Fuse in ein Latchglied auslesbar und in diesem speicherbar

ist. Beide Steuersignale werden dabei nur aus einem globalen Signal mittels eines Verzögerungsgliedes gewonnen.

[0019] Es ist Aufgabe der vorliegenden Erfindung, eine Anordnung zur Fuseinitialisierung zu schaffen, bei der eine Reduktion der auf einem Chip benötigten Fläche ohne zusätzlichen Aufwand möglich ist.

[0020] Diese Aufgabe wird bei einer Anordnung zur Fuseinitialisierung der eingangs genannten Art erfindungsgemäß dadurch gelöst, dass

- ein Speicherzellenfeld in vier Quadranten vorgesehen ist und längs einander benachbarten Rändern dieser Quadranten jeweils eine Fusebank liegt,
- für jeden Quadranten das erste Initialisierungssignal auf einer ersten Leitung und das zweite Initialisierungssignal auf einer zweiten, von der ersten Leitung verschiedenen Leitung jeweils seriell zu den Fuses geführt ist, und
- jedes Initialisierungssignal am Beginn und Ende jeder Leitung einer Fusebank zeitlich verzögert ist.

[0021] Damit können von den oben erwähnten vier Leitungen, die jeweils einer Fusebank zugeordnet sind, insgesamt zwei Leitungen eingespart werden, was in Bezug auf diese Leitungen eine Flächenreduktion von etwa 50% bedeutet. Hierzu werden am Ende der Quadranten des Speicherzellenfeldes beziehungsweise entsprechenden Chipbereichen Schaltungen integriert, welche einen Wechsel des einen Initialisierungssignals detektieren und das andere Initialisierungssignal dann jeweils auf der anderen Leitung verzögert zurückgeben. Im Mittenbereich des Speichers beziehungsweise in der Chipmitte ist zusätzlich zu der Generatoreinrichtung für die beiden Initialisierungssignale eine Schaltung integriert, die die zurückgesendeten Signale detektiert und diese zeitlich verzögert in den Bereich der nächsten Fusebank einspeist.

[0022] In einer Weiterbildung der Erfindung ist es auch möglich, die Generatoreinrichtung für die Initialisierungssignale so zu steuern, dass diese die beiden Initialisierungssignale zeitlich verzögert in die Bereiche der einzelnen Fusebänke einspeist.

[0023] Die Erfindung ermöglicht die Einsparung von zwei Leitungen pro innenliegender Seite eines Quadranten des Speicherzellenfeldes, also von insgesamt $2 \times 2 \times 4 = 16$ Leitungen über dem gesamten Chip des Speichers, indem entsprechende Empfangs- und Sendeschaltungen, die die Initialisierungssignale detektieren und verzögert weitergeben, jeweils an den Enden der Bereiche der einzelnen Fusebänke vorgesehen werden.

[0024] Nachfolgend wird die Erfindung anhand der

Zeichnungen näher erläutert. Es zeigen:

[0025] [Fig. 1](#) eine schematische Darstellung eines Ausführungsbeispiels der erfindungsgemäßen Anordnung,

[0026] [Fig. 2](#) und [Fig. 3](#) zwei verschiedene Varianten des Ausführungsbeispiels von [Fig. 1](#),

[0027] [Fig. 4](#) eine schematische Darstellung einer bestehenden Anordnung,

[0028] [Fig. 5](#) ein Schaltbild einer Fuse F mit einem Latch L, und

[0029] [Fig. 6](#) und [Fig. 7](#) den Verlauf der Versorgungsspannung der Initialisierungssignale in Abhängigkeit von der Zeit in zwei verschiedenen Varianten.

[0030] Die [Fig. 2](#) bis [Fig. 4](#) sind bereits eingangs erläutert worden.

[0031] In den [Fig. 1](#) bis [Fig. 3](#) werden für einander entsprechende Bauteile die gleichen Bezugszeichen wie in den [Fig. 4](#) bis [Fig. 7](#) verwendet.

[0032] [Fig. 1](#) zeigt eine Leitung 14 für das Initialisierungssignal bFPUP, das wie das Initialisierungssignal FPUN von einer Generatoreinrichtung 15 in der Mitte des Speichers ausgegeben ist. Dabei ist für das erste Initialisierungssignal bFPUP und ebenso für das zweite Initialisierungssignal FPUN jeweils nur eine Leitung 14 bzw. 14' längs jeder Fusebank 5 bis 12 geführt, wie dies in Einzelheiten in den [Fig. 2](#) und [Fig. 3](#) für die Fusebank 5 des Quadranten Q1 in zwei Varianten veranschaulicht ist. Am Ende jeder Leitung 14 und 14' ist eine Detektor- bzw. Generatoreinrichtung 16 bzw. 16' vorgesehen, die einen Wechsel des Initialisierungssignales bFPUP beziehungsweise FPUN detektiert und dann das andere Initialisierungssignal FPUN auf der anderen Leitung 14' (vgl. [Fig. 2](#)) oder dieses Initialisierungssignal auf der jeweils gleichen Leitung 14 bzw. 14' (vgl. [Fig. 7](#)) verzögert zu der Generatoreinrichtung 15 zurückgibt. Die Generatoreinrichtung 15 enthält zusätzlich eine Schaltung, die das zurückgesendete Initialisierungssignal detektiert und es zeitlich verzögert in den Bereich der jeweils nächsten Fusebank einspeist.

[0033] Anhand der [Fig. 1](#) und [Fig. 2](#) bzw. der [Fig. 1](#) und [Fig. 3](#) soll der obige Betrieb ausführlicher erläutert werden:

Im Beispiel der [Fig. 1](#) und [Fig. 2](#) wird also beispielsweise zunächst das Initialisierungssignal bFPUP auf der Leitung 14, die der Fusebank 5 zugeordnet ist, bis zu der am Ende dieser Leitung 14 vorgesehenen Detektoreinrichtung 16 geführt. Die Flanke F2 (vgl. [Fig. 6](#)) des Initialisierungssignales bFPUP wird durch die Detektoreinrichtung 16 detektiert. Sodann wird dieses Detektieren der Flanke F2 durch die Detektor-

einrichtung 16 der Detektor- bzw. Generatoreinrichtung 16' gemeldet, die den Puls FPUN in die Leitung 14' einspeist. Die Schaltung in der Generatoreinrichtung 15 detektiert das zurückgesendete Initialisierungssignal FPUN bzw. dessen Flanke F4 und gibt dann das erste Initialisierungssignal bFPUP zeitlich verzögert in die Leitung 14 der nächsten Fusebank 6 ein, für die es dann in gleicher Weise wie für die Fusebank behandelt wird. Der gleiche Vorgang wird so dann entsprechend für die Leitungen 14, 14' der Fusebänke 7 bis 12 wiederholt.

[0034] Bei der Variante der [Fig. 1](#) und [Fig. 3](#) wird davon ausgegangen, dass das erste Initialisierungssignal bFPUP zusammen mit der Versorgungsspannung Vint hochläuft, wie dies in [Fig. 7](#) veranschaulicht ist. Sobald in der Detektor- bzw. Generatoreinrichtung 16 am Ende der Leitung 14 die Ankunft der Flanke F1 des Signales bFPUP von der Generatoreinrichtung 15 festgestellt wird, wird von der Detektor- bzw. Generatoreinrichtung 16 auf der gleichen Leitung 14 die Flanke F2 des Signales bFPUP zu der Generatoreinrichtung 15 zurückgesandt. Trifft die Flanke F2 des Signales bFPUP in der Generatoreinrichtung 15 ein, so wird von dieser auf der Leitung 14' die Flanke F3 des zweiten Initialisierungssignales FPUN zu der Detektor- bzw. Generatoreinrichtung 16' geschickt. Nach Eintreffen der Flanke F3 des Signales FPUN an der Detektor- bzw. Generatoreinrichtung 16' wird die Flanke F4 des Signales FPUN auf der Leitung 14' zu der Generatoreinrichtung 15 zurückgegeben.

[0035] Nachdem die Flanke F4 des Signales FPUN in der Generatoreinrichtung 15 eingetroffen ist, wird für die nächste Fusebank 6 der gleiche Betrieb eingeleitet, wie dieser oben für die Fusebank erläutert ist.

[0036] In einer Weiterbildung der Erfindung ist es auch möglich, die beiden Initialisierungssignale bFPUP und FPUN nicht der Reihe nach die einzelnen Leitungen 14, die den jeweiligen Fusebänken 5 bis 12 zugeordnet sind, und die Detektoreinrichtungen 16, 16' sowie die Schaltung in der Generatoreinrichtung 15 durchlaufen zu lassen, sondern vielmehr das von der Generatoreinrichtung 15 jeweils erzeugte erste beziehungsweise zweite Initialisierungssignal zeitlich verzögert in die Leitungen 14 und 14' der einzelnen Fusebänke 5 bis 12 einzuspeisen. In diesem Fall wird also auf die Detektor- bzw. Generatoreinrichtungen 16, 16' verzichtet. Das erste Initialisierungssignal wird von der Generatoreinrichtung in die Leitung 14 gegeben. Zeitlich kurz danach wird dann das zweite Initialisierungssignal in die Leitung 14' gespeist. Dieser Betrieb wird der Reihe nach für alle Leitungen 14, 14' der Quadranten Q1 bis Q4 durchgeführt.

Bezugszeichenliste

Q1 bis Q4	Speicherzellenfelder
F1 bis F4	Signalflanken
5 bis 12	Fusebänke
14, 14'	Leitungen
15	Generatoreinrichtung
16, 16'	Detektoreinrichtung
T1	n-Kanal-MOS-Feldeffekttransistor
T2	p-Kanal-MOS-Feldeffekttransistor
I1, I2	Inverter
S1, S2	gesteuerte Schalter
A	Ausgang
bFPUP	Erstes Initialisierungssignal
FPUN	Zweites Initialisierungssignal
F	Fuse
L	Latch
Vint	Versorgungsspannung

Patentansprüche

1. Anordnung zur Fuseinitialisierung, mit mindestens einer Fusebank (**5 bis 12**), die mehrere Fuses (**F**) aufweist, in denen Redundanzinformation gespeichert ist, die durch ein erstes und ein zweites durch eine Generatoreinrichtung (**15**) erzeugtes Initialisierungssignal (**bFPUP**, **FPUN**) in jeweils ein jeder Fuse (**F**) zugeordnetes Latch (**L**) auslesbar ist, **dadurch gekennzeichnet**, dass

- ein Speicherzellenfeld (**Q1 bis Q4**) in vier Quadranten vorgesehen ist und längs einander benachbarten Rändern dieser Quadranten (**Q1 bis Q4**) jeweils eine Fusebank (**5 bis 12**) liegt,
- für jeden Quadranten das erste Initialisierungssignal auf einer ersten Leitung (**14**) und das zweite Initialisierungssignal auf einer zweiten, von der ersten Leitung verschiedenen Leitung (**14'**) jeweils seriell zu den Fuses (**F**) geführt ist, und
- jedes Initialisierungssignal (**bFPUP**, **FPUN**) am Beginn und Ende jeder Leitung einer Fusebank zeitlich verzögert ist.

2. Anordnung nach Anspruch 1, dadurch gekennzeichnet, dass das zweite Initialisierungssignal (**FPUN**) auf der zweiten Leitung (**14'**) zurückgeschickt ist ([Fig. 2](#)).

3. Anordnung nach Anspruch 1, dadurch gekennzeichnet, dass an dem der Generatoreinrichtung (**15**) gegenüberliegenden Ende der Leitungen (**14, 14'**) jeweils eine einen (z. B. **F1**) Wechsel des ersten bzw. zweiten Initialisierungssignales detektierende und das Signal verzögert (vgl. **F2**) zurücksendende Detektoreinrichtung (**16, 16'**) vorgesehen ist ([Fig. 3](#)).

4. Anordnung nach Anspruch 1, dadurch gekennzeichnet, dass durch die Generatoreinrichtung (**15**) die zwei Initialisierungssignale (**bFPUP**, **FPUN**) zeitlich verzögert erzeugt sind.

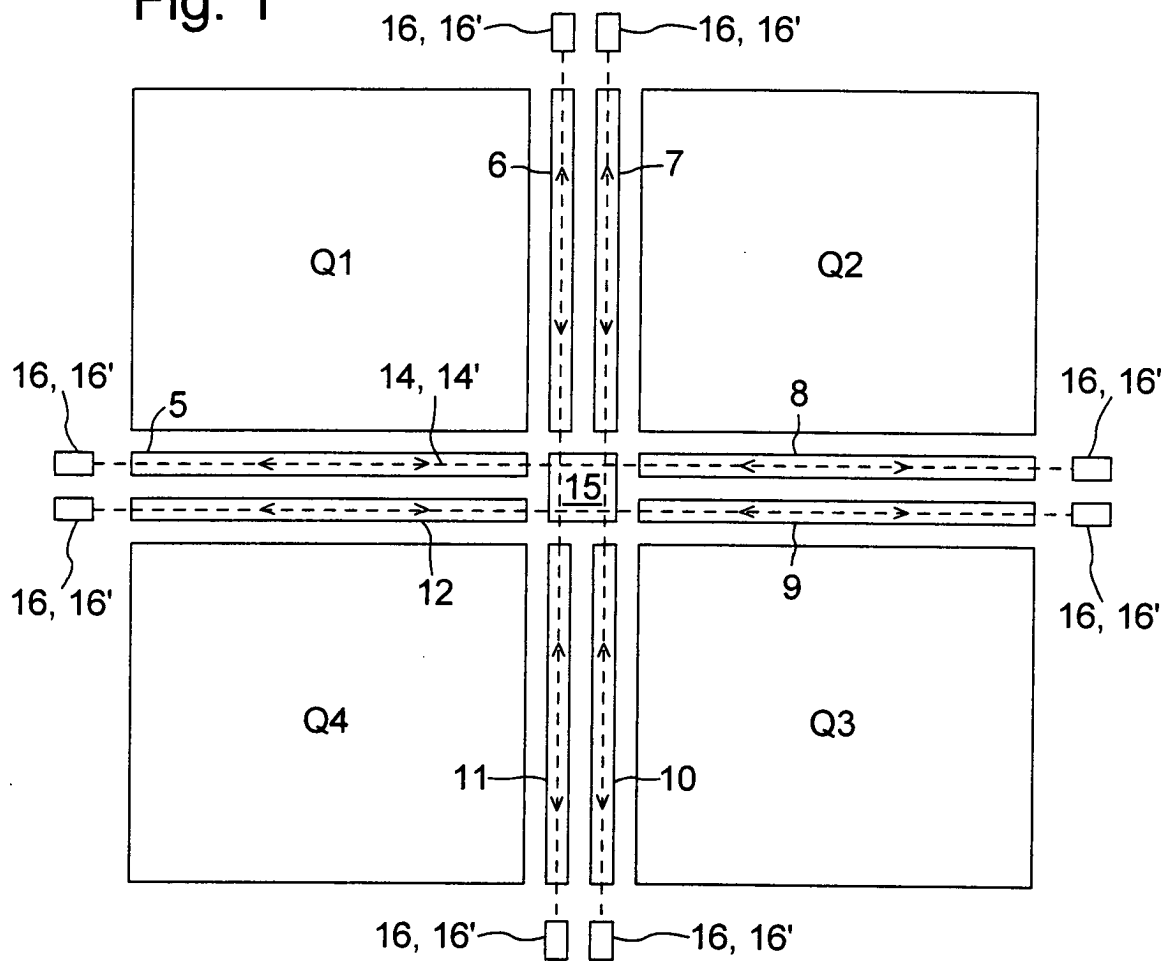
5. Anordnung nach Anspruch 4, dadurch gekennzeichnet, dass jedes Initialisierungssignal (**bFPUP**, **FPUN**) zeitlich verzögert durch die Generatoreinrichtung (**15**) in die jeweilige Leitung jeder Fusebank (**5 bis 12**) eingespeist wird.

6. Anordnung nach Anspruch 2, dadurch gekennzeichnet, dass das erste Initialisierungssignal (**bFPUP**) auf der ersten Leitung (**14**) zu einer am Ende dieser Leitung vorgesehenen ersten Detektoreinrichtung (**16**) gespeist ist und dass eine am Ende der zweiten Leitung (**14'**) angeordnete zweite Detektor- und Generatoreinrichtung (**16'**) nach Eintreffen des ersten Signales (**bFPUP**) bei der ersten Detektoreinrichtung (**16**) das zweite Initialisierungssignal (**FPUN**) auf der zweiten Leitung (**14'**) zu der Generatoreinrichtung (**15**) sendet.

7. Anordnung nach Anspruch 3, dadurch gekennzeichnet, dass die Detektoreinrichtungen (**16, 16'**) eine erste Flanke im ersten bzw. zweiten von der Generatoreinrichtung gelieferten Initialisierungssignal (**bFPUP**, **FPUN**) detektieren und dann eine zweite Flanke desselben Initialisierungssignales auf derselben Leitung zurücksenden.

Es folgen 4 Blatt Zeichnungen

Fig. 1



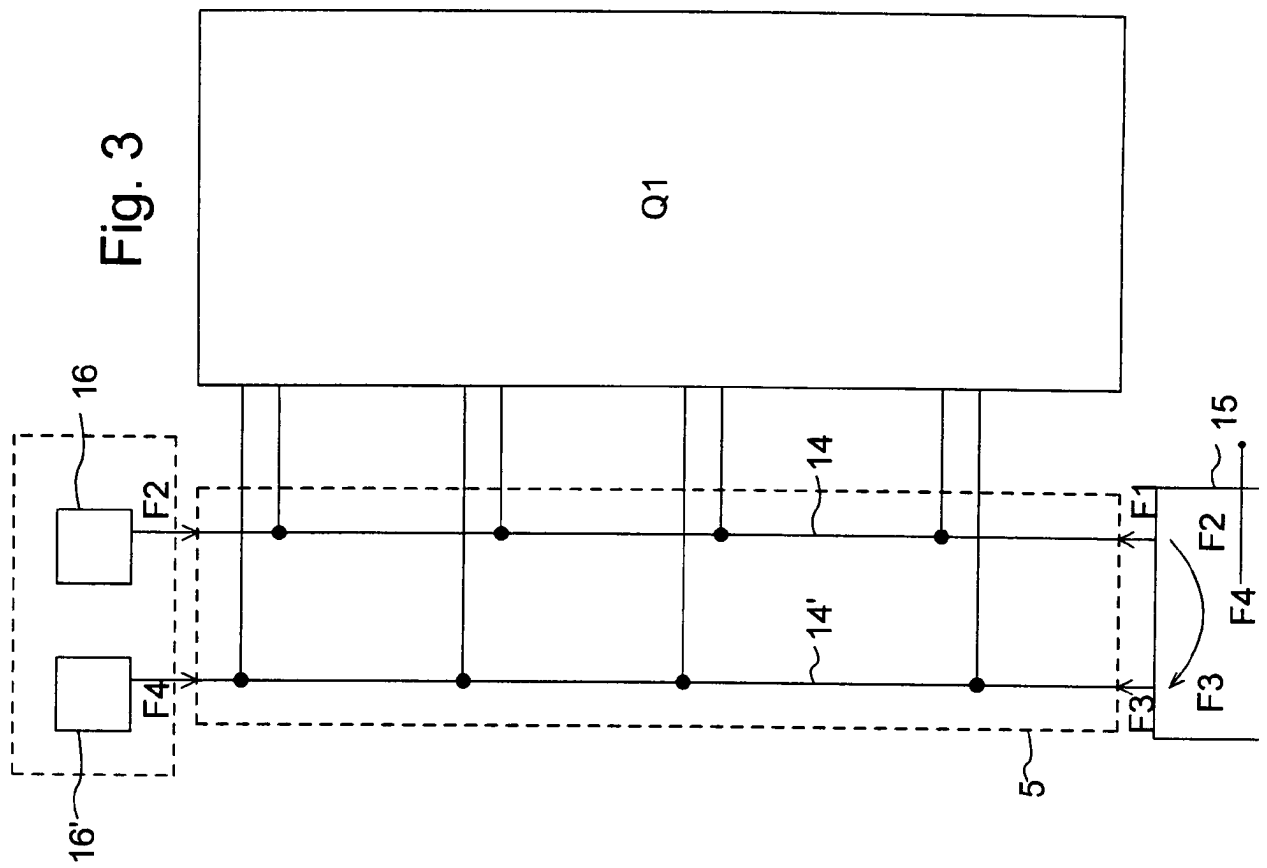
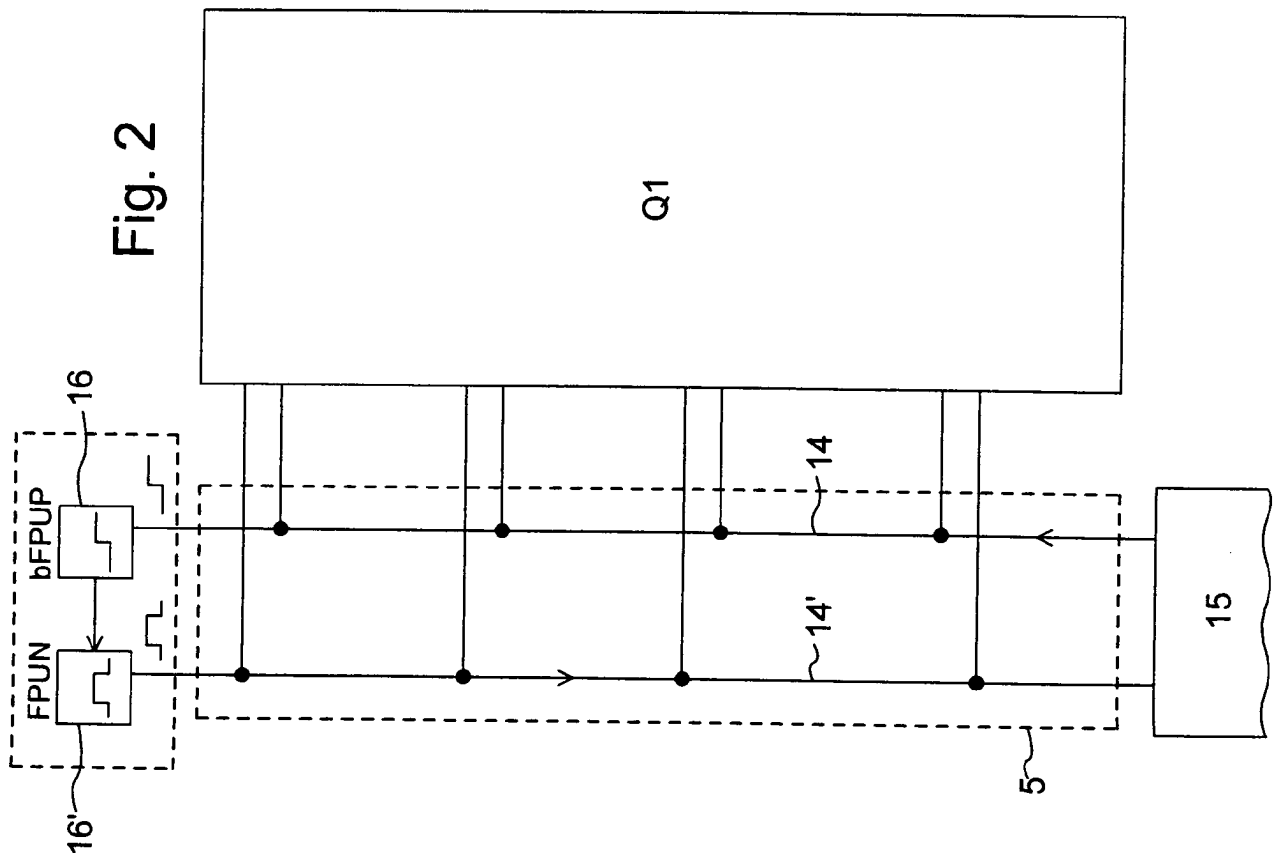


Fig. 4

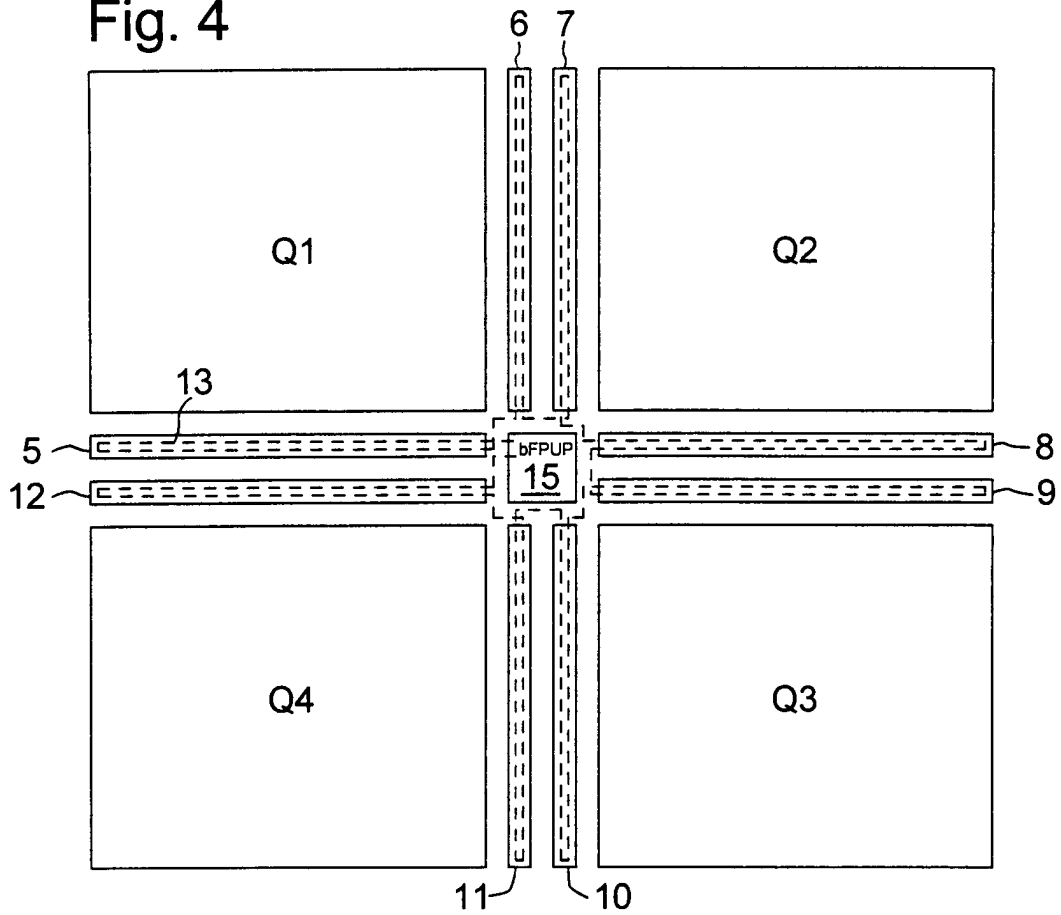


Fig. 5

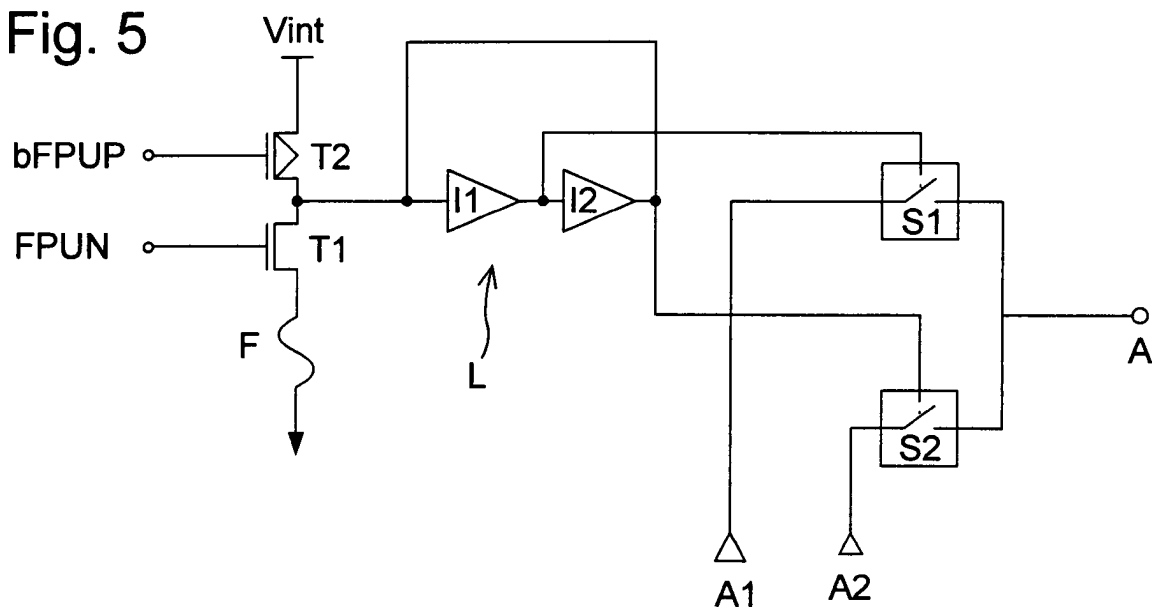


Fig. 6

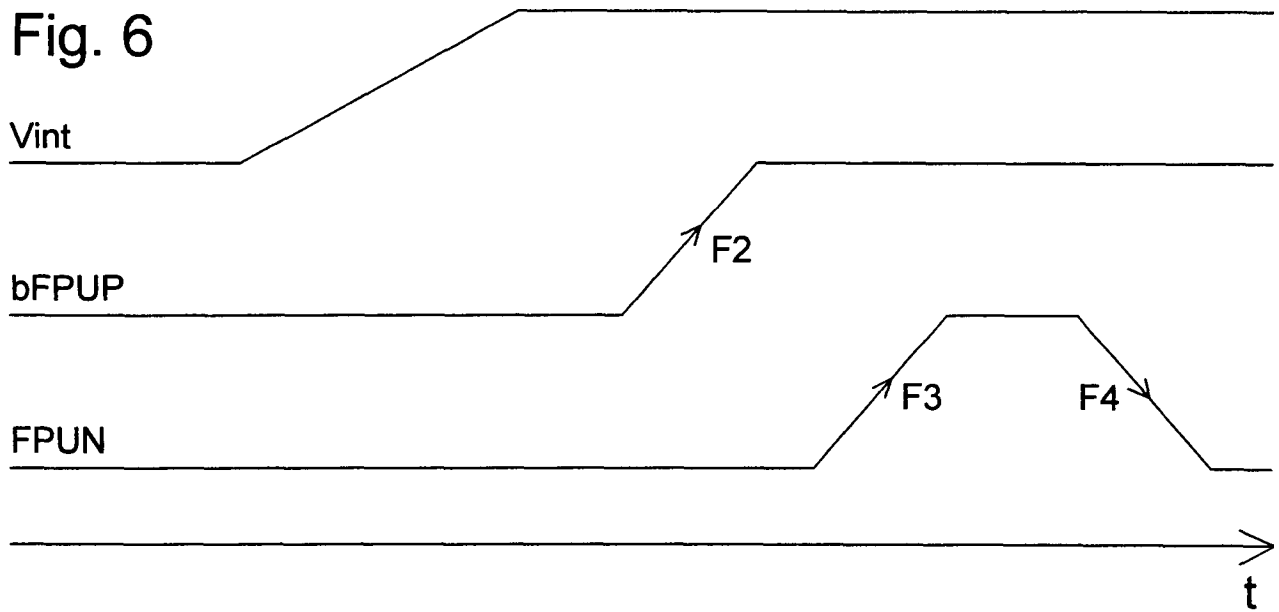


Fig. 7

