

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7516392号
(P7516392)

(45)発行日 令和6年7月16日(2024.7.16)

(24)登録日 令和6年7月5日(2024.7.5)

(51)国際特許分類			F I		
H O 1 L	25/07	(2006.01)	H O 1 L	25/04	C
H O 1 L	25/18	(2023.01)	H O 2 M	7/48	M
H O 2 M	7/48	(2007.01)	H O 2 M	1/00	Z
H O 2 M	1/00	(2007.01)			
請求項の数 20 (全88頁)					
(21)出願番号	特願2021-540724(P2021-540724)		(73)特許権者	000116024	
(86)(22)出願日	令和2年8月6日(2020.8.6)			ローム株式会社	
(86)国際出願番号	PCT/JP2020/030190			京都府京都市右京区西院溝崎町2 1 番地	
(87)国際公開番号	WO2021/033565		(74)代理人	100105957	
(87)国際公開日	令和3年2月25日(2021.2.25)			弁理士 恩田 誠	
審査請求日	令和5年6月7日(2023.6.7)		(74)代理人	100068755	
(31)優先権主張番号	特願2019-150978(P2019-150978)			弁理士 恩田 博宣	
(32)優先日	令和1年8月21日(2019.8.21)		(72)発明者	小野寺 健一	
(33)優先権主張国・地域又は機関	日本国(JP)			京都府京都市右京区西院溝崎町2 1 番地	
			(72)発明者	高橋 聡一郎	
				京都府京都市右京区西院溝崎町2 1 番地	
				ローム株式会社内	
			審査官	正山 旭	
				最終頁に続く	

(54)【発明の名称】 パワーモジュール

(57)【特許請求の範囲】

【請求項1】
厚さ方向において互いに反対側を向く基板主面及び基板裏面を有し、電気絶縁性を有する基板と、
前記基板主面に形成された各々導電性を有する搭載層、制御層、及び駆動層と、
前記搭載層に搭載されているものであって、前記搭載層と電氣的に接続された第1 駆動電極が形成された素子裏面と、第2 駆動電極及び制御電極が形成された素子主面と、を有するパワー半導体素子と、
前記制御電極と前記制御層とを接続する制御側接続部材と、
前記第2 駆動電極と前記駆動層とを接続する駆動側接続部材と、
前記制御層と電氣的に接続されている制御端子と、
前記駆動層と電氣的に接続されている検出端子と、
を備えたパワーモジュールであって、
前記パワー半導体素子は、前記厚さ方向からみて一方向に配列された状態で前記搭載層に設けられた複数のパワー半導体素子のうちの1 つであり、
前記制御側接続部材は、各々前記複数のパワー半導体素子の1 つに対応する複数の制御側接続部材のうちの1 つであり、
前記駆動側接続部材は、各々前記複数のパワー半導体素子の1 つに対応する複数の駆動側接続部材のうちの1 つであり、
前記制御電極及び前記制御端子間の経路を第1 導電経路とし、前記第2 駆動電極及び前

記検出端子間の経路を第 2 導電経路とし、

前記制御層及び前記駆動層の少なくとも一方は、前記第 1 導電経路の長さと同記第 2 導電経路の長さとの和が前記複数のパワー半導体素子の間で互いに近づくように迂回する迂回部を有する

パワーモジュール。

【請求項 2】

厚さ方向において互いに反対側を向く基板主面及び基板裏面を有し、電気絶縁性を有する基板と、

前記基板主面に形成された各々導電性を有する搭載層、制御層、及び駆動層と、

前記搭載層に搭載されているものであって、前記搭載層と電氣的に接続された第 1 駆動電極が形成された素子裏面と、第 2 駆動電極及び制御電極が形成された素子主面と、を有し、前記厚さ方向からみて一方向に配列された状態で前記搭載層に搭載された複数のパワー半導体素子と、

前記複数のパワー半導体素子の前記制御電極と前記制御層とを接続するものであって、前記複数のパワー半導体素子の配列方向と同一方向に並んだ複数の制御側接続部材と、

前記複数のパワー半導体素子の前記第 2 駆動電極と前記駆動層とを接続するものであって、前記複数のパワー半導体素子の配列方向と同一方向に並んだ複数の駆動側接続部材と、

前記制御層と電氣的に接続されている制御端子と、

前記駆動層と電氣的に接続されている検出端子と、

を備えたパワーモジュールであって、

前記複数のパワー半導体素子は、前記配列方向の両端にある第 1 端パワー半導体素子及び第 2 端パワー半導体素子を含み、

前記第 1 端パワー半導体素子の前記制御電極及び前記制御端子間の経路を第 1 制御側導電経路とし、前記第 1 端パワー半導体素子の前記第 2 駆動電極及び前記検出端子間の経路を第 1 駆動側導電経路とし、前記第 1 制御側導電経路の長さと同記第 1 駆動側導電経路の長さとの和を第 1 和とし、

前記第 2 端パワー半導体素子の前記制御電極及び前記制御端子間の経路を第 2 制御側導電経路とし、前記第 2 端パワー半導体素子の前記第 2 駆動電極及び前記検出端子間の経路を第 2 駆動側導電経路とし、前記第 2 制御側導電経路の長さと同記第 2 駆動側導電経路の長さとの和を第 2 和とすると、

前記制御層及び前記駆動層の少なくとも一方は、前記第 1 和と同記第 2 和とが互いに近づくように導電経路を迂回させる迂回部を有する

パワーモジュール。

【請求項 3】

前記一方向を第 1 方向とし、前記厚さ方向からみて前記第 1 方向と交差する方向を第 2 方向とすると、

前記制御層及び前記駆動層はそれぞれ、前記第 1 方向に延びる配線部を有し、

前記迂回部は、前記第 2 方向において前記配線部と離間して配置されており、前記第 1 方向に延びている

請求項 1 又は 2 に記載のパワーモジュール。

【請求項 4】

前記制御層及び前記駆動層の少なくとも一方は、前記迂回部と前記配線部とを連結する連結部を有し、

前記配線部、前記迂回部、及び前記連結部は、一体に形成された単一部材からなる

請求項 3 に記載のパワーモジュール。

【請求項 5】

前記制御層及び前記駆動層の少なくとも一方は、前記迂回部と前記配線部とを連結する連結部を有し、

前記連結部は、ワイヤからなる

請求項 3 に記載のパワーモジュール。

10

20

30

40

50

【請求項 6】

前記駆動層は、前記制御層よりも前記搭載層側に配置されている

請求項 1～5 のいずれか一項に記載のパワーモジュール。

【請求項 7】

前記制御層は、前記迂回部を有し、

前記迂回部は、前記制御層の配線部に対して前記駆動層とは反対側に配置されている

請求項 6 に記載のパワーモジュール。

【請求項 8】

前記駆動層は、前記迂回部を有し、

前記迂回部は、前記制御層に対して前記搭載層とは反対側に配置されている

請求項 6 に記載のパワーモジュール。

10

【請求項 9】

前記迂回部には、前記制御側接続部材及び前記駆動側接続部材が接続されていない

請求項 1～8 のいずれか一項に記載のパワーモジュール。

【請求項 10】

前記一方向を第 1 方向とし、前記厚さ方向からみて前記第 1 方向と交差する方向を第 2 方向とすると、

前記厚さ方向からみて、前記制御側接続部材及び前記駆動側接続部材の少なくとも一方は、前記第 2 方向に延びている

請求項 1～9 のいずれか一項に記載のパワーモジュール。

20

【請求項 11】

前記制御端子と前記制御層とは、制御端子側接続部材によって電氣的に接続されており、

前記検出端子と前記駆動層とは、検出端子側接続部材によって電氣的に接続されている

請求項 1～10 のいずれか一項に記載のパワーモジュール。

【請求項 12】

前記制御層は、前記迂回部と、前記迂回部の先端部に形成されて前記制御端子側接続部材が接続されている第 1 接続部とを有する

請求項 11 に記載のパワーモジュール。

【請求項 13】

前記駆動層は、前記迂回部と、前記迂回部の先端部に形成されて前記検出端子側接続部材が接続されている第 2 接続部とを有する

請求項 11 又は 12 に記載のパワーモジュール。

30

【請求項 14】

前記基板は、第 1 基板及び第 2 基板を有し、

前記第 1 基板及び前記第 2 基板の前記基板主面にはそれぞれ、前記搭載層、前記制御層、及び前記駆動層が配置されており、

前記第 1 基板の前記搭載層及び前記第 2 基板の前記搭載層にはそれぞれ、前記複数のパワー半導体素子が前記一方向に配列されており、

前記第 1 基板及び前記第 2 基板は、前記一方向に互いに離間して配列されており、

前記第 1 基板の前記搭載層と前記第 2 基板の前記搭載層とは、搭載層接続部材によって電氣的に接続されており、

40

前記第 1 基板の前記制御層と前記第 2 基板の前記制御層とは、制御層接続部材によって電氣的に接続されており、

前記第 1 基板の前記駆動層と前記第 2 基板の前記駆動層とは、駆動層接続部材によって電氣的に接続されており、

前記第 1 基板の前記制御層及び前記駆動層の一方は、前記迂回部を有し、

前記第 2 基板の前記制御層及び前記駆動層の他方は、前記迂回部を有する

請求項 1～13 のいずれか一項に記載のパワーモジュール。

【請求項 15】

前記一方向を第 1 方向とし、前記厚さ方向からみて前記第 1 方向と交差する方向を第 2

50

方向とすると、

前記第 2 方向からみて、前記制御端子及び前記検出端子はそれぞれ、前記第 2 基板と重なるように配置されている

請求項 1 4 に記載のパワーモジュール。

【請求項 1 6】

前記パワー半導体素子は、S i C M O S F E T からなり、

前記第 1 駆動電極はドレイン電極であり、前記第 2 駆動電極はソース電極であり、前記制御電極はゲート電極である

請求項 1 ～ 1 5 のいずれか一項に記載のパワーモジュール。

【請求項 1 7】

厚さ方向において互いに反対側を向く基板主面及び基板裏面を有し、電気絶縁性を有する基板と、

前記基板主面に形成された各々導電性を有する第 1 制御層、第 2 制御層、第 1 駆動層、第 2 駆動層、第 1 搭載層、第 2 搭載層、及び導電層と、

前記第 1 搭載層に搭載されるものであって、第 1 入力端子に電氣的に接続される第 1 駆動電極が形成された第 1 素子裏面と、出力端子に電氣的に接続される第 2 駆動電極、及び、制御電極が形成された第 1 素子主面と、を有する第 1 パワー半導体素子と、

前記第 2 搭載層に搭載されるものであって、前記出力端子に電氣的に接続される第 1 駆動電極が形成された第 2 素子裏面と、第 2 入力端子に電氣的に接続される第 2 駆動電極、及び、制御電極が形成された第 2 素子主面と、を有する第 2 パワー半導体素子と、

前記第 1 パワー半導体素子の制御電極と前記第 1 制御層とを接続する第 1 制御側接続部材と、

前記第 1 パワー半導体素子の第 2 駆動電極と前記第 1 駆動層とを接続する第 1 駆動側接続部材と、

前記第 2 パワー半導体素子の制御電極と前記第 2 制御層とを接続する第 2 制御側接続部材と、

前記第 2 パワー半導体素子の第 2 駆動電極と前記第 2 駆動層とを接続する第 2 駆動側接続部材と、

前記第 1 制御層と電氣的に接続されている第 1 制御端子と、

前記第 2 制御層と電氣的に接続されている第 2 制御端子と、

前記第 1 駆動層と電氣的に接続されている第 1 検出端子と、

前記第 2 駆動層と電氣的に接続されている第 2 検出端子と、

を備えたパワーモジュールであって、

前記第 1 パワー半導体素子は、前記厚さ方向からみて一方向に配列された状態で前記第 1 搭載層に設けられた複数の第 1 パワー半導体素子のうちの 1 つであり、

前記第 1 制御側接続部材は、各々前記複数の第 1 パワー半導体素子の 1 つに対応する複数の第 1 制御側接続部材のうちの 1 つであり、

前記第 1 駆動側接続部材は、各々前記複数の第 1 パワー半導体素子の 1 つに対応する複数の第 1 駆動側接続部材のうちの 1 つであり、

前記第 1 パワー半導体素子の制御電極及び前記第 1 制御端子間の経路を第 1 導電経路とし、前記第 1 パワー半導体素子の第 2 駆動電極及び前記第 1 検出端子間の経路を第 2 導電経路とし、

前記第 1 制御層及び前記第 1 駆動層の少なくとも一方は、前記第 1 導電経路の長さと同様に迂回する第 1 迂回部を有する

パワーモジュール。

【請求項 1 8】

前記第 2 パワー半導体素子は、前記厚さ方向からみて前記一方向に配列された状態で前記第 2 搭載層に設けられた複数の第 2 パワー半導体素子のうちの 1 つであり、

前記第 2 制御側接続部材は、各々前記複数の第 2 パワー半導体素子の 1 つに対応する複

10

20

30

40

50

数の第 2 制御側接続部材のうちの 1 つであり、

前記第 2 駆動側接続部材は、各々前記複数の第 2 パワー半導体素子の 1 つに対応する複数の第 2 駆動側接続部材のうちの 1 つであり、

前記第 2 パワー半導体素子の制御電極及び前記第 2 制御端子間の経路を第 3 導電経路とし、前記第 2 パワー半導体素子の第 2 駆動電極及び前記第 2 検出端子間の経路を第 4 導電経路とし、

前記第 2 制御層及び前記第 2 駆動層の少なくとも一方は、前記第 3 導電経路の長さと同前記第 4 導電経路の長さとの和が前記複数の第 2 パワー半導体素子の間で互いに近づくように迂回する第 2 迂回部を有する

請求項 17 に記載のパワーモジュール。

10

【請求項 19】

前記複数の第 1 パワー半導体素子は、前記複数の第 1 パワー半導体素子の配列方向の両端にある第 1 端パワー半導体素子及び第 2 端パワー半導体素子を含み、

前記複数の第 2 パワー半導体素子は、前記複数の第 2 パワー半導体素子の配列方向の両端にある第 1 端パワー半導体素子及び第 2 端パワー半導体素子を含み、

前記複数の第 1 パワー半導体素子のうちの前記第 1 端パワー半導体素子の前記制御電極及び前記第 1 制御端子間の経路を第 1 端制御側導電経路とし、前記複数の第 1 パワー半導体素子のうちの前記第 1 端パワー半導体素子の前記第 2 駆動電極及び前記第 1 検出端子間の経路を第 1 端駆動側導電経路とし、前記第 1 端制御側導電経路の長さと同前記第 1 端駆動側導電経路の長さとの和を第 1 和とし、

20

前記複数の第 1 パワー半導体素子のうちの前記第 2 端パワー半導体素子の前記制御電極及び前記第 1 制御端子間の経路を第 2 端制御側導電経路とし、前記複数の第 1 パワー半導体素子のうちの前記第 2 端パワー半導体素子の前記第 2 駆動電極及び前記第 1 検出端子間の経路を第 2 端駆動側導電経路とし、前記第 2 端制御側導電経路の長さと同前記第 2 端駆動側導電経路の長さとの和を第 2 和とし、

前記複数の第 2 パワー半導体素子のうちの前記第 1 端パワー半導体素子の前記制御電極及び前記第 2 制御端子間の経路を第 3 端制御側導電経路とし、前記複数の第 2 パワー半導体素子のうちの前記第 1 端パワー半導体素子の前記第 2 駆動電極及び前記第 2 検出端子間の経路を第 3 端駆動側導電経路とし、前記第 3 端制御側導電経路の長さと同前記第 3 端駆動側導電経路の長さとの和を第 3 和とし、

30

前記複数の第 2 パワー半導体素子のうちの前記第 2 端パワー半導体素子の前記制御電極及び前記第 2 制御端子間の経路を第 4 端制御側導電経路とし、前記複数の第 2 パワー半導体素子のうちの前記第 2 端パワー半導体素子の前記第 2 駆動電極及び前記第 2 検出端子間の経路を第 4 端駆動側導電経路とし、前記第 4 端制御側導電経路の長さと同前記第 4 端駆動側導電経路の長さとの和を第 4 和とすると、

前記第 1 迂回部は、前記第 1 和と同前記第 2 和とが互いに近づくように配置されており、

前記第 2 迂回部は、前記第 3 和と同前記第 4 和とが互いに近づくように配置されている

請求項 18 に記載のパワーモジュール。

【請求項 20】

前記一方向を第 1 方向とし、前記厚さ方向からみて前記第 1 方向と交差する方向を第 2 方向とすると、

40

前記第 1 制御層及び前記第 1 駆動層はそれぞれ、前記第 1 方向に延びる第 1 配線部を有し、

前記第 1 迂回部は、前記第 2 方向において前記第 1 配線部と離間して配置されており、前記第 1 方向に延びており、

前記第 2 制御層及び前記第 2 駆動層はそれぞれ、前記第 1 方向に延びる第 2 配線部を有し、

前記第 2 迂回部は、前記第 2 方向において前記第 2 配線部と離間して配置されており、前記第 1 方向に延びている

請求項 18 又は 19 に記載のパワーモジュール。

50

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、パワーモジュールに関する。

【背景技術】

【0002】

上記パワーモジュールの一例として、インバータ装置として構成されるパワーモジュールが知られている（例えば、特許文献1参照）。このパワーモジュールは、I G B T（Insulated Gate Bipolar Transistor）やM O S F E T（Metal Oxide Semiconductor Field Effect Transistor）などのトランジスタからなるパワー半導体素子を備える。

10

【先行技術文献】

【特許文献】

【0003】

【文献】特開2012-38803号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

ところで、大電流を供給する用途のパワーモジュールでは、複数のパワー半導体素子を並列に接続した第1素子群と、複数のパワー半導体素子を並列に接続した第2素子群とを直列に接続することによって構成される場合がある。第1素子群を構成する複数のパワー半導体素子の制御端子には、パワーモジュールの1つの制御端子から制御電圧が供給され、第2素子群を構成する複数のパワー半導体素子の制御端子には、パワーモジュールの他の制御端子から制御電圧が供給される。この場合、例えば、第1素子群を構成するパワー半導体素子の配置位置によって、各パワー半導体素子の制御電極と、パワーモジュールの制御端子との間のインダクタンス値にばらつきが生じる。これにより、複数のパワー半導体素子のオンオフのタイミングがばらつくため、動作が不安定となるおそれがある。なお、第2素子群におけるパワー半導体素子についても第1素子群におけるパワー半導体素子と同様の問題が生じ得る。

20

【0005】

本開示の目的は、安定して動作できるパワーモジュールを提供することにある。

30

【課題を解決するための手段】

【0006】

上記課題を解決するパワーモジュールは、厚さ方向において互いに反対側を向く基板主面及び基板裏面を有し、電気絶縁性を有する基板と、前記基板主面に形成された各々導電性を有する搭載層、制御層、及び駆動層と、前記搭載層に搭載されているものであって、前記搭載層と電氣的に接続された第1駆動電極が形成された素子裏面と、第2駆動電極及び制御電極が形成された素子主面と、を有するパワー半導体素子と、前記制御電極と前記制御層とを接続する制御側接続部材と、前記第2駆動電極と前記駆動層とを接続する駆動側接続部材と、前記制御層と電氣的に接続されている制御端子と、前記駆動層と電氣的に接続されている検出端子と、を備えたパワーモジュールであって、前記パワー半導体素子は、前記厚さ方向からみて一方向に配列された状態で前記搭載層に設けられた複数のパワー半導体素子のうちの1つであり、前記制御側接続部材は、各々前記複数のパワー半導体素子の1つに対応する複数の制御側接続部材のうちの1つであり、前記駆動側接続部材は、各々前記複数のパワー半導体素子の1つに対応する複数の駆動側接続部材のうちの1つであり、前記制御電極及び前記制御端子間の経路を第1導電経路とし、前記第2駆動電極及び前記検出端子間の経路を第2導電経路とし、前記制御層及び前記駆動層の少なくとも一方は、前記第1導電経路の長さと同記第2導電経路の長さとの和が前記複数のパワー半導体素子の間で互いに近づくように迂回する迂回部を有する。

40

【0007】

制御端子と検出端子との間の電圧が制御電圧として制御電極に印加されるため、制御電

50

極への制御電圧の印加タイミングは、制御電極及び制御端子間の第1導電経路のインダクタンス値と第2駆動電極及び検出端子間の第2導電経路のインダクタンス値との合計のインダクタンス値に応じて決められる。第1導電経路のインダクタンス値は第1導電経路の長さによって主に決められ、第2導電経路のインダクタンス値は第2導電経路の長さによって主に決められる。このため、第1導電経路の長さとの合計の長さの複数のパワー半導体素子の間でのばらつきを抑えることによって、上記合計のインダクタンス値の複数のパワー半導体素子の間でのばらつきを抑制できる。

【0008】

そこで、本パワーモジュールでは、迂回部によって第1導電経路の長さとの和を複数のパワー半導体素子の間で互いに近づけるように構成している。これにより、第1導電経路の長さとの合計の長さの複数のパワー半導体素子の間でのばらつきを抑制できるため、上記合計のインダクタンス値の複数のパワー半導体素子の間でのばらつきを抑制できる。したがって、複数のパワー半導体素子のオンオフのタイミングがばらつきを抑制できるため、パワーモジュールを安定して動作できる。

【0009】

上記課題を解決するパワーモジュールは、厚さ方向において互いに反対側を向く基板主面及び基板裏面を有し、電気絶縁性を有する基板と、前記基板主面に形成された各々導電性を有する搭載層、制御層、及び駆動層と、前記搭載層に搭載されているものであって、前記搭載層と電気的に接続された第1駆動電極が形成された素子裏面と、第2駆動電極及び制御電極が形成された素子主面と、を有し、前記厚さ方向からみて一方向に配列された状態で前記搭載層に搭載された複数のパワー半導体素子と、前記複数のパワー半導体素子の前記制御電極と前記制御層とを接続するものであって、前記複数のパワー半導体素子の配列方向と同一方向に並んだ複数の制御側接続部材と、前記複数のパワー半導体素子の前記第2駆動電極と前記駆動層とを接続するものであって、前記複数のパワー半導体素子の配列方向と同一方向に並んだ複数の駆動側接続部材と、前記制御層と電気的に接続されている制御端子と、前記駆動層と電気的に接続されている検出端子と、を備えたパワーモジュールであって、前記複数のパワー半導体素子は、前記配列方向の両端にある第1端パワー半導体素子及び第2端パワー半導体素子を含み、前記第1端パワー半導体素子の前記制御電極及び前記制御端子間の経路を第1制御側導電経路とし、前記第1端パワー半導体素子の前記第2駆動電極及び前記検出端子間の経路を第1駆動側導電経路とし、前記第1制御側導電経路の長さとの合計の長さの第1和とし、前記第2端パワー半導体素子の前記制御電極及び前記制御端子間の経路を第2制御側導電経路とし、前記第2端パワー半導体素子の前記第2駆動電極及び前記検出端子間の経路を第2駆動側導電経路とし、前記第2制御側導電経路の長さとの合計の長さの第2和とすると、前記制御層及び前記駆動層の少なくとも一方は、前記第1和と前記第2和とが互いに近づくように導電経路を迂回させる迂回部を有する。

【0010】

制御端子と検出端子との間の電圧が制御電圧として制御電極に印加されるため、制御電極への制御電圧の印加タイミングは、制御電極及び制御端子間の導電経路のインダクタンス値と第2駆動電極及び検出端子間の導電経路のインダクタンス値との合計のインダクタンス値に応じて決められる。制御電極及び制御端子間の導電経路のインダクタンス値は制御電極及び制御端子間の導電経路の長さによって主に決められ、第2駆動電極及び検出端子間の導電経路のインダクタンス値は第2駆動電極及び検出端子間の導電経路の長さによって主に決められる。このため、制御電極及び制御端子間の導電経路の長さとの合計の長さの複数のパワー半導体素子の間でのばらつきを抑えることによって、複数のパワー半導体素子における上記合計のインダクタンス値のばらつきを抑制できる。

【0011】

また、制御電極及び制御端子間の導電経路の長さ及び第2駆動電極及び検出端子間の導電経路のばらつきはそれぞれ、複数のパワー半導体素子の配列方向において両端のパワー

10

20

30

40

50

半導体素子（第1端パワー半導体素子及び第2端パワー半導体素子）の間で最大になると考えられる。

【0012】

そこで、本パワーモジュールでは、迂回部によって第1端パワー半導体素子の第1端制御側導電経路の長さとの和である第1和と、第2端パワー半導体素子の第2端制御側導電経路の長さとの和である第2和とが互いに近づくように構成している。これにより、第1端制御側導電経路におけるインダクタンス値及び第1端駆動側導電経路におけるインダクタンス値の合計のインダクタンス値と、第2端制御側導電経路におけるインダクタンス値及び第2端駆動側導電経路におけるインダクタンス値の合計のインダクタンス値とのばらつきを抑制できる。したがって、複数のパワー半導体素子のうちの最もインダクタンス値がばらつく第1端パワー半導体素子と第2端パワー半導体素子とのオンオフのタイミングのばらつきを抑制できるため、パワーモジュールを安定して動作できる。

【0013】

上記課題を解決するパワーモジュールは、厚さ方向において互いに反対側を向く基板主面及び基板裏面を有し、電気絶縁性を有する基板と、前記基板主面に形成された各々導電性を有する第1制御層、第2制御層、第1駆動層、第2駆動層、第1搭載層、第2搭載層、及び導電層と、前記第1搭載層に搭載されるものであって、第1入力端子に電氣的に接続される第1駆動電極が形成された第1素子裏面と、出力端子に電氣的に接続される第2駆動電極、及び、制御電極が形成された第1素子主面と、を有する第1パワー半導体素子と、前記第2搭載層に搭載されるものであって、前記出力端子に電氣的に接続される第1駆動電極が形成された第2素子裏面と、第2入力端子に電氣的に接続される第2駆動電極、及び、制御電極が形成された第2素子主面と、を有する第2パワー半導体素子と、前記第1パワー半導体素子の制御電極と前記第1制御層とを接続する第1制御側接続部材と、前記第1パワー半導体素子の第2駆動電極と前記第1駆動層とを接続する第1駆動側接続部材と、前記第2パワー半導体素子の制御電極と前記第2制御層とを接続する第2制御側接続部材と、前記第2パワー半導体素子の第2駆動電極と前記第2駆動層とを接続する第2駆動側接続部材と、前記第1制御層と電氣的に接続されている第1制御端子と、前記第2制御層と電氣的に接続されている第2制御端子と、前記第1駆動層と電氣的に接続されている第1検出端子と、前記第2駆動層と電氣的に接続されている第2検出端子と、を備えたパワーモジュールであって、前記第1パワー半導体素子は、前記厚さ方向からみて一方向に配列された状態で前記第1搭載層に設けられた複数の第1パワー半導体素子のうちの1つであり、前記第1制御側接続部材は、各々前記複数の第1パワー半導体素子の1つに対応する複数の第1制御側接続部材のうちの1つであり、前記第1駆動側接続部材は、各々前記複数の第1パワー半導体素子の1つに対応する複数の第1駆動側接続部材のうちの1つであり、前記第1パワー半導体素子の制御電極及び前記第1制御端子間の経路を第1導電経路とし、前記第1パワー半導体素子の第2駆動電極及び前記第1検出端子間の経路を第2導電経路とし、前記第1制御層及び前記第1駆動層の少なくとも一方は、前記第1導電経路の長さとの和が前記複数の第1パワー半導体素子の間で互いに近づくように迂回する第1迂回部を有する。

【0014】

第1制御端子及び第1検出端子間の電圧が制御電圧として第1パワー半導体素子の制御電極に印加されるため、第1パワー半導体素子の制御電極への制御電圧の印加タイミングは、第1パワー半導体素子の制御電極及び第1制御端子間のインダクタンス値と第1パワー半導体素子の第2駆動電極及び第1検出端子間のインダクタンス値との合計のインダクタンス値に応じて決められる。第1パワー半導体素子の制御電極及び第1制御端子間のインダクタンス値は第1導電経路の長さによって主に決められ、第1パワー半導体素子の第2駆動電極及び第1検出端子間のインダクタンス値は第2導電経路の長さによって主に決められる。このため、第1導電経路の長さとの合計の長さの複数の第1パワー半導体素子の間でのばらつきを抑えることによって、上記合計のインダクタン

ス値の複数の第1パワー半導体素子の間でのばらつきを抑制できる。

【0015】

そこで、本パワーモジュールでは、第1迂回部によって第1導電経路の長さ第2導電経路の長さとの和を複数の第1パワー半導体素子について互いに近づけるように構成している。これにより、第1導電経路の長さ第2導電経路の長さとの合計の長さの複数の第1パワー半導体素子の間でのばらつきを抑制できるため、上記合計のインダクタンス値の複数の第1パワー半導体素子の間でのばらつきを抑制できる。したがって、複数の第1パワー半導体素子のオンオフのタイミングがばらつきを抑制できるため、パワーモジュールを安定して動作できる。

【発明の効果】

10

【0016】

上記パワーモジュールは、安定して動作できる。

【図面の簡単な説明】

【0017】

【図1】第1実施形態のパワーモジュールの斜視図。

【図2】図1のパワーモジュールの平面図。

【図3】図1のパワーモジュールの側面図。

【図4】図1のパワーモジュールについて、図3とは異なる方向からみた側面図。

【図5】図1のパワーモジュールについて、図3及び図4とは異なる方向からみた側面図。

【図6】図1のパワーモジュールの底面図。

20

【図7】図1のパワーモジュールの内部構造を示す平面図。

【図8】図1のパワーモジュールの回路構成を示す回路図。

【図9】図7の9-9線の断面図。

【図10】図7の10-10線の断面図。

【図11】図7の一部の拡大図。

【図12】図7の一部の拡大図。

【図13】図7の一部の拡大図。

【図14】図7の一部の拡大図。

【図15】図14の一部の拡大図。

【図16】図14の一部の拡大図。

30

【図17】図7の一部の拡大図。

【図18】図17の一部の拡大図。

【図19】図17の一部の拡大図。

【図20】比較例のパワーモジュールの内部構造を示す平面図。

【図21】図20の一部の拡大図。

【図22】図20の一部の拡大図。

【図23】第1実施形態のパワーモジュール及び比較例のパワーモジュールについて、各パワー半導体素子と、各パワー半導体素子のインダクタンス値との関係を示すグラフ。

【図24】比較例のパワーモジュールの所定のパワー半導体素子のゲート電極に印加される電圧の一例を示すグラフ。

40

【図25】本実施形態のパワーモジュールの所定のパワー半導体素子のゲート電極に印加される電圧の一例を示すグラフ。

【図26】第2実施形態のパワーモジュールについて、その内部構造を示す平面図。

【図27】図26の一部の拡大図。

【図28】図27の一部の拡大図。

【図29】図27の一部の拡大図。

【図30】図26の一部の拡大図。

【図31】図30の一部の拡大図。

【図32】図30の一部の拡大図。

【図33】パワーモジュールが適用された3相交流インバータの回路図。

50

【図 3 4】パワーモジュールが適用された 3 相交流インバータの回路図。
【図 3 5】変更例のパワーモジュールについて、その内部構造の一部を拡大した平面図。
【図 3 6】変更例のパワーモジュールについて、その内部構造の一部を拡大した平面図。
【図 3 7】変更例のパワーモジュールについて、その内部構造の一部を拡大した平面図。
【図 3 8】変更例のパワーモジュールについて、その内部構造の一部を拡大した平面図。
【図 3 9】変更例のパワーモジュールについて、第 1 パワー半導体素子の平面図。
【発明を実施するための形態】

【0018】

以下、パワーモジュールの実施形態について図面を参照して説明する。以下に示す実施形態は、技術的思想を具体化するための構成や方法を例示するものであり、各構成部品の材質、形状、構造、配置、寸法等を下記のものに限定するものではない。以下の実施形態は、種々の変更を加えることができる。

【0019】

〔第 1 実施形態〕

図 1～図 2 5 を参照して、第 1 実施形態のパワーモジュール 1 A について説明する。

図 1～図 6 は、パワーモジュール 1 A の外観形状を示している。図 7 は、パワーモジュール 1 A の内部構造を示している。図 9 では、便宜上、ケース 8 0 及び端子 5 0 を省略して示している。

【0020】

図 1～図 7 に示すように、パワーモジュール 1 A は、基板 1 0、接続部材 3 0、パワー半導体素子 4 0、端子 5 0、封止樹脂 6 0（図 1 0 参照）、放熱板 7 0、及びこれらを収容するケース 8 0 を主に備える。パワーモジュール 1 A は、例えば 3 0 0 A 以上 1 0 0 0 A 以下の電流を供給可能に構成されている。なお、図 7 では、便宜上、封止樹脂 6 0 を省略して示している。図 1～図 7 に示すように、基板 1 0、接続部材 3 0、パワー半導体素子 4 0、及び封止樹脂 6 0 はそれぞれ放熱板 7 0 及びケース 8 0 によって収容されて外部に露出していない。一方、端子 5 0 は、一部がケース 8 0 の外部に露出又は突出した状態でケース 8 0 に収容されている。パワーモジュール 1 A は、例えばインバータ装置に用いられる。図 1、図 2、及び図 7 に示すように、基板 1 0 の厚さ方向からみて（以下、「平面視」という）、パワーモジュール 1 A の形状は矩形状である。ここで、説明の便宜上、基板 1 0 の厚さ方向に沿う方向を「厚さ方向 Z」とし、厚さ方向 Z に直交する方向のうち互いに直交する 2 方向をそれぞれ「横方向 X」及び「縦方向 Y」とする。本実施形態では、パワーモジュール 1 A の長辺方向が横方向 X となり、短辺方向が縦方向 Y となる。

【0021】

図 8 では、本実施形態のパワーモジュール 1 A の回路構成を示している。パワーモジュール 1 A は、パワー半導体素子 4 0 としての複数の第 1 パワー半導体素子 4 0 A からなる第 1 パワー半導体素子群 4 0 A T、及び複数の第 2 パワー半導体素子 4 0 B からなる第 2 パワー半導体素子群 4 0 B T とを有する。なお、便宜上、図 8 では、第 1 パワー半導体素子群 4 0 A T として 1 個の第 1 パワー半導体素子 4 0 A を示し、第 2 パワー半導体素子群 4 0 B T として 1 個の第 2 パワー半導体素子 4 0 B を示している。

【0022】

第 1 パワー半導体素子群 4 0 A T の各第 1 パワー半導体素子 4 0 A 及び第 2 パワー半導体素子群 4 0 B T の各第 2 パワー半導体素子 4 0 B はそれぞれ、スイッチング素子として用いられている。各パワー半導体素子 4 0 A、4 0 B は、例えば Si（ケイ素）、SiC（炭化ケイ素）、又は、GaN（窒化ガリウム）や GaAs（ヒ化ガリウム）、あるいは Ga₂O₃（酸化ガリウム）などからなるトランジスタが用いられている。各パワー半導体素子 4 0 A、4 0 B が SiC からなる場合、スイッチングの高速化に適している。本実施形態では、各パワー半導体素子 4 0 A、4 0 B は、SiC からなる N 型の MOSFET が用いられている。なお、各パワー半導体素子 4 0 A、4 0 B は、MOSFET に限定されず、MISFET（Metal-Insulator-Semiconductor FET）を含む電界効果トランジスタ、又は、IGBT を含むバイポーラトランジスタなどのトランジスタであってもよい

10

20

30

40

50

。各パワー半導体素子 40A, 40B は、Nチャネル型の MOSFET であってもよいし、Pチャネル型の MOSFET であってもよい。

【0023】

各パワー半導体素子 40A, 40B は、ドレイン電極 41、ソース電極 42、及びゲート電極 43 を有する。また各パワー半導体素子 40A, 40B は、ボディダイオード 44 を有する。図 8 では図示していないが、第 1 パワー半導体素子群 40AT の複数の第 1 パワー半導体素子 40A は互いに並列に接続されている。すなわち、複数の第 1 パワー半導体素子 40A のドレイン電極 41 が互いに接続されており、複数の第 1 パワー半導体素子 40A のソース電極 42 が互いに接続されている。また、第 2 パワー半導体素子群 40BT の複数の第 2 パワー半導体素子 40B は互いに並列に接続されている。すなわち、複数の第 2 パワー半導体素子 40B のドレイン電極 41 が互いに接続されており、複数の第 2 パワー半導体素子 40B のソース電極 42 が互いに接続されている。第 1 パワー半導体素子群 40AT と第 2 パワー半導体素子群 40BT は、互いに直列接続されている。具体的には、第 1 パワー半導体素子群 40AT のソース電極 42（複数の第 1 パワー半導体素子 40A のソース電極 42）が第 2 パワー半導体素子群 40BT のドレイン電極 41（複数の第 2 パワー半導体素子 40B のドレイン電極 41）に電氣的に接続されている。このように、本実施形態では、パワーモジュール 1A はインバータ回路を構成しており、第 1 パワー半導体素子群 40AT は上側アームを構成しており、第 2 パワー半導体素子群 40BT は下側アームを構成している。

【0024】

第 1 パワー半導体素子群 40AT の複数の第 1 パワー半導体素子 40A、及び第 2 パワー半導体素子群 40BT の複数の第 2 パワー半導体素子 40B のそれぞれのドレイン電極 41、ソース電極 42、及びゲート電極 43 はそれぞれ端子 50 に接続されている。

【0025】

図 1、図 2、及び図 8 に示すように、端子 50 は、第 1 入力端子 51A、第 2 入力端子 51B、第 1 出力端子 52A、第 2 出力端子 52B、第 1 制御端子 53A、第 2 制御端子 53B、第 1 検出端子 54A、第 2 検出端子 54B、電源電流端子 55、及び一対の温度検出端子 56 を有する。なお、一対の温度検出端子 56 は、各パワー半導体素子 40A, 40B と電氣的に接続されていないため、便宜上、図 8 に示していない。

【0026】

第 1 入力端子 51A は、第 1 パワー半導体素子群 40AT のドレイン電極 41 に電氣的に接続されている。すなわち、第 1 入力端子 51A は、複数の第 1 パワー半導体素子 40A のドレイン電極 41 のそれぞれに電氣的に接続されている。第 2 入力端子 51B は、第 2 パワー半導体素子群 40BT のソース電極 42 に電氣的に接続されている。すなわち、第 2 入力端子 51B は、複数の第 2 パワー半導体素子 40B のソース電極 42 のそれぞれに電氣的に接続されている。各出力端子 52A, 52B は、第 1 パワー半導体素子群 40AT のソース電極 42 と第 2 パワー半導体素子群 40BT のドレイン電極 41 との間のノード N1 に電氣的に接続されている。すなわち、各出力端子 52A, 52B は、複数の第 1 パワー半導体素子 40A のソース電極 42 と複数の第 2 パワー半導体素子 40B のドレイン電極 41 との間のノード N1 に電氣的に接続されている。第 1 制御端子 53A は、第 1 パワー半導体素子群 40AT のゲート電極 43 に電氣的に接続されている。すなわち、第 1 制御端子 53A は、複数の第 1 パワー半導体素子 40A のゲート電極 43 のそれぞれに電氣的に接続されている。第 2 制御端子 53B は、第 2 パワー半導体素子群 40BT のゲート電極 43 に電氣的に接続されている。すなわち第 2 制御端子 53B は、複数の第 2 パワー半導体素子 40B のゲート電極 43 のそれぞれに電氣的に接続されている。第 1 検出端子 54A は、第 1 パワー半導体素子群 40AT のソース電極 42 に電氣的に接続されている。すなわち、第 1 検出端子 54A は、複数の第 1 パワー半導体素子 40A のソース電極 42 のそれぞれに電氣的に接続されている。第 2 検出端子 54B は、第 2 パワー半導体素子群 40BT のソース電極 42 に電氣的に接続されている。すなわち、第 2 検出端子 54B は、複数の第 2 パワー半導体素子 40B のソース電極 42 のそれぞれに電氣的に接

続されている。電源電流端子５５は、第１パワー半導体素子群４０ＡＴのドレイン電極４１と第１入力端子５１Ａとの間のノードＮ２に電氣的に接続されている。すなわち、電源電流端子５５は、複数の第１パワー半導体素子４０Ａのドレイン電極４１のそれぞれと第１入力端子５１Ａとの間のノードＮ２に電氣的に接続されている。本実施形態では、各制御端子５３Ａ、５３Ｂ、各検出端子５４Ａ、５４Ｂ、電源電流端子５５、及び一対の温度検出端子５６は、パワーモジュール１Ａの外部に設けられた制御回路（図示略）に電氣的に接続される。

【００２７】

図１及び図２に示すように、上記端子５１Ａ、５１Ｂ、５２Ａ、５２Ｂ、５３Ａ、５３Ｂ、５４Ａ、５４Ｂ、５５、５６はそれぞれ、ケース８０に設けられている。

10

図１、図２、及び図７に示すように、ケース８０は、平面視において、基板１０、接続部材３０、及びパワー半導体素子４０を取り囲む枠状に形成されている。ケース８０は、例えばＰＰＳ（ポリフェニレンサルファイド）などの電気絶縁性を有し、かつ耐熱性に優れた合成樹脂からなる。ケース８０は、一対の側壁８１Ａ、８１Ｂ、一対の端子台座８２Ａ、８２Ｂ、複数の取付部８３、電源端子台８４、及び出力端子台８５を備える。

【００２８】

図２、図６、及び図７に示すように、平面視において、一対の側壁８１Ａ、８１Ｂは、縦方向Ｙにおいて互いに離間して配置されており、横方向Ｘに沿って延びている。図３及び図５に示すように、側面視において、一対の側壁８１Ａ、８１Ｂはそれぞれ、厚さ方向Ｚに沿って延びている。図２及び図７に示すように、側壁８１Ａの内部には、第１制御端子５３Ａ、第１検出端子５４Ａ、電源電流端子５５、及び一対の温度検出端子５６が配置されている。第１制御端子５３Ａ、第１検出端子５４Ａ、電源電流端子５５、及び一対の温度検出端子５６はそれぞれ、側壁８１Ａによって支持されている。図１及び図３に示すように、第１制御端子５３Ａ、第１検出端子５４Ａ、電源電流端子５５、及び一対の温度検出端子５６はそれぞれ、厚さ方向Ｚにおいて側壁８１Ａから突出している。また、図２及び図７に示すように、側壁８１Ｂの内部には、第２制御端子５３Ｂ及び第２検出端子５４Ｂが配置されている。第２制御端子５３Ｂ、第２検出端子５４Ｂはそれぞれ、側壁８１Ｂによって支持されている。図１及び図３に示すように、第２制御端子５３Ｂ、第２検出端子５４Ｂはそれぞれ、厚さ方向Ｚにおいて側壁８１Ｂから突出している。各制御端子５３Ａ、５３Ｂ、各検出端子５４Ａ、５４Ｂ、電源電流端子５５、及び一対の温度検出端子５６はそれぞれ、例えばＣｕ（銅）を構成材料とする金属棒からなる。この金属棒の表面には、Ｓｎ（錫）めっきが施されている。なお、金属棒の表面と錫めっきとの間には、ニッケルめっきが施されていてもよい。各制御端子５３Ａ、５３Ｂ、各検出端子５４Ａ、５４Ｂ、電源電流端子５５、及び一対の温度検出端子５６は、例えば互いに同一形状であり、一例では縦方向Ｙに延びる第１部分と厚さ方向Ｚに延びる第２部分を有するＬ字状に形成されている。

20

30

【００２９】

図７に示すように、横方向Ｘにおける一対の側壁８１Ａ、８１Ｂのそれぞれの両端部には、一対の端子台座８２Ａ、８２Ｂが繋がっている。これら一対の側壁８１Ａ、８１Ｂ及び一対の端子台座８２Ａ、８２Ｂによって、基板１０、接続部材３０、及びパワー半導体素子４０を取り囲む枠状を構成している。一対の端子台座８２Ａ、８２Ｂは、横方向Ｘにおいて互いに離間している。端子台座８２Ａには、その端子台座８２Ａから横方向Ｘの外側に向けて突出する電源端子台８４が繋がっている。端子台座８２Ｂには、その端子台座８２Ｂから横方向Ｘの外側に向けて突出する出力端子台８５が繋がっている。

40

【００３０】

図２、図４、及び図７に示すように、電源端子台８４は、第１端子台８４Ａ及び第２端子台８４Ｂを有する。第１端子台８４Ａ及び第２端子台８４Ｂは、横方向Ｘに揃った状態で縦方向Ｙに配列されている。第１端子台８４Ａには、第１入力端子５１Ａの一部が設けられている。第１端子台８４Ａは、第１入力端子５１Ａの一部を支持している。第２端子台８４Ｂには、第２入力端子５１Ｂの一部が設けられている。第２端子台８４Ｂは、第２

50

入力端子 5 1 B の一部を支持している。図 7 に示すように、第 1 端子台 8 4 A の内部にはナット 8 4 N が設けられている。また図 7 に示すように、第 1 端子台 8 4 A と同様に、第 2 端子台 8 4 B の内部にもナット 8 4 N が設けられている。

【 0 0 3 1 】

図 7 に示すように、平面視において、第 1 入力端子 5 1 A 及び第 2 入力端子 5 1 B は対称形状である。各入力端子 5 1 A , 5 1 B は、パワーモジュール 1 A の外部に露出する露出部 5 1 a と、各パワー半導体素子 4 0 A , 4 0 B に電氣的に接続するための接続部 5 1 b と、露出部 5 1 a と接続部 5 1 b とを連結する連結部 5 1 c とを有する。本実施形態では、各入力端子 5 1 A , 5 1 B は、露出部 5 1 a 、接続部 5 1 b 、及び連結部 5 1 c が一体に形成された単一部品として構成されている。露出部 5 1 a には、露出部 5 1 a を厚さ方向 Z に貫通する貫通孔 5 1 d が設けられている。第 1 入力端子 5 1 A を縦方向 Y からみた側面視において、第 1 入力端子 5 1 A は階段状に形成されている。第 1 入力端子 5 1 A の露出部 5 1 a は、第 1 端子台 8 4 A によって支持されている。第 2 入力端子 5 1 B の露出部 5 1 a は、第 2 端子台 8 4 B によって支持されている。図 7 に示すように、第 1 入力端子 5 1 A の露出部 5 1 a の貫通孔 5 1 d は、第 1 端子台 8 4 A のナット 8 4 N に対応して設けられている。第 2 入力端子 5 1 B の露出部 5 1 a の貫通孔 5 1 d は、第 2 端子台 8 4 B のナット 8 4 N に対応して設けられている。接続部 5 1 b は、複数個設けられており、縦方向 Y において離間して配列されている。

【 0 0 3 2 】

図 2 、図 5 、及び図 7 に示すように、出力端子台 8 5 は、第 1 端子台 8 5 A 及び第 2 端子台 8 5 B を有する。第 1 端子台 8 5 A 及び第 2 端子台 8 5 B は、横方向 X に揃った状態で縦方向 Y に配列されている。第 1 端子台 8 5 A には、第 1 出力端子 5 2 A の一部が設けられている。第 1 端子台 8 5 A は、第 1 出力端子 5 2 A の一部を支持している。第 2 端子台 8 5 B には、第 2 出力端子 5 2 B の一部が設けられている。第 2 端子台 8 5 B は、第 2 出力端子 5 2 B の一部を支持している。図 7 に示すように、第 1 端子台 8 5 A の内部にはナット 8 5 N が設けられている。また図 7 に示すように、第 1 端子台 8 5 A と同様に、第 2 端子台 8 5 B の内部にもナット 8 5 N が設けられている。

【 0 0 3 3 】

図 7 に示すように、平面視において、第 1 出力端子 5 2 A 及び第 2 出力端子 5 2 B は対称形状である。本実施形態では、各出力端子 5 2 A , 5 2 B は、各入力端子 5 1 A , 5 1 B と同じ形状である。各出力端子 5 2 A , 5 2 B は、パワーモジュール 1 A の外部に露出する露出部 5 2 a と、各パワー半導体素子 4 0 A , 4 0 B に電氣的に接続するための接続部 5 2 b と、露出部 5 2 a と接続部 5 2 b とを連結する連結部 5 2 c とを有する。本実施形態では、各出力端子 5 2 A , 5 2 B は、露出部 5 2 a 、接続部 5 2 b 、及び連結部 5 2 c が一体に形成された単一部品として構成されている。露出部 5 2 a には、露出部 5 2 a を厚さ方向 Z に貫通する貫通孔 5 2 d が設けられている。第 1 出力端子 5 2 A を縦方向 Y からみた側面視において、第 1 出力端子 5 2 A は階段状に形成されている。第 1 出力端子 5 2 A の露出部 5 2 a は、第 1 端子台 8 5 A によって支持されている。第 2 出力端子 5 2 B の露出部 5 2 a は、第 2 端子台 8 5 B によって支持されている。図 7 に示すように、第 1 出力端子 5 2 A の露出部 5 2 a の貫通孔 5 2 d は、第 1 端子台 8 5 A のナット 8 5 N に対応して設けられている。第 2 出力端子 5 2 B の露出部 5 2 a の貫通孔 5 2 d は、第 2 端子台 8 5 B のナット 8 5 N に対応して設けられている。接続部 5 2 b は、複数個設けられており、縦方向 Y において離間して配列されている。

【 0 0 3 4 】

図 3 及び図 6 に示すように、放熱板 7 0 は、ケース 8 0 に取り付けられることによって、ケース 8 0 の厚さ方向 Z に開口する開口部の一端を塞いでいる。放熱板 7 0 は、例えば Cu 又は Cu 合金から構成されている。この場合、金属板の表面には、ニッケルめっきが施されていてもよい。図 9 に示すように、放熱板 7 0 は、厚さ方向 Z に反対側を向く放熱主面 7 0 s 及び放熱裏面 7 0 r を有する。放熱裏面 7 0 r は、パワーモジュール 1 A の外部に露出している。図 6 に示すように、平面視において、放熱板 7 0 の四隅には、放熱板

70を厚さ方向Zに貫通する支持孔71が設けられている。

【0035】

図2及び図7に示すように、複数の取付部83は、平面視において、ケース80の四隅に設けられている。各取付部83には、取付部83を厚さ方向Zに貫通する取付孔83aが設けられている。厚さ方向Zからみて、複数の取付部83は、放熱板70の四隅と重なるように配置されている。このため、複数の取付孔83aは、放熱板70の支持孔71（図6参照）と対応している。複数の取付孔83a及び支持孔71にピンなどの締結部材を嵌め込むことによって、放熱板70はケース80に支持される。

【0036】

図1及び図2に示すように、ケース80は、天板86を備える。天板86は、放熱板70、一対の側壁81A、81B、及び一対の端子台座82A、82Bによって形成されたパワーモジュール1Aの内部領域を塞いでいる。天板86は、厚さ方向Zにおいて放熱板70及び基板10に対して離間した状態で一対の側壁81A、81Bに支持されている。

【0037】

次に、図7及び図9～図19を参照して、パワーモジュール1Aの内部領域の詳細な構成について説明する。なお、図15、図16、図18、及び図19の二点鎖線は、各制御層及び各駆動層の位置関係を明確にするための補助線である。

【0038】

図7及び図10に示すように、パワーモジュール1Aの内部領域は、ケース80の一対の側壁81A、81B及び一対の端子台座82A、82Bによって囲まれた開口領域であり、放熱板70によって開口領域の厚さ方向Zの一端が塞がれている領域である。この内部領域には、基板10、接続部材30、パワー半導体素子40、及び封止樹脂60（図7では図示略）が収容されている。

【0039】

図10に示すように、封止樹脂60は、電気絶縁性を有する樹脂材料からなり、放熱板70及び天板86によって塞がれた内部領域に充填されている。封止樹脂60は、基板10、接続部材30、及びパワー半導体素子40を封止している。

【0040】

図9に示すように、基板10は、放熱板70の放熱主面70sに例えばAg（銀）ペーストや半田などの接合材によって接合されている。なお、接合材としては、Agペーストや半田などの導電性接合材に限られず、電気絶縁性の接合材が用いられてもよい。図7に示すように、基板10は、第1基板11及び第2基板12を有する。第1基板11及び第2基板12は、縦方向Yに揃った状態で横方向Xに離間して配列されている。第1基板11は横方向Xにおいて内部領域のうちの各入力端子51A、51B側に配置されており、第2基板12は横方向Xにおいて内部領域のうちの各出力端子52A、52B側に配置されている。図10に示すように、第1基板11は、厚さ方向Zにおいて互いに反対側を向く第1基板主面11s及び第1基板裏面11rを有する。第2基板12は、厚さ方向Zにおいて互いに反対側を向く第2基板主面12s及び第2基板裏面12rを有する。

【0041】

各基板11、12は、各基板11、12上に、パワー半導体素子40が搭載されるための搭載層、及びパワー半導体素子40と電氣的に接続されるための導電層が配置された電気絶縁部材である。各基板11、12の構成材料は、熱伝導性に優れたセラミックスである。このようなセラミックスとして、例えばAlN（窒化アルミニウム）が挙げられる。各基板11、12は、各基板主面11s、12s及び各基板裏面11r、12rにCu箔が接合されたDBC（Direct Bonding Copper）基板を用いることができる。DBC基板を用いることによって、各基板主面11s、12sに接合された銅箔をパターンニングすることによって搭載層及び導電層などを容易に形成することができる。また、各基板裏面11r、12rに接合された銅箔は、伝熱層とすることができる。

【0042】

図7及び図11に示すように、平面視における第1基板11の形状は、横方向Xが長辺

10

20

30

40

50

方向となり、縦方向Yが短辺方向となる略矩形状である。図11に示すように、第1基板11は、第1基板側面11a、第2基板側面11b、第3基板側面11c、及び第4基板側面11dを主に有する。第1基板側面11a及び第2基板側面11bは、縦方向Yにおいて互いに反対側を向く面であり、横方向Xに沿って延びている。第1基板側面11aは第1基板11のうちの側壁81A側の側面であり、第2基板側面11bは第1基板11のうちの側壁81B側の側面である。第3基板側面11c及び第4基板側面11dは、横方向Xにおいて互いに反対側を向く面であり、縦方向Yに沿って延びている。第3基板側面11cは第1基板11のうちの端子台座82A側の側面であり、第4基板側面11dは第1基板11のうちの端子台座82B（図7参照）側の側面である。

【0043】

図11に示すように、第1基板11の第1基板主面11sには、第1搭載層13A、第2搭載層14A、導電層15A、第1制御層21、第2制御層25、第1駆動層23、第2駆動層27、及びサーミスタ搭載層16が配置されている。

【0044】

第1搭載層13A、第2搭載層14A、及び導電層15Aは、縦方向Yにおいて離間して配置されている。第1搭載層13Aは、縦方向Yにおいて第2搭載層14A及び導電層15Aよりも第1基板11の第1基板側面11a側に配置されている。導電層15Aは、縦方向Yにおいて第1搭載層13A及び第2搭載層14Aよりも第1基板11の第2基板側面11b側に配置されている。第2搭載層14Aは、縦方向Yにおいて第1搭載層13Aと導電層15Aとの間に配置されている。

【0045】

第1搭載層13Aは、横方向Xに延びる帯状の主搭載部13aと、横方向Xにおける主搭載部13aのうちの第1基板11の第3基板側面11c側の端部に形成された端子側接続部13bと、横方向Xにおける主搭載部13aのうちの第1基板11の第4基板側面11d側の端部に形成された層間接続部13cとを有する。本実施形態では、第1搭載層13Aは、主搭載部13a、端子側接続部13b、及び層間接続部13cが一体に形成された単一部材である。端子側接続部13bは、縦方向Yに延びており、主搭載部13aの縦方向Yの両側から突出している。端子側接続部13bは、横方向Xにおいて端子台座82A（図7参照）、すなわち第1入力端子51Aと隣り合うように配置されている。端子側接続部13bには、第1入力端子51Aの複数の接続部51bが接続されている。主搭載部13aの幅寸法（主搭載部13aの縦方向Yの寸法）は、第1制御層21の幅寸法（平面視において第1制御層21が延びる方向と直交する方向の寸法）よりも大きく、第1駆動層23の幅寸法（第1駆動層23の縦方向Yの寸法）よりも大きい。主搭載部13aの幅寸法は、第1制御層21の幅寸法及び第1駆動層23の幅寸法の2倍以上であり、好ましくは、4倍以上である。本実施形態では、主搭載部13aの幅寸法は、第1制御層21の幅寸法及び第1駆動層23の幅寸法の約8倍である。層間接続部13cの幅寸法（層間接続部13cの縦方向Yの寸法）は、主搭載部13aの幅寸法（主搭載部13aの縦方向Yの寸法）よりも大きい。層間接続部13cのうちの縦方向Yの第1基板11の第1基板側面11a側の端縁は、主搭載部13aのうちの縦方向Yの第1基板11の第1基板側面11a側の端縁と縦方向Yにおいて揃っている。このため、層間接続部13cは、主搭載部13aに対して第1基板11の第2基板側面11b側に突出している。

【0046】

導電層15Aは、横方向Xに延びる帯状の主導電部15aと、横方向Xにおける主導電部15aのうちの第1基板11の第3基板側面11c側の端部に形成された端子側接続部15bと、横方向Xにおける主導電部15aのうちの第1基板11の第4基板側面11d側の端部に形成された層間接続部15cとを有する。本実施形態では、導電層15Aは、主導電部15a、端子側接続部15b、及び層間接続部15cが一体に形成された単一部材である。端子側接続部15bは、縦方向Yに延びており、主導電部15aの縦方向Yの両側から突出している。主導電部15aの幅寸法（主導電部15aの縦方向Yの寸法）は、第1搭載層13Aの主搭載部13aの幅寸法（主搭載部13aの縦方向Yの寸法）と等

10

20

30

40

50

しい。端子側接続部 15 b は、第 1 搭載層 13 A の端子側接続部 13 b と縦方向 Y に隣り合うように配置されている。また、端子側接続部 15 b は、横方向 X において端子台座 82 A、すなわち第 2 入力端子 51 B と隣り合うように配置されている。端子側接続部 15 b には、第 2 入力端子 51 B の複数の接続部 51 b が接続されている。層間接続部 15 c の幅寸法（層間接続部 15 c の縦方向 Y の寸法）は、主導電部 15 a の幅寸法（主導電部 15 a の縦方向 Y の寸法）よりも大きい。層間接続部 15 c のうちの縦方向 Y の第 1 基板 11 の第 2 基板側面 11 b 側の端縁は、主導電部 15 a のうちの縦方向 Y の第 1 基板 11 の第 2 基板側面 11 b 側の端縁と縦方向 Y において揃っている。このため、層間接続部 15 c は、主導電部 15 a に対して第 1 基板 11 の第 1 基板側面 11 a 側に突出している。
【0047】

10

第 2 搭載層 14 A は、横方向 X において第 1 搭載層 13 A の端子側接続部 13 b 及び導電層 15 A の端子側接続部 15 b よりも第 1 基板 11 の第 4 基板側面 11 d 側に配置されている。第 2 搭載層 14 A は、縦方向 Y において、第 1 搭載層 13 A の主搭載部 13 a と導電層 15 A の主導電部 15 a との間に配置されている。本実施形態では、第 2 搭載層 14 A は、縦方向 Y において、第 1 基板 11 の中央部に配置されている。本実施形態では、横方向 X における第 2 搭載層 14 A の第 1 基板 11 の第 4 基板側面 11 d 側の端縁と、横方向 X における第 1 搭載層 13 A のうちの主搭載部 13 a の第 4 基板側面 11 d 側の端縁と、横方向 X における導電層 15 A のうちの主導電部 15 a の第 4 基板側面 11 d 側の端縁とは、縦方向 Y に揃っている。第 2 搭載層 14 A は、横方向 X に延びる帯状の主搭載部 14 a と、横方向 X における主搭載部 14 a のうちの第 1 基板 11 の第 4 基板側面 11 d 側の端部に形成された層間接続部 14 b とを有する。本実施形態では、第 2 搭載層 14 A は、主搭載部 14 a 及び層間接続部 14 b が一体に形成された単一部材である。第 2 搭載層 14 A の主搭載部 14 a の幅寸法（主搭載部 14 a の縦方向 Y の寸法）は、第 1 搭載層 13 A の主搭載部 13 a の幅寸法（主搭載部 13 a の縦方向 Y の寸法）及び導電層 15 A の主導電部 15 a の幅寸法（主導電部 15 a の縦方向 Y の寸法）よりも大きい。層間接続部 14 b の幅寸法（層間接続部 14 b の縦方向 Y の寸法）は、主搭載部 14 a の幅寸法よりも小さい。層間接続部 14 b は、主搭載部 14 a の縦方向 Y の両端縁から縦方向 Y に凹むように形成されている。

20

【0048】

第 1 制御層 21 及び第 1 駆動層 23 はそれぞれ、縦方向 Y において第 1 搭載層 13 A の主搭載部 13 a よりも第 1 基板 11 の第 1 基板側面 11 a 側に配置されている。また、第 1 制御層 21 及び第 1 駆動層 23 はそれぞれ、横方向 X において第 1 搭載層 13 A の端子側接続部 13 b よりも第 1 基板 11 の第 4 基板側面 11 d 側に配置されている。第 1 制御層 21 及び第 1 駆動層 23 は、縦方向 Y に離間して配置されている。第 1 駆動層 23 は、第 1 制御層 21 よりも第 1 搭載層 13 A の主搭載部 13 a 側に配置されている。換言すると、第 1 制御層 21 は、第 1 駆動層 23 よりも第 1 基板 11 の第 1 基板側面 11 a 側に配置されている。縦方向 Y からみて、第 1 制御層 21 は、第 1 駆動層 23 と重なっている。

30

【0049】

第 2 制御層 25 及び第 2 駆動層 27 はそれぞれ、縦方向 Y において導電層 15 A の主導電部 15 a よりも第 1 基板 11 の第 2 基板側面 11 b 側に配置されている。また、第 2 制御層 25 及び第 2 駆動層 27 はそれぞれ、横方向 X において導電層 15 A の端子側接続部 15 b よりも第 1 基板 11 の第 4 基板側面 11 d 側に配置されている。第 2 制御層 25 及び第 2 駆動層 27 は、縦方向 Y に離間して配置されている。第 2 駆動層 27 は、第 2 制御層 25 よりも導電層 15 A の主導電部 15 a 側に配置されている。換言すると、第 2 制御層 25 は、第 2 駆動層 27 よりも第 1 基板 11 の第 2 基板側面 11 b 側に配置されている。縦方向 Y からみて、第 2 駆動層 27 は、第 2 制御層 25 と重なっている。縦方向 Y からみて、第 2 駆動層 27 は、導電層 15 A の主導電部 15 a と重なっている。このように、第 1 制御層 21 及び第 1 駆動層 23 と、第 2 制御層 25 及び第 2 駆動層 27 とによって、縦方向 Y において第 1 搭載層 13 A、第 2 搭載層 14 A、及び導電層 15 A は挟まれている。

40

50

【0050】

サーミスタ搭載層16は、縦方向Yにおいて第1搭載層13Aの主搭載部13aよりも第1基板11の第1基板側面11a側に配置されている。また、サーミスタ搭載層16は、横方向Xからみて、第1搭載層13Aの端子側接続部13b、第1制御層21、及び第1駆動層23に重なるように配置されている。また、サーミスタ搭載層16は、横方向Xにおいて第1制御層21及び第1駆動層23と第1搭載層13Aの端子側接続部13bとの間に配置されている。

【0051】

サーミスタ搭載層16には、温度検出素子であるサーミスタ17が実装可能である。本実施形態では、サーミスタ搭載層16にサーミスタ17が実装されている。サーミスタ搭載層16は、縦方向Yにおいて互いに離間した一対の領域を有する。一方の領域には、サーミスタ17の正極が電氣的に接続可能であり、他方の領域には、サーミスタ17の負極が電氣的に接続可能である。

【0052】

図7及び図12に示すように、平面視における第2基板12の形状は、横方向Xが長辺方向となり、縦方向Yが短辺方向となる略矩形状である。本実施形態では、第2基板12の形状は第1基板11に対して縦方向Yに沿う中心線を中心とした対称形状であり、第2基板12の横方向X、縦方向Y、及び厚さ方向Zのサイズは第1基板11の横方向X、縦方向Y、及び厚さ方向Zのサイズと等しい。第2基板12は、第1基板側面12a、第2基板側面12b、第3基板側面12c、及び第4基板側面12dを主に有する。第1基板側面12a及び第2基板側面12bは、縦方向Yにおいて互いに反対側を向く面であり、横方向Xに沿って延びている。第1基板側面12aは第2基板12のうちの側壁81A側の側面であり、第2基板側面12bは第2基板12のうちの側壁81B側の側面である。第3基板側面12c及び第4基板側面12dは、横方向Xにおいて互いに反対側を向く面であり、縦方向Yに沿って延びている。第3基板側面12cは第2基板12のうちの端子台座82A（図7参照）側の側面であり、第4基板側面12dは第2基板12のうちの端子台座82B（図7参照）側の側面である。なお、第2基板12の形状は第1基板11と対称形状でなくてもよく、第2基板12のサイズは第1基板11のサイズと異なってもよい。

【0053】

図12に示すように、第2基板12の第2基板主面12sには、第1搭載層13B、第2搭載層14B、導電層15B、第1制御層22、第2制御層26、第1駆動層24、及び第2駆動層28が配置されている。

【0054】

第1搭載層13B、第2搭載層14B、及び導電層15Bは、縦方向Yにおいて離間して配置されている。第1搭載層13Bは、縦方向Yにおいて第2搭載層14B及び導電層15Bよりも第2基板12の第1基板側面12a側に配置されている。導電層15Bは、縦方向Yにおいて第1搭載層13B及び第2搭載層14Bよりも第2基板12の第2基板側面12b側に配置されている。第2搭載層14Bは、縦方向Yにおいて第1搭載層13Bと導電層15Bとの間に配置されている。

【0055】

第1搭載層13Bは、横方向Xに延びる帯状の主搭載部13dと、横方向Xにおける主搭載部13dのうちの第2基板12の第4基板側面12d側の端部に形成された端子側接続部13eと、横方向Xにおける主搭載部13dのうちの第2基板12の第3基板側面12c側の端部に形成された層間接続部13fとを有する。本実施形態では、第1搭載層13Bは、主搭載部13d、端子側接続部13e、及び層間接続部13fが一体に形成された単一部材である。端子側接続部13eは、縦方向Yに延びており、縦方向Yにおいて主搭載部13dから第2基板12の第1基板側面12a側に向けて突出している。端子側接続部13eの幅寸法（端子側接続部13eの横方向Xの寸法）は、主搭載部13dの幅寸法（主搭載部13dの縦方向Yの寸法）よりも小さい。端子側接続部13eの幅寸法は、

例えば第1制御層22の幅寸法（第1制御層22の縦方向Yの寸法）と等しい。主搭載部13dの幅寸法（主搭載部13dの縦方向Yの寸法）は、第1制御層22の幅寸法（第1制御層22の縦方向Yの寸法）よりも大きく、第1駆動層24の幅寸法（平面視において第1駆動層24が延びる方向と直交する方向の寸法）よりも大きい。主搭載部13dの幅寸法は、第1制御層22の幅寸法及び第1駆動層24の幅寸法の2倍以上であり、好ましくは、4倍以上である。本実施形態では、主搭載部13dの幅寸法は、第1制御層22の幅寸法及び第1駆動層24の幅寸法の約8倍である。本実施形態では、主搭載部13dの幅寸法は、第1搭載層13Aの主搭載部13a（図11参照）の幅寸法と等しい。層間接続部13fの幅寸法（層間接続部13fの縦方向Yの寸法）は、主搭載部13dの幅寸法（主搭載部13dの縦方向Yの寸法）よりも大きい。層間接続部13fのうちの縦方向Yの第2基板12の第1基板側面12a側の端縁は、主搭載部13dのうちの縦方向Yの第2基板12の第1基板側面12a側の端縁と縦方向Yにおいて揃っている。このため、層間接続部13fは、主搭載部13dに対して第2基板12の第2基板側面12b側に突出している。

10

【0056】

導電層15Bは、横方向Xに延びる帯状の主導電部15dと、横方向Xにおける主導電部15dのうちの第2基板12の第3基板側面12c側の端部に形成された層間接続部15eとを有する。導電層15Bの主導電部15dの幅寸法（主導電部15dの縦方向Yの寸法）は、第1搭載層13Bの主搭載部13dの幅寸法（主搭載部13dの縦方向Yの寸法）と等しい。層間接続部15eの幅寸法（層間接続部15eの縦方向Yの寸法）は、主導電部15dの幅寸法（主導電部15dの縦方向Yの寸法）よりも大きい。層間接続部15eのうちの縦方向Yの第2基板12の第2基板側面12b側の端縁は、主導電部15dのうちの縦方向Yの第2基板12の第2基板側面12b側の端縁と縦方向Yにおいて揃っている。このため、層間接続部15eは、主導電部15dに対して第2基板12の第1基板側面12a側に突出している。

20

【0057】

第2搭載層14Bは、横方向Xに延びる帯状の主搭載部14cと、横方向Xにおける主搭載部14cのうちの第2基板12の第4基板側面12d側の端部に形成された端子側接続部14dと、横方向Xにおける主搭載部14cのうちの第2基板12の第3基板側面12c側の端部に形成された層間接続部14eとを有する。本実施形態では、第2搭載層14Bは、主搭載部14c、端子側接続部14d、及び層間接続部14eが一体に形成された単一部材である。主搭載部14cは、縦方向Yにおいて第1搭載層13Bの主搭載部13dと導電層15Bとの間に配置されている。本実施形態では、主搭載部14cは、縦方向Yにおいて、第2基板12の中央部に配置されている。主搭載部14cの幅寸法（主搭載部14cの縦方向Yの寸法）は、第1搭載層13Bの主搭載部13dの幅寸法及び導電層15Bの主導電部15dの幅寸法よりも大きい。横方向Xにおける第2搭載層14Bのうちの第2基板12の第3基板側面12c側の端縁と、横方向Xにおける第1搭載層13Bのうちの第2基板12の第3基板側面12c側の端縁と、横方向Xにおける導電層15Bのうちの第2基板12の第3基板側面12c側の端縁とは、縦方向Yに互いに揃っている。端子側接続部14dは、縦方向Yに延びており、主搭載部14cの縦方向Yの両側から突出している。このように、平面視における第2搭載層14Bの形状は、T字状である。また、端子側接続部14dは、第1搭載層13B及び導電層15Bよりも第2基板12の第4基板側面12d側に配置されている。端子側接続部14dは、横方向Xにおいて端子台座82B、すなわち第1出力端子52A及び第2出力端子52Bと隣り合うように配置されている。端子側接続部14dには、各出力端子52A、52Bの複数の接続部52bが接続されている。層間接続部14eの幅寸法（層間接続部14eの縦方向Yの寸法）は、主搭載部14cの幅寸法よりも小さい。層間接続部14eは、主搭載部14cの縦方向Yの両端縁から縦方向Yに凹むように形成されている。

30

40

【0058】

第1制御層22及び第1駆動層24はそれぞれ、縦方向Yにおいて第1搭載層13Bの

50

主搭載部 13 d よりも第 2 基板 12 の第 1 基板側面 12 a 側に配置されている。また、第 1 制御層 22 及び第 1 駆動層 24 はそれぞれ、横方向 X において第 1 搭載層 13 B の端子側接続部 13 e よりも第 2 基板 12 の第 3 基板側面 12 c 側に配置されている。第 1 制御層 22 及び第 1 駆動層 24 は、縦方向 Y に離間して配置されている。第 1 駆動層 24 は、第 1 制御層 22 よりも第 1 搭載層 13 B の主搭載部 13 d 側に配置されている。換言すると、第 1 制御層 22 は、第 1 駆動層 24 よりも第 2 基板 12 の第 1 基板側面 12 a 側に配置されている。縦方向 Y からみて、第 1 駆動層 24 は、第 1 制御層 22 と重なっている。縦方向 Y からみて、第 1 駆動層 24 は、第 1 搭載層 13 B の主搭載部 13 d と重なっている。横方向 X からみて、第 1 制御層 22 及び第 1 駆動層 24 はそれぞれ、第 1 搭載層 13 B の端子側接続部 13 e 及び第 2 搭載層 14 B の端子側接続部 14 d と重なっている。

10

【0059】

第 2 制御層 26 及び第 2 駆動層 28 はそれぞれ、縦方向 Y において導電層 15 B よりも第 2 基板 12 の第 2 基板側面 12 b 側に配置されている。また、第 2 制御層 26 及び第 2 駆動層 28 はそれぞれ、横方向 X において第 2 搭載層 14 B の端子側接続部 14 d よりも第 2 基板 12 の第 3 基板側面 12 c 側に配置されている。第 2 制御層 26 及び第 2 駆動層 28 は、縦方向 Y に離間して配置されている。第 2 駆動層 28 は、第 2 制御層 26 よりも導電層 15 B 側に配置されている。換言すると、第 2 制御層 26 は、第 2 駆動層 28 よりも第 2 基板 12 の第 2 基板側面 12 b 側に配置されている。縦方向 Y からみて、第 2 駆動層 28 は、第 2 制御層 26 と重なっている。縦方向 Y からみて、第 2 制御層 26 は、導電層 15 B と重なっている。このように、第 1 制御層 22 及び第 1 駆動層 24 と、第 2 制御層 26 及び第 2 駆動層 28 とによって、縦方向 Y において第 1 搭載層 13 B、第 2 搭載層 14 B、及び導電層 15 B は挟まれている。

20

【0060】

図 7 に示すように、第 1 搭載層 13 A の主搭載部 13 a 及び層間接続部 13 c と、第 1 搭載層 13 B の主搭載部 13 d 及び層間接続部 13 f とは、縦方向 Y に揃った状態で横方向 X に離間して配置されている。第 2 搭載層 14 A の主搭載部 14 a 及び層間接続部 14 b と、第 2 搭載層 14 B の主搭載部 14 c 及び層間接続部 14 e とは、縦方向 Y に揃った状態で横方向 X に離間して配置されている。導電層 15 A の主導電部 15 a 及び層間接続部 15 c と、導電層 15 B の主導電部 15 d 及び層間接続部 15 e とは、縦方向 Y に揃った状態で横方向 X に離間して配置されている。

30

【0061】

図 13 に示すように、第 1 搭載層 13 A の層間接続部 13 c と第 1 搭載層 13 B の層間接続部 13 f とは、第 1 搭載層接続部材の一例である板状の連結部材 90 A によって接続されている。第 2 搭載層 14 A の層間接続部 14 b と第 2 搭載層 14 B の層間接続部 14 e とは、第 2 搭載層接続部材の一例である板状の連結部材 90 B によって接続されている。導電層 15 A の層間接続部 15 c と導電層 15 B の層間接続部 15 e とは、板状の連結部材 90 C によって接続されている。

【0062】

図 13 に示すとおり、平面視において、連結部材 90 A ~ 90 C の形状は互いに等しい。一例では、連結部材 90 A ~ 90 C はそれぞれ、Cu 又は Cu 合金によって構成されている。連結部材 90 A ~ 90 C はそれぞれ、横方向 X に延びる一対の接続部 91 と、縦方向 Y において一対の接続部 91 を連結する連結部 92 とを有する。本実施形態では、連結部材 90 A ~ 90 C はそれぞれ、一対の接続部 91 と連結部 92 とが一体に形成された単一部材として構成されている。一対の接続部 91 は、縦方向 Y において互いに離間しており、それぞれが横方向 X に延びている。連結部 92 は、一対の接続部 91 の横方向 X の中央部同士を連結するように設けられている。このため、平面視における連結部材 90 A ~ 90 C の形状はそれぞれ、H 字状である。

40

【0063】

連結部材 90 A の一対の接続部 91 は、第 1 搭載層 13 A の層間接続部 13 c と、第 1 搭載層 13 B の層間接続部 13 f とに接続されている。連結部材 90 A の連結部 92 は、

50

層間接続部 13c と層間接続部 13f との横方向 X の間に位置している。このように連結部材 90A によって第 1 搭載層 13A と第 1 搭載層 13B とが電氣的に接続されている。

【0064】

連結部材 90B の一対の接続部 91 は、第 2 搭載層 14A の層間接続部 14b と、第 2 搭載層 14B の層間接続部 14e とに接続されている。連結部材 90B の連結部 92 は、層間接続部 14b と層間接続部 14e との横方向 X の間に位置している。このように連結部材 90B によって第 2 搭載層 14A と第 2 搭載層 14B とが電氣的に接続されている。

【0065】

連結部材 90C の一対の接続部 91 は、導電層 15A の層間接続部 15c と、導電層 15B の層間接続部 15e とに接続されている。連結部材 90C の連結部 92 は、層間接続部 15c と層間接続部 15e との横方向 X の間に位置している。このように連結部材 90C によって導電層 15A と導電層 15B とが電氣的に接続されている。

【0066】

図 11 に示すように、第 1 搭載層 13A の主搭載部 13a には、パワー半導体素子 40 として複数（本実施形態では 5 個）の第 1 パワー半導体素子 40A が配置されている。複数の第 1 パワー半導体素子 40A は、縦方向 Y に揃った状態で横方向 X において互いに離間して配列されている。このため、複数の第 1 パワー半導体素子 40A の配列方向である横方向 X は、特許請求の範囲に記載の第 1 方向である。また、本実施形態では、厚さ方向 Z からみて、横方向 X と直交する縦方向 Y は、厚さ方向からみて第 1 方向と交差する第 2 方向である。複数の第 1 パワー半導体素子 40A はそれぞれ、縦方向 Y における主搭載部 13a のうちの第 2 搭載層 14A 側の端部に配置されている。横方向 X において、複数の第 1 パワー半導体素子 40A は、端子側接続部 13b 及び層間接続部 13c に配置されていない。

【0067】

図 9 及び図 10 に示すように、各第 1 パワー半導体素子 40A は、厚さ方向 Z において互いに反対側を向く素子主面 40s 及び素子裏面 40r を有する。ここで、第 1 パワー半導体素子 40A の素子主面 40s は、特許請求の範囲に記載の第 1 素子主面であり、第 1 パワー半導体素子 40A の素子裏面 40r は、特許請求の範囲に記載の第 1 素子裏面である。各第 1 パワー半導体素子 40A は、素子裏面 40r が主搭載部 13a と対面するように第 1 搭載層 13A に配置されている。素子裏面 40r は、導電性接合材によって主搭載部 13a に接合されている。導電性接合材の一例は、Ag ペーストや半田である。素子裏面 40r には、第 1 駆動電極の一例であるドレイン電極 41（図 8 参照）が形成されている。このため、ドレイン電極 41 は、第 1 搭載層 13A に電氣的に接続されている。第 1 搭載層 13A が第 1 入力端子 51A と電氣的に接続されているため、ドレイン電極 41 は、第 1 搭載層 13A を介して第 1 入力端子 51A と電氣的に接続されている。

【0068】

図 11 に示すように、素子主面 40s には、第 2 駆動電極の一例であるソース電極 42 及び制御電極の一例であるゲート電極 43 が形成されている。ソース電極 42 は、主ソース電極 42A、第 1 ソース電極 42B、及び第 2 ソース電極 42C を含む。

【0069】

主ソース電極 42A は、素子主面 40s のうちの縦方向 Y における第 2 搭載層 14A 側の部分に形成されている。主ソース電極 42A の平面視における形状は、横方向 X が長辺方向となり、縦方向 Y が短辺方向となる矩形状であり、素子主面 40s の面積の半分以上を占めている。主ソース電極 42A には、接続部材 30 として第 1 素子接続部材 31A が接続されている。このため、平面視において、複数の第 1 素子接続部材 31A は、複数の第 1 パワー半導体素子 40A の配列方向と同一方向である横方向 X に互いに離間して配列されている。第 1 素子接続部材 31A は、平面視において縦方向 Y に延びる帯状に形成されている。第 1 素子接続部材 31A は、例えば Cu 又は Cu 合金の薄板、あるいは Al（アルミニウム）又は Al 合金の薄板からなる。また、第 1 素子接続部材 31A は、第 2 搭載層 14A に接続されている。より詳細には、第 1 素子接続部材 31A は、縦方向 Y にお

る第2搭載層14Aのうちの第1搭載層13A側の端部に接続されている。このように、第1素子接続部材31Aは、各第1パワー半導体素子40Aの主ソース電極42Aと第2搭載層14Aとを接続している。このため、各第1パワー半導体素子40Aのソース電極42（図8参照）は、第2搭載層14Aに電氣的に接続されている。

【0070】

第1ソース電極42B、第2ソース電極42C、及びゲート電極43はそれぞれ、素子主面40sのうちの縦方向Yにおける第1駆動層23側の端部に配置されている。第1ソース電極42B、第2ソース電極42C、及びゲート電極43は、縦方向Yに揃った状態で横方向Xに離間して配列されている。ゲート電極43は、横方向Xにおいて第1ソース電極42Bと第2ソース電極42Cとの間に配置されている。平面視におけるゲート電極43の形状は、矩形状である。第1ソース電極42Bは、ゲート電極43に対して第1基板11の第4基板側面11d側に配置されており、第2ソース電極42Cは、ゲート電極43に対して第1基板11の第3基板側面11c側に配置されている。平面視における第1ソース電極42Bの形状及び第2ソース電極42Cの形状は、互いに同じであり、横方向Xが長辺方向となり、縦方向Yが短辺方向となる矩形状である。

【0071】

各第1パワー半導体素子40Aにおいて、第1ソース電極42Bと第1駆動層23とは、接続部材30として第1駆動側接続部材33Aによって接続されており、ゲート電極43と第1制御層21とは、接続部材30として第1制御側接続部材32Aによって接続されている。

【0072】

第2搭載層14Aの主搭載部14aには、パワー半導体素子40として複数（本実施形態では5個）の第2パワー半導体素子40Bが配置されている。複数の第2パワー半導体素子40Bは、縦方向Yに揃った状態で横方向X（第1方向）において互いに離間して配列されている。複数の第2パワー半導体素子40Bはそれぞれ、縦方向Yにおける主搭載部14aのうちの導電層15A側の端部に配置されている。横方向Xにおいて、複数の第2パワー半導体素子40Bは、層間接続部14bに配置されていない。

【0073】

各第2パワー半導体素子40Bの構成は、第1パワー半導体素子40Aの構成と同じであるため、共通する構成要素には同一符号を付し、その説明を省略する。また各第2パワー半導体素子40Bと第2搭載層14Aの主搭載部14aとの接合構造は、各第1パワー半導体素子40Aと第1搭載層13Aの主搭載部13aとの接合構造と同じである。このため、各第2パワー半導体素子40Bのドレイン電極41（図8参照）は、第2搭載層14Aに電氣的に接続されている。第2搭載層14Aが連結部材90B及び第2搭載層14Bを介して各出力端子52A、52Bに接続されているため、ドレイン電極41は、第2搭載層14A、14B及び連結部材90Bを介して各出力端子52A、52Bと電氣的に接続されている。また、各第2パワー半導体素子40Bのドレイン電極41が第2搭載層14Aに電氣的に接続されているため、ドレイン電極41は、各第1パワー半導体素子40Aのソース電極42と電氣的に接続されている。

【0074】

各第2パワー半導体素子40Bの主ソース電極42Aには、接続部材30として第2素子接続部材31Bが接続されている。このため、平面視において、複数の第2素子接続部材31Bは、複数の第2パワー半導体素子40Bの配列方向と同一方向である横方向Xに互いに離間して配列されている。第2素子接続部材31Bは、平面視において縦方向Yに延びる帯状に形成されている。第2素子接続部材31Bは、例えばCu又はCu合金の薄板からなる。また、第2素子接続部材31Bは、導電層15Aに接続されている。より詳細には、第2素子接続部材31Bは、縦方向Yにおける導電層15Aの主導電部15aのうちの第2搭載層14A側の端部に接続されている。このように、各第2パワー半導体素子40Bのソース電極42（図8参照）は、導電層15Aに電氣的に接続されている。導電層15Aが第2入力端子51Bと電氣的に接続されているため、各第2パワー半導体素

子 4 0 B のソース電極 4 2 は、第 2 入力端子 5 1 B と電氣的に接続されている。

【 0 0 7 5 】

各第 2 パワー半導体素子 4 0 B において、第 1 ソース電極 4 2 B と第 2 駆動層 2 7 とは、接続部材 3 0 として第 2 駆動側接続部材 3 3 B によって接続されており、ゲート電極 4 3 と第 2 制御層 2 5 とは、接続部材 3 0 として第 2 制御側接続部材 3 2 B によって接続されている。

【 0 0 7 6 】

図 1 2 に示すように、第 1 搭載層 1 3 B の主搭載部 1 3 d には、パワー半導体素子 4 0 として複数（本実施形態では 5 個）の第 1 パワー半導体素子 4 0 A が配置されている。複数の第 1 パワー半導体素子 4 0 A は、縦方向 Y に揃った状態で横方向 X（第 1 方向）において互いに離間して配列されている。複数の第 1 パワー半導体素子 4 0 A はそれぞれ、縦方向 Y における主搭載部 1 3 d のうちの第 2 搭載層 1 4 B 側の端部に配置されている。横方向 X において、複数の第 1 パワー半導体素子 4 0 A は、端子側接続部 1 3 e 及び層間接続部 1 3 f に配置されていない。

10

【 0 0 7 7 】

各第 1 パワー半導体素子 4 0 A のドレイン電極 4 1 は、第 1 搭載層 1 3 B と電氣的に接続されている。第 1 搭載層 1 3 B が連結部材 9 0 A 及び第 1 搭載層 1 3 A を介して第 1 入力端子 5 1 A に電氣的に接続されているため、各第 1 パワー半導体素子 4 0 A のドレイン電極 4 1 は、第 1 入力端子 5 1 A と電氣的に接続されている。

【 0 0 7 8 】

各第 1 パワー半導体素子 4 0 A の主ソース電極 4 2 A には、接続部材 3 0 として第 1 素子接続部材 3 1 A が接続されている。また、第 1 素子接続部材 3 1 A は、第 2 搭載層 1 4 B に接続されている。より詳細には、第 1 素子接続部材 3 1 A は、縦方向 Y における第 2 搭載層 1 4 B のうちの第 1 搭載層 1 3 B 側の端部に接続されている。このように、各第 1 パワー半導体素子 4 0 A のソース電極 4 2（図 8 参照）は、第 2 搭載層 1 4 B に電氣的に接続されている。

20

【 0 0 7 9 】

各第 1 パワー半導体素子 4 0 A において、第 1 ソース電極 4 2 B と第 1 駆動層 2 4 とは、接続部材 3 0 として第 1 駆動側接続部材 3 3 A によって接続されており、ゲート電極 4 3 と第 1 制御層 2 2 とは、接続部材 3 0 として第 1 制御側接続部材 3 2 A によって接続されている。

30

【 0 0 8 0 】

第 2 搭載層 1 4 B の主搭載部 1 4 c には、パワー半導体素子 4 0 として複数（本実施形態では 5 個）の第 2 パワー半導体素子 4 0 B が配置されている。複数の第 2 パワー半導体素子 4 0 B は、縦方向 Y に揃った状態で横方向 X において互いに離間して配列されている。複数の第 2 パワー半導体素子 4 0 B はそれぞれ、縦方向 Y における主搭載部 1 4 c のうちの導電層 1 5 B 側の端部に配置されている。横方向 X において、複数の第 2 パワー半導体素子 4 0 B は、端子側接続部 1 4 d 及び層間接続部 1 4 e に配置されていない。

【 0 0 8 1 】

各第 2 パワー半導体素子 4 0 B のドレイン電極 4 1（図 8 参照）は、第 2 搭載層 1 4 B に電氣的に接続されている。第 2 搭載層 1 4 B が各出力端子 5 2 A，5 2 B に接続されているため、ドレイン電極 4 1 は、第 2 搭載層 1 4 B を介して各出力端子 5 2 A，5 2 B と電氣的に接続されている。また、各第 2 パワー半導体素子 4 0 B のドレイン電極 4 1 が第 2 搭載層 1 4 B に電氣的に接続されているため、ドレイン電極 4 1 は、各第 1 パワー半導体素子 4 0 A のソース電極 4 2 と電氣的に接続されている。

40

【 0 0 8 2 】

各第 2 パワー半導体素子 4 0 B の主ソース電極 4 2 A には、接続部材 3 0 として第 2 素子接続部材 3 1 B が接続されている。また、第 2 素子接続部材 3 1 B は、導電層 1 5 B に接続されている。より詳細には、第 2 素子接続部材 3 1 B は、縦方向 Y における導電層 1 5 B の主導電部 1 5 d のうちの第 2 搭載層 1 4 B 側の端部に接続されている。このように

50

、第1素子接続部材31Aは、各第1パワー半導体素子40Aの主ソース電極42Aと第2搭載層14Aとを接続している。このため、各第2パワー半導体素子40Bのソース電極42（図8参照）は、導電層15Bに電氣的に接続されている。導電層15Bが連結部材90C及び導電層15Aを介して第2入力端子51Bと電氣的に接続されているため、各第2パワー半導体素子40Bのソース電極42は、第2入力端子51Bと電氣的に接続されている。

【0083】

各第2パワー半導体素子40Bにおいて、第1ソース電極42Bと第2駆動層28とは、接続部材30として第2駆動側接続部材33Bによって接続されており、ゲート電極43と第2制御層26とは、接続部材30として第2制御側接続部材32Bによって接続されている。

10

【0084】

次に、各制御層21、22、25、26及び各駆動層23、24、27、28の形状、並びに、各パワー半導体素子40A、40Bと各制御端子53A、53B及び各検出端子54A、54Bとの接続構造について説明する。

【0085】

図14に示すように、ケース80の側壁81Aは、縦方向Yにおいて第1制御層21、第1駆動層24、及びサーミスタ搭載層16と隣り合うように設けられている。このため、側壁81Aに設けられた第1制御端子53A、第1検出端子54A、電源電流端子55、及び一对の温度検出端子56はそれぞれ、縦方向Yにおいて第1制御層21、第1駆動層24、及びサーミスタ搭載層16と隣り合うように配置されている。

20

【0086】

より詳細には、第1制御端子53A及び第1検出端子54Aは、第1制御層21よりも第2基板12側に配置されており、縦方向Yにおいて第1駆動層24と隣り合うように配置されている。縦方向Yからみて、第1制御端子53A及び第1検出端子54Aはそれぞれ、第2基板12と重なるように配置されている。第1制御端子53A及び第1検出端子54Aは、横方向Xにおいて隣り合うように配置されている。第1制御端子53A及び第1検出端子54Aは、横方向Xにおいて第2基板12の第3基板側面12c寄りに配置されている。横方向Xにおいて、第1検出端子54Aは、第1制御端子53Aよりも端子台座82B側に配置されている。第1制御端子53Aと第1制御層21とは、接続部材30として第1制御端子側接続部材35Aによって接続されている。第1検出端子54Aと第1駆動層23とは、接続部材30として第1検出端子側接続部材36Aによって接続されている。

30

【0087】

このように、第1基板11の各第1パワー半導体素子40Aのゲート電極43は、第1制御側接続部材32A、第1制御層21、及び第1制御端子側接続部材35Aを介して第1制御端子53Aに電氣的に接続されている。第1制御層22が第1制御層接続部材93Aを介して第1制御層21と電氣的に接続されているため、第2基板12の各第1パワー半導体素子40Aのゲート電極43は、第1制御側接続部材32A、第1制御層22、第1制御層接続部材93A、第1制御層21、及び第1制御端子側接続部材35Aを介して第1制御端子53Aに電氣的に接続されている。

40

【0088】

また、第1駆動層23が第1駆動層接続部材94Aを介して第1駆動層24と電氣的に接続されているため、第1基板11の各第1パワー半導体素子40Aのソース電極42は、第1駆動側接続部材33A、第1駆動層24、第1駆動層接続部材94A、第1駆動層23、及び第1検出端子側接続部材36Aを介して第1検出端子54Aに電氣的に接続されている。第2基板12の各第1パワー半導体素子40Aのソース電極42は、第1駆動側接続部材33A、第1駆動層23、及び第1検出端子側接続部材36Aを介して第1検出端子54Aに電氣的に接続されている。

【0089】

50

電源電流端子 5 5 は、横方向 X において第 1 制御端子 5 3 A 及び第 1 検出端子 5 4 A よりも端子台座 8 2 B 側に配置されている。電源電流端子 5 5 は、縦方向 Y において第 1 搭載層 1 3 B の端子側接続部 1 3 e と隣り合うように配置されている。電源電流端子 5 5 と第 1 搭載層 1 3 B とは、電源電流検出側接続部材 3 4 によって接続されている。電源電流検出側接続部材 3 4 は、第 1 搭載層 1 3 B の端子側接続部 1 3 e のうちの縦方向 Y の第 2 基板 1 2 の第 1 基板側面 1 2 a 側の端部に接続されている。

【0090】

一对の温度検出端子 5 6 の一方は、第 1 制御層 2 1 よりも第 1 基板 1 1 の第 3 基板側面 1 1 c 側に配置されており、他方は、縦方向 Y からみて第 1 制御層 2 1 のうちの第 1 基板 1 1 の第 3 基板側面 1 1 c 側の端部と重なるように配置されている。一对の温度検出端子 5 6 は、縦方向 Y においてサーミスタ搭載層 1 6 と隣り合うように配置されている。一对の温度検出端子 5 6 とサーミスタ搭載層 1 6 とは、接続部材 3 0 としてサーミスタ側接続部材 3 7 によって接続されている。サーミスタ側接続部材 3 7 は、ワイヤボンディングによって形成される 2 本のワイヤからなる。1 本のワイヤは、サーミスタ搭載層 1 6 の一对の領域の一方の領域と一对の温度検出端子 5 6 の一方とを接続している。残りの 1 本のワイヤは、サーミスタ搭載層 1 6 の一对の領域の他方の領域と一对の温度検出端子 5 6 の他方とを接続している。このように、サーミスタ側接続部材 3 7 によって、サーミスタ 1 7 と温度検出端子 5 6 とが電氣的に接続されている。

【0091】

図 1 5 に示すように、第 1 制御層 2 1 は、第 1 制御側配線部 2 1 a、第 1 制御側迂回部 2 1 b、第 1 制御側連結部 2 1 c、及び第 1 制御側接続部 2 1 d を有する。本実施形態では、第 1 制御層 2 1 は、第 1 制御側配線部 2 1 a、第 1 制御側迂回部 2 1 b、第 1 制御側連結部 2 1 c、及び第 1 制御側接続部 2 1 d が一体に形成された単一部材である。第 1 制御層 2 1 は、例えば銅箔からなる。平面視における第 1 制御側配線部 2 1 a、第 1 制御側迂回部 2 1 b、及び第 1 制御側連結部 2 1 c のそれぞれの形状は、細帯状である。

【0092】

第 1 制御側配線部 2 1 a は、横方向 X に沿って延びている。横方向 X における第 1 制御側配線部 2 1 a のうちの第 1 基板 1 1 の第 4 基板側面 1 1 d 側の端部 2 1 e は、横方向 X において、複数の第 1 パワー半導体素子 4 0 A のうちの最も第 4 基板側面 1 1 d 側の第 1 パワー半導体素子 4 0 A a よりも第 1 基板 1 1 の第 4 基板側面 1 1 d 側に位置している。端部 2 1 e は、縦方向 Y からみて、第 1 搭載層 1 3 A の層間接続部 1 3 c と重なっている。縦方向 Y からみて、第 1 制御側配線部 2 1 a は、複数の第 1 パワー半導体素子 4 0 A のうちの最も第 3 基板側面 1 1 c 側の第 1 パワー半導体素子 4 0 A b 以外の 4 個の第 1 パワー半導体素子 4 0 A と重なるように横方向 X に延びている。

【0093】

第 1 制御側配線部 2 1 a には、複数の第 1 パワー半導体素子 4 0 A のそれぞれに接続された第 1 制御側接続部材 3 2 A が接続されている。複数の第 1 制御側接続部材 3 2 A は、複数の第 1 パワー半導体素子 4 0 A の配列方向と同一方向である横方向 X に互いに離間して配列されている。複数の第 1 パワー半導体素子 4 0 A のうちの第 1 パワー半導体素子 4 0 A b 以外の第 1 パワー半導体素子 4 0 A に接続された第 1 制御側接続部材 3 2 A はそれぞれ、平面視において縦方向 Y に沿って延びている。第 1 パワー半導体素子 4 0 A b に接続された第 1 制御側接続部材 3 2 A は、第 1 制御側連結部 2 1 c に接続されている。第 1 パワー半導体素子 4 0 A b のゲート電極 4 3 が横方向 X において第 1 制御側連結部 2 1 c よりも第 1 基板 1 1 の第 3 基板側面 1 1 c 側に位置しているため、第 1 パワー半導体素子 4 0 A b に接続された第 1 制御側接続部材 3 2 A は、第 1 制御側連結部 2 1 c に向かうにつれて第 1 基板 1 1 の第 4 基板側面 1 1 d に向けて斜めに延びている。

【0094】

第 1 制御側迂回部 2 1 b は、縦方向 Y において第 1 制御側配線部 2 1 a と離間して配置されている。第 1 制御側迂回部 2 1 b は、縦方向 Y において、第 1 制御側配線部 2 1 a に対して第 1 駆動層 2 3 側とは反対側に配置されている。第 1 制御側迂回部 2 1 b は、横方

10

20

30

40

50

向Xに沿って延びている。第1制御側迂回部21bの横方向Xの長さは、第1制御側配線部21aの横方向Xの長さよりも長い。図15から分かるとおり、第1制御側迂回部21bには、第1制御側接続部材32Aが接続されていない。すなわち、第1制御側接続部材32Aは、第1制御側迂回部21bに電気的には接続されているが、物理的に接触していない。

【0095】

第1制御側連結部21cは、第1制御側配線部21aと第1制御側迂回部21bとを連結している。より詳細には、第1制御側連結部21cは、横方向Xにおける第1制御側配線部21aのうちの第1基板11の第3基板側面11c側の端部と、横方向Xにおける第1制御側迂回部21bのうちの第3基板側面11c側の端部とを連結している。第1制御側連結部21cは、縦方向Yに延びている。縦方向Yからみて、第1制御側連結部21cは、第1パワー半導体素子40Abのうちの横方向Xにおける第1基板11の第4基板側面11d側の端部と重なるように配置されている。

【0096】

第1制御側接続部21dは、第1制御側迂回部21bの先端部に形成されている。第1制御側接続部21dは、横方向Xにおいて、第1制御側配線部21aよりも第1基板11の第4基板側面11d側に位置している。第1制御側接続部21dは、縦方向Yに延びている。第1制御側接続部21dの幅寸法（第1制御側接続部21dの横方向Xの寸法）は、第1制御側迂回部21bの幅寸法（第1制御側迂回部21bの縦方向Yの寸法）よりも大きい。第1制御側接続部21dは、縦方向Yにおける第1制御側接続部21dのうちの第1駆動層23側の端縁が縦方向Yにおける第1制御側配線部21aのうちの第1駆動層23側の端縁と縦方向Yに揃った状態で横方向Xにおいて第1制御側配線部21aから離間して配置されている。

【0097】

第1駆動層23は、横方向Xに沿って延びている。平面視における第1駆動層23の形状は、細帯状である。本実施形態では、第1駆動層23の幅寸法（第1駆動層23の縦方向Yの寸法）は、第1制御層21における第1制御側配線部21aの幅寸法（第1制御側配線部21aの縦方向Yの寸法）と等しい。また、第1駆動層23の幅寸法は、第1制御層21における第1制御側迂回部21bの幅寸法（第1制御側迂回部21bの縦方向Yの寸法）と等しい。

【0098】

ここで、第1駆動層23の縦方向Yの寸法と第1制御層21における第1制御側配線部21aの縦方向Yの寸法との差が例えば第1制御層21における第1制御側配線部21aの縦方向Yの寸法の5%以内であれば、第1駆動層23の幅寸法が第1制御層21における第1制御側配線部21aの幅寸法と等しいといえる。また、第1駆動層23の縦方向Yの寸法と第1制御層21における第1制御側迂回部21bの縦方向Yの寸法との差が例えば第1制御層21における第1制御側迂回部21bの縦方向Yの寸法の5%以内であれば、第1駆動層23の幅寸法が第1制御層21における第1制御側迂回部21bの幅寸法と等しいといえる。

【0099】

第1駆動層23の横方向Xの長さは、第1制御層21における第1制御側配線部21aの横方向Xの長さよりも長い。また、第1駆動層23の横方向Xの長さは、第1制御層21における第1制御側迂回部21bの横方向Xの長さよりも長い。縦方向Yからみて、横方向Xにおける第1駆動層23のうちの第1基板11の第3基板側面11c側の端部は、第1制御層21の第1制御側連結部21cと揃っている。縦方向Yからみて、横方向Xにおける第1駆動層23のうちの第1基板11の第4基板側面11d側の端部は、第1制御層21の第1制御側接続部21dと揃っている。また、縦方向Yからみて、横方向Xにおける第1駆動層23のうちの第1基板11の第4基板側面11d側の端部及び第1制御層21の第1制御側接続部21dはそれぞれ、第1搭載層13Aの層間接続部13cと揃っている。

【0100】

第1駆動層23には、複数の第1パワー半導体素子40Aのそれぞれに接続された第1駆動側接続部材33Aが接続されている。複数の第1駆動側接続部材33Aは、複数の第1パワー半導体素子40Aの配列方向と同一方向である横方向Xに互いに離間して配列されている。複数の第1パワー半導体素子40Aに接続された第1駆動側接続部材33Aはそれぞれ、平面視において縦方向Yに沿って延びている。

【0101】

図16に示すように、第1駆動層24は、第1駆動側配線部24a、第1駆動側迂回部24b、第1駆動側連結部24c、及び第1駆動側接続部24dを有する。本実施形態では、第1駆動層24は、第1駆動側配線部24a、第1駆動側迂回部24b、第1駆動側連結部24c、及び第1駆動側接続部24dが一体に形成された単一部材である。第1駆動層24は、例えば銅箔からなる。平面視における第1駆動側配線部24a、第1駆動側迂回部24b、及び第1駆動側連結部24cのそれぞれの形状は、細帯状である。

10

【0102】

第1駆動側配線部24aは、横方向Xに沿って延びている。横方向Xにおける第1駆動側配線部24aのうちの第2基板12の第3基板側面12c側の端部24eは、横方向Xにおいて、複数の第1パワー半導体素子40Aのうちの最も第3基板側面12c側の第1パワー半導体素子40Acよりも第2基板12の第3基板側面12c側に位置している。

【0103】

第1駆動側配線部24aには、複数の第1パワー半導体素子40Aのそれぞれに接続された第1駆動側接続部材33Aが接続されている。複数の第1駆動側接続部材33Aは、複数の第1パワー半導体素子40Aの配列方向と同一方向である横方向Xに互いに離間して配列されている。複数の第1パワー半導体素子40Aに接続された第1駆動側接続部材33Aはそれぞれ、平面視において縦方向Yに沿って延びている。

20

【0104】

第1駆動側迂回部24bは、縦方向Yにおいて第1駆動側配線部24aと離間して配置されている。第1駆動側迂回部24bは、縦方向Yにおいて、第1制御層22に対して第1駆動側配線部24a側とは反対側に配置されている。第1駆動側迂回部24bは、横方向Xに沿って延びている。第1駆動側迂回部24bの横方向Xの長さは、第1駆動側配線部24aの横方向Xの長さよりも僅かに長い。図16から分かるとおり、第1駆動側迂回部24bには、第1駆動側接続部材33Aが接続されていない。すなわち、第1駆動側接続部材33Aは、第1駆動側迂回部24bに電気的には接続されているが、物理的に接触していない。

30

【0105】

第1駆動側連結部24cは、第1駆動側配線部24aと第1駆動側迂回部24bとを連結している。より詳細には、第1駆動側連結部24cは、横方向Xにおける第1駆動側配線部24aのうちの第2基板12の第4基板側面12d側の端部と、横方向Xにおける第1駆動側迂回部24bのうちの第4基板側面12d側の端部とを連結している。第1駆動側連結部24cは、縦方向Yに延びている。横方向Xにおいて、第1駆動側連結部24cは、第1搭載層13Bの端子側接続部13eと隣り合うように配置されている。縦方向Yからみて、第1駆動側連結部24cは、複数の第1パワー半導体素子40Aのうちの横方向Xにおける最も第2基板12の第4基板側面12d側の第1パワー半導体素子40Adと重なるように配置されている。

40

【0106】

第1駆動側接続部24dは、第1駆動側迂回部24bの先端部に形成されている。第1駆動側接続部24dは、横方向Xにおいて、第1駆動側配線部24aよりも第2基板12の第3基板側面12c側に位置している。第1駆動側接続部24dは、縦方向Yに延びている。縦方向Yにおいて、第1駆動側接続部24dは、第1搭載層13Bの層間接続部13fと隣り合うように配置されている。第1駆動側接続部24dの幅寸法（第1駆動側接続部24dの横方向Xの寸法）は、第1駆動側迂回部24bの幅寸法（第1駆動側迂回部

50

24bの縦方向Yの寸法)よりも大きい。第1駆動側接続部24dは、縦方向Yにおける第1駆動側接続部24dのうちの第1搭載層13B側の端縁が縦方向Yにおける第1駆動側配線部24aのうちの第1搭載層13B側の端縁と縦方向Yに揃った状態で横方向Xにおいて第1駆動側配線部24aから離間して配置されている。

【0107】

第1制御層22は、横方向Xに沿って延びている。平面視における第1制御層22の形状は、細帯状である。本実施形態では、第1制御層22の幅寸法(第1制御層22の縦方向Yの寸法)は、第1駆動層24における第1駆動側配線部24aの幅寸法(第1駆動側配線部24aの縦方向Yの寸法)と等しい。また、第1制御層22の幅寸法は、第1駆動層24における第1駆動側迂回部24bの幅寸法(第1駆動側迂回部24bの縦方向Yの寸法)と等しい。

10

【0108】

ここで、第1制御層22の縦方向Yの寸法と第1駆動層24における第1駆動側配線部24aの縦方向Yの寸法との差が例えば第1駆動層24における第1駆動側配線部24aの縦方向Yの寸法の5%以内であれば、第1制御層22の幅寸法が第1駆動層24における第1駆動側配線部24aの幅寸法と等しいといえる。また、第1制御層22の縦方向Yの寸法と第1駆動層24における第1駆動側迂回部24bの縦方向Yの寸法との差が例えば第1駆動層24における第1駆動側迂回部24bの縦方向Yの寸法の5%以内であれば、第1制御層22の幅寸法が第1駆動層24における第1駆動側迂回部24bの幅寸法と等しいといえる。

20

【0109】

第1制御層22の横方向Xの長さは、第1駆動層24における第1駆動側配線部24aの横方向Xの長さよりも僅かに短い。縦方向Yからみて、横方向Xにおける第1制御層22のうちの第2基板12の第3基板側面12c側の端部は、第1駆動層24の第1駆動側配線部24aの端部24eと揃っている。横方向Xからみて、第1制御層22は、第1駆動層24の第1駆動側接続部24dと重なっている。

【0110】

第1制御層22には、第2基板12の複数の第1パワー半導体素子40Aのそれぞれに接続された第1制御側接続部材32Aが接続されている。複数の第1制御側接続部材32Aは、複数の第1パワー半導体素子40Aの配列方向と同一方向である横方向Xに互いに離間して配列されている。複数の第1パワー半導体素子40Aのうちの最も第2基板12の第4基板側面12d寄りに配置された第1パワー半導体素子40Ad以外の4個の第1パワー半導体素子40Aに接続された第1制御側接続部材32Aはそれぞれ、平面視において縦方向Yに沿って延びている。第1パワー半導体素子40Adのゲート電極43が第1制御層22よりも第2基板12の第4基板側面12d側に配置されているため、第1パワー半導体素子40Adに接続された第1制御側接続部材32Aは、第2基板12の第1基板側面12aに向かうにつれて第3基板側面12c側に向けて斜めに延びている。

30

【0111】

図14～図16に示すように、第1制御側接続部21dには、第1制御端子側接続部材35A及び第1制御層接続部材93Aがそれぞれ接続されている。より詳細には、第1制御端子側接続部材35Aは、縦方向Yにおける第1制御側接続部21dのうちの第1基板11の第1基板側面11a側の端部に接続されている。

40

【0112】

第1制御層接続部材93Aは、縦方向Yにおける第1制御側接続部21dのうちの第1駆動層23側の端部に接続されている。また第1制御層接続部材93Aは、横方向Xにおける第1制御層22のうちの第2基板12の第3基板側面12c側の端部に接続されている。平面視において、第1制御層接続部材93Aは、横方向Xに沿って延びている。図16からわかるとおり、第1制御層接続部材93Aは、第1駆動層24の第1駆動側接続部24dを横方向Xに跨ぐように形成されている。

【0113】

50

第1駆動側接続部24dには、第1検出端子側接続部材36A及び第1駆動層接続部材94Aがそれぞれ接続されている。より詳細には、第1検出端子側接続部材36Aは、縦方向Yにおける第1駆動側接続部24dのうちの第2基板12の第1基板側面12a側の端部に接続されている。

【0114】

横方向Xにおける第1駆動層23のうちの第1基板11の第4基板側面11d側の端部には、第1駆動層接続部材94Aが接続されている。第1駆動層接続部材94Aは、縦方向Yにおける第1駆動側接続部24dのうちの第1搭載層13B側の端部に接続されている。平面視において、第1駆動層接続部材94Aは、横方向Xに沿って延びている。

【0115】

図17に示すように、ケース80の側壁81Bは、縦方向Yにおいて第2制御層26及び第2駆動層27と隣り合うように設けられている。このため、側壁81Bに設けられた第2制御端子53B及び第2検出端子54Bはそれぞれ、縦方向Yにおいて第2制御層26及び第2駆動層27と隣り合うように配置されている。

【0116】

より詳細には、第2制御端子53B及び第2検出端子54Bはそれぞれ、第2制御層26よりも第1基板11側に配置されており、縦方向Yにおいて第2駆動層27と隣り合うように配置されている。縦方向Yからみて、第2制御端子53B及び第2検出端子54Bはそれぞれ、第1基板11と重なるように配置されている。第2制御端子53B及び第2検出端子54Bは、横方向Xにおいて隣り合うように配置されている。第2制御端子53B及び第2検出端子54Bは、横方向Xにおいて第1基板11の第4基板側面11d寄りに配置されている。横方向Xにおいて、第2検出端子54Bは、第2制御端子53Bよりも端子台座82A側に配置されている。第2制御端子53Bと第2制御層26とは、接続部材30として第2制御端子側接続部材35Bによって接続されている。第2検出端子54Bと第2駆動層27とは、接続部材30として第2検出端子側接続部材36Bによって接続されている。

【0117】

このように、第2制御層25が第2制御層接続部材93Bを介して第2制御層26と電氣的に接続されているため、第1基板11の各第2パワー半導体素子40Bのゲート電極43は、第2制御側接続部材32B、第2制御層25、第2制御層接続部材93B、第2制御層26、及び第2制御端子側接続部材35Bを介して第2制御端子53Bに電氣的に接続されている。第2基板12の各第2パワー半導体素子40Bのゲート電極43は、第2制御側接続部材32B、第2制御層26、及び第2制御端子側接続部材35Bを介して第1制御端子53Aに電氣的に接続されている。

【0118】

また、第1基板11の各第2パワー半導体素子40Bのソース電極42は、第2駆動側接続部材33B、第2駆動層27、及び第2検出端子側接続部材36Bを介して第2検出端子54Bに電氣的に接続されている。また、第2駆動層28が第2駆動層接続部材94Bを介して第2駆動層27と電氣的に接続されているため、第2基板12の各第2パワー半導体素子40Bのソース電極42は、第2駆動側接続部材33B、第2駆動層27、第2駆動層接続部材94B、第2駆動層28、及び第2検出端子側接続部材36Bを介して第2検出端子54Bに電氣的に接続されている。

【0119】

図18に示すように、第2駆動層27は、第2駆動側配線部27a、第2駆動側迂回部27b、第2駆動側連結部27c、及び第2駆動側接続部27dを有する。本実施形態では、第2駆動層27は、第2駆動側配線部27a、第2駆動側迂回部27b、第2駆動側連結部27c、及び第2駆動側接続部27dが一体に形成された単一部材である。第2駆動層27は、例えば銅箔からなる。平面視における第2駆動側配線部27a、第2駆動側迂回部27b、及び第2駆動側連結部27cのそれぞれの形状は、細帯状である。

【0120】

第2駆動側配線部27aは、横方向Xに沿って延びている。縦方向Yにおいて、第2駆動側配線部27aは、導電層15Aと隣り合うように配置されている。横方向Xにおける第2駆動側配線部27aのうちの第1基板11の第4基板側面11d側の端部27eは、横方向Xにおいて、複数の第2パワー半導体素子40Bのうちの最も第4基板側面11d側の第2パワー半導体素子40Baよりも第1基板11の第4基板側面11d側に位置している。縦方向Yからみて、第2駆動側配線部27aは、第1基板11に配置された全ての第2パワー半導体素子40Bと重なるように横方向Xに延びている。

【0121】

第2駆動側配線部27aには、複数の第2パワー半導体素子40Bのそれぞれに接続された第2駆動側接続部材33Bが接続されている。複数の第2駆動側接続部材33Bは、複数の第2パワー半導体素子40Bの配列方向と同一方向である横方向Xに互いに離間して配列されている。複数の第2パワー半導体素子40Bに接続された第2駆動側接続部材33Bはそれぞれ、平面視において縦方向Yに沿って延びている。

10

【0122】

第2駆動側迂回部27bは、縦方向Yにおいて第2駆動側配線部27aと離間して配置されている。第2駆動側迂回部27bは、縦方向Yにおいて、第2制御層25に対して第2駆動側配線部27a側とは反対側に配置されている。第2駆動側迂回部27bは、縦方向Yにおいて、第2制御層25よりも第1基板11の第2基板側面11b側に配置されている。縦方向Yにおいて、第2駆動側迂回部27bは、第1基板11の第2基板側面11bと隣り合うように配置されている。第2駆動側迂回部27bは、横方向Xに沿って延びている。第2駆動側迂回部27bの横方向Xの長さは、第2駆動側配線部27aの横方向Xの長さよりも僅かに長い。図18から分かるとおり、第2駆動側迂回部27bには、第2駆動側接続部材33Bが接続されていない。すなわち、第2駆動側接続部材33Bは、第2駆動側迂回部27bに電気的には接続されているが、物理的に接触していない。

20

【0123】

第2駆動側連結部27cは、第2駆動側配線部27aと第2駆動側迂回部27bとを連結している。より詳細には、第2駆動側連結部27cは、横方向Xにおける第2駆動側配線部27aのうちの第1基板11の第3基板側面11c側の端部と、横方向Xにおける第2駆動側迂回部27bのうちの第3基板側面11c側の端部とを連結している。第2駆動側連結部27cは、縦方向Yに延びている。縦方向Yからみて、第2駆動側連結部27cは、第2パワー半導体素子40Bのうちの最も第3基板側面11c側の第2パワー半導体素子40Bbのうちの横方向Xにおける第1基板11の第3基板側面11c側の端部と重なるように配置されている。

30

【0124】

第2駆動側接続部27dは、第2駆動側迂回部27bの先端部に形成されている。第2駆動側接続部27dは、横方向Xにおいて、第2駆動側配線部27aよりも第1基板11の第4基板側面11d側に位置している。第2駆動側接続部27dは、縦方向Yに延びている。第2駆動側接続部27dの幅寸法（第2駆動側接続部27dの横方向Xの寸法）は、第2駆動側迂回部27bの幅寸法（第2駆動側迂回部27bの縦方向Yの寸法）よりも大きい。第2駆動側接続部27dは、縦方向Yにおける第2駆動側接続部27dのうちの導電層15A側の端縁が縦方向Yにおける第2駆動側配線部27aのうちの導電層15A側の端縁と縦方向Yに揃った状態で横方向Xにおいて第2駆動側配線部27aから離間して配置されている。

40

【0125】

第2制御層25は、横方向Xに沿って延びている。平面視における第2制御層25の形状は、細帯状である。本実施形態では、第2制御層25の幅寸法（第2制御層25の縦方向Yの寸法）は、第2駆動層27における第2駆動側配線部27aの幅寸法（第2駆動側配線部27aの縦方向Yの寸法）と等しい。また、第2制御層25の幅寸法は、第2駆動層27における第2駆動側迂回部27bの幅寸法（第2駆動側迂回部27bの縦方向Yの寸法）と等しい。

50

【0126】

ここで、第2制御層25の縦方向Yの寸法と第2駆動層27における第2駆動側配線部27aの縦方向Yの寸法との差が例えば第2駆動層27における第2駆動側配線部27aの縦方向Yの寸法の5%以内であれば、第2制御層25の幅寸法が第2駆動層27における第2駆動側配線部27aの幅寸法と等しいといえる。また、第2制御層25の縦方向Yの寸法と第2駆動層27における第2駆動側迂回部27bの縦方向Yの寸法との差が例えば第2駆動層27における第2駆動側迂回部27bの縦方向Yの寸法の5%以内であれば、第2制御層25の幅寸法が第2駆動層27における第2駆動側迂回部27bの幅寸法と等しいといえる。

【0127】

第2制御層25の横方向Xの長さは、第2駆動層27における第2駆動側配線部27aの横方向Xの長さよりも僅かに短い。縦方向Yからみて、横方向Xにおける第2制御層25のうちの第1基板11の第4基板側面11d側の端部25xは、第2駆動層27の第2駆動側配線部27aの端部27eと揃っている。

【0128】

第2制御層25には、複数の第2パワー半導体素子40Bのそれぞれに接続された第2制御側接続部材32Bが接続されている。複数の第2制御側接続部材32Bは、複数の第2パワー半導体素子40Bの配列方向と同一方向である横方向Xに互いに離間して配列されている。複数の第2パワー半導体素子40Bに接続された第2制御側接続部材32Bはそれぞれ、平面視において縦方向Yに沿って延びている。横方向Xにおける第1駆動層23のうちの第1基板11の第4基板側面11d側の端部には、第1駆動層接続部材94Aが接続されている。

【0129】

図19に示すように、第2制御層26は、第2制御側配線部26a、第2制御側迂回部26b、第2制御側連結部26c、及び第2制御側接続部26dを有する。本実施形態では、第2制御層26は、第2制御側配線部26a、第2制御側迂回部26b、第2制御側連結部26c、及び第2制御側接続部26dが一体に形成された単一部材である。第2制御層26は、例えば銅箔からなる。平面視における第2制御側配線部26a、第2制御側迂回部26b、及び第2制御側連結部26cのそれぞれの形状は、細帯状である。

【0130】

第2制御側配線部26aは、横方向Xに沿って延びている。横方向Xにおける第2制御側配線部26aのうちの第2基板12の第3基板側面12c側の端部26eは、横方向Xにおいて、複数の第2パワー半導体素子40Bのうちの最も第3基板側面12c側の第2パワー半導体素子40Bよりも第2基板12の第3基板側面12c側に位置している。

【0131】

第2制御側配線部26aには、複数の第2パワー半導体素子40Bのそれぞれに接続された第2制御側接続部材32Bが接続されている。複数の第2制御側接続部材32Bは、複数の第2パワー半導体素子40Bの配列方向と同一方向である横方向Xに互いに離間して配列されている。複数の第2パワー半導体素子40Bに接続された第2制御側接続部材32Bはそれぞれ、平面視において縦方向Yに沿って延びている。

【0132】

第2制御側迂回部26bは、縦方向Yにおいて第2制御側配線部26aと離間して配置されている。第2制御側迂回部26bは、縦方向Yにおいて、第2制御側配線部26aに対して第2駆動層28側とは反対側に配置されている。第2制御側迂回部26bは、縦方向Yにおいて第2基板12の第2基板側面12bと隣り合うように配置されている。第2制御側迂回部26bは、横方向Xに沿って延びている。第2制御側迂回部26bの横方向Xの長さは、第2制御側配線部26aの横方向Xの長さよりも僅かに長い。図19から分かりますとおり、第2制御側迂回部26bには、第2制御側接続部材32Bが接続されていない。すなわち、第2制御側接続部材32Bは、第2制御側迂回部26bに電気的には接続されているが、物理的に接触していない。

10

20

30

40

50

【0133】

第2制御側連結部26cは、第2制御側配線部26aと第2制御側迂回部26bとを連結している。より詳細には、第2制御側連結部26cは、横方向Xにおける第2制御側配線部26aのうちの第2基板12の第4基板側面12d側の端部と、横方向Xにおける第2制御側迂回部26bのうちの第4基板側面12d側の端部とを連結している。第2制御側連結部26cは、縦方向Yに延びている。横方向Xにおいて、第2制御側連結部26cは、第2搭載層14Bの端子側接続部14dと隣り合うように配置されている。縦方向Yからみて、第2制御側連結部26cは、複数の第2パワー半導体素子40Bのうちの横方向Xにおける最も第2基板12の第4基板側面12d側の第2パワー半導体素子40Bdと重なるように配置されている。

10

【0134】

第2制御側接続部26dは、第2制御側迂回部26bの先端部に形成されている。第2制御側接続部26dは、横方向Xにおいて、第2制御側配線部26aよりも第2基板12の第3基板側面12c側に位置している。第2制御側接続部26dは、縦方向Yに延びている。縦方向Yにおいて、第2制御側接続部26dは、第2駆動層28と隣り合うように配置されている。第2制御側接続部26dの幅寸法（第2制御側接続部26dの横方向Xの寸法）は、第2制御側迂回部26bの幅寸法（第2制御側迂回部26bの縦方向Yの寸法）よりも大きい。第2制御側接続部26dは、縦方向Yにおける第2制御側接続部26dのうちの第2駆動層28側の端縁が縦方向Yにおける第2制御側配線部26aのうちの第2駆動層28側の端縁と縦方向Yに揃った状態で横方向Xにおいて第2制御側配線部26aから離間して配置されている。

20

【0135】

第2駆動層28は、横方向Xに沿って延びている。平面視における第2駆動層28の形状は、細帯状である。本実施形態では、第2駆動層28の幅寸法（第2駆動層28の縦方向Yの寸法）は、第2制御層26における第2制御側配線部26aの幅寸法（第2制御側配線部26aの縦方向Yの寸法）と等しい。また、第2駆動層28の幅寸法は、第2制御層26における第2制御側迂回部26bの幅寸法（第2制御側迂回部26bの縦方向Yの寸法）と等しい。

【0136】

ここで、第2駆動層28の縦方向Yの寸法と第2制御層26における第2制御側配線部26aの縦方向Yの寸法との差が例えば第2制御層26における第2制御側配線部26aの縦方向Yの寸法の5%以内であれば、第2駆動層28の幅寸法が第2制御層26における第2制御側配線部26aの幅寸法と等しいといえる。また、第2駆動層28の縦方向Yの寸法と第2制御層26における第2制御側迂回部26bの縦方向Yの寸法との差が例えば第2制御層26における第2制御側迂回部26bの縦方向Yの寸法の5%以内であれば、第2駆動層28の幅寸法が第2制御層26における第2制御側迂回部26bの幅寸法と等しいといえる。

30

【0137】

第2駆動層28の横方向Xの長さは、第2制御層26における第2制御側配線部26aの横方向Xの長さよりも長い。縦方向Yからみて、横方向Xにおける第2駆動層28のうちの第2基板12の第4基板側面12d側の端部は、第2制御層26の第2制御側連結部26cと揃っている。縦方向Yからみて、横方向Xにおける第2駆動層28のうちの第2基板12の第3基板側面12c側の端部は、第2制御層26の第2制御側接続部26dと揃っている。

40

【0138】

第2駆動層28には、第2基板12の複数の第2パワー半導体素子40Bのそれぞれに接続された第2駆動側接続部材33Bが接続されている。複数の第2駆動側接続部材33Bは、複数の第2パワー半導体素子40Bの配列方向と同一方向である横方向Xに互いに離間して配列されている。複数の第2パワー半導体素子40Bに接続された第2駆動側接続部材33Bは、平面視において縦方向Yに沿って延びている。

50

【0139】

図17～図19に示すように、第2駆動側迂回部27bには、第2検出端子側接続部材36Bが接続されている。より詳細には、第2検出端子側接続部材36Bは、第2駆動側迂回部27bのうちの第2駆動側接続部27d側の端部に接続されている。

【0140】

第2駆動側接続部27dには、第2駆動層接続部材94Bがそれぞれ接続されている。より詳細には、第2駆動層接続部材94Bは、縦方向Yにおける第2駆動側接続部27dのうちの導電層15A側の端部に接続されている。また、第2駆動層接続部材94Bは、横方向Xにおける第2駆動層28のうちの第2基板12の第3基板側面12c側の端部に接続されている。平面視において、第2駆動層接続部材94Bは、横方向Xに沿って延び

10

【0141】

第2制御層25のうちの第1基板11の第4基板側面11d側の端部25xには、第2制御層接続部材93Bが接続されている。また、第2制御層接続部材93Bは、第2制御層26の第2制御側接続部26dに接続されている。第2制御層接続部材93Bは、縦方向Yにおける第2制御側接続部26dのうちの第2駆動層28側の端部に接続されている。平面視において、第2制御層接続部材93Bは、横方向Xに沿って延びている。また、図18に示すとおり、第2制御層接続部材93Bは、第2駆動層27の第2駆動側接続部27dを横方向Xに跨ぐように形成されている。

【0142】

第2制御側接続部26dには、第2制御端子側接続部材35Bが接続されている。より詳細には、第2制御端子側接続部材35Bは、縦方向Yにおける第2制御側接続部26dのうちの第2基板12の第2基板側面12b側の端部に接続されている。

20

【0143】

図11～図19に示すように、各制御側接続部材32A、32B、各駆動側接続部材33A、33B、電源電流検出側接続部材34、各制御端子側接続部材35A、35B、各検出端子側接続部材36A、36B、サーミスタ側接続部材37、各制御層接続部材93A、93B、及び各駆動層接続部材94A、94Bはそれぞれ、Au（金）、Au合金、Al、Al合金、Cu、又はCu合金からなるワイヤである。

【0144】

（導電経路）

次に、各パワー半導体素子40A、40Bと各制御端子53A、53Bとの間の第1導電経路である制御側導電経路と、各パワー半導体素子40A、40Bと各検出端子54A、54Bとの間の第2導電経路である駆動側導電経路とについて説明する。

【0145】

図14に示すように、第1基板11の複数の第1パワー半導体素子40Aのゲート電極43から第1制御端子53Aまでの第1制御側導電経路は、第1制御側接続部材32A、第1制御層21、及び第1制御端子側接続部材35Aによって構成されている。このため、第1基板11の複数の第1パワー半導体素子40Aに関する第1制御側導電経路は、第1パワー半導体素子40Abから第1パワー半導体素子40Aaに向かうにつれて順に長くなる。換言すると、複数の第1パワー半導体素子40Aのうちの第1パワー半導体素子40Aの配列方向（横方向X）の両端である第1端パワー半導体素子としての第1パワー半導体素子40Aa及び第2端パワー半導体素子としての第1パワー半導体素子40Abのそれぞれに関する第1制御側導電経路の長さの差が最も大きくなる。この場合、第1パワー半導体素子40Aaの第1制御側導電経路である第1端制御側導電経路の長さが最も長く、第1パワー半導体素子40Abの第1制御側導電経路である第2端制御側導電経路の長さが最も短い。

40

【0146】

第1基板11の複数の第1パワー半導体素子40Aのソース電極42から第1検出端子54Aまでの第1駆動側導電経路は、第1駆動側接続部材33A、第1駆動層23、第1

50

駆動層接続部材 9 4 A、第 1 駆動層 2 4 の第 1 駆動側接続部 2 4 d、及び第 1 検出端子側接続部材 3 6 A によって構成されている。このため、第 1 基板 1 1 の複数の第 1 パワー半導体素子 4 0 A に関する第 1 駆動側導電経路は、第 1 パワー半導体素子 4 0 A a から第 1 パワー半導体素子 4 0 A b に向かうにつれて順に長くなる。換言すると、複数の第 1 パワー半導体素子 4 0 A のうちの第 1 パワー半導体素子 4 0 A の配列方向（横方向 X）の両端である第 1 端パワー半導体素子としての第 1 パワー半導体素子 4 0 A a 及び第 2 端パワー半導体素子としての第 1 パワー半導体素子 4 0 A b のそれぞれに関する第 1 駆動側導電経路の長さの差が最も大きくなる。この場合、第 1 パワー半導体素子 4 0 A a の第 1 駆動側導電経路である第 1 端駆動側導電経路の長さが最も短く、第 1 パワー半導体素子 4 0 A b の第 1 駆動側導電経路である第 2 端駆動側導電経路の長さが最も長い。

10

【0147】

第 2 基板 1 2 の複数の第 1 パワー半導体素子 4 0 A のゲート電極 4 3 から第 1 制御端子 5 3 A までの第 1 制御側導電経路は、第 1 制御側接続部材 3 2 A、第 1 制御層 2 2、第 1 制御層接続部材 9 3 A、第 1 制御層 2 1 の第 1 制御側接続部 2 1 d、及び第 1 制御端子側接続部材 3 5 A によって構成されている。このため、第 2 基板 1 2 の複数の第 1 パワー半導体素子 4 0 A に関する第 1 制御側導電経路は、第 1 パワー半導体素子 4 0 A c から第 1 パワー半導体素子 4 0 A d に向かうにつれて順に長くなる。換言すると、複数の第 1 パワー半導体素子 4 0 A のうちの第 1 パワー半導体素子 4 0 A の配列方向（横方向 X）の両端である第 1 端パワー半導体素子としての第 1 パワー半導体素子 4 0 A c 及び第 2 端パワー半導体素子としての第 1 パワー半導体素子 4 0 A d のそれぞれに関する第 1 制御側導電経路の長さの差が最も大きくなる。この場合、第 1 パワー半導体素子 4 0 A c の第 1 制御側導電経路である第 1 端制御側導電経路の長さが最も短く、第 1 パワー半導体素子 4 0 A d の第 1 制御側導電経路である第 2 端制御側導電経路の長さが最も長い。

20

【0148】

第 2 基板 1 2 の複数の第 1 パワー半導体素子 4 0 A のソース電極 4 2 から第 1 検出端子 5 4 A までの第 1 駆動側導電経路は、第 1 駆動側接続部材 3 3 A、第 1 駆動層 2 4、及び第 1 検出端子側接続部材 3 6 A によって構成されている。このため、第 2 基板 1 2 の複数の第 1 パワー半導体素子 4 0 A に関する第 1 駆動側導電経路は、第 1 パワー半導体素子 4 0 A d から第 1 パワー半導体素子 4 0 A c に向かうにつれて順に長くなる。換言すると、複数の第 1 パワー半導体素子 4 0 A のうちの第 1 パワー半導体素子 4 0 A の配列方向（横方向 X）の両端である第 1 端パワー半導体素子としての第 1 パワー半導体素子 4 0 A c 及び第 2 端パワー半導体素子としての第 1 パワー半導体素子 4 0 A d のそれぞれに関する第 1 駆動側導電経路の長さの差が最も大きくなる。この場合、第 1 パワー半導体素子 4 0 A c の第 1 駆動側導電経路である第 1 端駆動側導電経路の長さが最も長く、第 1 パワー半導体素子 4 0 A d の第 1 駆動側導電経路である第 2 端駆動側導電経路の長さが最も短い。

30

【0149】

このように、本実施形態では、第 1 制御側導電経路の長さ第 1 駆動側導電経路の長さの合計の長さの複数の第 1 パワー半導体素子 4 0 A の間でのばらつきを低減するように、第 1 制御側迂回部 2 1 b 及び第 1 駆動側迂回部 2 4 b がそれぞれ形成されている。すなわち、本実施形態のパワーモジュール 1 A は、第 1 制御側迂回部 2 1 b 及び第 1 駆動側迂回部 2 4 b によって、第 1 導電経路の一例である第 1 制御側導電経路の長さ第 2 導電経路の一例である第 1 駆動側導電経路の長さとの和が複数の第 1 パワー半導体素子 4 0 A の間で互いに近づくように構成されている。

40

【0150】

また、本実施形態では、第 1 端制御側導電経路の長さ第 1 端駆動側導電経路の長さとの合計の長さ第 2 端制御側導電経路の長さ第 2 端駆動側導電経路の長さとの合計の長さとのばらつきを低減するように、第 1 制御側迂回部 2 1 b 及び第 1 駆動側迂回部 2 4 b がそれぞれ形成されている。

【0151】

なお、第 1 端制御側導電経路の長さ第 1 端駆動側導電経路の長さとの合計の長さは、

50

特許請求の範囲に記載の第1和の一例である。また、第2端制御側導電経路の長さとの合計の長さは、特許請求の範囲に記載の第2和の一例である。このため、本実施形態のパワーモジュール1Aは、第1制御側迂回部21b及び第1駆動側迂回部24bによって、第1和と第2和とが互いに近づくように構成されている。

【0152】

図17に示すように、第1基板11の複数の第2パワー半導体素子40Bのゲート電極43から第2制御端子53Bまでの第2制御側導電経路は、第2制御側接続部材32B、第2制御層25、第2制御層接続部材93B、第2制御層26の第2制御側接続部26d、及び第2制御端子側接続部材35Bによって構成されている。このため、第1基板11の複数の第2パワー半導体素子40Bに関する第3導電経路の一例である第2制御側導電経路は、第2パワー半導体素子40Baから第2パワー半導体素子40Bbに向かうにつれて順に長くなる。換言すると、複数の第2パワー半導体素子40Bのうちの第2パワー半導体素子40Bの配列方向（横方向X）の両端である第1端パワー半導体素子としての第2パワー半導体素子40Ba及び第2端パワー半導体素子としての第2パワー半導体素子40Bbのそれぞれに関する第2制御側導電経路の長さの差が最も大きくなる。この場合、第2パワー半導体素子40Baの第2制御側導電経路である第3端制御側導電経路の長さが最も短く、第2パワー半導体素子40Bbの第2制御側導電経路である第4端制御側導電経路の長さが最も長い。

10

【0153】

第1基板11の複数の第2パワー半導体素子40Bのソース電極42から第2検出端子54Bまでの第2駆動側導電経路は、第2駆動側接続部材33B、第2駆動層27、及び第2検出端子側接続部材36Bによって構成されている。このため、第1基板11の複数の第2パワー半導体素子40Bに関する第4導電経路の一例である第2駆動側導電経路は、第2パワー半導体素子40Bbから第2パワー半導体素子40Baに向かうにつれて順に長くなる。換言すると、複数の第2パワー半導体素子40Bのうちの第2パワー半導体素子40Bの配列方向（横方向X）の両端である第1端パワー半導体素子としての第2パワー半導体素子40Ba及び第2端パワー半導体素子としての第2パワー半導体素子40Bbのそれぞれに関する第2駆動側導電経路の長さの差が最も大きくなる。この場合、第2パワー半導体素子40Baの第2駆動側導電経路である第3端駆動側導電経路の長さが最も長く、第2パワー半導体素子40Bbの第2駆動側導電経路である第4端駆動側導電経路の長さが最も短い。

20

30

【0154】

第2基板12の複数の第2パワー半導体素子40Bのゲート電極43から第2制御端子53Bまでの第2制御側導電経路は、第2制御側接続部材32B、第2制御層26、及び第2制御端子側接続部材35Bによって構成されている。このため、第2基板12の複数の第2パワー半導体素子40Bに関する第3導電経路の一例である第2制御側導電経路は、第2パワー半導体素子40Bdから第2パワー半導体素子40Bcに向かうにつれて順に長くなる。換言すると、複数の第2パワー半導体素子40Bのうちの第2パワー半導体素子40Bの配列方向（横方向X）の両端である第1端パワー半導体素子としての第2パワー半導体素子40Bc及び第2端パワー半導体素子としての第2パワー半導体素子40Bdのそれぞれに関する第2制御側導電経路の長さの差が最も大きくなる。この場合、第2パワー半導体素子40Bcの第2制御側導電経路である第3端制御側導電経路の長さが最も長く、第2パワー半導体素子40Bdの第2制御側導電経路である第4端制御側導電経路の長さが最も短い。

40

【0155】

第2基板12の複数の第2パワー半導体素子40Bのソース電極42から第2検出端子54Bまでの第2駆動側導電経路は、第2駆動側接続部材33B、第2駆動層28、第2駆動層接続部材94B、第2駆動層27の第2駆動側接続部27d、及び第2検出端子側接続部材36Bによって構成されている。このため、第2基板12の複数の第2パワー半導体素子40Bに関する第4導電経路の一例である第2駆動側導電経路は、第2パワー半

50

導体素子 40Bc から第 2 パワー半導体素子 40Bd に向かうにつれて順に長くなる。換言すると、複数の第 2 パワー半導体素子 40B のうちの第 2 パワー半導体素子 40B の配列方向（横方向 X）の両端である第 1 端パワー半導体素子としての第 2 パワー半導体素子 40Bc 及び第 2 端パワー半導体素子としての第 2 パワー半導体素子 40Bd のそれぞれに関する第 2 駆動側導電経路の長さの差が最も大きくなる。この場合、第 2 パワー半導体素子 40Bc の第 2 駆動側導電経路である第 3 端駆動側導電経路の長さが最も短く、第 2 パワー半導体素子 40Bd の第 2 駆動側導電経路である第 4 端駆動側導電経路の長さが最も長い。

【0156】

このように、本実施形態では、第 2 制御側導電経路の長さ第 2 駆動側導電経路の長さの合計の長さの複数の第 2 パワー半導体素子 40B の間でのばらつきを低減するように、第 2 制御側迂回部 26b 及び第 2 駆動側迂回部 27b がそれぞれ形成されている。すなわち、本実施形態のパワーモジュール 1A は、第 2 制御側迂回部 26b 及び第 2 駆動側迂回部 27b によって、第 3 導電経路の一例である第 2 制御側導電経路の長さ第 4 導電経路の一例である第 2 駆動側導電経路の長さとの和が複数の第 2 パワー半導体素子 40B の間で互いに近づくように構成されている。

10

【0157】

また、本実施形態では、第 3 端制御側導電経路の長さ第 3 端駆動側導電経路の長さとの合計の長さ第 4 端制御側導電経路の長さ第 4 端駆動側導電経路の長さとの合計の長さとのばらつきを低減するように、第 1 制御側迂回部 21b 及び第 1 駆動側迂回部 24b がそれぞれ形成されている。

20

【0158】

なお、第 3 端制御側導電経路の長さ第 3 端駆動側導電経路の長さとの合計の長さは、特許請求の範囲に記載の第 3 和の一例である。また、第 4 端制御側導電経路の長さ第 4 端駆動側導電経路の長さとの合計の長さは、特許請求の範囲に記載の第 4 和の一例である。このため、本実施形態のパワーモジュール 1A は、第 2 制御側迂回部 26b 及び第 2 駆動側迂回部 27b によって、第 3 和と第 4 和とが近づくように構成されている。

【0159】

（作用）

本実施形態のパワーモジュール 1A の作用について説明する。なお、図 20 は、比較例のパワーモジュール 1X の内部構造を示している。図 20 では、便宜上、ケース 80 を省略して示している。以下では、まず、比較例のパワーモジュール 1X の構成について説明する。

30

【0160】

図 20 に示すように、パワーモジュール 1X は、本実施形態のパワーモジュール 1A と比較して、各制御層及び各駆動層の構成が異なる。便宜上、パワーモジュール 1X では、パワーモジュール 1A の各制御層 21, 22, 25, 26、及び各駆動層 23, 24, 27, 28 と対応する各制御層及び各駆動層について符号の後に「X」を付す。

【0161】

図 21 に示すように、第 1 制御層 21X 及び第 1 駆動層 23X は、縦方向 Y に離間して配置されている。第 1 駆動層 23X は、第 1 制御層 21X に対して第 1 搭載層 13A 側に配置されている。第 1 制御層 21X 及び第 1 駆動層 23X はともに、横方向 X に延びている。第 1 制御層 21X と第 1 制御端子 53A とは、第 1 制御端子側接続部材 35A によって電氣的に接続されている。第 1 制御層 21X と、第 1 基板 11 の複数の第 1 パワー半導体素子 40A のゲート電極 43 のそれぞれとは、第 1 制御側接続部材 32A によって電氣的に接続されている。第 1 駆動層 23X と、第 1 基板 11 の複数の第 1 パワー半導体素子 40A のソース電極 42 のそれぞれとは、第 1 駆動側接続部材 33A によって電氣的に接続されている。

40

【0162】

第 1 制御層 22X 及び第 1 駆動層 24X は、縦方向 Y に離間して配置されている。第 1

50

駆動層 2 4 X は、第 1 制御層 2 2 X に対して第 1 搭載層 1 3 B 側に配置されている。第 1 制御層 2 2 X 及び第 1 駆動層 2 4 X はともに、横方向 X に延びている。第 1 制御層 2 2 X と第 1 制御層 2 1 X とは、第 1 制御層接続部材 9 3 A によって電氣的に接続されている。第 1 駆動層 2 4 X と第 1 駆動層 2 3 X とは、第 1 駆動層接続部材 9 4 A によって電氣的に接続されている。第 1 駆動層 2 4 X と第 1 検出端子 5 4 A とは、第 1 検出端子側接続部材 3 6 A によって電氣的に接続されている。第 1 制御層 2 2 X と、第 2 基板 1 2 の複数の第 1 パワー半導体素子 4 0 A のゲート電極 4 3 のそれぞれとは、第 1 制御側接続部材 3 2 A によって電氣的に接続されている。第 1 駆動層 2 4 X と、第 2 基板 1 2 の複数の第 1 パワー半導体素子 4 0 A のソース電極 4 2 のそれぞれとは、第 1 駆動側接続部材 3 3 A によって電氣的に接続されている。

10

【0163】

第 1 基板 1 1 の複数の第 1 パワー半導体素子 4 0 A のゲート電極 4 3 から第 1 制御端子 5 3 A までの第 1 制御側導電経路は、第 1 制御側接続部材 3 2 A、第 1 制御層 2 1 X、及び第 1 制御端子側接続部材 3 5 A によって構成されている。このため、第 1 基板 1 1 の複数の第 1 パワー半導体素子 4 0 A に関する第 1 制御側導電経路は、第 1 パワー半導体素子 4 0 A a から第 1 パワー半導体素子 4 0 A b に向かうにつれて順に長くなる。換言すると、複数の第 1 パワー半導体素子 4 0 A のうちの第 1 パワー半導体素子 4 0 A の配列方向（横方向 X）の両端である第 1 端パワー半導体素子としての第 1 パワー半導体素子 4 0 A a 及び第 2 端パワー半導体素子としての第 1 パワー半導体素子 4 0 A b のそれぞれに関する第 1 制御側導電経路の長さの差が最も大きくなる。この場合、第 1 パワー半導体素子 4 0 A a の第 1 制御側導電経路である第 1 端制御側導電経路の長さが最も短く、第 1 パワー半導体素子 4 0 A b の第 1 制御側導電経路である第 2 端制御側導電経路の長さが最も長い。

20

【0164】

第 1 基板 1 1 の複数の第 1 パワー半導体素子 4 0 A のソース電極 4 2 から第 1 検出端子 5 4 A までの第 1 駆動側導電経路は、第 1 駆動側接続部材 3 3 A、第 1 駆動層 2 3 X、第 1 駆動層接続部材 9 4 A、第 1 駆動層 2 4 X、及び第 1 検出端子側接続部材 3 6 A によって構成されている。このため、第 1 基板 1 1 の複数の第 1 パワー半導体素子 4 0 A に関する第 1 駆動側導電経路は、第 1 パワー半導体素子 4 0 A a から第 1 パワー半導体素子 4 0 A b に向かうにつれて順に長くなる。換言すると、複数の第 1 パワー半導体素子 4 0 A のうちの第 1 パワー半導体素子 4 0 A の配列方向（横方向 X）の両端である第 1 端パワー半導体素子としての第 1 パワー半導体素子 4 0 A a 及び第 2 端パワー半導体素子としての第 1 パワー半導体素子 4 0 A b のそれぞれに関する第 1 駆動側導電経路の長さの差が最も大きくなる。この場合、第 1 パワー半導体素子 4 0 A a の第 1 駆動側導電経路である第 1 端駆動側導電経路の長さが最も短く、第 1 パワー半導体素子 4 0 A b の第 1 駆動側導電経路である第 2 端駆動側導電経路の長さが最も長い。

30

【0165】

第 2 基板 1 2 の複数の第 1 パワー半導体素子 4 0 A のゲート電極 4 3 から第 1 制御端子 5 3 A までの第 1 制御側導電経路は、第 1 制御側接続部材 3 2 A、第 1 制御層 2 2 X、第 1 制御層接続部材 9 3 A、第 1 制御層 2 1 X、及び第 1 制御端子側接続部材 3 5 A によって構成されている。このため、第 2 基板 1 2 の複数の第 1 パワー半導体素子 4 0 A に関する第 1 制御側導電経路は、第 1 パワー半導体素子 4 0 A c から第 1 パワー半導体素子 4 0 A d に向かうにつれて順に長くなる。換言すると、複数の第 1 パワー半導体素子 4 0 A のうちの第 1 パワー半導体素子 4 0 A の配列方向（横方向 X）の両端である第 1 端パワー半導体素子としての第 1 パワー半導体素子 4 0 A c 及び第 2 端パワー半導体素子としての第 1 パワー半導体素子 4 0 A d のそれぞれに関する第 1 制御側導電経路の長さの差が最も大きくなる。この場合、第 1 パワー半導体素子 4 0 A c の第 1 制御側導電経路である第 1 端制御側導電経路の長さが最も短く、第 1 パワー半導体素子 4 0 A d の第 1 制御側導電経路である第 2 端制御側導電経路の長さが最も長い。

40

【0166】

第 2 基板 1 2 の複数の第 1 パワー半導体素子 4 0 A のソース電極 4 2 から第 1 検出端子

50

5 4 A までの第 1 駆動側導電経路は、第 1 駆動側接続部材 3 3 A、第 1 駆動層 2 4 X、及び第 1 検出端子側接続部材 3 6 A によって構成されている。このため、第 2 基板 1 2 の複数の第 1 パワー半導体素子 4 0 A に関する第 1 駆動側導電経路は、第 1 パワー半導体素子 4 0 A c から第 1 パワー半導体素子 4 0 A d に向かうにつれて順に長くなる。換言すると、複数の第 1 パワー半導体素子 4 0 A のうちの第 1 パワー半導体素子 4 0 A の配列方向（横方向 X）の両端である第 1 端パワー半導体素子としての第 1 パワー半導体素子 4 0 A c 及び第 2 端パワー半導体素子としての第 1 パワー半導体素子 4 0 A d のそれぞれに関する第 1 駆動側導電経路の長さの差が最も大きくなる。この場合、第 1 パワー半導体素子 4 0 A c の第 1 駆動側導電経路である第 1 端駆動側導電経路の長さが最も短く、第 1 パワー半導体素子 4 0 A d の第 1 駆動側導電経路である第 2 端駆動側導電経路の長さが最も長い。

10

【0167】

このように、パワーモジュール 1 X においては、第 1 基板 1 1 の複数の第 1 パワー半導体素子 4 0 A の第 1 制御側導電経路と第 1 駆動側導電経路とがともに、第 1 パワー半導体素子 4 0 A a から第 1 パワー半導体素子 4 0 A b に向かうにつれて順に長くなるため、第 1 基板 1 1 の複数の第 1 パワー半導体素子 4 0 A における第 1 制御側導電経路と第 1 駆動側導電経路との合計のばらつきが大きい。特に、第 1 パワー半導体素子 4 0 A a の第 1 制御側導電経路の長さが最も短く、かつ第 1 パワー半導体素子 4 0 A a の第 1 駆動側導電経路の長さが最も短い。第 1 パワー半導体素子 4 0 A b の第 1 制御側導電経路の長さが最も長く、かつ第 1 パワー半導体素子 4 0 A b の第 1 駆動側導電経路の長さが最も長い。このため、第 1 パワー半導体素子 4 0 A a における第 1 制御側導電経路の長さとの和と、第 1 駆動側導電経路の長さとの和とのばらつきが大きい。

20

【0168】

また、第 2 基板 1 2 の複数の第 1 パワー半導体素子 4 0 A の第 1 制御側導電経路と第 1 駆動側導電経路とがともに、第 1 パワー半導体素子 4 0 A c から第 1 パワー半導体素子 4 0 A d に向かうにつれて順に長くなるため、第 2 基板 1 2 の複数の第 1 パワー半導体素子 4 0 A における第 1 制御側導電経路と第 1 駆動側導電経路との合計のばらつきが大きい。特に、第 1 パワー半導体素子 4 0 A c の第 1 制御側導電経路の長さが最も短く、かつ第 1 パワー半導体素子 4 0 A c の第 1 駆動側導電経路の長さが最も短い。第 1 パワー半導体素子 4 0 A d の第 1 制御側導電経路の長さが最も長く、かつ第 1 パワー半導体素子 4 0 A d の第 1 駆動側導電経路の長さが最も長い。このため、第 1 パワー半導体素子 4 0 A c における第 1 制御側導電経路の長さとの和と、第 1 駆動側導電経路の長さとの和とのばらつきが大きい。

30

【0169】

図 2 2 に示すように、第 1 基板 1 1 の複数の第 2 パワー半導体素子 4 0 B のゲート電極 4 3 から第 2 制御端子 5 3 B までの第 2 制御側導電経路は、第 2 制御側接続部材 3 2 B、第 2 制御層 2 5 X、第 2 制御層接続部材 9 3 B、第 2 制御層 2 6 X、及び第 2 制御端子側接続部材 3 5 B によって構成されている。このため、第 1 基板 1 1 の複数の第 2 パワー半導体素子 4 0 B に関する第 2 制御側導電経路は、第 2 パワー半導体素子 4 0 B a から第 2 パワー半導体素子 4 0 B b に向かうにつれて順に長くなる。換言すると、複数の第 2 パワー半導体素子 4 0 B のうちの第 2 パワー半導体素子 4 0 B の配列方向（横方向 X）の両端である第 1 端パワー半導体素子としての第 2 パワー半導体素子 4 0 B a 及び第 2 端パワー半導体素子としての第 2 パワー半導体素子 4 0 B b のそれぞれに関する第 2 制御側導電経路の長さの差が最も大きくなる。この場合、第 2 パワー半導体素子 4 0 B a の第 2 制御側導電経路である第 3 端制御側導電経路の長さが最も短く、第 2 パワー半導体素子 4 0 B b の第 2 制御側導電経路である第 4 端制御側導電経路の長さが最も長い。

40

【0170】

第 1 基板 1 1 の複数の第 2 パワー半導体素子 4 0 B のソース電極 4 2 から第 2 検出端子 5 4 B までの第 2 駆動側導電経路は、第 2 駆動側接続部材 3 3 B、第 2 駆動層 2 7 X、及

50

び第2検出端子側接続部材36Bによって構成されている。このため、第1基板11の複数の第2パワー半導体素子40Bに関する第2駆動側導電経路は、第2パワー半導体素子40Baから第2パワー半導体素子40Bbに向かうにつれて順に長くなる。換言すると、複数の第2パワー半導体素子40Bのうちの第2パワー半導体素子40Bの配列方向（横方向X）の両端である第1端パワー半導体素子としての第2パワー半導体素子40Ba及び第2端パワー半導体素子としての第2パワー半導体素子40Bbのそれぞれに関する第2駆動側導電経路の長さの差が最も大きくなる。この場合、第2パワー半導体素子40Baの第2駆動側導電経路である第3端駆動側導電経路の長さが最も短く、第2パワー半導体素子40Bbの第2駆動側導電経路である第4端駆動側導電経路の長さが最も長い。

【0171】

第2基板12の複数の第2パワー半導体素子40Bのゲート電極43から第2制御端子53Bまでの第2制御側導電経路は、第2制御側接続部材32B、第2制御層26X、及び第2制御端子側接続部材35Bによって構成されている。このため、第2基板12の複数の第2パワー半導体素子40Bに関する第2制御側導電経路は、第2パワー半導体素子40Bcから第2パワー半導体素子40Bdに向かうにつれて順に長くなる。換言すると、複数の第2パワー半導体素子40Bのうちの第2パワー半導体素子40Bの配列方向（横方向X）の両端である第1端パワー半導体素子としての第2パワー半導体素子40Bc及び第2端パワー半導体素子としての第2パワー半導体素子40Bdのそれぞれに関する第2制御側導電経路の長さの差が最も大きくなる。この場合、第2パワー半導体素子40Bcの第2制御側導電経路である第3端制御側導電経路の長さが最も短く、第2パワー半導体素子40Bdの第2制御側導電経路である第4端制御側導電経路の長さが最も長い。

【0172】

第2基板12の複数の第2パワー半導体素子40Bのソース電極42から第2検出端子54Bまでの第2駆動側導電経路は、第2駆動側接続部材33B、第2駆動層28X、第2駆動層接続部材94B、第2駆動層27X、及び第2検出端子側接続部材36Bによって構成されている。このため、第2基板12の複数の第2パワー半導体素子40Bに関する第2駆動側導電経路は、第2パワー半導体素子40Bcから第2パワー半導体素子40Bdに向かうにつれて順に長くなる。換言すると、複数の第2パワー半導体素子40Bのうちの第2パワー半導体素子40Bの配列方向（横方向X）の両端である第1端パワー半導体素子としての第2パワー半導体素子40Bc及び第2端パワー半導体素子としての第2パワー半導体素子40Bdのそれぞれに関する第2駆動側導電経路の長さの差が最も大きくなる。この場合、第2パワー半導体素子40Bcの第2駆動側導電経路である第3端駆動側導電経路の長さが最も短く、第2パワー半導体素子40Bdの第2駆動側導電経路である第4端駆動側導電経路の長さが最も長い。

【0173】

このように、パワーモジュール1Xにおいては、第1基板11の複数の第2パワー半導体素子40Bの第2制御側導電経路と第2駆動側導電経路とがともに、第2パワー半導体素子40Baから第2パワー半導体素子40Bbに向かうにつれて順に長くなるため、第1基板11の複数の第2パワー半導体素子40Bにおける第2制御側導電経路と第2駆動側導電経路との合計である総導電経路の長さのばらつきが大きい。特に、第2パワー半導体素子40Baの第2制御側導電経路の長さが最も短く、かつ第2パワー半導体素子40Baの第2駆動側導電経路の長さが最も短い。第2パワー半導体素子40Bbの第2制御側導電経路の長さが最も長く、かつ第2パワー半導体素子40Bbの第2駆動側導電経路の長さが最も長い。このため、第2パワー半導体素子40Baにおける第2制御側導電経路の長さとの和と、第2パワー半導体素子40Bbにおける第2制御側導電経路の長さとの和とのばらつきが大きい。

【0174】

また、第2基板12の複数の第2パワー半導体素子40Bの第2制御側導電経路と第2駆動側導電経路とがともに、第2パワー半導体素子40Bcから第2パワー半導体素子40Bdに向かうにつれて順に長くなるため、第2基板12の複数の第2パワー半導体素子

10

20

30

40

50

40Bにおける第2制御側導電経路と第2駆動側導電経路との合計である総導電経路の長さのばらつきが大きい。特に、第2パワー半導体素子40Bcの第2制御側導電経路の長さが最も短く、かつ第2パワー半導体素子40Bcの第2駆動側導電経路の長さが最も短い。第2パワー半導体素子40Bdの第2制御側導電経路の長さが最も長く、かつ第2パワー半導体素子40Bdの第2駆動側導電経路の長さが最も長い。このため、第2パワー半導体素子40Bcにおける第2制御側導電経路の長さとの第2駆動側導電経路の長さとの和と、第2パワー半導体素子40Bdにおける第2制御側導電経路の長さとの第2駆動側導電経路の長さとの和とのばらつきが大きい。

【0175】

その結果、図23に示すように、各第1パワー半導体素子40Aにおける第1パワー半導体素子40Aと第1制御端子53Aとの間のインダクタンス値と第1パワー半導体素子40Aと第1検出端子54Aとの間のインダクタンス値との合計のインダクタンス値がばらつく。図23から分かるとおり、第1搭載層13Aに搭載された複数の第1パワー半導体素子40Aのうちの第1パワー半導体素子40Aaのインダクタンス値が最も小さく、第1パワー半導体素子40Abのインダクタンス値が最も大きい。すなわち、第1パワー半導体素子40Aaのインダクタンス値と第1パワー半導体素子40Abのインダクタンス値とのばらつきが最も大きくなる。第1搭載層13Bに搭載された複数の第1パワー半導体素子40Aのうちの第1パワー半導体素子40Acのインダクタンス値が最も小さく、第1パワー半導体素子40Adのインダクタンス値が最も大きい。すなわち、第1パワー半導体素子40Acのインダクタンス値と第1パワー半導体素子40Adのインダクタンス値とのばらつきが最も大きくなる。

【0176】

また、各第2パワー半導体素子40Bにおける第2パワー半導体素子40Bと第2制御端子53Bとの間のインダクタンス値と第2パワー半導体素子40Bと第2検出端子54Bとの間のインダクタンス値との合計のインダクタンス値がばらつく。図23から分かるとおり、第2搭載層14Aに搭載された複数の第2パワー半導体素子40Bのうちの第2パワー半導体素子40Baのインダクタンス値が最も小さく、第2パワー半導体素子40Bbのインダクタンス値が最も大きい。すなわち、第2パワー半導体素子40Baのインダクタンス値と第2パワー半導体素子40Bbのインダクタンス値とのばらつきが最も大きくなる。第2搭載層14Bに搭載された複数の第2パワー半導体素子40Bのうちの第2パワー半導体素子40Bcのインダクタンス値が最も小さく、第2パワー半導体素子40Bdのインダクタンス値が最も大きい。すなわち、第2パワー半導体素子40Bcのインダクタンス値と第2パワー半導体素子40Bdのインダクタンス値とのばらつきが最も大きくなる。

【0177】

これにより、各第1パワー半導体素子40A及び各第2パワー半導体素子40Bにゲート電圧 V_g を印加する場合、インダクタンス値のばらつきに起因してゲート電圧 V_g の波形が揺れてしまう場合がある。特に、パワーモジュール1Xにおいて、各第1パワー半導体素子40A及び各第2パワー半導体素子40BとしてSiCMOSFETを用いて、高速スイッチングを行う場合、図24に示すように、リンギングを生じる場合がある。

【0178】

このような点に鑑みて、本実施形態では、上述のように、複数の第1パワー半導体素子40Aにおいて、第1制御側導電経路の長さとの第1駆動側導電経路の長さとの合計のばらつきを低減するように、第1制御側迂回路21b及び第1駆動側迂回路24bがそれぞれ形成されている。また、複数の第2パワー半導体素子40Bにおいて、第2制御側導電経路の長さとの第2駆動側導電経路の長さとの合計のばらつきを低減するように、第2制御側迂回路26b及び第2駆動側迂回路27bがそれぞれ形成されている。このため、図23に示すように、各第1パワー半導体素子40Aにおける第1パワー半導体素子40Aと第1制御端子53Aとの間のインダクタンス値と第1パワー半導体素子40Aと第1検出端子54Aとの間のインダクタンス値との合計のインダクタンス値のばらつきが低減されている

。また、各第2パワー半導体素子40Bにおける第2パワー半導体素子40Bと第2制御端子53Bとの間のインダクタンス値と第2パワー半導体素子40Bと第2検出端子54Bとの間のインダクタンス値との合計のインダクタンス値のばらつきが低減されている。これにより、本実施形態のパワーモジュール1Aにおいて、各第1パワー半導体素子40A及び各第2パワー半導体素子40BとしてSiCMOSFETを用いて、高速スイッチングを行う場合であっても図25に示すように、リンギングの発生を抑制できる。

【0179】

(効果)

本実施形態のパワーモジュール1Aによれば、以下の効果が得られる。

(1-1) 第1制御層21は第1制御側迂回部21bを有し、第1駆動層24は第1駆動側迂回部24bを有する。このため、複数の第1パワー半導体素子40Aに関する第1制御側導電経路の長さ第1駆動側導電経路の長さの合計のばらつきが抑えられるため、これら長さに起因するインダクタンス値のばらつきを抑制できる。したがって、複数の第1パワー半導体素子40Aにおいてリンギングの発生を抑制できるため、パワーモジュール1Aが安定して動作できる。

【0180】

(1-2) 平面視において、パワーモジュール1Aは、横方向Xが長辺方向となり、縦方向Yが短辺方向となる形状を有する。第1制御層21の第1制御側迂回部21bは、縦方向Yにおいて第1制御側配線部21aと離間して配置されており、横方向Xに沿って延びている。第1駆動層24の第1駆動側迂回部24bは、縦方向Yにおいて第1駆動側配線部24aと離間して配置されており、横方向Xに沿って延びている。第2駆動層27の第2駆動側迂回部27bは、縦方向Yにおいて第2駆動側配線部27aと離間して配置されており、横方向Xに沿って延びている。第2制御層26の第2制御側迂回部26bは、縦方向Yにおいて第2制御側配線部26aと離間して配置されており、横方向Xに沿って延びている。このように、各迂回部21b、24b、26b、27bは、パワーモジュール1Aの長辺方向となる横方向Xに延びているため、パワーモジュール1Aの縦方向Yの大型化を抑制できる。

【0181】

(1-3) 第1制御層21は、第1制御側配線部21a、第1制御側迂回部21b、及び第1制御側連結部21cが一体に形成された単一部材からなる。この構成によれば、例えば第1制御側配線部21a、第1制御側迂回部21b、及び第1制御側連結部21cが個別に形成され、第1制御側配線部21aと第1制御側迂回部21bと第1制御側連結部21cとの間をワイヤで接続する構成と比較して、第1基板11に第1制御層21が形成し易くなる。

【0182】

また、第1駆動層24は、第1駆動側配線部24a、第1駆動側迂回部24b、及び第1駆動側連結部24cが一体に形成された単一部材からなる。この構成によれば、例えば第1駆動側配線部24a、第1駆動側迂回部24b、及び第1駆動側連結部24cが個別に形成され、第1駆動側配線部24aと第1駆動側迂回部24bと第1駆動側連結部24cとの間をワイヤで接続する構成と比較して、第2基板12に第1駆動層24が形成し易くなる。

【0183】

また、第2駆動層27は、第2駆動側配線部27a、第2駆動側迂回部27b、及び第2駆動側連結部27cが一体に形成された単一部材からなる。この構成によれば、例えば第2駆動側配線部27a、第2駆動側迂回部27b、及び第2駆動側連結部27cが個別に形成され、第2駆動側配線部27aと第2駆動側迂回部27bと第2駆動側連結部27cとの間をワイヤで接続する構成と比較して、第1基板11に第2駆動層27が形成し易くなる。

【0184】

また、第2制御層26は、第2制御側配線部26a、第2制御側迂回部26b、及び第

２制御側連結部２６ｃが一体に形成された単一部材からなる。この構成によれば、例えば第２制御側配線部２６ａ、第２制御側迂回部２６ｂ、及び第２制御側連結部２６ｃが個別に形成され、第２制御側配線部２６ａと第２制御側迂回部２６ｂと第２制御側連結部２６ｃとの間をワイヤで接続する構成と比較して、第２基板１２に第２制御層２６が形成し易くなる。

【０１８５】

（１－４）縦方向Ｙにおいて、第１駆動層２３は、第１制御層２１よりも第１搭載層１３Ａ側に配置されている。この構成によれば、第１駆動層２３と第１基板１１の各第１パワー半導体素子４０Ａのソース電極４２とを接続する第１駆動側接続部材３３Ａの長さを短くできる。したがって、第１駆動側接続部材３３Ａに起因するインダクタンスを低減できる。

10

【０１８６】

また、縦方向Ｙにおいて、第１駆動層２４は、第１制御層２２よりも第１搭載層１３Ｂ側に配置されている。この構成によれば、第１駆動層２４と第２基板１２の各第１パワー半導体素子４０Ａのソース電極４２とを接続する第１駆動側接続部材３３Ａの長さを短くできる。したがって、第１駆動側接続部材３３Ａに起因するインダクタンスを低減できる。

【０１８７】

また、縦方向Ｙにおいて、第２駆動層２７は、第２制御層２５よりも導電層１５Ａ側に配置されている。この構成によれば、第２駆動層２７と第１基板１１の各第２パワー半導体素子４０Ｂのソース電極４２とを接続する第２駆動側接続部材３３Ｂの長さを短くできる。したがって、第２駆動側接続部材３３Ｂに起因するインダクタンスを低減できる。

20

【０１８８】

また、縦方向Ｙにおいて、第２駆動層２８は、第２制御層２６よりも導電層１５Ｂ側に配置されている。この構成によれば、第２駆動層２８と第２基板１２の各第２パワー半導体素子４０Ｂのソース電極４２とを接続する第２駆動側接続部材３３Ｂの長さを短くできる。したがって、第２駆動側接続部材３３Ｂに起因するインダクタンスを低減できる。

【０１８９】

（１－５）第１制御層２１の第１制御側迂回部２１ｂは、縦方向Ｙにおいて第１制御側配線部２１ａに対して第１駆動層２３とは反対側に配置されている。この構成によれば、第１制御側迂回部２１ｂは、ケース８０の側壁８１Ａ側、すなわち縦方向Ｙにおいて第１制御端子５３Ａに近い側に配置されている。このため、第１制御側迂回部２１ｂの先端部に形成された第１制御側接続部２１ｄと、第１制御端子５３Ａとを接続する第１制御端子側接続部材３５Ａの長さを短くできる。したがって、第１制御端子側接続部材３５Ａに起因するインダクタンスを低減できる。

30

【０１９０】

また、第２制御層２６の第２制御側迂回部２６ｂは、縦方向Ｙにおいて第２制御側配線部２６ａに対して第２駆動層２８とは反対側に配置されている。この構成によれば、第２制御側迂回部２６ｂは、ケース８０の側壁８１Ｂ側、すなわち縦方向Ｙにおいて第２制御端子５３Ｂに近い側に配置されている。このため、第２制御側迂回部２６ｂの先端部に形成された第２制御側接続部２６ｄと、第２制御端子５３Ｂとを接続する第２制御端子側接続部材３５Ｂの長さを短くできる。したがって、第２制御端子側接続部材３５Ｂに起因するインダクタンスを低減できる。

40

【０１９１】

（１－６）第１駆動層２４の第１駆動側迂回部２４ｂは、縦方向Ｙにおいて第１制御層２２に対して第１駆動側配線部２４ａとは反対側に配置されている。この構成によれば、第１駆動側迂回部２４ｂは、ケース８０の側壁８１Ａ側、すなわち縦方向Ｙにおいて第１検出端子５４Ａに近い側に配置されている。このため、第１駆動側迂回部２４ｂの先端部に形成された第１駆動側接続部２４ｄと、第１検出端子５４Ａとを接続する第１検出端子側接続部材３６Ａの長さを短くできる。したがって、第１検出端子側接続部材３６Ａに起因するインダクタンスを低減できる。

50

【0192】

また、第2駆動層27の第2駆動側迂回部27bは、縦方向Yにおいて第2制御層25に対して第2駆動側配線部27aとは反対側に配置されている。この構成によれば、第2駆動側迂回部27bは、ケース80の側壁81A側、すなわち縦方向Yにおいて第2検出端子54Bに近い側に配置されている。このため、第2駆動側迂回部27bの先端部に形成された第2駆動側接続部27dと、第2検出端子54Bとを接続する第2検出端子側接続部材36Bの長さを短くできる。したがって、第2検出端子側接続部材36Bに起因するインダクタンスを低減できる。

【0193】

(1-7) 第1制御層21の第1制御側迂回部21bには、第1制御側接続部材32Aが接続されていない。第1制御側接続部材32Aは、第1制御側配線部21aに接続されている。この構成によれば、第1基板11の第1パワー半導体素子40Aのゲート電極43と第1制御端子53Aとの間の第1制御側導電経路の長さが、第1基板11の複数の第1パワー半導体素子40Aのうちの最も第3基板側面11c側の第1パワー半導体素子40Abから最も第4基板側面11d側の第1パワー半導体素子40Aaに向かって順に長くなる。一方、第1基板11の第1パワー半導体素子40Aのソース電極42と第1検出端子54Aとの間の第1駆動側導電経路の長さが第1パワー半導体素子40Aaから第1パワー半導体素子40Abに向かって順に長くなるため、第1基板11の複数の第1パワー半導体素子40Aにおける第1制御側導電経路の長さとの合計の長さのばらつきを抑制できる。

【0194】

また、第1駆動層24の第1駆動側迂回部24bには、第1駆動側接続部材33Aが接続されていない。第1駆動側接続部材33Aは、第1駆動側配線部24aに接続されている。この構成によれば、第1パワー半導体素子40Aのソース電極42と第1検出端子54Aとの間の第1駆動側導電経路の長さが、第2基板12の複数の第1パワー半導体素子40Aのうちの最も第4基板側面12d側の第1パワー半導体素子40Adから最も第3基板側面12c側の第1パワー半導体素子40Acに向かって順に長くなる。一方、第2基板12の第1パワー半導体素子40Aのゲート電極43と第1制御端子53Aとの間の第1制御側導電経路の長さは、第1パワー半導体素子40Acから第1パワー半導体素子40Adに向かって順に長くなるため、第2基板12の複数の第1パワー半導体素子40Aにおける第1制御側導電経路の長さとの合計の長さのばらつきを抑制できる。

【0195】

また、第2駆動層27の第2駆動側迂回部27bには、第2駆動側接続部材33Bが接続されていない。第2駆動側接続部材33Bは、第2駆動側配線部27aに接続されている。この構成によれば、第1基板11の第2パワー半導体素子40Bのソース電極42と第2検出端子54Bとの間の第2駆動側導電経路の長さが、第1基板11の複数の第2パワー半導体素子40Bのうちの最も第3基板側面11c側の第2パワー半導体素子40Bbから最も第4基板側面11d側の第2パワー半導体素子40Baに向かって順に長くなる。一方、第1基板11の第2パワー半導体素子40Bのゲート電極43と第2制御端子53Bとの間の第2制御側導電経路の長さは、第2パワー半導体素子40Baから第2パワー半導体素子40Bbに向かって順に長くなるため、第1基板11の複数の第2パワー半導体素子40Bにおける第2制御側導電経路の長さとの合計の長さのばらつきを抑制できる。

【0196】

また、第2制御層26の第2制御側迂回部26bには、第2制御側接続部材32Bが接続されていない。第2制御側接続部材32Bは、第2制御側配線部26aに接続されている。この構成によれば、第2基板12の第2パワー半導体素子40Bのゲート電極43と第2制御端子53Bとの間の第2制御側導電経路の長さが、第2基板12の複数の第2パワー半導体素子40Bのうちの最も第4基板側面12d側の第2パワー半導体素子40B

dから最も第3基板側面12c側の第2パワー半導体素子40Bcに向かって順に長くなる。一方、第2基板12の第2パワー半導体素子40Bのソース電極42と第2検出端子54Bとの間の第2駆動側導電経路の長さが第2パワー半導体素子40Bcから第2パワー半導体素子40Bdに向かって順に長くなるため、第2基板12の複数の第2パワー半導体素子40Bにおける第2制御側導電経路の長さとの合計の長さのばらつきを抑制できる。

【0197】

(1-8) 複数の第1パワー半導体素子40Aにそれぞれ接続された第1制御側接続部材32Aは、縦方向Yに沿って延びている。複数の第1パワー半導体素子40Aにそれぞれ接続された第1駆動側接続部材33Aは、縦方向Yに沿って延びている。複数の第2パワー半導体素子40Bにそれぞれ接続された第2制御側接続部材32Bは、縦方向Yに沿って延びている。複数の第2パワー半導体素子40Bにそれぞれ接続された第2駆動側接続部材33Bは、縦方向Yに沿って延びている。これらの構成によれば、ワイヤボンディングによって各接続部材32A、32B、33A、33Bが形成し易くなる。

【0198】

(1-9) 第1制御層21の第1制御側接続部21dは、縦方向Yに延びており、横方向Xからみて、第1制御層22と重なっている。このため、第1制御側接続部21dと第1制御層22とを接続する第1制御層接続部材93Aが横方向Xに沿って形成され易くなる。

【0199】

また、第1駆動層24の第1駆動側接続部24dは、縦方向Yに延びており、横方向Xからみて、第1駆動層23と重なっている。このため、第1駆動側接続部24dと第1駆動層23とを接続する第1駆動層接続部材94Aが横方向Xに沿って形成され易くなる。

【0200】

また、第2駆動層27の第2駆動側接続部27dは、縦方向Yに延びており、横方向Xからみて、第2駆動層28と重なっている。このため、第2駆動側接続部27dと第2駆動層28とを接続する第2駆動層接続部材94Bが横方向Xに沿って形成され易くなる。

【0201】

また、第2制御層26の第2制御側接続部26dは、縦方向Yに延びており、横方向Xからみて、第2制御層25と重なっている。このため、第2制御側接続部26dと第2制御層25とを接続する第2制御層接続部材93Bが横方向Xに沿って形成され易くなる。

【0202】

[第2実施形態]

図26～図32を参照して、第2実施形態のパワーモジュール1Bについて説明する。本実施形態のパワーモジュール1Bは、第1実施形態のパワーモジュール1Aと比較して、主に、制御層及び駆動層の構成がそれぞれ異なる。以下では、第1実施形態のパワーモジュール1Aと異なる点を詳細に説明し、第1実施形態のパワーモジュール1Aと共通した構成要素には同一符号を付し、その説明を省略する場合がある。なお、図28、図29、図31、及び図32の二点鎖線は、各制御層及び各駆動層の位置関係を明確にするための補助線である。

【0203】

図26～図28に示すように、第1制御層21は、第1制御側配線部21a、第1制御側迂回部21b、及び第1制御側連結部21cを有する。本実施形態では、第1制御側配線部21a、第1制御側迂回部21b、及び第1制御側連結部21cは個別に形成されている。第1制御側配線部21a及び第1制御側迂回部21bはそれぞれ、例えば銅箔からなる。第1制御側連結部21cは、例えばワイヤボンディングによって形成されたワイヤからなる。第1制御側連結部21cは、例えばAu、Au合金、Al、Al合金、Cu、又はCu合金からなる。

【0204】

第1制御側配線部21a及び第1制御側迂回部21bはそれぞれ、横方向Xに延びてい

る。第1制御側迂回部21bは、縦方向Yにおいて第1制御側配線部21aに対して第1駆動層23側とは反対側に配置されている。横方向Xにおける第1制御側配線部21aのうちの第1基板11の第4基板側面11d側の端部と、横方向Xにおける第1制御側迂回部21bのうちの第1基板11の第4基板側面11d側の端部とは、横方向Xにおいて揃っている。これら端部は、縦方向Yからみて、第1搭載層13Aの層間接続部13cと揃っている。すなわちこれら端部は、複数の第1パワー半導体素子40Aのうちの最も第1基板11の第4基板側面11d側の第1パワー半導体素子40Aaよりも第1基板11の第4基板側面11d側に位置している。第1制御側配線部21aの横方向Xの長さは、第1制御側迂回部21bの横方向Xの長さよりも長い。すなわち、横方向Xにおける第1制御側配線部21aのうちの第1基板11の第3基板側面11c側の端部は、横方向Xにおける第1制御側迂回部21bのうちの第1基板11の第3基板側面11c側の端部よりも第3基板側面11c側に位置している。

10

【0205】

第1制御側配線部21aは、縦方向Yからみて、複数の第1パワー半導体素子40Aと重なるように形成されている。横方向Xにおける第1制御側配線部21aのうちの第1基板11の第3基板側面11c側の端部は、複数の第1パワー半導体素子40Aのうちの最も第1基板11の第3基板側面11c側の第1パワー半導体素子40Abにおける横方向Xの第1基板11の第4基板側面11d側の端部と重なるように形成されている。

【0206】

第1制御側配線部21aには、第1基板11の複数の第1パワー半導体素子40Aのそれぞれに接続された第1制御側接続部材32Aが接続されている。複数の第1制御側接続部材32Aは、複数の第1パワー半導体素子40Aの配列方向と同一方向である横方向Xに互いに離間して配列されている。複数の第1パワー半導体素子40Aのうちの最も第1基板11の第3基板側面11c側に配置された第1パワー半導体素子40Ab以外の4個の第1パワー半導体素子40Aに接続された第1制御側接続部材32Aはそれぞれ、平面視において縦方向Yに沿って延びている。第1パワー半導体素子40Abのゲート電極43が第1制御側配線部21aよりも第1基板11の第3基板側面11c側に配置されているため、第1パワー半導体素子40Abに接続された第1制御側接続部材32Aは、第1基板11の第1基板側面11aに向かうにつれて第4基板側面11d側に向けて斜めに延びている。

20

30

【0207】

第1制御側迂回部21bは、縦方向Yからみて、第1パワー半導体素子40Ab以外の第1パワー半導体素子40Aと重なるように形成されている。すなわち、横方向Xにおける第1制御側迂回部21bのうちの第1基板11の第3基板側面11c側の端部は、第1パワー半導体素子40Abよりも第1基板11の第4基板側面11d側に位置している。図26～図28からわかるとおり、第1制御側迂回部21bには、第1制御側接続部材32Aが接続されていない。

【0208】

第1制御側連結部21cは、横方向Xにおける第1制御側配線部21aのうちの第1基板11の第3基板側面11c側の端部と、横方向Xにおける第1制御側迂回部21bのうちの第1基板11の第3基板側面11c側の端部とを接続している。これにより、第1制御側配線部21aと第1制御側迂回部21bとが電氣的に接続されている。第1制御側連結部21cは、第1パワー半導体素子40Abに接続された第1制御側接続部材32Aよりも第1基板11の第3基板側面11c側に配置されている。第1制御側連結部21cは、第1基板11の第1基板側面11a側に向かうにつれて第4基板側面11d側に向けて斜めに延びている。

40

【0209】

第1駆動層23は、横方向Xに沿って延びている。第1駆動層23は、縦方向Yにおいて第1搭載層13Aと隣り合うように配置されている。縦方向Yにおいて、第1駆動層23は、第1制御側配線部21aと第1搭載層13Aとの間に配置されている。第1駆動層

50

23の横方向Xの長さは、第1制御側配線部21aの横方向Xの長さ及び第1制御側迂回部21bの横方向Xの長さよりも長い。横方向Xにおける第1駆動層23のうちの第1基板11の第4基板側面11d側の端部は、縦方向Yにおいて、横方向Xにおける第1制御側配線部21aのうちの第4基板側面11d側の端部及び第1制御側迂回部21bのうちの第4基板側面11d側の端部と揃っている。縦方向Yからみて、第1駆動層23は、第1基板11の複数の第1パワー半導体素子40Aと重なっている。また、縦方向Yからみて、第1駆動層23は、サーミスタ搭載層16と重なっている。

【0210】

第1駆動層23には、第1基板11の複数の第1パワー半導体素子40Aのそれぞれに接続された第1駆動側接続部材33Aが接続されている。複数の第1駆動側接続部材33Aは、複数の第1パワー半導体素子40Aの配列方向と同一方向である横方向Xに互いに離間して配列されている。複数の第1パワー半導体素子40Aのうちの最も第1基板11の第3基板側面11c側に配置された第1パワー半導体素子40Ab以外の4個の第1パワー半導体素子40Aに接続された第1駆動側接続部材33Aはそれぞれ、平面視において縦方向Yに沿って延びている。第1パワー半導体素子40Abに接続された第1駆動側接続部材33Aは、第1基板11の第1基板側面11aに向かうにつれて第4基板側面11d側に向けて斜めに延びている。

【0211】

サーミスタ搭載層16は、第1実施形態のサーミスタ搭載層16と比較して、第1基板11に対する配置向きが異なる。サーミスタ搭載層16は、第1実施形態のサーミスタ搭載層16に対して時計回り方向に90°回転させた状態となるように配置されている。横方向Xからみて、サーミスタ搭載層16は、第1制御層21と重なっている。縦方向Yにおいて、サーミスタ搭載層16は、第1駆動層23よりも第1基板11の第1基板側面11a側に配置されている。

【0212】

図27及び図29に示すように、第1駆動層24は、第1駆動側配線部24a、第1駆動側迂回部24b、第1駆動側連結部24c、及び第1駆動側接続部24dを有する。本実施形態では、第1駆動側配線部24a、第1駆動側迂回部24b、及び第1駆動側連結部24cは個別に形成されており、第1駆動側迂回部24b及び第1駆動側接続部24dは一体に形成されている。第1駆動側配線部24a、第1駆動側迂回部24b、及び第1駆動側接続部24dはそれぞれ、例えば銅箔からなる。第1駆動側連結部24cは、例えばワイヤボンディングによって形成されたワイヤからなる。第1駆動側連結部24cは、例えばAu、Au合金、Al、Al合金、Cu、又はCu合金からなる。

【0213】

第1駆動側配線部24a及び第1駆動側迂回部24bはそれぞれ、横方向Xに延びている。第1駆動側迂回部24bは、縦方向Yにおいて第1駆動側配線部24aに対して第1駆動層24側とは反対側に配置されている。横方向Xにおける第1駆動側配線部24aのうちの第2基板12の第4基板側面12d側の端部と、横方向Xにおける第1駆動側迂回部24bのうちの第2基板12の第4基板側面12d側の端部とは、横方向Xにおいて揃っている。これら端部は、縦方向Yからみて、第1搭載層13Bの層間接続部13fと隣り合っている。第1駆動側迂回部24bの横方向Xの長さは、第1駆動側配線部24aの横方向Xの長さよりも僅かに長い。

【0214】

第1駆動側配線部24aは、縦方向Yからみて、複数の第1パワー半導体素子40Aと重なるように形成されている。横方向Xにおける第1駆動側配線部24aのうちの第2基板12の第4基板側面12d側の端部は、複数の第1パワー半導体素子40Aのうちの最も第2基板12の第4基板側面12d側の第1パワー半導体素子40Adにおける横方向Xの第2基板12の第3基板側面12c側の端部と重なるように形成されている。

【0215】

第1駆動側配線部24aには、第2基板12の複数の第1パワー半導体素子40Aのそ

10

20

30

40

50

れぞれに接続された第1駆動側接続部材33Aが接続されている。複数の第1駆動側接続部材33Aは、複数の第1パワー半導体素子40Aの配列方向と同一方向である横方向Xに互いに離間して配列されている。複数の第1パワー半導体素子40Aのうちの第1パワー半導体素子40Ad以外の4個の第1パワー半導体素子40Aに接続された第1駆動側接続部材33Aはそれぞれ、平面視において縦方向Yに沿って延びている。第1パワー半導体素子40Adのゲート電極43が第1駆動側配線部24aよりも第2基板12の第4基板側面12d側に配置されているため、第1パワー半導体素子40Adに接続された第1駆動側接続部材33Aは、第2基板12の第1基板側面12aに向かうにつれて第3基板側面12c側に向けて斜めに延びている。

【0216】

第1駆動側迂回部24bは、縦方向Yからみて、第1パワー半導体素子40Aと重なるように形成されている。図26、図27、及び図29からわかるとおり、第1駆動側迂回部24bには、第1駆動側接続部材33Aが接続されていない。

【0217】

第1駆動側連結部24cは、横方向Xにおける第1駆動側配線部24aのうちの第2基板12の第4基板側面12d側の部分と、横方向Xにおける第1駆動側迂回部24bのうちの第2基板12の第4基板側面12d側の部分とを連結している。平面視において、第1駆動側連結部24cは、縦方向Yに沿って延びている。第1駆動側連結部24cは、第1制御層22を跨ぐように形成されている。

【0218】

第1駆動側接続部24dは、横方向Xにおける第1駆動側迂回部24bのうちの第2基板12の第3基板側面12c側の端部に形成されている。第1駆動側接続部24dは、横方向Xにおいて、第1駆動側配線部24aよりも第2基板12の第3基板側面12c側に位置している。第1駆動側接続部24dは、縦方向Yに延びている。縦方向Yにおいて、第1駆動側接続部24dは、第1搭載層13Bの層間接続部13fと隣り合うように配置されている。第1駆動側接続部24dの幅寸法（第1駆動側接続部24dの横方向Xの寸法）は、第1駆動側迂回部24bの幅寸法（第1駆動側迂回部24bの縦方向Yの寸法）よりも大きい。第1駆動側接続部24dは、縦方向Yにおける第1駆動側接続部24dのうちの第1搭載層13B側の端縁が縦方向Yにおける第1駆動側配線部24aのうちの第1搭載層13B側の端縁と縦方向Yに揃った状態で横方向Xにおいて第1駆動側配線部24aから離間して配置されている。

【0219】

第1制御層22は、縦方向Yにおいて第1駆動層24における第1駆動側配線部24aと第1駆動側迂回部24bとの間に配置されている。第1制御層22は、横方向Xに沿って延びている。平面視における第1制御層22の形状は、細帯状である。本実施形態では、第1制御層22の幅寸法（第1制御層22の縦方向Yの寸法）は、第1駆動層24における第1駆動側配線部24aの幅寸法（第1駆動側配線部24aの縦方向Yの寸法）と等しい。また、第1制御層22の幅寸法は、第1駆動層24における第1駆動側迂回部24bの幅寸法（第1駆動側迂回部24bの縦方向Yの寸法）と等しい。

【0220】

ここで、第1制御層22の縦方向Yの寸法と第1駆動層24における第1駆動側配線部24aの縦方向Yの寸法との差が例えば第1駆動層24における第1駆動側配線部24aの縦方向Yの寸法の5%以内であれば、第1制御層22の幅寸法が第1駆動層24における第1駆動側配線部24aの幅寸法と等しいといえる。また、第1制御層22の縦方向Yの寸法と第1駆動層24における第1駆動側迂回部24bの縦方向Yの寸法との差が例えば第1駆動層24における第1駆動側迂回部24bの縦方向Yの寸法の5%以内であれば、第1制御層22の幅寸法が第1駆動層24における第1駆動側迂回部24bの幅寸法と等しいといえる。

【0221】

第1制御層22の横方向Xの長さは、第1駆動層24における第1駆動側配線部24a

10

20

30

40

50

の横方向Xの長さと同じ。縦方向Yからみて、横方向Xにおける第1制御層22のうちの第2基板12の第3基板側面12c側の端部は、第1駆動層24の第1駆動側配線部24aの端部24eと揃っている。また、横方向Xにおける第1制御層22のうちの第2基板12の第3基板側面12c側の端部は、横方向Xにおいて第1搭載層13Bの層間接続部13fと隣り合っている。横方向Xからみて、第1制御層22は、第1駆動層24の第1駆動側接続部24dと重なっている。

【0222】

第1制御層22には、第2基板12の複数の第1パワー半導体素子40Aのそれぞれに接続された第1制御側接続部材32Aが接続されている。複数の第1制御側接続部材32Aは、複数の第1パワー半導体素子40Aの配列方向と同一方向である横方向Xに互いに離間して配列されている。複数の第1パワー半導体素子40Aのうちの最も第2基板12の第4基板側面12d寄りに配置された第1パワー半導体素子40Ad以外の4個の第1パワー半導体素子40Aに接続された第1制御側接続部材32Aはそれぞれ、平面視において縦方向Yに沿って延びている。第1パワー半導体素子40Adのゲート電極43が第1制御層22よりも第2基板12の第4基板側面12d側に配置されているため、第1パワー半導体素子40Adに接続された第1制御側接続部材32Aは、第2基板12の第1基板側面12aに向かうにつれて第3基板側面12c側に向けて斜めに延びている。

【0223】

図26～図29に示すように、横方向Xにおける第1制御側迂回部21bのうちの第1基板11の第4基板側面11d側の部分には、第1制御端子側接続部材35Aが接続されている。縦方向Yからみて、第1制御端子側接続部材35Aは、第1パワー半導体素子40Aaと重なるように形成されている。

【0224】

横方向Xにおける第1制御側迂回部21bのうちの第1基板11の第4基板側面11d側の端部には、第1制御層接続部材93Aが接続されている。第1制御層接続部材93Aは、第1パワー半導体素子40Aaよりも第1基板11の第4基板側面11d側に位置している。また、第1制御層接続部材93Aは、横方向Xにおける第1制御層22のうちの第2基板12の第3基板側面12c側の端部に接続されている。縦方向Yにおいて第1制御側迂回部21bが第1制御層22よりもケース80の側壁81A側に位置しているため、平面視において、第1制御層接続部材93Aは、第1制御層22から第1制御層21に向かうにつれて側壁81A側に向けて斜めに延びている。図26からわかるとおり、第1制御層接続部材93Aは、第1駆動層24の第1駆動側接続部24dを横方向Xに跨ぐように形成されている。

【0225】

第1駆動側迂回部24bには、第1検出端子側接続部材36Aが接続されている。より詳細には、第1検出端子側接続部材36Aは、横方向Xにおける第1駆動側迂回部24bのうちの第1駆動側接続部24d側の端部に接続されている。

【0226】

横方向Xにおける第1駆動層23のうちの第1基板11の第4基板側面11d側の端部には、第1駆動層接続部材94Aが接続されている。第1駆動層接続部材94Aは、縦方向Yにおける第1駆動側接続部24dのうちの第1搭載層13B側の端部に接続されている。平面視において、第1駆動層接続部材94Aは、横方向Xに沿って延びている。

【0227】

図30及び図31に示すように、第2駆動層27は、第2駆動側配線部27a、第2駆動側迂回部27b、第2駆動側連結部27c、及び第2駆動側接続部27dを有する。本実施形態では、第2駆動側配線部27a、第2駆動側迂回部27b、及び第2駆動側連結部27cが個別に形成されており、第2駆動側迂回部27b及び第2駆動側接続部27dが一体に形成されている。第2駆動側配線部27a、第2駆動側迂回部27b、及び第2駆動側接続部27dはそれぞれ、例えば銅箔からなる。第2駆動側連結部27cは、ワイヤボンディングによって形成されたワイヤである。平面視における第2駆動側配線部27

a 及び第 2 駆動側迂回部 27b のそれぞれの形状は、細帯状である。

【0228】

第 2 駆動側配線部 27a は、横方向 X に沿って延びている。縦方向 Y において、第 2 駆動側配線部 27a は、導電層 15A と隣り合うように配置されている。横方向 X における第 2 駆動側配線部 27a のうちの第 1 基板 11 の第 4 基板側面 11d 側の端部 27e は、横方向 X において、複数の第 2 パワー半導体素子 40B のうちの最も第 4 基板側面 11d 側の第 2 パワー半導体素子 40Ba よりも第 1 基板 11 の第 4 基板側面 11d 側に位置している。横方向 X における第 2 駆動側配線部 27a のうちの第 1 基板 11 の第 3 基板側面 11c 側の端部 27f は、横方向 X において、複数の第 2 パワー半導体素子 40B のうちの最も第 3 基板側面 11c 側の第 2 パワー半導体素子 40Bb よりも第 1 基板 11 の第 3 基板側面 11c 側に位置している。すなわち、縦方向 Y からみて、第 2 駆動側配線部 27a は、第 1 基板 11 に配置された全ての第 2 パワー半導体素子 40B と重なるように横方向 X に延びている。

10

【0229】

第 2 駆動側配線部 27a には、複数の第 2 パワー半導体素子 40B のそれぞれに接続された第 2 駆動側接続部材 33B が接続されている。複数の第 2 駆動側接続部材 33B は、複数の第 2 パワー半導体素子 40B の配列方向と同一方向である横方向 X に互いに離間して配列されている。複数の第 2 パワー半導体素子 40B に接続された第 2 駆動側接続部材 33B はそれぞれ、平面視において縦方向 Y に沿って延びている。

【0230】

第 2 駆動側迂回部 27b は、縦方向 Y において第 2 駆動側配線部 27a と離間して配置されている。第 2 駆動側迂回部 27b は、縦方向 Y において、第 2 駆動側配線部 27a に対して導電層 15A 側とは反対側に配置されている。第 2 駆動側迂回部 27b は、縦方向 Y において、第 2 制御層 25 よりも第 1 基板 11 の第 2 基板側面 11b 側に配置されている。縦方向 Y において、第 2 駆動側迂回部 27b は、第 1 基板 11 の第 2 基板側面 11b と隣り合うように配置されている。第 2 駆動側迂回部 27b は、横方向 X に沿って延びている。第 2 駆動側迂回部 27b の横方向 X の長さは、第 2 駆動側配線部 27a の横方向 X の長さよりも僅かに長い。図 31 から分かるとおり、第 2 駆動側迂回部 27b には、第 2 駆動側接続部材 33B が接続されていない。

20

【0231】

第 2 駆動側連結部 27c は、第 2 駆動側配線部 27a と第 2 駆動側迂回部 27b とを連結している。より詳細には、第 2 駆動側連結部 27c は、横方向 X における第 2 駆動側配線部 27a のうちの第 1 基板 11 の第 3 基板側面 11c 側の端部と、横方向 X における第 2 駆動側迂回部 27b のうちの第 3 基板側面 11c 側の端部とを連結している。第 2 駆動側連結部 27c は、縦方向 Y に延びている。縦方向 Y からみて、第 2 駆動側連結部 27c は、第 2 パワー半導体素子 40B のうちの最も第 3 基板側面 11c 側の第 2 パワー半導体素子 40Bb のうちの横方向 X における第 1 基板 11 の第 3 基板側面 11c 側の端部と重なるように配置されている。横方向 X において、第 2 駆動側連結部 27c は、第 2 パワー半導体素子 40Bb に接続されている第 2 制御側接続部材 32B 及び第 2 駆動側接続部材 33B よりも第 1 基板 11 の第 3 基板側面 11c 側に配置されている。

30

【0232】

第 2 駆動側接続部 27d は、第 2 駆動側迂回部 27b の先端部に形成されている。第 2 駆動側接続部 27d は、横方向 X において、第 2 駆動側配線部 27a よりも第 1 基板 11 の第 4 基板側面 11d 側に位置している。第 2 駆動側接続部 27d は、縦方向 Y に延びている。第 2 駆動側接続部 27d の幅寸法（第 2 駆動側接続部 27d の横方向 X の寸法）は、第 2 駆動側迂回部 27b の幅寸法（第 2 駆動側迂回部 27b の縦方向 Y の寸法）よりも大きい。第 2 駆動側接続部 27d は、縦方向 Y における第 2 駆動側接続部 27d のうちの導電層 15A 側の端縁が縦方向 Y における第 2 駆動側配線部 27a のうちの導電層 15A 側の端縁と縦方向 Y に揃った状態で横方向 X において第 2 駆動側配線部 27a から離間して配置されている。

40

50

【0233】

第2制御層25は、横方向Xに沿って延びている。平面視における第2制御層25の形状は、細帯状である。縦方向Yにおいて、第2制御層25は、第2駆動側配線部27aと第2駆動側迂回部27bとの間に配置されている。本実施形態では、第2制御層25の幅寸法（第2制御層25の縦方向Yの寸法）は、第2駆動層27における第2駆動側配線部27aの幅寸法（第2駆動側配線部27aの縦方向Yの寸法）と等しい。また、第2制御層25の幅寸法は、第2駆動層27における第2駆動側迂回部27bの幅寸法（第2駆動側迂回部27bの縦方向Yの寸法）と等しい。

【0234】

ここで、第2制御層25の縦方向Yの寸法と第2駆動層27における第2駆動側配線部27aの縦方向Yの寸法との差が例えば第2駆動層27における第2駆動側配線部27aの縦方向Yの寸法の5%以内であれば、第2制御層25の幅寸法が第2駆動層27における第2駆動側配線部27aの幅寸法と等しいといえる。また、第2制御層25の縦方向Yの寸法と第2駆動層27における第2駆動側迂回部27bの縦方向Yの寸法との差が例えば第2駆動層27における第2駆動側迂回部27bの縦方向Yの寸法の5%以内であれば、第2制御層25の幅寸法が第2駆動層27における第2駆動側迂回部27bの幅寸法と等しいといえる。

【0235】

第2制御層25の横方向Xの長さは、第2駆動層27における第2駆動側配線部27aの横方向Xの長さと同じ。縦方向Yにおいて、第2制御層25の横方向Xの両端部は、第2駆動層27の第2駆動側配線部27aの横方向Xの両端部と揃っている。

【0236】

第2制御層25には、複数の第2パワー半導体素子40Bのそれぞれに接続された第2制御側接続部材32Bが接続されている。複数の第2制御側接続部材32Bは、複数の第2パワー半導体素子40Bの配列方向と同一方向である横方向Xに互いに離間して配列されている。複数の第2パワー半導体素子40Bに接続された第2制御側接続部材32Bは、平面視において縦方向Yに沿って延びている。横方向Xにおける第1駆動層23のうちの第1基板11の第4基板側面11d側の端部には、第1駆動層接続部材94Aが接続されている。

【0237】

図30及び図32に示すように、第2制御層26は、第2制御側配線部26a、第2制御側迂回部26b、及び第2制御側連結部26cを有する。本実施形態では、第2制御側配線部26a、第2制御側迂回部26b、及び第2制御側連結部26cが個別に形成されている。第2制御側配線部26a、第2制御側迂回部26b、及び第2制御側接続部26dはそれぞれ、例えば銅箔からなる。第2制御側連結部26cは、ワイヤボンディングによって形成されたワイヤである。平面視における第2制御側配線部26a及び第2制御側迂回部26bのそれぞれの形状は、細帯状である。

【0238】

第2制御側配線部26aは、横方向Xに沿って延びている。横方向Xにおける第2制御側配線部26aのうちの第2基板12の第3基板側面12c側の端部26eは、横方向Xにおいて、複数の第2パワー半導体素子40Bのうちの最も第3基板側面12c側の第2パワー半導体素子40Bよりも第2基板12の第3基板側面12c側に位置している。横方向Xにおける第2制御側配線部26aのうちの第2基板12の第4基板側面12d側の端部26fは、横方向Xにおいて、複数の第2パワー半導体素子40Bのうちの最も第4基板側面12d側の第2パワー半導体素子40Bよりも第2基板12の第4基板側面12d側に位置している。

【0239】

第2制御側配線部26aには、複数の第2パワー半導体素子40Bのそれぞれに接続された第2制御側接続部材32Bが接続されている。複数の第2制御側接続部材32Bは、複数の第2パワー半導体素子40Bの配列方向と同一方向である横方向Xに互いに離間し

10

20

30

40

50

て配列されている。複数の第2パワー半導体素子40Bに接続された第2制御側接続部材32Bは、平面視において縦方向Yに沿って延びている。

【0240】

第2制御側迂回部26bは、縦方向Yにおいて第2制御側配線部26aと離間して配置されている。第2制御側迂回部26bは、縦方向Yにおいて、第2制御側配線部26aに対して第2駆動層28側とは反対側に配置されている。第2制御側迂回部26bは、縦方向Yにおいて第2基板12の第2基板側面12bと隣り合うように配置されている。第2制御側迂回部26bは、横方向Xに沿って延びている。第2制御側迂回部26bの横方向Xの長さは、第2制御側配線部26aの横方向Xの長さと同じ。第2制御側迂回部26bの横方向Xの両端部は、第2制御側配線部26aの横方向Xの両端部と揃っている。図32から分かるとおり、第2制御側迂回部26bには、第2制御側接続部材32Bが接続されていない。

10

【0241】

第2制御側連結部26cは、第2制御側配線部26aと第2制御側迂回部26bとを連結している。より詳細には、第2制御側連結部26cは、横方向Xにおける第2制御側配線部26aのうちの第2基板12の第4基板側面12d側の端部と、横方向Xにおける第2制御側迂回部26bのうちの第4基板側面12d側の端部とを連結している。第2制御側連結部26cは、縦方向Yに延びている。縦方向Yからみて、第2制御側連結部26cは、複数の第2パワー半導体素子40Bのうちの横方向Xにおける最も第2基板12の第4基板側面12d側の第2パワー半導体素子40Bdと重なるように配置されている。横方向Xにおいて、第2制御側連結部26cは、第2パワー半導体素子40Bdに接続された第2制御側接続部材32B及び第2駆動側接続部材33Bよりも第2基板12の第4基板側面12d側に位置している。

20

【0242】

第2駆動層28は、横方向Xに沿って延びている。平面視における第2駆動層28の形状は、細帯状である。縦方向Yにおいて、第2駆動層28は、導電層15Bと隣り合うように配置されている。本実施形態では、第2駆動層28の幅寸法（第2駆動層28の縦方向Yの寸法）は、第2制御層26における第2制御側配線部26aの幅寸法（第2制御側配線部26aの縦方向Yの寸法）と同じ。また、第2駆動層28の幅寸法は、第2制御層26における第2制御側迂回部26bの幅寸法（第2制御側迂回部26bの縦方向Yの寸法）と同じ。

30

【0243】

ここで、第2駆動層28の縦方向Yの寸法と第2制御層26における第2制御側配線部26aの縦方向Yの寸法との差が例えば第2制御層26における第2制御側配線部26aの縦方向Yの寸法の5%以内であれば、第2駆動層28の幅寸法が第2制御層26における第2制御側配線部26aの幅寸法と同じといえる。また、第2駆動層28の縦方向Yの寸法と第2制御層26における第2制御側迂回部26bの縦方向Yの寸法との差が例えば第2制御層26における第2制御側迂回部26bの縦方向Yの寸法の5%以内であれば、第2駆動層28の幅寸法が第2制御層26における第2制御側迂回部26bの幅寸法と同じといえる。

40

【0244】

第2駆動層28の横方向Xの長さは、第2制御層26における第2制御側配線部26aの横方向Xの長さと同じ。横方向Xにおける第2駆動層28の両端部は、横方向Xにおける第2制御層26の第2制御側配線部26aの両端部と揃っている。また、第2駆動層28の横方向Xの長さは、第2制御層26における第2制御側迂回部26bの横方向Xの長さと同じ。横方向Xにおける第2駆動層28の両端部は、横方向Xにおける第2制御層26の第2制御側迂回部26bの両端部と揃っている。

【0245】

第2駆動層28には、第2基板12の複数の第2パワー半導体素子40Bのそれぞれに接続された第2駆動側接続部材33Bが接続されている。複数の第2駆動側接続部材33

50

Bは、複数の第2パワー半導体素子40Bの配列方向と同一方向である横方向Xに互いに離間して配列されている。複数の第2パワー半導体素子40Bに接続された第2駆動側接続部材33Bは、平面視において縦方向Yに沿って延びている。

【0246】

図30～図32に示すように、第2駆動側迂回部27bには、第2検出端子側接続部材36Bが接続されている。より詳細には、第2検出端子側接続部材36Bは、横方向Xにおける第2駆動側迂回部27bのうちの第2駆動側接続部27d側の端部に接続されている。

【0247】

第2駆動側接続部27dには、第2駆動層接続部材94Bが接続されている。より詳細には、第2駆動層接続部材94Bは、縦方向Yにおける第2駆動側接続部27dのうちの導電層15A側の端部に接続されている。また、第2駆動層接続部材94Bは、横方向Xにおける第2駆動層28のうちの第2基板12の第3基板側面12c側の端部に接続されている。平面視において、第2駆動層接続部材94Bは、横方向Xに沿って延びている。

【0248】

第2制御側迂回部26bには、第2制御端子側接続部材35B及び第2制御層接続部材93Bがそれぞれ接続されている。第2制御端子側接続部材35Bは、横方向Xにおける第2制御側迂回部26bのうちの第2基板12の第3基板側面12c側の部分に接続されている。第2制御層接続部材93Bは、横方向Xにおける第2制御側迂回部26bのうちの第2基板12の第3基板側面12c側の端部26eに接続されている。また、第2制御層接続部材93Bは、横方向Xにおける第2制御層25のうちの第1基板11の第4基板側面11d側の端部25xに接続されている。縦方向Yにおいて、第2制御側迂回部26bの端部26eが第2制御層25の端部25xよりも第2基板12の第2基板側面12b側に位置しているため、平面視において、第2制御層接続部材93Bは、第2制御層25の端部25xから第2制御側迂回部26bの端部26eに向かうにつれて第2基板12の第2基板側面12b側に向けて斜めに延びている。図32から分かるとおり、第2制御層接続部材93Bは、第2駆動層27の第2駆動側接続部27dを跨ぐように形成されている。

【0249】

(導電経路)

次に、各パワー半導体素子40A、40Bと各制御端子53A、53Bとの間の第1導電経路である制御側導電経路と、各パワー半導体素子40A、40Bと各検出端子54A、54Bとの間の第2導電経路である駆動側導電経路とについて説明する。

【0250】

図27に示すように、第1基板11の複数の第1パワー半導体素子40Aのゲート電極43から第1制御端子53Aまでの第1制御側導電経路は、第1制御側接続部材32A、第1制御層21、及び第1制御端子側接続部材35Aによって構成されている。このため、第1基板11の複数の第1パワー半導体素子40Aに関する第1制御側導電経路は、第1パワー半導体素子40Abから第1パワー半導体素子40Aaに向かうにつれて順に長くなる。換言すると、複数の第1パワー半導体素子40Aのうちの第1パワー半導体素子40Aa及び第2端パワー半導体素子としての第1パワー半導体素子40Abのそれぞれに関する第1制御側導電経路の長さの差が最も大きくなる。この場合、第1パワー半導体素子40Aaの第1制御側導電経路である第1端制御側導電経路の長さが最も長く、第1パワー半導体素子40Abの第1制御側導電経路である第2端制御側導電経路の長さが最も短い。

【0251】

第1基板11の複数の第1パワー半導体素子40Aのソース電極42から第1検出端子54Aまでの第1駆動側導電経路は、第1駆動側接続部材33A、第1駆動層23、第1駆動層接続部材94A、第1駆動層24の第1駆動側接続部24d、及び第1検出端子側

10

20

30

40

50

接続部材 36A によって構成されている。このため、第 1 基板 11 の複数の第 1 パワー半導体素子 40A に関する第 1 駆動側導電経路は、第 1 パワー半導体素子 40Aa から第 1 パワー半導体素子 40Ab に向かうにつれて順に長くなる。換言すると、複数の第 1 パワー半導体素子 40A のうちの第 1 パワー半導体素子 40A の配列方向の両端である第 1 端パワー半導体素子としての第 1 パワー半導体素子 40Aa 及び第 2 端パワー半導体素子としての第 1 パワー半導体素子 40Ab のそれぞれに関する第 1 駆動側導電経路の長さの差が最も大きくなる。この場合、第 1 パワー半導体素子 40Aa の第 1 駆動側導電経路である第 1 端駆動側導電経路の長さが最も短く、第 1 パワー半導体素子 40Ab の第 1 駆動側導電経路である第 2 端駆動側導電経路の長さが最も長い。

【0252】

第 2 基板 12 の複数の第 1 パワー半導体素子 40A のゲート電極 43 から第 1 制御端子 53A までの第 1 制御側導電経路は、第 1 制御側接続部材 32A、第 1 制御層 22、第 1 制御層接続部材 93A、第 1 制御層 21、及び第 1 制御端子側接続部材 35A によって構成されている。このため、第 2 基板 12 の複数の第 1 パワー半導体素子 40A に関する第 1 制御側導電経路は、第 1 パワー半導体素子 40Ac から第 1 パワー半導体素子 40Ad に向かうにつれて順に長くなる。換言すると、複数の第 1 パワー半導体素子 40A のうちの第 1 パワー半導体素子 40A の配列方向の両端である第 1 端パワー半導体素子としての第 1 パワー半導体素子 40Ac 及び第 2 端パワー半導体素子としての第 1 パワー半導体素子 40Ad のそれぞれに関する第 1 制御側導電経路の長さの差が最も大きくなる。この場合、第 1 パワー半導体素子 40Ac の第 1 制御側導電経路である第 1 端制御側導電経路の長さが最も短く、第 1 パワー半導体素子 40Ad の第 1 制御側導電経路である第 2 端制御側導電経路の長さが最も長い。

【0253】

第 2 基板 12 の複数の第 1 パワー半導体素子 40A のソース電極 42 から第 1 検出端子 54A までの第 1 駆動側導電経路は、第 1 駆動側接続部材 33A、第 1 駆動層 24、及び第 1 検出端子側接続部材 36A によって構成されている。このため、第 2 基板 12 の複数の第 1 パワー半導体素子 40A に関する第 1 駆動側導電経路は、第 1 パワー半導体素子 40Ad から第 1 パワー半導体素子 40Ac に向かうにつれて順に長くなる。換言すると、複数の第 1 パワー半導体素子 40A のうちの第 1 パワー半導体素子 40A の配列方向の両端である第 1 端パワー半導体素子としての第 1 パワー半導体素子 40Ac 及び第 2 端パワー半導体素子としての第 1 パワー半導体素子 40Ad のそれぞれに関する第 1 駆動側導電経路の長さの差が最も大きくなる。この場合、第 1 パワー半導体素子 40Ac の第 1 駆動側導電経路である第 1 端駆動側導電経路の長さが最も長く、第 1 パワー半導体素子 40Ad の第 1 駆動側導電経路である第 2 端駆動側導電経路の長さが最も短い。

【0254】

このように、本実施形態では、第 1 制御側導電経路の長さ第 1 駆動側導電経路の長さの合計の長さの複数の第 1 パワー半導体素子 40A の間でのばらつきを低減するように、第 1 制御側迂回部 21b 及び第 1 駆動側迂回部 24b がそれぞれ形成されている。すなわち、本実施形態のパワーモジュール 1B は、第 1 制御側迂回部 21b 及び第 1 駆動側迂回部 24b によって、第 1 導電経路の一例である第 1 制御側導電経路の長さ第 2 導電経路の一例である第 1 駆動側導電経路の長さとの和が複数の第 1 パワー半導体素子 40A の間で互いに近づくように構成されている。

【0255】

また、本実施形態では、第 1 端制御側導電経路の長さ第 1 端駆動側導電経路の長さの合計の長さ第 2 端制御側導電経路の長さ第 2 端駆動側導電経路の長さとの合計の長さとのばらつきを低減するように、第 1 制御側迂回部 21b 及び第 1 駆動側迂回部 24b がそれぞれ形成されている。

【0256】

なお、第 1 端制御側導電経路の長さ第 1 端駆動側導電経路の長さとの合計の長さは、特許請求の範囲に記載の第 1 和の一例である。また、第 2 端制御側導電経路の長さ第 2

10

20

30

40

50

端駆動側導電経路の長さとの合計の長さは、特許請求の範囲に記載の第2和の一例である。このため、本実施形態のパワーモジュール1Bは、第1制御側迂回部21b及び第1駆動側迂回部24bによって、第1和と第2和とが近づくように構成されている。

【0257】

図30に示すように、第1基板11の複数の第2パワー半導体素子40Bのゲート電極43から第2制御端子53Bまでの第2制御側導電経路は、第2制御側接続部材32B、第2制御層25、第2制御層接続部材93B、第2制御層26の第2制御側接続部26d、及び第2制御端子側接続部材35Bによって構成されている。このため、第1基板11の複数の第2パワー半導体素子40Bに関する第3導電経路の一例である第2制御側導電経路は、第2パワー半導体素子40Baから第2パワー半導体素子40Bbに向かうにつれて順に長くなる。換言すると、複数の第2パワー半導体素子40Bのうちの第2パワー半導体素子40Bの配列方向の両端である第1端パワー半導体素子としての第2パワー半導体素子40Ba及び第2端パワー半導体素子としての第2パワー半導体素子40Bbのそれぞれに関する第2制御側導電経路の長さの差が最も大きくなる。この場合、第2パワー半導体素子40Baの第2制御側導電経路である第3端制御側導電経路の長さが最も短く、第2パワー半導体素子40Bbの第2制御側導電経路である第4端制御側導電経路の長さが最も長い。

10

【0258】

第1基板11の複数の第2パワー半導体素子40Bのソース電極42から第2検出端子54Bまでの第2駆動側導電経路は、第2駆動側接続部材33B、第2駆動層27、及び第2検出端子側接続部材36Bによって構成されている。このため、第1基板11の複数の第2パワー半導体素子40Bに関する第4導電経路の一例である第2駆動側導電経路は、第2パワー半導体素子40Bbから第2パワー半導体素子40Baに向かうにつれて順に長くなる。換言すると、複数の第2パワー半導体素子40Bのうちの第2パワー半導体素子40Bの配列方向の両端である第1端パワー半導体素子としての第2パワー半導体素子40Ba及び第2端パワー半導体素子としての第2パワー半導体素子40Bbのそれぞれに関する第2駆動側導電経路の長さの差が最も大きくなる。この場合、第2パワー半導体素子40Baの第2駆動側導電経路である第3端駆動側導電経路の長さが最も長く、第2パワー半導体素子40Bbの第2駆動側導電経路である第4端駆動側導電経路の長さが最も短い。

20

30

【0259】

第2基板12の複数の第2パワー半導体素子40Bのゲート電極43から第2制御端子53Bまでの第2制御側導電経路は、第2制御側接続部材32B、第2制御層26、及び第2制御端子側接続部材35Bによって構成されている。このため、第2基板12の複数の第2パワー半導体素子40Bに関する第3導電経路の一例である第2制御側導電経路は、第2パワー半導体素子40Bdから第2パワー半導体素子40Bcに向かうにつれて順に長くなる。換言すると、複数の第2パワー半導体素子40Bのうちの第2パワー半導体素子40Bの配列方向の両端である第1端パワー半導体素子としての第2パワー半導体素子40Bc及び第2端パワー半導体素子としての第2パワー半導体素子40Bdのそれぞれに関する第2制御側導電経路の長さの差が最も大きくなる。この場合、第2パワー半導体素子40Bcの第2制御側導電経路である第3端制御側導電経路の長さが最も長く、第2パワー半導体素子40Bdの第2制御側導電経路である第4端制御側導電経路の長さが最も短い。

40

【0260】

第2基板12の複数の第2パワー半導体素子40Bのソース電極42から第2検出端子54Bまでの第2駆動側導電経路は、第2駆動側接続部材33B、第2駆動層28、第2駆動層接続部材94B、第2駆動層27の第2駆動側接続部27d、及び第2検出端子側接続部材36Bによって構成されている。このため、第2基板12の複数の第2パワー半導体素子40Bに関する第4導電経路の一例である第2駆動側導電経路は、第2パワー半導体素子40Bcから第2パワー半導体素子40Bdに向かうにつれて順に長くなる。換

50

言すると、複数の第2パワー半導体素子40Bのうちの第2パワー半導体素子40Bの配列方向の両端である第1端パワー半導体素子としての第2パワー半導体素子40Bc及び第2端パワー半導体素子としての第2パワー半導体素子40Bdのそれぞれに関する第2駆動側導電経路の長さの差が最も大きくなる。この場合、第2パワー半導体素子40Bcの第2駆動側導電経路である第3端駆動側導電経路の長さが最も短く、第2パワー半導体素子40Bdの第2駆動側導電経路である第4端駆動側導電経路の長さが最も長い。

【0261】

このように、本実施形態では、第2制御側導電経路の長さ第2駆動側導電経路の長さの合計の長さの複数の第2パワー半導体素子40Bの間でのばらつきを低減するように、第2制御側迂回路26b及び第2駆動側迂回路27bがそれぞれ形成されている。すなわち、本実施形態のパワーモジュール1Bは、第2制御側迂回路26b及び第2駆動側迂回路27bによって、第3導電経路の一例である第2制御側導電経路の長さ第4導電経路の一例である第2駆動側導電経路の長さとの和が複数の第2パワー半導体素子40Bの間で互いに近づくように構成されている。

【0262】

また、本実施形態では、第3端制御側導電経路の長さ第3端駆動側導電経路の長さの合計の長さ第4端制御側導電経路の長さ第4端駆動側導電経路の長さの合計の長さとのばらつきを低減するように、第1制御側迂回路21b及び第1駆動側迂回路24bがそれぞれ形成されている。

【0263】

なお、第3端制御側導電経路の長さ第3端駆動側導電経路の長さの合計の長さは、特許請求の範囲に記載の第3和の一例である。また、第4端制御側導電経路の長さ第4端駆動側導電経路の長さの合計の長さは、特許請求の範囲に記載の第4和の一例である。このため、本実施形態のパワーモジュール1Bは、第2制御側迂回路26b及び第2駆動側迂回路27bによって、第3和と第4和とが近づくように構成されている。

【0264】

(効果)

本実施形態のパワーモジュール1Bによれば、第1実施形態のパワーモジュール1Aの効果と同様の効果に加え、以下の効果が得られる。

【0265】

(2-1) 第1制御層21の第1制御側連結部21cはワイヤからなる。また第1駆動層24の第1駆動側連結部24cはワイヤからなる。この構成によれば、基板10に設けられた他の配線を跨ぐことができるため、第1制御側連結部21c及び第1駆動側連結部24cの配置の自由度が高くなる。したがって、第1制御層21及び第1駆動層24のそれぞれのレイアウトを設計し易くなる。

【0266】

[パワーモジュールの適用例]

パワーモジュール1A、1Bを用いて構成される回路構成例について説明する。なお、図33及び図34では、便宜上、ボディダイオード44を省略して示している。

【0267】

上記回路構成の第1例として、図33は、パワーモジュール1A、1Bを用いて構成される3相交流インバータ200を示している。3相交流インバータ200では、U相インバータを構成するパワーモジュール1A、V相インバータを構成するパワーモジュール1A、及びW相インバータを構成するパワーモジュール1Aが互いに並列に接続されている。3相交流インバータ200は、パワー半導体素子40としてSiCMOSFETを適用し、電源端子PLと接地端子NLとの間にスナバコンデンサCを接続した構成である。なお、パワー半導体素子40としてIGBTを適用し、電源端子PLと接地端子NLとの間にスナバコンデンサCを接続した3相交流インバータ(図示略)を実現することもできる。この場合、3相交流インバータ200は、IGBTに逆並列に接続されるダイオードをさらに備える。

【0268】

図33に示すように、パワーモジュール1A, 1Bを電源Eに接続し、スイッチング動作を行うと、SiCMOSFETのスイッチング速度が速いため、接続ラインの有するインダクタンスLによって大きなサージ電圧 $L di/dt$ を生じる。例えば、電流変化 $di = 300A$ とし、スイッチングに伴う時間変化 $dt = 100nsec$ とすると、 $di/dt = 3 \times 10^9 (A/s)$ となる。

【0269】

インダクタンスLの値により、サージ電圧 $L di/dt$ の値は変化するが、電源Eに、このサージ電圧 $L di/dt$ が重畳される。電源端子PLと接地端子NLとの間に接続されるスナバコンデンサCによって、このサージ電圧 $L di/dt$ を吸収できる。

10

【0270】

上記回路構成の第2例として、図34は、パワーモジュール1A, 1Bを用いて構成される3相交流インバータ210を示している。

3相交流インバータ210は、ゲートドライバ211に接続されたパワーモジュール部212と、電源もしくは蓄電池213と、コンバータ214とを備え、3相交流モータ部215の駆動を制御する。パワーモジュール部212は、3相交流モータ部215のU相、V相、W相に対応して、U相インバータ、V相インバータ、W相インバータが接続されている。

【0271】

ゲートドライバ211は、U相インバータを構成するパワーモジュール1Aの第1パワー半導体素子群40ATのゲート電極43及び第2パワー半導体素子群40BTのゲート電極43と、V相インバータを構成するパワーモジュール1Aの第1パワー半導体素子群40ATのゲート電極43及び第2パワー半導体素子群40BTのゲート電極43と、W相インバータを構成するパワーモジュール1Aの第1パワー半導体素子群40ATのゲート電極43及び第2パワー半導体素子群40BTのゲート電極43とにそれぞれ接続されている。またゲートドライバ211は、U相インバータを構成するパワーモジュール1Aの第1パワー半導体素子群40ATのソース電極42及び第2パワー半導体素子群40BTのソース電極42と、V相インバータを構成するパワーモジュール1Aの第1パワー半導体素子群40ATのソース電極42及び第2パワー半導体素子群40BTのソース電極42と、W相インバータを構成するパワーモジュール1Aの第1パワー半導体素子群40ATのソース電極42及び第2パワー半導体素子群40BTのソース電極42とにそれぞれ接続されている。

20

30

【0272】

パワーモジュール部212は、電源もしくは蓄電池(E)213が接続されたコンバータ214のプラス端子(+)Pとマイナス端子(-)Nとの間に接続されており、U相インバータを構成するパワーモジュール1Aの各パワー半導体素子群40AT, 40BT、V相インバータを構成するパワーモジュール1Aの各パワー半導体素子群40AT, 40BT、及びW相インバータを構成するパワーモジュール1Aの各パワー半導体素子群40AT, 40BTを備える。

【0273】

各相インバータの各パワー半導体素子群40AT, 40BTのソース電極42とドレイン電極41との間には、フリーホイールダイオード216がそれぞれ逆並列に接続されている。

40

【0274】

[変更例]

上記各実施形態は本開示に関するパワーモジュールが取り得る形態の例示であり、その形態を制限することを意図していない。本開示に関するパワーモジュールは、上記各実施形態に例示された形態とは異なる形態を取り得る。その一例は、上記各実施形態の構成の一部を置換、変更、もしくは、省略した形態、又は上記各実施形態に新たな構成を付加した形態である。以下の変更例において、上記各実施形態と共通する部分については、上記

50

各実施形態と同一の符号を付してその説明を省略する。

【0275】

・上記第1実施形態において、第1制御層21及び第1駆動層23を入れ替え、第1制御層22及び第1駆動層24を入れ替えることができる。

一例では、図35に示すように、第1基板11では、縦方向Yにおいて、第1制御層21が第1搭載層13Aと隣り合うように配置されており、第1駆動層23が第1制御層21に対して第1搭載層13Aとは反対側に配置されている。

【0276】

第1制御層21は、横方向Xに延びている。第1制御層21の形状は、第1実施形態の第1駆動層23の形状と同じである。第1制御層21には、第1基板11の各第1パワー半導体素子40Aに接続された第1制御側接続部材32Aが接続されている。

10

【0277】

第1駆動層23の形状は、第1実施形態の第1制御層21の形状と同じである。第1駆動層23は、第1駆動側配線部23a、第1駆動側迂回部23b、第1駆動側連結部23c、及び第1駆動側接続部23dを有する。第1駆動層23は、第1駆動側配線部23a、第1駆動側迂回部23b、第1駆動側連結部23c、及び第1駆動側接続部23dが一体に形成された単一部材である。縦方向Yにおいて、第1駆動側迂回部23bは、第1駆動側配線部23aに対して第1制御層21とは反対側に配置されている。第1駆動層23の第1駆動側配線部23aには、第1基板11の各第1パワー半導体素子40Aに接続された第1駆動側接続部材33Aが接続されている。図35に示すとおり、第1駆動側迂回部23bには、第1基板11の各第1パワー半導体素子40Aに接続された第1駆動側接続部材33Aが接続されていない。第1駆動側接続部23dには、第1検出端子側接続部材36A及び第1駆動層接続部材94Aが接続されている。

20

【0278】

また、第2基板12では、縦方向Yにおいて、第1制御層22が第1搭載層13Bと隣り合うように配置されており、第1駆動層24が第1制御層22に対して第1搭載層13Bとは反対側に配置されている。

【0279】

第1制御層22の形状は、第1実施形態の第1駆動層24の形状と同じである。第1制御層22は、第1制御側配線部22a、第1制御側迂回部22b、第1制御側連結部22c、及び第1制御側接続部22dを有する。第1制御層22は、第1制御側配線部22a、第1制御側迂回部22b、第1制御側連結部22c、及び第1制御側接続部22dが一体に形成された単一部材である。縦方向Yにおいて、第1制御側迂回部22bは、第1駆動層24に対して第1制御側配線部22aとは反対側に配置されている。第1制御側配線部22aには、第2基板12の各第1パワー半導体素子40Aに接続された第1制御側接続部材32Aが接続されている。図35に示すとおり、第1制御側迂回部22bには、第2基板12の各第1パワー半導体素子40Aに接続された第1制御側接続部材32Aが接続されていない。第1制御側接続部22dには、第1制御端子側接続部材35A及び第1制御層接続部材93Aが接続されている。平面視において、第1制御層接続部材93Aは、横方向Xに延びている。

30

40

【0280】

第1駆動層24の形状は、第1実施形態の第1制御層22の形状と同じである。第1駆動層24は、横方向Xに延びている。縦方向Yにおいて、第1駆動層24は、第1制御側配線部22aと第1制御側迂回部22bとの間に配置されている。横方向Xにおける第1駆動層24のうちの第2基板12の第3基板側面12c側の端部には、第1駆動層接続部材94Aが接続されている。平面視において、第1駆動層接続部材94Aは、横方向Xに延びている。

【0281】

また、図35に示すように、第1制御端子53A及び第1検出端子54Aの横方向Xにおける配置位置を上記第1実施形態と逆配置としてもよい。これにより、平面視において

50

、第1制御端子側接続部材35Aと第1検出端子側接続部材36Aとが交差することを回避できる。

【0282】

・上記第1実施形態において、第2制御層25及び第2駆動層27を入れ替え、第2制御層26及び第2駆動層28を入れ替えることができる。

一例では、図36に示すように、第1基板11では、縦方向Yにおいて、第2制御層25が導電層15Aと隣り合うように配置されており、第2駆動層27が第2制御層25に対して導電層15Aとは反対側に配置されている。

【0283】

第2制御層25の形状は、第1実施形態の第2駆動層27の形状と同じである。第2制御層25は、第2制御側配線部25a、第2制御側迂回部25b、第2制御側連結部25c、及び第2制御側接続部25dを有する。第2制御層25は、第2制御側配線部25a、第2制御側迂回部25b、第2制御側連結部25c、及び第2制御側接続部25dが一体に形成された単一部材である。縦方向Yにおいて、第2制御側迂回部25bは、第2駆動層27に対して第2制御側配線部25aとは反対側に配置されている。第2制御側配線部25aには、第1基板11の各第2パワー半導体素子40Bに接続された第2制御側接続部材32Bが接続されている。図36に示すとおり、第2制御側迂回部25bには、第1基板11の各第2パワー半導体素子40Bに接続された第2制御側接続部材32Bが接続されていない。第2制御側接続部25dには、第2制御端子側接続部材35B及び第2制御層接続部材93Bが接続されている。

10

【0284】

第2駆動層27の形状は、第1実施形態の第2制御層25の形状と同じである。第2駆動層27は、横方向Xに延びている。縦方向Yにおいて、第2駆動層27は、第2制御層25における第2制御側配線部25aと第2制御側迂回部25bとの間に配置されている。横方向Xにおける第2駆動層27のうちの第1基板11の第4基板側面11d側の端部には、第2駆動層接続部材94Bが接続されている。

20

【0285】

また、第2基板12では、縦方向Yにおいて、第2制御層26が導電層15Bと隣り合うように配置されており、第2駆動層28が第2制御層26に対して導電層15Bとは反対側に配置されている。

30

【0286】

第2駆動層28の形状は、第1実施形態の第2制御層26の形状と同じである。第2駆動層28は、第2駆動側配線部28a、第2駆動側迂回部28b、第2駆動側連結部28c、及び第2駆動側接続部28dを有する。第2駆動層28は、第2駆動側配線部28a、第2駆動側迂回部28b、第2駆動側連結部28c、及び第2駆動側接続部28dが一体に形成された単一部材である。縦方向Yにおいて、第2駆動側迂回部28bは、第2駆動側配線部28aに対して第2制御層26とは反対側に配置されている。第2駆動側配線部28aには、第2基板12の各第2パワー半導体素子40Bに接続された第2駆動側接続部材33Bが接続されている。図36に示すとおり、第2駆動側迂回部28bには、第2基板12の各第2パワー半導体素子40Bに接続された第2駆動側接続部材33Bが接続されていない。第2駆動側接続部28dには、第2検出端子側接続部材36B及び第2駆動層接続部材94Bが接続されている。平面視において、第2駆動層接続部材94Bは、横方向Xに延びている。

40

【0287】

第2制御層26の形状は、第1実施形態の第2駆動層28の形状と同じである。第2制御層26は、横方向Xに延びている。縦方向Yにおいて、第2制御層26は、第2駆動側配線部28aと第2駆動側迂回部28bとの間に配置されている。横方向Xにおける第2駆動層28のうちの第2基板12の第3基板側面12c側の端部には、第2制御層接続部材93Bが接続されている。平面視において、第2制御層接続部材93Bは、横方向Xに延びている。

50

【0288】

また、図36に示すように、第2制御端子53B及び第2検出端子54Bの横方向Xにおける配置位置を上記第1実施形態と逆配置としてもよい。これにより、平面視において、第2制御端子側接続部材35Bと第2検出端子側接続部材36Bとが交差することを回避できる。

【0289】

・上記第2実施形態において、第1制御層21及び第1駆動層23を入れ替え、第1制御層22及び第1駆動層24を入れ替えることができる。

一例では、図37に示すように、第1基板11では、縦方向Yにおいて、第1制御層21が第1搭載層13Aと隣り合うように配置されており、第1駆動層23が第1制御層21に対して第1搭載層13Aとは反対側に配置されている。

10

【0290】

第1制御層21は、横方向Xに延びている。第1制御層21の形状は、第2実施形態の第1駆動層23の形状と同じである。第1制御層21には、第1基板11の各第1パワー半導体素子40Aに接続された第1制御側接続部材32Aが接続されている。

【0291】

第1駆動層23の形状は、第2実施形態の第1制御層21の形状と同じである。第1駆動層23は、第1駆動側配線部23a、第1駆動側迂回部23b、及び第1駆動側連結部23cを有する。第1駆動側配線部23a、第1駆動側迂回部23b、及び第1駆動側連結部23cは、個別に形成されている。第1駆動側配線部23a及び第1駆動側迂回部23bはそれぞれ、例えば銅箔からなる。第1駆動側連結部23cは、例えばワイヤボンディングからなるワイヤである。縦方向Yにおいて、第1駆動側迂回部23bは、第1駆動側配線部23aに対して第1制御層21とは反対側に配置されている。第1駆動層23の第1駆動側配線部23aには、第1基板11の各第1パワー半導体素子40Aに接続された第1駆動側接続部材33Aが接続されている。図37に示すとおり、第1駆動側迂回部23bには、第1基板11の各第1パワー半導体素子40Aに接続された第1駆動側接続部材33Aが接続されていない。第1駆動側接続部23dには、第1検出端子側接続部材36A及び第1駆動層接続部材94Aが接続されている。

20

【0292】

また、第2基板12では、縦方向Yにおいて、第1制御層22が第1搭載層13Bと隣り合うように配置されており、第1駆動層24が第1制御層22に対して第1搭載層13Bとは反対側に配置されている。

30

【0293】

第1制御層22の形状は、第1実施形態の第1駆動層24の形状と同じである。第1制御層22は、第1制御側配線部22a、第1制御側迂回部22b、第1制御側連結部22c、及び第1制御側接続部22dを有する。第1制御側配線部22a、第1制御側迂回部22b、第1制御側連結部22c、及び第1制御側接続部22dは、個別に形成されており、第1制御側迂回部22b及び第1制御側接続部22dが一体に形成されている。第1制御側配線部22a、第1制御側迂回部22b、及び第1制御側接続部22dはそれぞれ、例えば銅箔からなる。第1制御側連結部22cは、例えばワイヤボンディングからなるワイヤである。縦方向Yにおいて、第1制御側迂回部22bは、第1駆動層24に対して第1制御側配線部22aとは反対側に配置されている。第1制御側配線部22aには、第2基板12の各第1パワー半導体素子40Aに接続された第1制御側接続部材32Aが接続されている。図37に示すとおり、第1制御側迂回部22bには、第2基板12の各第1パワー半導体素子40Aに接続された第1制御側接続部材32Aが接続されていない。第1制御側接続部22dには、第1制御端子側接続部材35A及び第1制御層接続部材93Aが接続されている。平面視において、第1制御層接続部材93Aは、横方向Xに延びている。

40

【0294】

第1駆動層24の形状は、第1実施形態の第1制御層22の形状と同じである。第1駆

50

動層 2 4 は、横方向 X に延びている。縦方向 Y において、第 1 駆動層 2 4 は、第 1 制御側配線部 2 2 a と第 1 制御側迂回部 2 2 b との間に配置されている。横方向 X における第 1 駆動層 2 4 のうちの第 2 基板 1 2 の第 3 基板側面 1 2 c 側の端部には、第 1 駆動層接続部材 9 4 A が接続されている。

【0 2 9 5】

また、図 3 7 に示すように、第 1 制御端子 5 3 A 及び第 1 検出端子 5 4 A の横方向 X における配置位置を上記第 1 実施形態と逆配置としてもよい。これにより、平面視において、第 1 制御端子側接続部材 3 5 A と第 1 検出端子側接続部材 3 6 A とが交差することを回避できる。

【0 2 9 6】

・上記第 2 実施形態において、第 2 制御層 2 5 及び第 2 駆動層 2 7 を入れ替え、第 2 制御層 2 6 及び第 2 駆動層 2 8 を入れ替えることができる。

一例では、図 3 8 に示すように、第 1 基板 1 1 では、縦方向 Y において、第 2 制御層 2 5 が導電層 1 5 A と隣り合うように配置されており、第 2 駆動層 2 7 が第 2 制御層 2 5 に対して導電層 1 5 A とは反対側に配置されている。

【0 2 9 7】

第 2 制御層 2 5 の形状は、第 2 実施形態の第 2 駆動層 2 7 の形状と同じである。第 2 制御層 2 5 は、第 2 制御側配線部 2 5 a、第 2 制御側迂回部 2 5 b、第 2 制御側連結部 2 5 c、及び第 2 制御側接続部 2 5 d を有する。第 2 制御側配線部 2 5 a、第 2 制御側迂回部 2 5 b、及び第 2 制御側連結部 2 5 c は個別に形成されており、第 2 制御側迂回部 2 5 b 及び第 2 制御側接続部 2 5 d は一体に形成されている。縦方向 Y において、第 2 制御側迂回部 2 5 b は、第 2 駆動層 2 7 に対して第 2 制御側配線部 2 5 a とは反対側に配置されている。第 2 制御側配線部 2 5 a には、第 1 基板 1 1 の各第 2 パワー半導体素子 4 0 B に接続された第 2 制御側接続部材 3 2 B が接続されている。図 3 8 に示すとおり、第 2 制御側迂回部 2 5 b には、第 1 基板 1 1 の各第 2 パワー半導体素子 4 0 B に接続された第 2 制御側接続部材 3 2 B が接続されていない。第 2 制御側接続部 2 5 d には、第 2 制御端子側接続部材 3 5 B 及び第 2 制御層接続部材 9 3 B が接続されている。

【0 2 9 8】

第 2 駆動層 2 7 の形状は、第 2 実施形態の第 2 制御層 2 5 の形状と同じである。第 2 駆動層 2 7 は、横方向 X に延びている。縦方向 Y において、第 2 駆動層 2 7 は、第 2 制御層 2 5 における第 2 制御側配線部 2 5 a と第 2 制御側迂回部 2 5 b との間に配置されている。横方向 X における第 2 駆動層 2 7 のうちの第 1 基板 1 1 の第 4 基板側面 1 1 d 側の端部には、第 2 駆動層接続部材 9 4 B が接続されている。

【0 2 9 9】

また、第 2 基板 1 2 では、縦方向 Y において、第 2 制御層 2 6 が導電層 1 5 B と隣り合うように配置されており、第 2 駆動層 2 8 が第 2 制御層 2 6 に対して導電層 1 5 B とは反対側に配置されている。

【0 3 0 0】

第 2 駆動層 2 8 の形状は、第 2 実施形態の第 2 制御層 2 6 の形状と同じである。第 2 駆動層 2 8 は、第 2 駆動側配線部 2 8 a、第 2 駆動側迂回部 2 8 b、及び第 2 駆動側連結部 2 8 c を有する。第 2 駆動側配線部 2 8 a、第 2 駆動側迂回部 2 8 b、及び第 2 駆動側連結部 2 8 c は、個別に形成されている。縦方向 Y において、第 2 駆動側迂回部 2 8 b は、第 2 駆動側配線部 2 8 a に対して第 2 制御層 2 6 とは反対側に配置されている。第 2 駆動側配線部 2 8 a には、第 2 基板 1 2 の各第 2 パワー半導体素子 4 0 B に接続された第 2 駆動側接続部材 3 3 B が接続されている。図 3 8 に示すとおり、第 2 駆動側迂回部 2 8 b には、第 2 基板 1 2 の各第 2 パワー半導体素子 4 0 B に接続された第 2 駆動側接続部材 3 3 B が接続されていない。第 2 駆動側接続部 2 8 d には、第 2 検出端子側接続部材 3 6 B 及び第 2 駆動層接続部材 9 4 B が接続されている。

【0 3 0 1】

第 2 制御層 2 6 の形状は、第 2 実施形態の第 2 駆動層 2 8 の形状と同じである。第 2 制

10

20

30

40

50

御層 2 6 は、横方向 X に延びている。縦方向 Y において、第 2 制御層 2 6 は、第 2 駆動側配線部 2 8 a と第 2 駆動側迂回部 2 8 b との間に配置されている。横方向 X における第 2 駆動層 2 8 のうちの第 2 基板 1 2 の第 3 基板側面 1 2 c 側の端部には、第 2 制御層接続部材 9 3 B が接続されている。平面視において、第 2 制御層接続部材 9 3 B は、横方向 X に延びている。

【0302】

また、図 3 8 に示すように、第 2 制御端子 5 3 B 及び第 2 検出端子 5 4 B の横方向 X における配置位置を上記第 1 実施形態と逆配置としてもよい。これにより、平面視において、第 2 制御端子側接続部材 3 5 B と第 2 検出端子側接続部材 3 6 B とが交差することを回避できる。

【0303】

・上記第 2 実施形態において、第 1 制御層 2 1 は、第 1 実施形態のように第 1 制御側接続部 2 1 d を有してもよい。第 1 制御側接続部 2 1 d は、横方向 X における第 1 制御側迂回部 2 1 b のうちの第 1 基板 1 1 の第 4 基板側面 1 1 d 側の端部に形成される。この場合、第 1 制御層 2 1 の第 1 制御側配線部 2 1 a の横方向 X の長さを短くする。第 1 制御側接続部 2 1 d によって、平面視において第 1 制御層接続部材 9 3 A が横方向 X に沿って延びるように形成できる。

【0304】

・上記第 2 実施形態において、第 2 制御層 2 6 は、第 1 実施形態のように第 2 制御側接続部 2 6 d を有してもよい。第 2 制御側接続部 2 6 d は、横方向 X における第 2 制御側迂回部 2 6 b のうちの第 2 基板 1 2 の第 3 基板側面 1 2 c 側の端部に形成される。この場合、第 2 制御層 2 6 の第 2 制御側配線部 2 6 a の横方向 X の長さを短くする。第 2 制御側接続部 2 6 d によって、平面視において第 2 制御層接続部材 9 3 B が横方向 X に沿って延びるように形成できる。

【0305】

・上記第 2 実施形態において、第 1 制御層 2 1 の第 1 制御側連結部 2 1 c をワイヤに代えて帯状の薄板によって形成されてもよい。帯状の薄板の材料としては、Cu 又は Cu 合金、あるいは Al 又は Al 合金が用いられる。

【0306】

・上記第 2 実施形態において、第 1 駆動層 2 4 の第 1 駆動側連結部 2 4 c をワイヤに代えて帯状の薄板によって形成されてもよい。帯状の薄板の材料としては、Cu 又は Cu 合金、あるいは Al 又は Al 合金が用いられる。

【0307】

・上記第 2 実施形態において、第 2 制御層 2 6 の第 2 制御側連結部 2 6 c をワイヤに代えて帯状の薄板によって形成されてもよい。帯状の薄板の材料としては、Cu 又は Cu 合金、あるいは Al 又は Al 合金が用いられる。

【0308】

・上記第 2 実施形態において、第 2 駆動層 2 7 の第 2 駆動側連結部 2 7 c をワイヤに代えて帯状の薄板によって形成されてもよい。帯状の薄板の材料としては、Cu 又は Cu 合金、あるいは Al 又は Al 合金が用いられる。

【0309】

・上記各実施形態において、第 1 素子接続部材 3 1 A 及び第 2 素子接続部材 3 1 B の少なくとも 1 つを 1 本又は複数本のワイヤで構成してもよい。

・上記各実施形態において、連結部材 9 0 A ~ 9 0 C のうちの少なくとも 1 つを 1 本又は複数本のワイヤで構成してもよい。

【0310】

・上記各実施形態において、パワー半導体素子 4 0 (4 0 A, 4 0 B) の構成は任意に変更可能である。一例では、図 3 9 に示すように、第 1 パワー半導体素子 4 0 A の素子主面 4 0 s には、ソース電極 4 2 及びゲート電極 4 3 が形成されている。ソース電極 4 2 は、素子主面 4 0 s の大部分にわたり形成されている。本実施形態では、ソース電極 4 2 は

10

20

30

40

50

、第1ソース電極42D及び第2ソース電極42Eを含む。平面視において、第1ソース電極42D及び第2ソース電極42Eは、横方向Xに離間して配置されている。平面視において、ゲート電極43は、ソース電極42に形成された凹部42x内に配置されている。図39では、第1駆動側接続部材33Aが第2ソース電極42Eに接続されている。なお、第1駆動側接続部材33Aは、第1ソース電極42Dに接続されてもよい。また、第2パワー半導体素子40Bも図39のように変更できる。

【0311】

・上記各実施形態において、第1出力端子52A及び第2出力端子52Bのいずれかを省略してもよい。

・上記各実施形態において、基板10として、第1基板11及び第2基板12が一体に形成された構成であってもよい。この場合、連結部材90A～90Cが省略される。また、第1制御層21と第1制御層22とを一体化してもよい。この場合、第1制御層接続部材93Aが省略される。また、第1駆動層23と第1駆動層24とを一体化してもよい。この場合、第1駆動層接続部材94Aが省略される。また、第2制御層25と第2制御層26とを一体化してもよい。この場合、第2制御層接続部材93Bが省略される。また、第2駆動層27と第2駆動層28とを一体化してもよい。この場合、第2駆動層接続部材94Bが省略される。

【0312】

・上記各実施形態において、基板10から第1基板11及び第2基板12のいずれかを省略してもよい。基板10から第2基板12が省略された場合、第1搭載層13B、第2搭載層14B、導電層15B、第1制御層22、第1駆動層24、第2制御層26、第2駆動層28、及び第2基板12の各パワー半導体素子40A、40Bが主に省略される。また、基板10から第1基板11が省略された場合、第1搭載層13A、第2搭載層14A、導電層15A、第1制御層21、第1駆動層23、第2制御層25、第2駆動層27、及び第1基板11の各パワー半導体素子40A、40Bが主に省略される。

【0313】

・上記各実施形態において、電源電流端子55を省略してもよい。この場合、電源電流検出側接続部材34が省略される。

・上記各実施形態において、サーミスタ17を省略してもよい。加えて、サーミスタ搭載層16、一对の温度検出端子56、及び一对のサーミスタ側接続部材37を省略してもよい。

【0314】

・上記各実施形態において、パワーモジュールは、1個の基板と、基板の基板主面に配置された搭載層、導電層、制御層、及び駆動層と、搭載層に配置された複数のパワー半導体素子と、制御端子及び検出端子と、を備える構成であってもよい。この場合、制御層及び駆動層の少なくとも一方に、複数のパワー半導体素子における制御側導電経路の長さ、及び駆動側導電経路の長さとの合計の長さが互いに近づくように迂回部が形成される。

【0315】

(付記)

次に、上記各実施形態及び上記各変更例から把握できる技術的思想について説明する。

(付記1)

厚さ方向において互いに反対側を向く基板主面及び基板裏面を有し、電気絶縁性を有する基板と、

前記基板主面に形成された各々導電性を有する搭載層、制御層、及び駆動層と、

前記搭載層に搭載されているものであって、前記搭載層と電氣的に接続された第1駆動電極が形成された素子裏面と、第2駆動電極及び制御電極が形成された素子主面と、を有するパワー半導体素子と、

前記制御電極と前記制御層とを接続する制御側接続部材と、

前記第2駆動電極と前記駆動層とを接続する駆動側接続部材と、

前記制御層と電氣的に接続されている制御端子と、

10

20

30

40

50

前記駆動層と電氣的に接続されている検出端子と、
を備えたパワーモジュールであって、

前記パワー半導体素子は、前記厚さ方向からみて一方向に配列された状態で前記搭載層に設けられた複数のパワー半導体素子のうちの1つであり、

前記制御側接続部材は、各々前記複数のパワー半導体素子の1つに対応する複数の制御側接続部材のうちの1つであり、

前記駆動側接続部材は、各々前記複数のパワー半導体素子の1つに対応する複数の駆動側接続部材のうちの1つであり、

前記制御電極及び前記制御端子間の経路を第1導電経路とし、前記第2駆動電極及び前記検出端子間の経路を第2導電経路とし、

前記制御層及び前記駆動層の少なくとも一方は、前記第1導電経路の長さと同記第2導電経路の長さとの和が前記複数のパワー半導体素子の間で互いに近づくように迂回する迂回部を有する

パワーモジュール。

【0316】

(付記2)

厚さ方向において互いに反対側を向く基板主面及び基板裏面を有し、電気絶縁性を有する基板と、

前記基板主面に形成された各々導電性を有する搭載層、制御層、及び駆動層と、

前記搭載層に搭載されているものであって、前記搭載層と電氣的に接続された第1駆動電極が形成された素子裏面と、第2駆動電極及び制御電極が形成された素子主面と、を有し、前記厚さ方向からみて一方向に配列された状態で前記搭載層に搭載された複数のパワー半導体素子と、

前記複数のパワー半導体素子の前記制御電極と前記制御層とを接続するものであって、前記複数のパワー半導体素子の配列方向と同一方向に並んだ複数の制御側接続部材と、

前記複数のパワー半導体素子の前記第2駆動電極と前記駆動層とを接続するものであって、前記複数のパワー半導体素子の配列方向と同一方向に並んだ複数の駆動側接続部材と、

前記制御層と電氣的に接続されている制御端子と、

前記駆動層と電氣的に接続されている検出端子と、
を備えたパワーモジュールであって、

前記複数のパワー半導体素子は、前記配列方向の両端にある第1端パワー半導体素子及び第2端パワー半導体素子を含み、

前記第1端パワー半導体素子の前記制御電極及び前記制御端子間の経路を第1制御側導電経路とし、前記第1端パワー半導体素子の前記第2駆動電極及び前記検出端子間の経路を第1駆動側導電経路とし、前記第1制御側導電経路の長さと同記第1駆動側導電経路の長さとの和を第1和とし、

前記第2端パワー半導体素子の前記制御電極及び前記制御端子間の経路を第2制御側導電経路とし、前記第2端パワー半導体素子の前記第2駆動電極及び前記検出端子間の経路を第2駆動側導電経路とし、前記第2制御側導電経路の長さと同記第2駆動側導電経路の長さとの和を第2和とすると、

前記制御層及び前記駆動層の少なくとも一方は、前記第1和と同記第2和とが互いに近づくように導電経路を迂回させる迂回部を有する

パワーモジュール。

【0317】

(付記3)

前記一方向を第1方向とし、前記厚さ方向からみて前記第1方向と交差する方向を第2方向とすると、

前記制御層及び前記駆動層はそれぞれ、前記第1方向に延びる配線部を有し、

前記迂回部は、前記第2方向において前記配線部と離間して配置されており、前記第1方向に延びている

10

20

30

40

50

付記 1 又は 2 に記載のパワーモジュール。

【0318】

(付記 4)

前記制御層及び前記駆動層の少なくとも一方は、前記迂回部と前記配線部とを連結する連結部を有し、

前記配線部、前記迂回部、及び前記連結部は、一体に形成された単一部材からなる

付記 3 に記載のパワーモジュール。

【0319】

(付記 5)

前記制御層及び前記駆動層の少なくとも一方は、前記迂回部と前記配線部とを連結する連結部を有し、

前記連結部は、ワイヤからなる

付記 3 に記載のパワーモジュール。

【0320】

(付記 6)

前記駆動層は、前記制御層よりも前記搭載層側に配置されている

付記 1 ～ 5 のいずれか一つに記載のパワーモジュール。

【0321】

(付記 7)

前記制御層は、前記迂回部を有し、

前記迂回部は、前記制御層の配線部に対して前記駆動層とは反対側に配置されている

付記 6 に記載のパワーモジュール。

【0322】

(付記 8)

前記駆動層は、前記迂回部を有し、

前記迂回部は、前記制御層に対して前記搭載層とは反対側に配置されている

付記 6 に記載のパワーモジュール。

【0323】

(付記 9)

前記迂回部には、前記制御側接続部材及び前記駆動側接続部材が接続されていない

付記 1 ～ 8 のいずれか一つに記載のパワーモジュール。

【0324】

(付記 10)

前記一方向を第 1 方向とし、前記厚さ方向からみて前記第 1 方向と交差する方向を第 2 方向とすると、

前記厚さ方向からみて、前記制御側接続部材及び前記駆動側接続部材の少なくとも一方は、前記第 2 方向に延びている

付記 1 ～ 9 のいずれか一つに記載のパワーモジュール。

【0325】

(付記 11)

前記制御端子と前記制御層とは、制御端子側接続部材によって電氣的に接続されており、

前記検出端子と前記駆動層とは、検出端子側接続部材によって電氣的に接続されている

付記 1 ～ 10 のいずれか一つに記載のパワーモジュール。

【0326】

(付記 12)

前記制御層は、前記迂回部と、前記迂回部の先端部に形成されて前記制御端子側接続部材が接続されている第 1 接続部とを有する

付記 11 に記載のパワーモジュール。

【0327】

(付記 13)

10

20

30

40

50

前記駆動層は、前記迂回部と、前記迂回部の先端部に形成されて前記検出端子側接続部材が接続されている第2接続部とを有する

付記11又は12に記載のパワーモジュール。

【0328】

(付記14)

前記基板は、第1基板及び第2基板を有し、

前記第1基板及び前記第2基板の前記基板主面にはそれぞれ、前記搭載層、前記制御層、及び前記駆動層が配置されており、

前記第1基板の前記搭載層及び前記第2基板の前記搭載層にはそれぞれ、前記複数のパワー半導体素子が前記一方向に配列されており、

前記第1基板及び前記第2基板は、前記一方向に互いに離間して配列されており、

前記第1基板の前記搭載層と前記第2基板の前記搭載層とは、搭載層接続部材によって電氣的に接続されており、

前記第1基板の前記制御層と前記第2基板の前記制御層とは、制御層接続部材によって電氣的に接続されており、

前記第1基板の前記駆動層と前記第2基板の前記駆動層とは、駆動層接続部材によって電氣的に接続されており、

前記第1基板の前記制御層及び前記駆動層の一方は、前記迂回部を有し、

前記第2基板の前記制御層及び前記駆動層の他方は、前記迂回部を有する

付記1～13のいずれか一つに記載のパワーモジュール。

【0329】

(付記15)

前記一方向を第1方向とし、前記厚さ方向からみて前記第1方向と交差する方向を第2方向とすると、

前記第2方向からみて、前記制御端子及び前記検出端子はそれぞれ、前記第2基板と重なるように配置されている

付記14に記載のパワーモジュール。

【0330】

(付記16)

前記パワー半導体素子は、SiCMOSFETからなり、

前記第1駆動電極はドレイン電極であり、前記第2駆動電極はソース電極であり、前記制御電極はゲート電極である

付記1～15のいずれか一つに記載のパワーモジュール。

【0331】

(付記17)

厚さ方向において互いに反対側を向く基板主面及び基板裏面を有し、電気絶縁性を有する基板と、

前記基板主面に形成された各々導電性を有する第1制御層、第2制御層、第1駆動層、第2駆動層、第1搭載層、第2搭載層、及び導電層と、

前記第1搭載層に搭載されるものであって、第1入力端子に電氣的に接続される第1駆動電極が形成された第1素子裏面と、出力端子に電氣的に接続される第2駆動電極、及び、制御電極が形成された第1素子主面と、を有する第1パワー半導体素子と、

前記第2搭載層に搭載されるものであって、前記出力端子に電氣的に接続される第1駆動電極が形成された第2素子裏面と、第2入力端子に電氣的に接続される第2駆動電極、及び、制御電極が形成された第2素子主面と、を有する第2パワー半導体素子と、

前記第1パワー半導体素子の制御電極と前記第1制御層とを接続する第1制御側接続部材と、

前記第1パワー半導体素子の第2駆動電極と前記第1駆動層とを接続する第1駆動側接続部材と、

前記第2パワー半導体素子の制御電極と前記第2制御層とを接続する第2制御側接続部

10

20

30

40

50

材と、

前記第 2 パワー半導体素子の第 2 駆動電極と前記第 2 駆動層とを接続する第 2 駆動側接続部材と、

前記第 1 制御層と電氣的に接続されている第 1 制御端子と、

前記第 2 制御層と電氣的に接続されている第 2 制御端子と、

前記第 1 駆動層と電氣的に接続されている第 1 検出端子と、

前記第 2 駆動層と電氣的に接続されている第 2 検出端子と、

を備えたパワーモジュールであって、

前記第 1 パワー半導体素子は、前記厚さ方向からみて一方向に配列された状態で前記第 1 搭載層に設けられた複数の第 1 パワー半導体素子のうちの 1 つであり、

前記第 1 制御側接続部材は、各々前記複数の第 1 パワー半導体素子の 1 つに対応する複数の第 1 制御側接続部材のうちの 1 つであり、

前記第 1 駆動側接続部材は、各々前記複数の第 1 パワー半導体素子の 1 つに対応する複数の第 1 駆動側接続部材のうちの 1 つであり、

前記第 1 パワー半導体素子の制御電極及び前記第 1 制御端子間の経路を第 1 導電経路とし、前記第 1 パワー半導体素子の第 2 駆動電極及び前記第 1 検出端子間の経路を第 2 導電経路とし、

前記第 1 制御層及び前記第 1 駆動層の少なくとも一方は、前記第 1 導電経路の長さと同前記第 2 導電経路の長さとの和が前記複数の第 1 パワー半導体素子の間で互いに近づくように迂回する第 1 迂回部を有する

パワーモジュール。

【0332】

(付記18)

厚さ方向において互いに反対側を向く基板主面及び基板裏面を有し、電気絶縁性を有する基板と、

前記基板主面に形成された各々導電性を有する第 1 制御層、第 2 制御層、第 1 駆動層、第 2 駆動層、第 1 搭載層、第 2 搭載層、及び導電層と、

前記第 1 搭載層に搭載されるものであって、第 1 入力端子に電氣的に接続される第 1 駆動電極が形成された第 1 素子裏面と、出力端子に電氣的に接続される第 2 駆動電極、及び、制御電極が形成された第 1 素子主面と、を有し、前記厚さ方向からみて一方向に配列された状態で前記第 1 搭載層に搭載された複数の第 1 パワー半導体素子と、

前記第 2 搭載層に搭載されるものであって、前記出力端子に電氣的に接続される第 1 駆動電極が形成された第 2 素子裏面と、第 2 入力端子に電氣的に接続される第 2 駆動電極、及び、制御電極が形成された第 2 素子主面と、を有し、前記一方向に配列された状態で前記第 2 搭載層に搭載された複数の第 2 パワー半導体素子と、

前記複数の第 1 パワー半導体素子の制御電極と前記第 1 制御層とを接続するものであって、前記複数の第 1 パワー半導体素子の配列方向と同一方向に並んだ複数の第 1 制御側接続部材と、

前記複数の第 1 パワー半導体素子の第 2 駆動電極と前記第 1 駆動層とを接続するものであって、前記複数の第 1 パワー半導体素子の配列方向と同一方向に並んだ複数の第 1 駆動側接続部材と、

前記複数の第 2 パワー半導体素子の制御電極と前記第 2 制御層とを接続するものであって、前記複数の第 2 パワー半導体素子の配列方向と同一方向に並んだ複数の第 2 制御側接続部材と、

前記第 2 パワー半導体素子の第 2 駆動電極と前記第 2 駆動層とを接続するものであって、前記複数の第 2 パワー半導体素子の配列方向と同一方向に並んだ複数の第 2 駆動側接続部材と、

前記第 1 制御層と電氣的に接続されている第 1 制御端子と、

前記第 2 制御層と電氣的に接続されている第 2 制御端子と、

前記第 1 駆動層と電氣的に接続されている第 1 検出端子と、

前記第 2 駆動層と電氣的に接続されている第 2 検出端子と、
を備えたパワーモジュールであって、

前記複数の第 1 パワー半導体素子は、前記複数の第 1 パワー半導体素子の配列方向の両端にある第 1 端パワー半導体素子及び第 2 端パワー半導体素子を含み、

前記第 1 端パワー半導体素子の前記制御電極及び前記第 1 制御端子間の経路を第 1 端制御側導電経路とし、前記第 1 端パワー半導体素子の前記第 2 駆動電極及び前記第 1 検出端子間の経路を第 1 端駆動側導電経路とし、前記第 1 端制御側導電経路の長さとは前記第 1 端駆動側導電経路の長さとの和を第 1 和とし、

前記第 2 端パワー半導体素子の前記制御電極及び前記第 1 制御端子間の経路を第 2 端制御側導電経路とし、前記第 2 端パワー半導体素子の前記第 2 駆動電極及び前記第 1 検出端子間の経路を第 2 端駆動側導電経路とし、前記第 2 端制御側導電経路の長さとは前記第 2 端駆動側導電経路の長さとの和を第 2 和とすると、

前記第 1 制御層及び前記第 1 駆動層の少なくとも一方は、前記第 1 和と前記第 2 和とが互いに近づくように導電経路を迂回させる第 1 迂回部を有する

パワーモジュール。

【0333】

付記 18 によれば、第 1 制御端子と第 1 検出端子との間の電圧が制御電圧として第 1 パワー半導体素子の制御電極に印加されるため、第 1 パワー半導体素子の制御電極への制御電圧の印加タイミングは、第 1 パワー半導体素子の制御電極と第 1 制御端子との間のインダクタンス値と第 1 パワー半導体素子の第 2 駆動電極と第 1 検出端子との間のインダクタンス値との合計のインダクタンス値に応じて決められる。第 1 パワー半導体素子の制御電極及び第 1 制御端子間のインダクタンス値は第 1 パワー半導体素子の制御電極及び第 1 制御端子間の導電経路の長さによって主に決められ、第 1 パワー半導体素子の第 2 駆動電極及び第 1 検出端子間のインダクタンス値は第 1 パワー半導体素子の第 2 駆動電極及び第 1 検出端子間の導電経路の長さによって主に決められる。このため、第 1 パワー半導体素子の制御電極及び第 1 制御端子間の導電経路の長さとは第 1 パワー半導体素子の第 2 駆動電極及び第 1 検出端子間の導電経路の長さとの合計の長さの複数の第 1 パワー半導体素子の間でのばらつきを抑えることによって、複数の第 1 パワー半導体素子における上記合計のインダクタンス値のばらつきを抑制できる。

【0334】

また、第 1 制御電極及び第 1 制御端子間の導電経路の長さ及び第 2 駆動電極及び第 1 検出端子間の導電経路のばらつきはそれぞれ、複数の第 1 パワー半導体素子の配列方向において両端の第 1 パワー半導体素子（第 1 端パワー半導体素子及び第 2 端パワー半導体素子）の間で最大になると考えられる。

【0335】

そこで、付記 18 によるパワーモジュールでは、第 1 迂回部が、第 1 端パワー半導体素子の第 1 端制御側導電経路の長さとは第 1 端駆動側導電経路の長さとの和である第 1 和と、第 2 端パワー半導体素子の第 2 端制御側導電経路の長さとは第 2 端駆動側導電経路の長さとの和である第 2 和とが互いに近づくように構成されている。これにより、第 1 端制御側導電経路におけるインダクタンス値及び第 1 端駆動側導電経路におけるインダクタンス値の合計のインダクタンス値と、第 2 端制御側導電経路におけるインダクタンス値及び第 2 端駆動側導電経路におけるインダクタンス値の合計のインダクタンス値とのばらつきを抑制できる。したがって、複数の第 1 パワー半導体素子のうちの最もインダクタンス値がばらつく第 1 端パワー半導体素子と第 2 端パワー半導体素子とのオンオフのタイミングのばらつきを抑制できるため、パワーモジュールを安定して動作できる。

【0336】

（付記 19）

前記一方向を第 1 方向とし、前記厚さ方向からみて前記第 1 方向と交差する方向を第 2 方向とすると、

前記第 2 方向において、前記第 1 搭載層と前記導電層との間に前記第 2 搭載層が配置さ

10

20

30

40

50

れており、

前記第 1 制御層及び前記第 1 駆動層はそれぞれ、前記第 1 搭載層に対して前記第 2 搭載層とは反対側に配置されており、

前記第 2 制御層及び前記第 2 駆動層はそれぞれ、前記導電層に対して前記第 2 搭載層とは反対側に配置されている

付記 17 又は 18 に記載のパワーモジュール。

【0337】

(付記 20)

前記第 1 制御層及び前記第 1 駆動層はそれぞれ、前記第 1 方向に延びる第 1 配線部を有し、

前記第 1 迂回部は、前記第 2 方向において前記第 1 配線部と離間して配置されており、前記第 1 方向に延びている

付記 19 に記載のパワーモジュール。

【0338】

(付記 21)

前記第 1 制御層及び前記第 1 駆動層の少なくとも一方は、前記第 1 迂回部と前記第 1 配線部とを連結する第 1 連結部を有し、

前記第 1 配線部、前記第 1 迂回部、及び前記第 1 連結部は、一体に形成された単一部材からなる

付記 20 に記載のパワーモジュール。

【0339】

(付記 22)

前記第 1 制御層及び前記第 1 駆動層の少なくとも一方は、前記第 1 迂回部と前記第 1 配線部とを連結する第 1 連結部を有し、

前記第 1 連結部は、ワイヤからなる

付記 20 に記載のパワーモジュール。

【0340】

(付記 23)

前記一方向を第 1 方向とし、前記厚さ方向からみて前記第 1 方向と交差する方向を第 2 方向とすると、

前記第 2 方向において、前記第 1 駆動層は、前記第 1 搭載層と隣り合うように配置されており、

前記第 1 制御層は、前記第 1 駆動層に対して前記第 1 搭載層とは反対側に配置されている

付記 17～22 のいずれか一つに記載のパワーモジュール。

【0341】

(付記 24)

前記第 1 制御層は、前記第 1 迂回部を有し、

前記第 1 迂回部は、前記第 1 制御層の第 1 配線部に対して前記第 1 駆動層とは反対側に配置されている

付記 23 に記載のパワーモジュール。

【0342】

(付記 25)

前記第 1 駆動層は、前記第 1 迂回部を有し、

前記第 1 迂回部は、前記第 1 制御層に対して前記第 1 搭載層とは反対側に配置されている

付記 23 に記載のパワーモジュール。

【0343】

(付記 26)

前記第 1 迂回部には、前記第 1 制御側接続部材及び前記第 1 駆動側接続部材が接続されていない

付記 17～25 のいずれか一つに記載のパワーモジュール。

10

20

30

40

50

【0344】

(付記27)

前記第1制御端子と前記第1制御層とは、第1制御端子側接続部材によって電氣的に接続されており、

前記第1検出端子と前記第1駆動層とは、第1検出端子側接続部材によって電氣的に接続されている

付記17～26のいずれか一つに記載のパワーモジュール。

【0345】

(付記28)

前記第1制御層は、前記第1迂回部と、前記第1迂回部の先端部に形成されて前記第1制御端子側接続部材が接続されている第1接続部とを有する

付記27に記載のパワーモジュール。

【0346】

(付記29)

前記第1駆動層は、前記第1迂回部と、前記第1迂回部の先端部に形成されて前記第1検出端子側接続部材が接続されている第2接続部とを有する

付記27に記載のパワーモジュール。

【0347】

(付記30)

前記基板は、第1基板及び第2基板を有し、

前記第1基板及び前記第2基板の前記基板主面にはそれぞれ、前記第1制御層、前記第2制御層、前記第1駆動層、前記第2駆動層、前記第1搭載層、前記第2搭載層、及び前記導電層が配置されており、

前記第1基板の前記第1搭載層及び前記第2基板の前記第1搭載層にはそれぞれ、前記複数の第1パワー半導体素子が前記一方向に互いに離間して配置されており、

前記第1基板の前記第2搭載層及び前記第2基板の前記第2搭載層にはそれぞれ、前記複数の第2パワー半導体素子が前記一方向に互いに離間して配置されており、

前記第1基板及び前記第2基板は、前記一方向に互いに離間して配列されており、

前記第1基板の前記第1搭載層と前記第2基板の前記第1搭載層とは、第1搭載層接続部材によって電氣的に接続されており、

前記第1基板の前記第1制御層と前記第2基板の前記第1制御層とは、第1制御層接続部材によって電氣的に接続されており、

前記第1基板の前記第1駆動層と前記第2基板の前記第1駆動層とは、第1駆動層接続部材によって電氣的に接続されており、

前記第1基板の前記第1制御層及び前記第1駆動層の一方は、前記第1迂回部を有し、

前記第2基板の前記第1制御層及び前記第1駆動層の他方は、前記第1迂回部を有する

付記17～29のいずれか一つに記載のパワーモジュール。

【0348】

(付記31)

前記一方向を第1方向とし、前記厚さ方向からみて前記第1方向と交差する方向を第2方向とすると、

前記第2方向からみて、前記第1制御端子及び前記第1検出端子はそれぞれ、前記第2基板と重なるように配置されている

付記30に記載のパワーモジュール。

【0349】

(付記32)

前記第1基板及び前記第2基板はそれぞれ、前記第2方向において前記第1駆動層が前記第1搭載層と隣り合うように配置されており、前記第1制御層が前記第1駆動層に対し前記第1搭載層とは反対側に配置されており、

前記第1基板の前記第1制御層は、前記第1迂回部を有し、

10

20

30

40

50

前記第 2 基板の前記第 1 駆動層は、前記第 1 迂回部を有し、

前記第 1 基板の前記第 1 制御層の前記第 1 迂回部の長さは、前記第 2 基板の前記第 1 駆動層の前記第 1 迂回部の長さよりも短く、

前記第 1 制御側接続部材の長さは、前記第 1 駆動側接続部材の長さよりも長い

付記 3 1 に記載のパワーモジュール。

【0350】

(付記 3 3)

前記第 2 パワー半導体素子は、前記厚さ方向からみて前記一方向に配列された状態で前記第 2 搭載層に設けられた複数の第 2 パワー半導体素子のうちの 1 つであり、

前記第 2 制御側接続部材は、各々前記複数の第 2 パワー半導体素子の 1 つに対応する複数の第 2 制御側接続部材のうちの 1 つであり、

前記第 2 駆動側接続部材は、各々前記複数の第 2 パワー半導体素子の 1 つに対応する複数の第 2 駆動側接続部材のうちの 1 つであり、

前記第 2 パワー半導体素子の制御電極及び前記第 2 制御端子間の経路を第 3 導電経路とし、前記第 2 パワー半導体素子の第 2 駆動電極及び前記第 2 検出端子間の経路を第 4 導電経路とし、

前記第 2 制御層及び前記第 2 駆動層の少なくとも一方は、前記第 3 導電経路の長さと同前記第 4 導電経路の長さとの和が前記複数の第 2 パワー半導体素子の間で互いに近づくように迂回する第 2 迂回部を有する

付記 1 7 に記載のパワーモジュール。

【0351】

(付記 3 4)

前記複数の第 2 パワー半導体素子は、前記複数の第 2 パワー半導体素子の配列方向の両端にある第 1 端パワー半導体素子及び第 2 端パワー半導体素子を含み、

前記複数の第 2 パワー半導体素子のうちの前記第 1 端パワー半導体素子の前記制御電極及び前記第 2 制御端子間の経路を第 3 端制御側導電経路とし、前記複数の第 2 パワー半導体素子のうちの前記第 1 端パワー半導体素子の前記第 2 駆動電極及び前記第 2 検出端子間の経路を第 3 端駆動側導電経路とし、前記第 3 端制御側導電経路の長さと同前記第 3 端駆動側導電経路の長さとの和を第 3 和とし、

前記複数の第 2 パワー半導体素子のうちの前記第 2 端パワー半導体素子の前記制御電極及び前記第 2 制御端子間の経路を第 4 端制御側導電経路とし、前記複数の第 2 パワー半導体素子のうちの前記第 2 端パワー半導体素子の前記第 2 駆動電極及び前記第 2 検出端子間の経路を第 4 端駆動側導電経路とし、前記第 4 端制御側導電経路の長さと同前記第 4 端駆動側導電経路の長さとの和を第 4 和とすると、

前記第 2 制御層及び前記第 2 駆動層の少なくとも一方は、前記第 3 和と同前記第 4 和とが互いに近づくように導電経路を迂回させる第 2 迂回部を有する

付記 1 8 に記載のパワーモジュール。

【0352】

(付記 3 5)

前記一方向を第 1 方向とし、前記厚さ方向からみて前記第 1 方向と交差する方向を第 2 方向とすると、

前記第 2 制御層及び前記第 2 駆動層はそれぞれ、前記第 1 方向に延びる第 2 配線部を有し、

前記第 2 迂回部は、前記第 2 方向において前記第 2 配線部と離間して配置されており、前記第 1 方向に延びている

付記 3 3 又は 3 4 に記載のパワーモジュール。

【0353】

(付記 3 6)

前記第 2 制御層及び前記第 2 駆動層の少なくとも一方は、前記第 2 迂回部と同前記第 2 配線部とを連結する第 2 連結部を有し、

前記第 2 配線部、前記第 2 迂回部、及び前記第 2 連結部は、一体に形成された単一部材からなる

付記 3 5 に記載のパワーモジュール。

【0354】

(付記 3 7)

前記第 2 制御層及び前記第 2 駆動層の少なくとも一方は、前記第 2 迂回部と前記第 2 配線部とを連結する第 2 連結部を有し、

前記第 2 連結部は、ワイヤからなる

付記 3 5 に記載のパワーモジュール。

【0355】

(付記 3 8)

前記一方向を第 1 方向とし、前記厚さ方向からみて前記第 1 方向と交差する方向を第 2 方向とすると、

前記第 2 方向において、前記第 2 駆動層は、前記導電層と隣り合うように配置されており、

前記第 2 制御層は、前記第 2 駆動層に対して前記導電層とは反対側に配置されている

付記 3 3 ～ 3 7 のいずれか一つに記載のパワーモジュール。

【0356】

(付記 3 9)

前記第 2 制御層は、前記第 2 迂回部を有し、

前記第 2 迂回部は、前記第 2 制御層の第 2 配線部に対して前記第 2 駆動層とは反対側に配置されている

付記 3 8 に記載のパワーモジュール。

【0357】

(付記 4 0)

前記第 2 駆動層は、前記第 2 迂回部を有し、

前記第 2 迂回部は、前記第 2 制御層に対して前記導電層とは反対側に配置されている

付記 3 9 に記載のパワーモジュール。

【0358】

(付記 4 1)

前記第 2 迂回部には、前記第 2 制御側接続部材及び前記第 2 駆動側接続部材が接続されていない

付記 3 3 ～ 4 0 のいずれか一つに記載のパワーモジュール。

【0359】

(付記 4 2)

前記第 2 制御端子と前記第 2 制御層とは、第 2 制御端子側接続部材によって電氣的に接続されており、

前記第 2 検出端子と前記第 2 駆動層とは、第 2 検出端子側接続部材によって電氣的に接続されている

付記 3 3 ～ 4 1 のいずれか一つに記載のパワーモジュール。

【0360】

(付記 4 3)

前記第 2 制御層は、前記第 2 迂回部と、前記第 2 迂回部の先端部に形成されて前記第 2 制御端子側接続部材が接続されている第 3 接続部とを有する

付記 4 2 に記載のパワーモジュール。

【0361】

(付記 4 4)

前記第 2 駆動層は、前記第 2 迂回部と、前記第 2 迂回部の先端部に形成されて前記第 2 検出端子側接続部材が接続されている第 4 接続部とを有する

付記 4 2 又は 4 3 に記載のパワーモジュール。

10

20

30

40

50

【0362】

(付記45)

前記基板は、第1基板及び第2基板を有し、

前記第1基板及び前記第2基板の前記基板主面にはそれぞれ、前記第1制御層、前記第2制御層、前記第1駆動層、前記第2駆動層、前記第1搭載層、前記第2搭載層、及び前記導電層が配置されており、

前記第1基板の前記第1搭載層及び前記第2基板の前記第1搭載層にはそれぞれ、前記複数の第1パワー半導体素子が前記一方向に互いに離間して配置されており、

前記第1基板の前記第2搭載層及び前記第2基板の前記第2搭載層にはそれぞれ、前記複数の第2パワー半導体素子が前記一方向に互いに離間して配置されており、

前記第1基板及び前記第2基板は、前記一方向に互いに離間して配置されており、

前記第1基板の前記第2搭載層と前記第2基板の前記第2搭載層とは、第2搭載層接続部材によって電氣的に接続されており、

前記第1基板の前記第2制御層と前記第2基板の前記第2制御層とは、第2制御層接続部材によって電氣的に接続されており、

前記第1基板の前記第2駆動層と前記第2基板の前記第2駆動層とは、第2駆動層接続部材によって電氣的に接続されており、

前記第1基板の前記第2制御層及び前記第2駆動層の一方は、前記第2迂回部を有し、

前記第2基板の前記第2制御層及び前記第2駆動層の他方は、前記第2迂回部を有する

付記33～44のいずれか一つに記載のパワーモジュール。

【0363】

(付記46)

前記一方向を第1方向とし、前記厚さ方向からみて前記第1方向と交差する方向を第2方向とすると、

前記第2方向からみて、前記第2制御端子及び前記第2検出端子はそれぞれ、前記第1基板と重なるように配置されている

付記45に記載のパワーモジュール。

【0364】

(付記47)

前記第1パワー半導体素子の前記第2駆動電極と前記第2搭載層とを接続する第1素子接続部材と、

前記第2パワー半導体素子の前記第2駆動電極と前記導電層とを接続する第2素子接続部材と、

を備える

付記17～46のいずれか一つに記載のパワーモジュール。

【0365】

(付記48)

前記第1パワー半導体素子及び前記第2パワー半導体素子はそれぞれ、SiCMOSFETからなり、

前記第1駆動電極はドレイン電極であり、前記第2駆動電極はソース電極であり、前記制御電極はゲート電極である

付記17～47のいずれか一つに記載のパワーモジュール。

【0366】

(付記49)

厚さ方向において互いに反対側を向く基板主面及び基板裏面を有し、電気絶縁性を有する基板と、前記基板主面に形成された導電性を有する第1制御層、第2制御層、第1駆動層、第2駆動層、第1搭載層、第2搭載層、及び導電層と、前記第1搭載層に搭載されるものであって、第1入力端子に電氣的に接続される第1駆動電極が形成された第1素子裏面と、出力端子に電氣的に接続される第2駆動電極、及び、制御電極が形成された第1素子主面と、を有する第1パワー半導体素子と、前記第2搭載層に搭載されるものであって

10

20

30

40

50

、前記出力端子に電氣的に接続される第1駆動電極が形成された第2素子裏面と、第2入力端子に電氣的に接続される第2駆動電極、及び、制御電極が形成された第2素子主面と、を有する第2パワー半導体素子と、前記第1パワー半導体素子の制御電極と前記第1制御層とを接続する第1制御側接続部材と、前記第1パワー半導体素子の第2駆動電極と前記第1駆動層とを接続する第1駆動側接続部材と、前記第2パワー半導体素子の制御電極と前記第2制御層とを接続する第2制御側接続部材と、前記第2パワー半導体素子の第2駆動電極と前記第2駆動層とを接続する第2駆動側接続部材と、前記第1制御層と電氣的に接続されている第1制御端子と、前記第2制御層と電氣的に接続されている第2制御端子と、前記第1駆動層と電氣的に接続されている第1検出端子と、前記第2駆動層と電氣的に接続されている第2検出端子と、を備えたパワーモジュールであって、前記第2パワー半導体素子は、前記厚さ方向からみて一方向に配列された状態で前記第2搭載層に複数設けられており、前記第2制御側接続部材及び前記第2駆動側接続部材は、前記複数の第2パワー半導体素子に対応させて複数設けられており、前記第2パワー半導体素子の制御電極及び前記第2制御端子間の経路を第3導電経路とし、前記第2パワー半導体素子の第2駆動電極及び前記第2検出端子間の経路を第4導電経路とし、前記第2制御層及び前記第2駆動層の少なくとも一方は、前記第3導電経路の長さと同記第4導電経路の長さとの和が前記複数の第2パワー半導体素子の間で互いに近づくように迂回する第2迂回部を有する、パワーモジュール。

【0367】

第2制御端子及び第2検出端子間の電圧が制御電圧として第2パワー半導体素子の制御電極に印加されるため、第2パワー半導体素子の制御電極への制御電圧の印加タイミングは、第2パワー半導体素子の制御電極及び第2制御端子間のインダクタンス値と第2パワー半導体素子の第2駆動電極及び第2検出端子間のインダクタンス値との合計のインダクタンス値に応じて決められる。第2パワー半導体素子の制御電極及び第2制御端子間のインダクタンス値は第3導電経路の長さによって主に決められ、第2パワー半導体素子の第2駆動電極及び第2検出端子間のインダクタンス値は第4導電経路の長さによって主に決められる。このため、第3導電経路の長さと同記第4導電経路の長さとの合計の長さの複数の第2パワー半導体素子の間でのばらつきを抑えることによって、上記合計のインダクタンス値の複数の第2パワー半導体素子の間でのばらつきを抑制できる。

【0368】

そこで、本パワーモジュールでは、第2迂回部によって第3導電経路の長さと同記第4導電経路の長さとの和を複数の第2パワー半導体素子の間で互いに近づけるように構成している。これにより、第3導電経路の長さと同記第4導電経路の長さとの合計の長さの複数の第2パワー半導体素子の間でのばらつきを抑制できるため、上記合計のインダクタンス値の複数の第2パワー半導体素子の間でのばらつきを抑制できる。したがって、複数の第2パワー半導体素子のオンオフのタイミングがばらつきを抑制できるため、パワーモジュールを安定して動作できる。

【0369】

(付記50)

厚さ方向において互いに反対側を向く基板主面及び基板裏面を有し、電気絶縁性を有する基板と、前記基板主面に形成された導電性を有する第1制御層、第2制御層、第1駆動層、第2駆動層、第1搭載層、第2搭載層、及び導電層と、前記第1搭載層に搭載されるものであって、第1入力端子に電氣的に接続される第1駆動電極が形成された第1素子裏面と、出力端子に電氣的に接続される第2駆動電極、及び、制御電極が形成された第1素子主面と、を有し、前記厚さ方向からみて一方向に配列された状態で前記第1搭載層に搭載された複数の第1パワー半導体素子と、前記第2搭載層に搭載されるものであって、前記出力端子に電氣的に接続される第1駆動電極が形成された第2素子裏面と、第2入力端子に電氣的に接続される第2駆動電極、及び、制御電極が形成された第2素子主面と、を有し、前記一方向に配列された状態で前記第2搭載層に搭載された複数の第2パワー半導体素子と、前記複数の第1パワー半導体素子の制御電極と前記第1制御層とを接続するも

10

20

30

40

50

のであって、前記複数の第1パワー半導体素子の配列方向と同一方向に並んだ複数の第1制御側接続部材と、前記複数の第1パワー半導体素子の第2駆動電極と前記第1駆動層とを接続するものであって、前記複数の第1パワー半導体素子の配列方向と同一方向に並んだ複数の第1駆動側接続部材と、前記複数の第2パワー半導体素子の制御電極と前記第2制御層とを接続するものであって、前記複数の第2パワー半導体素子の配列方向と同一方向に並んだ複数の第2制御側接続部材と、前記第2パワー半導体素子の第2駆動電極と前記第2駆動層とを接続するものであって、前記複数の第2パワー半導体素子の配列方向と同一方向に並んだ複数の第2駆動側接続部材と、前記第1制御層と電氣的に接続されている第1制御端子と、前記第2制御層と電氣的に接続されている第2制御端子と、前記第1駆動層と電氣的に接続されている第1検出端子と、前記第2駆動層と電氣的に接続されている第2検出端子と、を備えたパワーモジュールであって、前記複数の第2パワー半導体素子は、前記複数の第2パワー半導体素子の配列方向の両端にある第1端パワー半導体素子及び第2端パワー半導体素子を含み、前記第1端パワー半導体素子の前記制御電極及び前記第2制御端子間の経路を第3端制御側導電経路とし、前記第1端パワー半導体素子の前記第2駆動電極及び前記第2検出端子間の経路を第3端駆動側導電経路とし、前記第3端制御側導電経路の長さとの和を第3和とし、前記第2端パワー半導体素子の前記制御電極及び前記第2制御端子間の経路を第4端制御側導電経路とし、前記第2端パワー半導体素子の前記第2駆動電極及び前記第2検出端子間の経路を第4端駆動側導電経路とし、前記第4端制御側導電経路の長さとの和を第4和とすると、前記第2制御層及び前記第2駆動層の少なくとも一方は、前記第3和と前記第4和とが近づくように導電経路を迂回させる第2迂回部を有する、パワーモジュール。

【0370】

第2制御端子と第2検出端子との間の電圧が制御電圧として第2パワー半導体素子の制御電極に印加されるため、第2パワー半導体素子の制御電極への制御電圧の印加タイミングは、第2パワー半導体素子の制御電極と第2制御端子との間のインダクタンス値と第2パワー半導体素子の第2駆動電極と第2検出端子との間のインダクタンス値との合計のインダクタンス値に応じて決められる。第2パワー半導体素子の制御電極と第2制御端子間のインダクタンス値は第2パワー半導体素子の制御電極と第2制御端子間の導電経路の長さによって主に決められ、第2パワー半導体素子の第2駆動電極と第2検出端子間のインダクタンス値は第2パワー半導体素子の第2駆動電極と第2検出端子間の導電経路の長さによって主に決められる。このため、第2パワー半導体素子の制御電極と第2制御端子間の導電経路の長さとの合計の長さの複数の第2パワー半導体素子の間でのばらつきを抑えることによって、複数の第2パワー半導体素子における上記合計のインダクタンス値のばらつきを抑制できる。

【0371】

また、第2制御電極と第2制御端子間の導電経路の長さ及び第2駆動電極と第2検出端子間の導電経路のばらつきはそれぞれ、複数の第2パワー半導体素子の配列方向において両端の第2パワー半導体素子（第1端パワー半導体素子及び第2端パワー半導体素子）の間で最大になると考えられる。

【0372】

そこで、本パワーモジュールでは、第2迂回部によって第1端パワー半導体素子の第3端制御側導電経路の長さとの和である第3和と、第2端パワー半導体素子の第4端制御側導電経路の長さとの和である第4和とを互いに近づけるように構成している。これにより、第3端制御側導電経路におけるインダクタンス値及び第3端駆動側導電経路におけるインダクタンス値の合計のインダクタンス値と、第4端制御側導電経路におけるインダクタンス値及び第4端駆動側導電経路におけるインダクタンス値の合計のインダクタンス値とのばらつきを抑制できる。したがって、複数の第2パワー半導体素子のうちの最もインダクタンス値がばらつく第

1 端パワー半導体素子と第 2 端パワー半導体素子とのオンオフのタイミングのばらつきを抑制できるため、パワーモジュールを安定して動作できる。

【0373】

(付記51)

前記一方向を第 1 方向とし、前記厚さ方向からみて前記第 1 方向と交差する方向を第 2 方向とすると、前記第 2 制御層及び前記第 2 駆動層はそれぞれ、前記第 1 方向に延びる第 2 配線部を有し、前記第 2 迂回部は、前記第 2 方向において前記第 2 配線部と離間して配置されており、前記第 1 方向に延びている、付記 49 又は 50 に記載のパワーモジュール。

【0374】

(付記52)

前記第 2 制御層及び前記第 2 駆動層の少なくとも一方は、前記第 2 迂回部と前記第 2 配線部とを連結する第 2 連結部を有し、前記第 2 配線部、前記第 2 迂回部、及び前記第 2 連結部は、一体に形成された単一部材からなる、付記 51 に記載のパワーモジュール。

【0375】

(付記53)

前記第 2 制御層及び前記第 2 駆動層の少なくとも一方は、前記第 2 迂回部と前記第 2 配線部とを連結する第 2 連結部を有し、前記第 2 連結部は、ワイヤからなる、付記 51 に記載のパワーモジュール。

【0376】

(付記54)

前記厚さ方向からみて前記複数の第 2 パワー半導体素子の配列方向を第 1 方向とし、前記第 1 方向と交差する方向を第 2 方向とすると、前記第 2 方向において、前記第 2 駆動層は、前記導電層と隣り合うように配置されており、前記第 2 制御層は、前記第 2 駆動層に対して前記導電層とは反対側に配置されている、付記 49～53 のいずれか一つに記載のパワーモジュール。

【0377】

(付記55)

前記第 2 制御層は、前記第 2 迂回部を有し、前記第 2 迂回部は、前記第 2 方向において前記第 2 制御層の第 2 配線部に対して前記第 2 駆動層とは反対側に配置されている、付記 54 に記載のパワーモジュール。

【0378】

(付記56)

前記第 2 駆動層は、前記第 2 迂回部を有し、前記第 2 迂回部は、前記第 2 方向において前記第 2 制御層に対して前記導電層とは反対側に配置されている、付記 55 に記載のパワーモジュール。

【0379】

(付記57)

前記第 2 迂回部には、前記第 2 制御側接続部材及び前記第 2 駆動側接続部材が接続されていない、付記 49～56 のいずれか一つに記載のパワーモジュール。

【0380】

(付記58)

前記第 2 制御端子と前記第 2 制御層とは、第 2 制御端子側接続部材によって電氣的に接続されており、前記第 2 検出端子と前記第 2 駆動層とは、第 2 検出端子側接続部材によって電氣的に接続されている、付記 49～57 のいずれか一つに記載のパワーモジュール。

【0381】

(付記59)

前記第 2 制御層は、前記第 2 迂回部と、前記第 2 迂回部の先端部に形成されて前記第 2 制御端子側接続部材が接続されている第 3 接続部とを有する、付記 58 に記載のパワーモジュール。

【0382】

10

20

30

40

50

(付記 60)

前記第 2 駆動層は、前記第 2 迂回部と、前記第 2 迂回部の先端部に形成されて前記第 2 検出端子側接続部材が接続されている第 4 接続部とを有する、付記 59 に記載のパワーモジュール。

【0383】

(付記 61)

前記基板は、第 1 基板及び第 2 基板を有し、前記第 1 基板及び前記第 2 基板の前記基板主面にはそれぞれ、前記第 1 制御層、前記第 2 制御層、前記第 1 駆動層、前記第 2 駆動層、前記第 1 搭載層、前記第 2 搭載層、及び前記導電層が配置されており、前記第 1 基板の前記第 1 搭載層及び前記第 2 基板の前記第 1 搭載層にはそれぞれ、前記複数の第 1 パワー半導体素子が前記一方向に互いに離間して配置されており、前記第 1 基板の前記第 2 搭載層及び前記第 2 基板の前記第 2 搭載層にはそれぞれ、前記複数の第 2 パワー半導体素子が前記一方向に互いに離間して配置されており、前記第 1 基板及び前記第 2 基板は、前記一方向に互いに離間して配列されており、前記一方向において前記第 1 基板の前記第 2 搭載層と前記第 2 基板の前記第 2 搭載層とは、第 2 搭載層接続部材によって電氣的に接続されており、前記第 1 基板の前記第 2 制御層と前記第 2 基板の前記第 2 制御層とは、第 2 制御層接続部材によって電氣的に接続されており、前記第 1 基板の前記第 2 駆動層と前記第 2 基板の前記第 2 駆動層とは、第 2 駆動層接続部材によって電氣的に接続されており、前記第 1 基板の前記第 2 制御層及び前記第 2 駆動層の一方は、前記第 2 迂回部を有し、前記第 2 基板の前記第 2 制御層及び前記第 2 駆動層の他方は、前記第 2 迂回部を有する、付記 49～60 のいずれか一つに記載のパワーモジュール。

【0384】

(付記 62)

前記第 1 方向からみて、前記第 2 制御端子及び前記第 2 検出端子はそれぞれ、前記第 1 基板と重なるように配置されている、付記 61 に記載のパワーモジュール。

【0385】

(付記 63)

前記第 2 パワー半導体素子は、SiCMOSFET からなる、付記 49～62 のいずれか一つに記載のパワーモジュール。

【符号の説明】

【0386】

- 1A, 1B…パワーモジュール
- 10…基板
- 11…第 1 基板 (基板)
- 11s…第 1 基板主面 (基板主面)
- 11r…第 1 基板裏面 (基板裏面)
- 12…第 2 基板 (基板)
- 12s…第 2 基板主面 (基板主面)
- 12r…第 2 基板裏面 (基板裏面)
- 13A, 13B…第 1 搭載層 (搭載層)
- 14A, 14B…第 2 搭載層 (搭載層)
- 15A, 15B…導電層
- 21, 22…第 1 制御層 (制御層)
- 21a…第 1 制御側配線部 (第 1 配線部、配線部)
- 21b…第 1 制御側迂回部 (第 1 迂回部、迂回部)
- 21c…第 1 制御側連結部 (第 1 連結部、連結部)
- 21d…第 1 制御側接続部 (第 1 接続部)
- 22a…第 1 制御側配線部 (第 1 配線部、配線部)
- 22b…第 1 制御側迂回部 (第 1 迂回部、迂回部)
- 22c…第 1 制御側連結部 (第 1 連結部、連結部)

2 2 d…第 1 制御側接続部 (第 1 接続部)	
2 3, 2 4…第 1 駆動層 (駆動層)	
2 3 a…第 1 駆動側配線部 (第 1 配線部、配線部)	
2 3 b…第 1 駆動側迂回部 (第 1 迂回部、迂回部)	
2 3 c…第 1 駆動側連結部 (第 1 連結部、連結部)	
2 3 d…第 1 駆動側接続部 (第 2 接続部)	
2 4 a…第 1 駆動側配線部 (第 1 配線部、配線部)	
2 4 b…第 1 駆動側迂回部 (第 1 迂回部、迂回部)	
2 4 c…第 1 駆動側連結部 (第 1 連結部、連結部)	
2 4 d…第 1 駆動側接続部 (第 2 接続部)	10
2 5, 2 6…第 2 制御層 (制御層)	
2 5 a…第 2 制御側配線部 (第 2 配線部、配線部)	
2 5 b…第 2 制御側迂回部 (第 2 迂回部、迂回部)	
2 5 c…第 2 制御側連結部 (第 2 連結部、連結部)	
2 5 d…第 2 制御側接続部 (第 3 接続部)	
2 6 a…第 2 制御側配線部 (第 2 配線部、配線部)	
2 6 b…第 2 制御側迂回部 (第 2 迂回部、迂回部)	
2 6 c…第 2 制御側連結部 (第 2 連結部、連結部)	
2 6 d…第 2 制御側接続部 (第 3 接続部)	
2 7, 2 8…第 2 駆動層 (駆動層)	20
2 7 a…第 2 駆動側配線部 (第 2 配線部、配線部)	
2 7 b…第 2 駆動側迂回部 (第 2 迂回部、迂回部)	
2 7 c…第 2 駆動側連結部 (第 2 連結部、連結部)	
2 7 d…第 2 駆動側接続部 (第 4 接続部)	
2 8 a…第 2 駆動側配線部 (第 2 配線部、配線部)	
2 8 b…第 2 駆動側迂回部 (第 2 迂回部、迂回部)	
2 8 c…第 2 駆動側連結部 (第 2 連結部、連結部)	
2 8 d…第 2 駆動側接続部 (第 4 接続部)	
3 1 A…第 1 素子接続部材	
3 1 B…第 2 素子接続部材	30
3 2 A…第 1 制御側接続部材 (制御側接続部材)	
3 2 B…第 2 制御側接続部材 (制御側接続部材)	
3 3 A…第 1 駆動側接続部材 (駆動側接続部材)	
3 3 B…第 2 駆動側接続部材 (駆動側接続部材)	
3 5 A…第 1 制御端子側接続部材	
3 5 B…第 2 制御端子側接続部材	
3 6 A…第 1 検出端子側接続部材	
3 6 B…第 2 検出端子側接続部材	
4 0…パワー半導体素子	
4 0 A…第 1 パワー半導体素子	40
4 0 A a, 4 0 A c…第 1 パワー半導体素子 (第 1 端パワー半導体素子)	
4 0 A b, 4 0 A d…第 1 パワー半導体素子 (第 2 端パワー半導体素子)	
4 0 B…第 2 パワー半導体素子	
4 0 B a, 4 0 B c…第 2 パワー半導体素子 (第 1 端パワー半導体素子)	
4 0 B b, 4 0 B d…第 2 パワー半導体素子 (第 2 端パワー半導体素子)	
4 0 s…素子主面 (第 1 素子主面、第 2 素子主面)	
4 0 r…素子裏面 (第 1 素子裏面、第 2 素子裏面)	
4 1…ドレイン電極 (第 1 駆動電極)	
4 2…ソース電極 (第 2 駆動電極)	
4 2 A…主ソース電極	50

- 4 2 B …第 1 ソース電極
- 4 2 C …第 2 ソース電極
- 4 3 …ゲート電極（制御電極）
- 5 1 A …第 1 入力端子
- 5 1 B …第 2 入力端子
- 5 2 A …第 1 出力端子（出力端子）
- 5 2 B …第 2 出力端子（出力端子）
- 5 3 A …第 1 制御端子
- 5 3 B …第 2 制御端子
- 5 4 A …第 1 検出端子
- 5 4 B …第 2 検出端子
- 9 0 A …連結部材（第 1 搭載層接続部材）
- 9 0 B …連結部材（第 2 搭載層接続部材）
- 9 3 A …第 1 制御層接続部材
- 9 3 B …第 2 制御層接続部材
- 9 4 A …第 1 駆動層接続部材
- 9 4 B …第 2 駆動層接続部材
- X …横方向（第 1 方向）
- Y …縦方向（第 2 方向）
- Z …厚さ方向

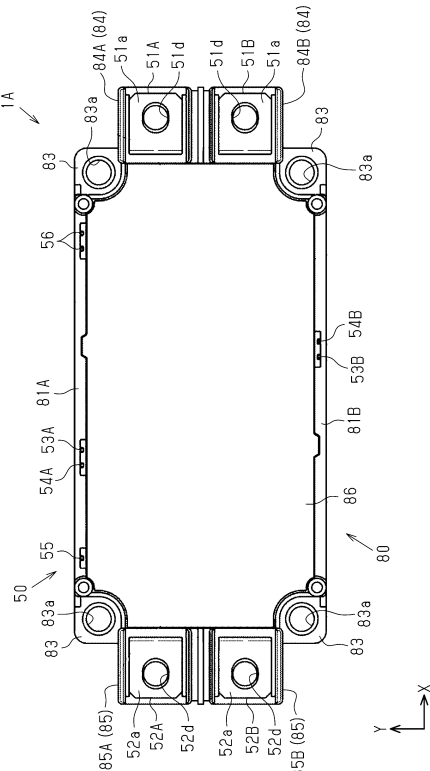
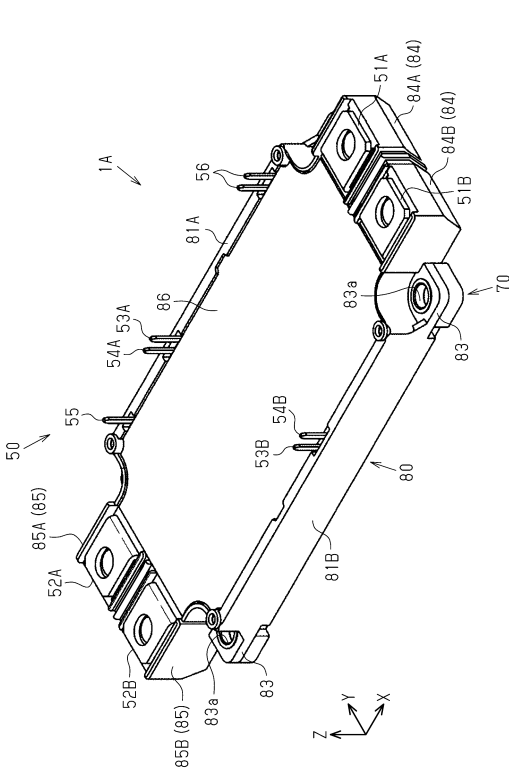
10

20

【図面】

【図 1】

【図 2】

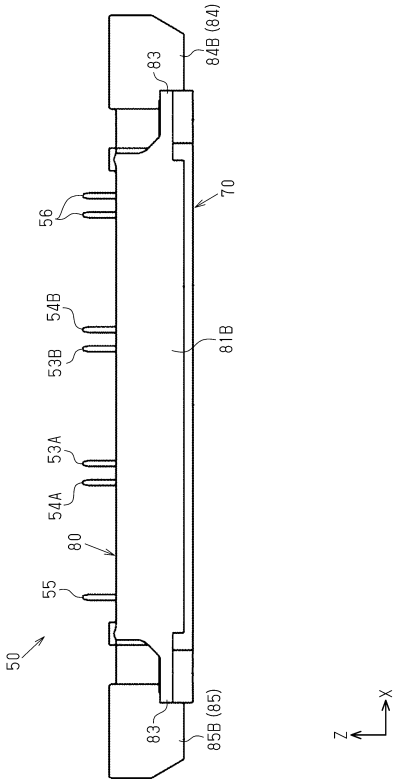


30

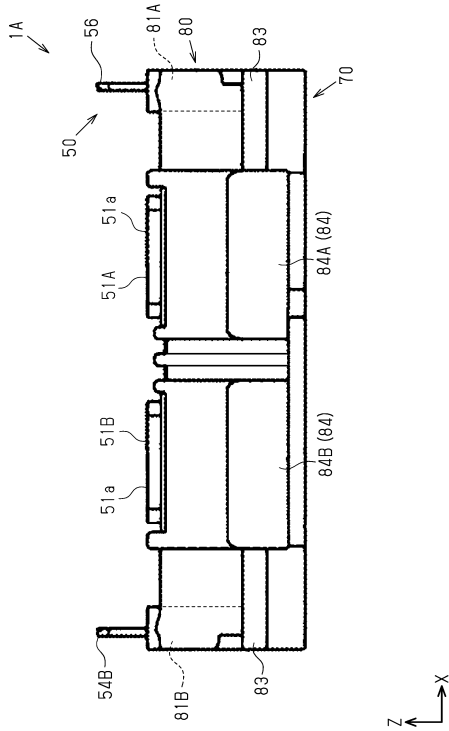
40

50

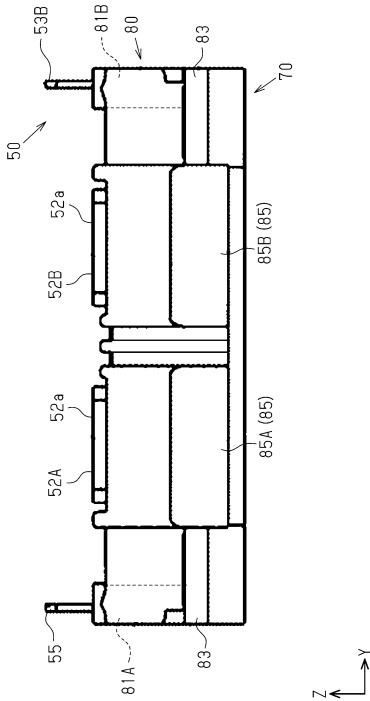
【図 3】



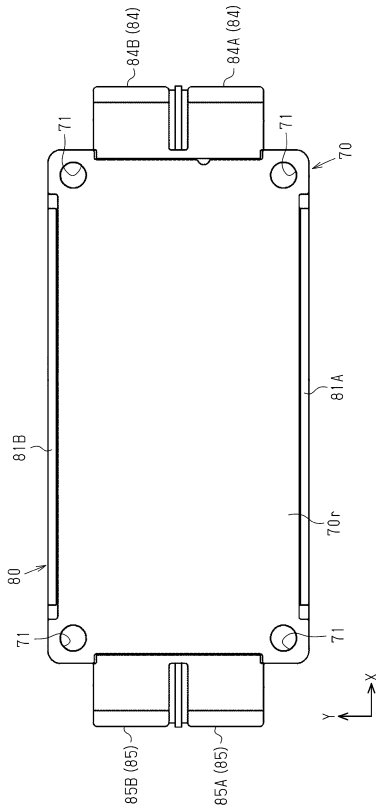
【図 4】



【図 5】



【図 6】



10

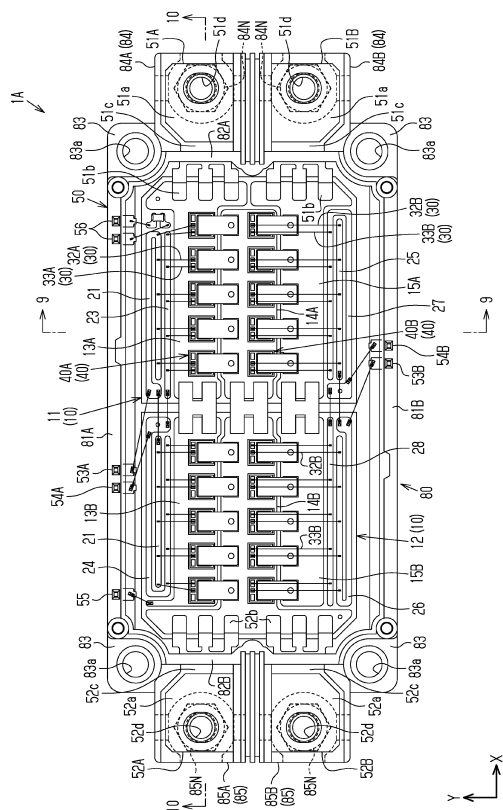
20

30

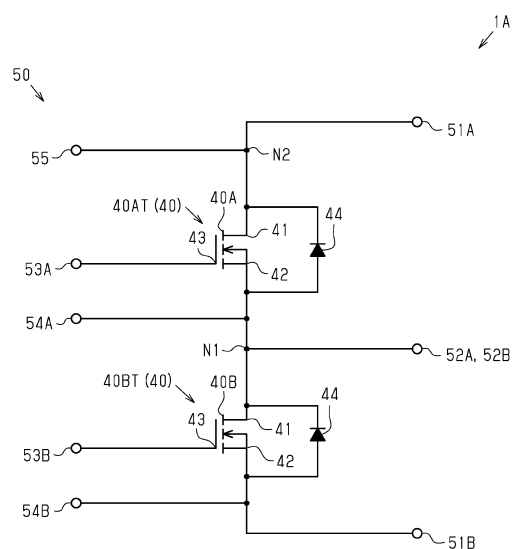
40

50

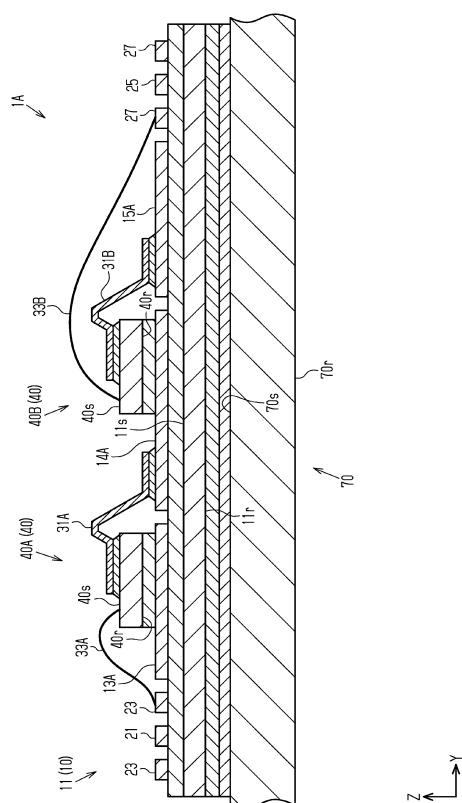
【圖 7】



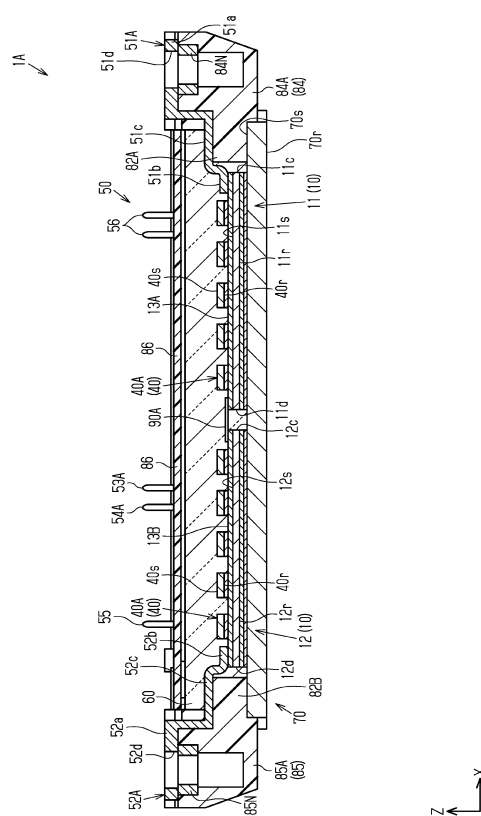
【圖 8】



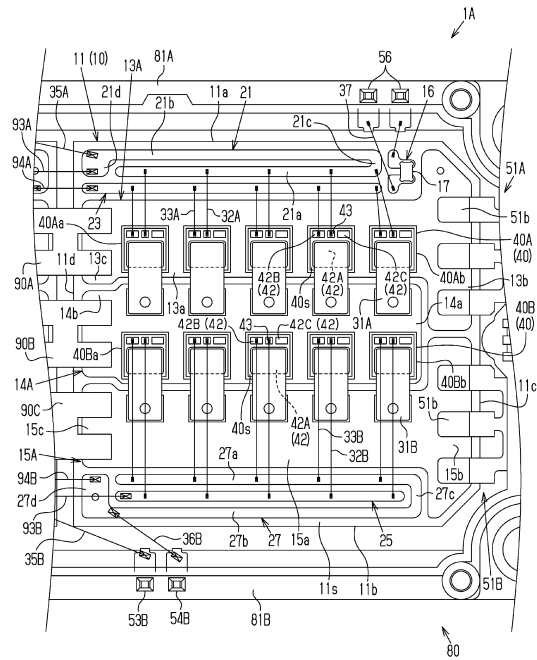
【圖 9】



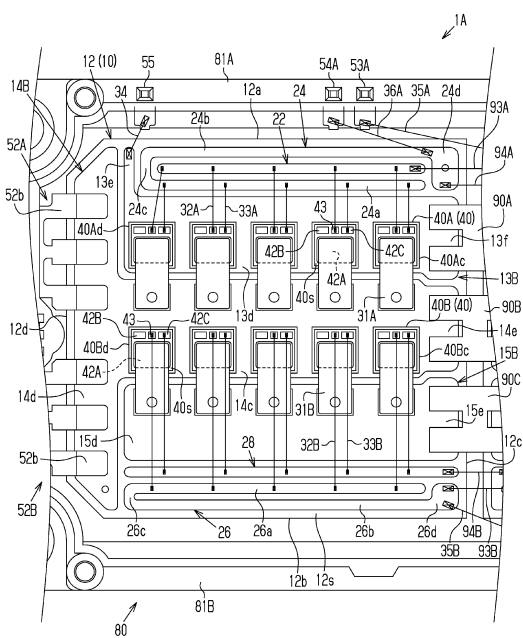
【図 10】



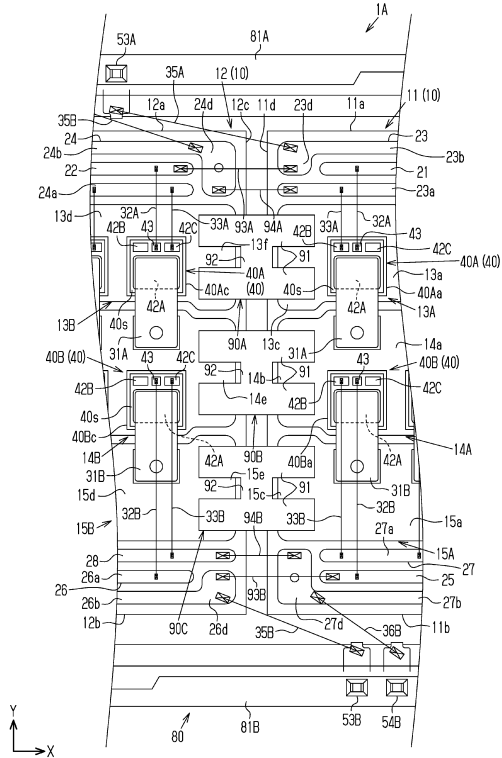
【図 1 1】



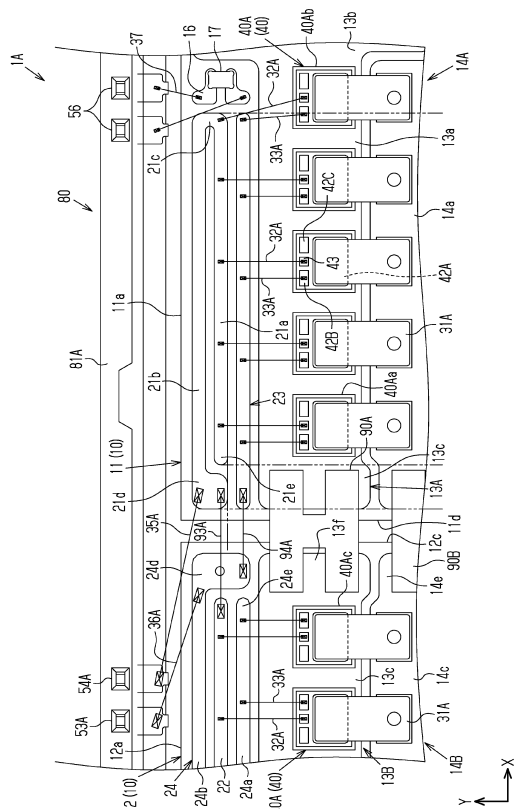
【図 1 2】



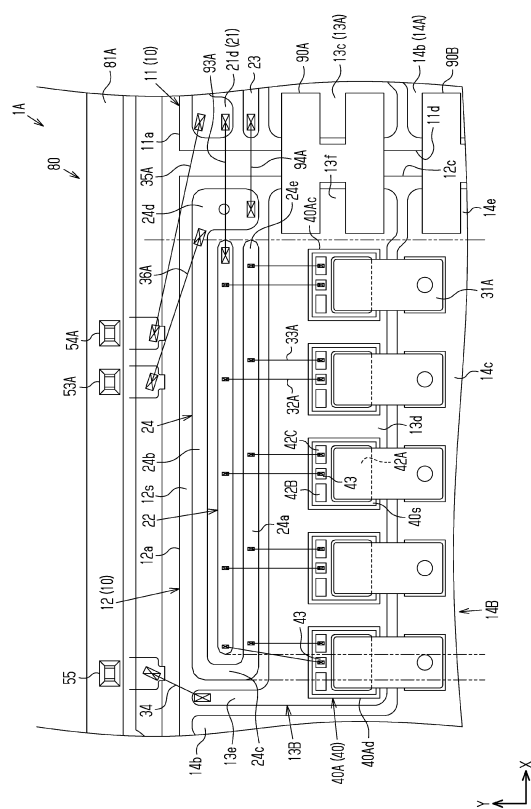
【図 1 3】



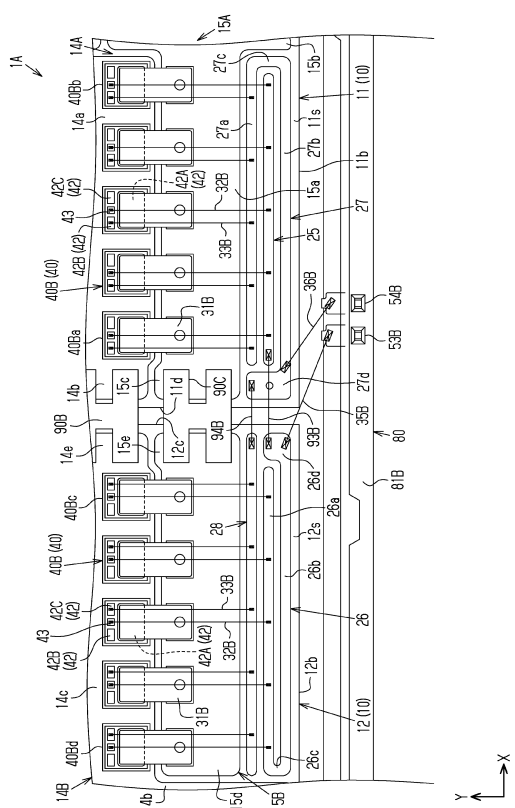
【図 15】



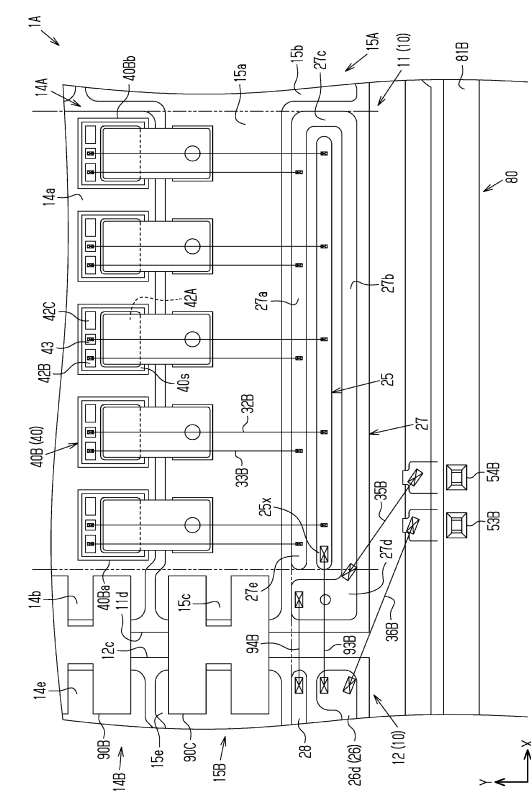
【図 16】



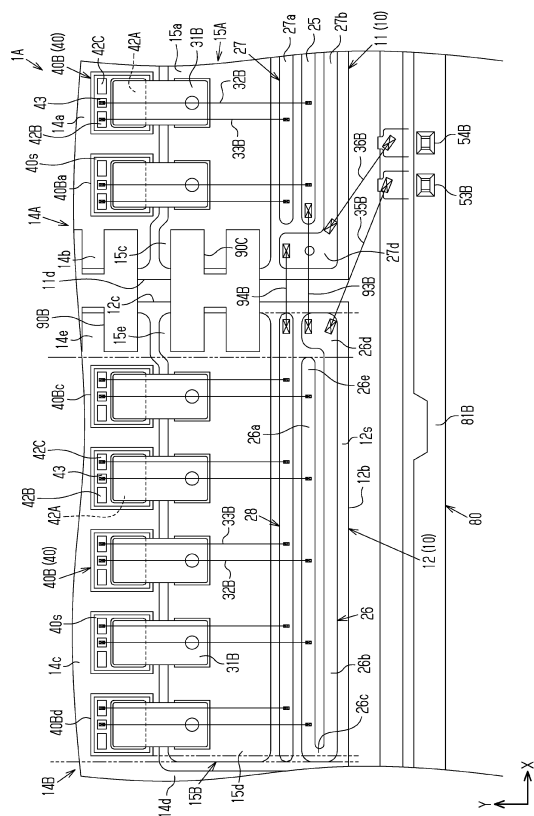
【図 17】



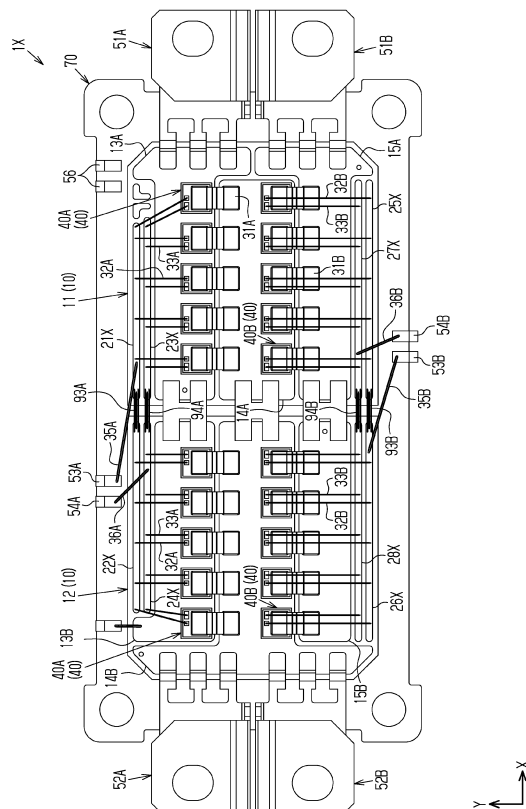
【図 18】



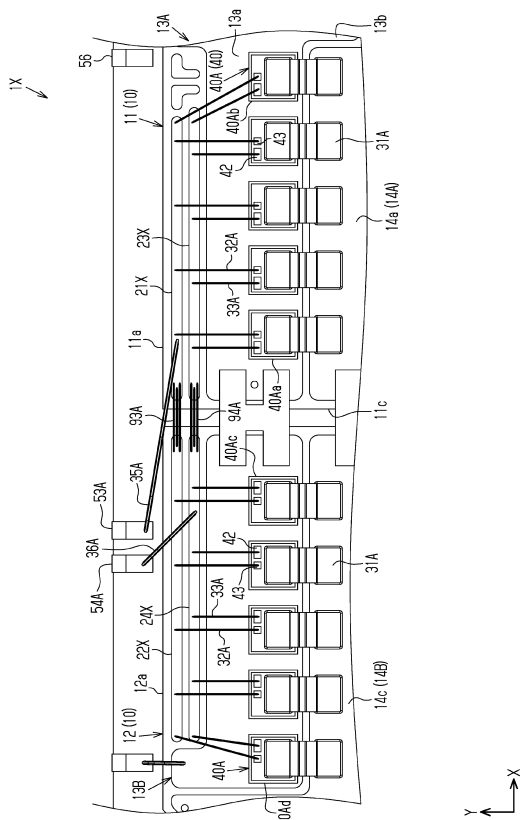
【図 19】



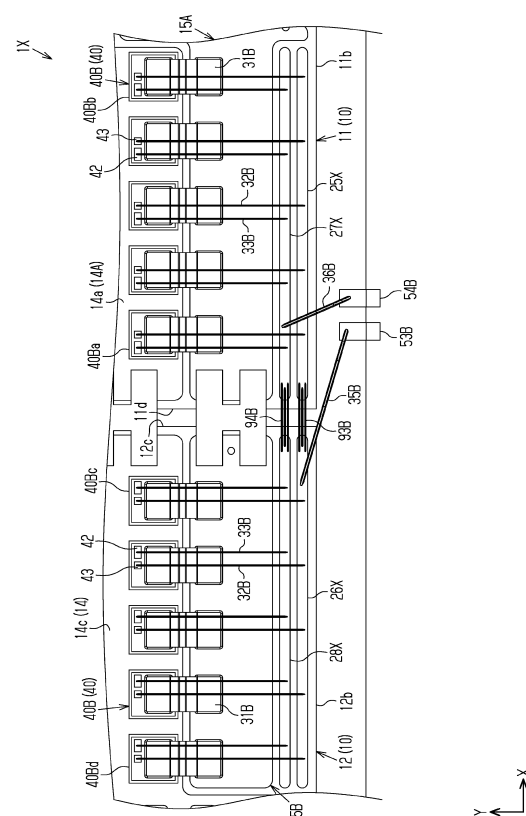
【図 20】



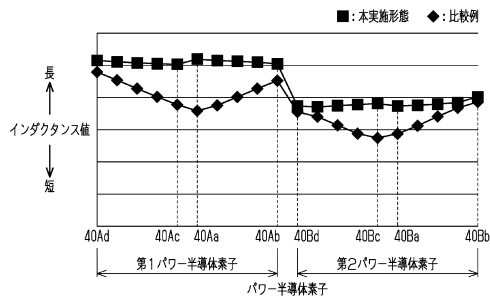
【図 2 1】



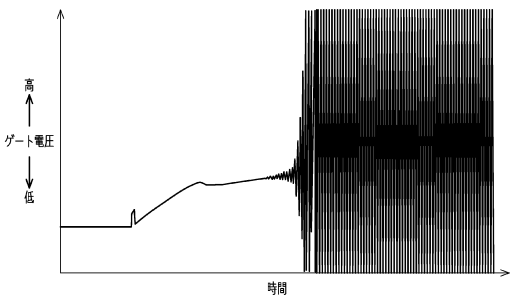
【図 2 2】



【図 2 3】

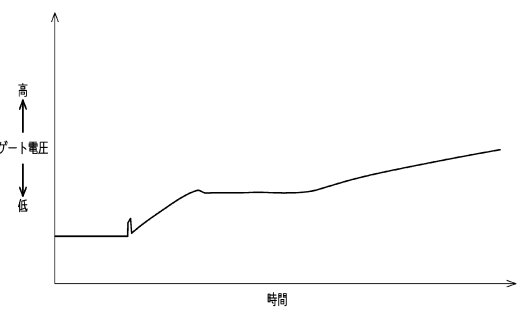


【図 2 4】

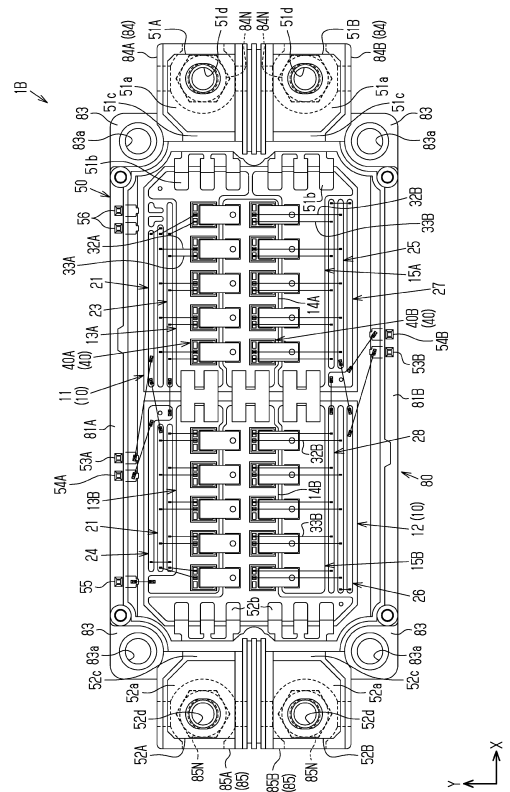


10

【図 2 5】



【図 2 6】



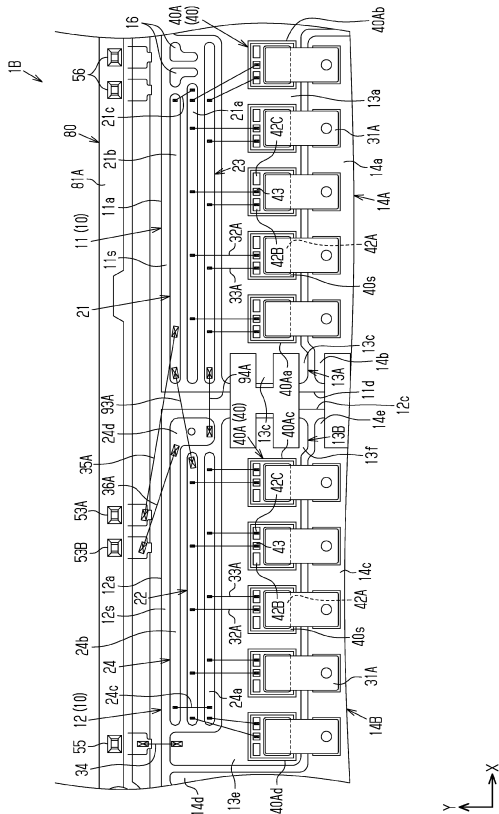
20

30

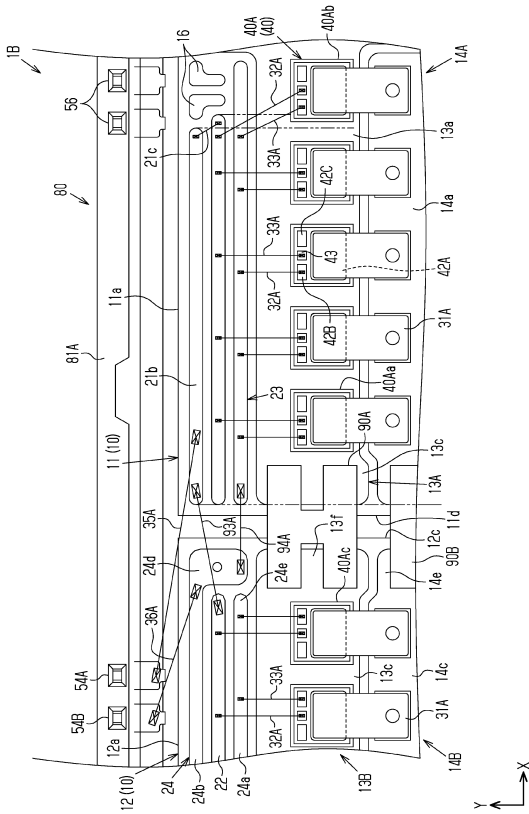
40

50

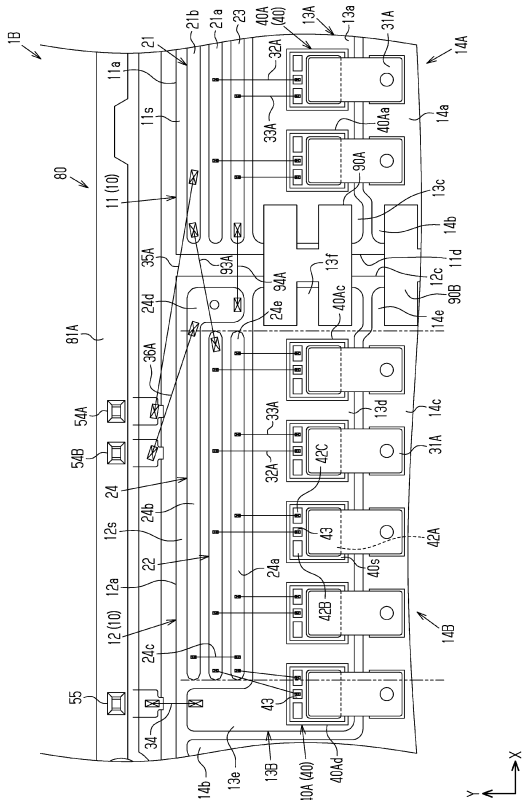
【図 27】



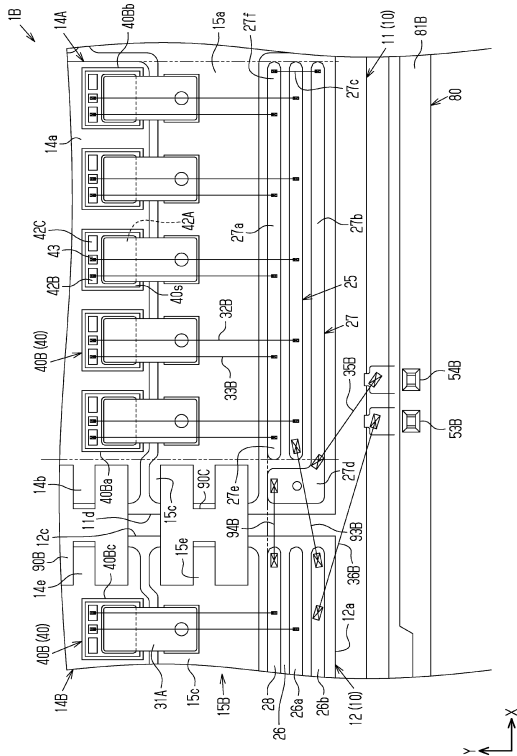
【図 28】



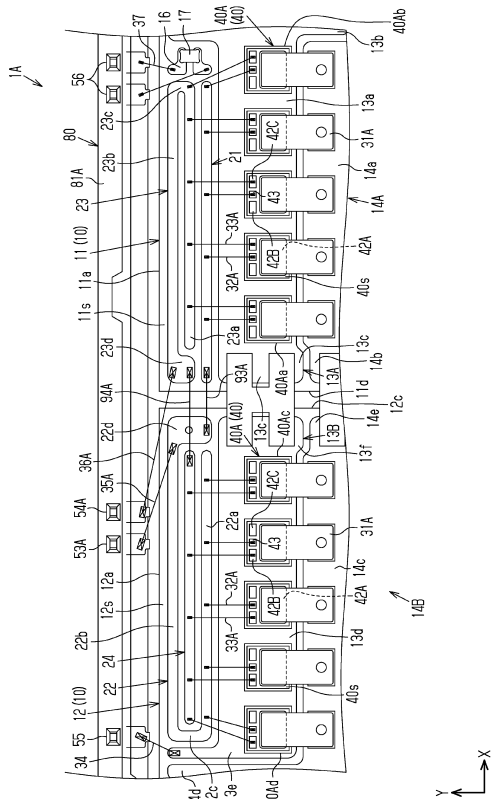
【図 29】



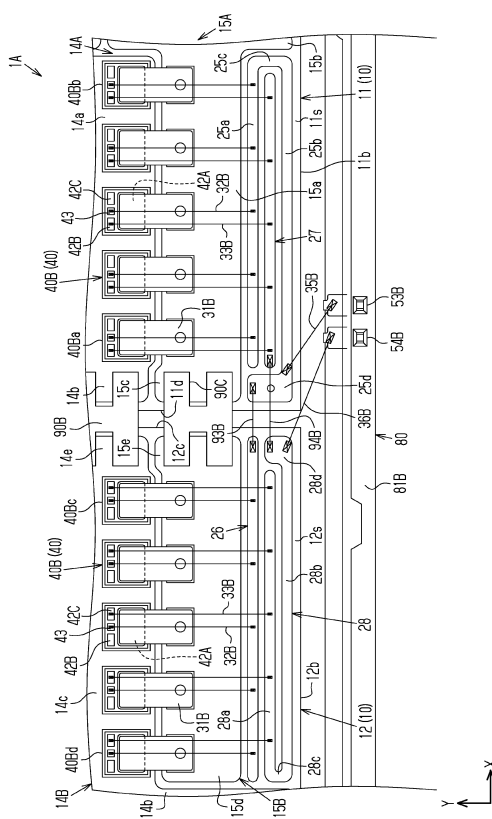
【図 3 1】



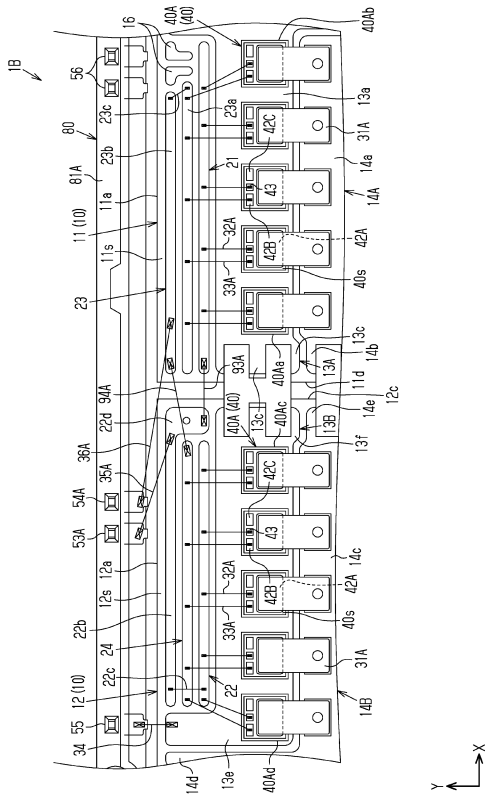
【図 3 5】



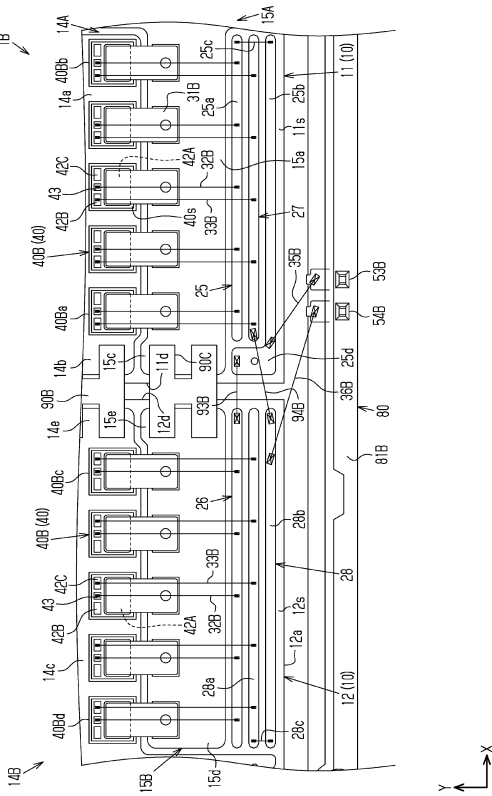
【図 3 6】



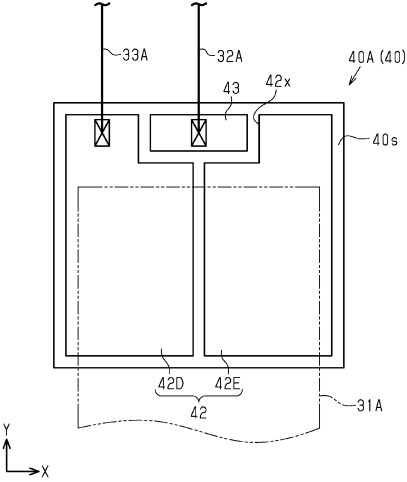
【図 3 7】



【図 3 8】



【図 39】



10

20

30

40

50

フロントページの続き

(56)参考文献 特開 2016-184667 (JP, A)
 国際公開第 2018/186353 (WO, A1)
 特開 2015-99843 (JP, A)
 特開平 8-340082 (JP, A)
 国際公開第 2019/202866 (WO, A1)
(58)調査した分野 (Int.Cl., DB名)
 H01L 25/07
 H02M 7/48
 H02M 1/00