

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7579687号
(P7579687)

(45)発行日 令和6年11月8日(2024.11.8)

(24)登録日 令和6年10月30日(2024.10.30)

(51)国際特許分類

F I

H 0 1 L	29/861 (2006.01)	H 0 1 L	29/91	C
H 0 1 L	29/868 (2006.01)	H 0 1 L	29/78	6 5 2 T
H 0 1 L	29/12 (2006.01)	H 0 1 L	29/78	6 5 3 A
H 0 1 L	29/78 (2006.01)	H 0 1 L	29/91	F
H 0 1 L	21/336 (2006.01)	H 0 1 L	29/78	6 5 2 C

請求項の数 8 (全21頁) 最終頁に続く

(21)出願番号 特願2020-199367(P2020-199367)
 (22)出願日 令和2年12月1日(2020.12.1)
 (65)公開番号 特開2022-87439(P2022-87439A)
 (43)公開日 令和4年6月13日(2022.6.13)
 審査請求日 令和5年8月7日(2023.8.7)

(73)特許権者 000003997
 日産自動車株式会社
 神奈川県横浜市神奈川区宝町2番地
 (73)特許権者 507308902
 ルノー エス.ア.エス.
 RENAULT S.A.S.
 フランス国 9 2 1 0 0 プーローニユ-
 ビヤンクール, アヴェニュー デュ ジ
 エネラル ルクレール, 1 2 2 - 1 2 2
 ビス
 1 2 2 - 1 2 2 bis, avenue
 du General Leclerc,
 9 2 1 0 0 Boulogne-Bil
 lancourt, France
 (74)代理人 100083806

最終頁に続く

(54)【発明の名称】 半導体装置及びその製造方法

(57)【特許請求の範囲】

【請求項1】

基板と、

前記基板に形成された第1導電型のドリフト領域と、

前記ドリフト領域に隣接して前記基板に形成された第2導電型の第1ウェル領域と、

前記第1ウェル領域を介して前記ドリフト領域と対向する第1導電型の第1領域と、

前記第1ウェル領域を介して前記ドリフト領域と対向し、前記第1領域に隣接する、前

記第1ウェル領域よりも不純物濃度が高い第2導電型の第2ウェル領域と、

前記第1ウェル領域から離間した位置で前記ドリフト領域と接続する第1導電型の第2領域と、

前記第1領域および前記第2ウェル領域と電氣的に接続する第1主電極と、

前記第2領域と電氣的に接続する第2主電極と

を備え、

前記第1領域と前記第2ウェル領域の接続面から前記第1領域の前記接続面に対向する対向面までの距離が、前記第1領域から前記第2領域までの距離の10分の1以下であることを特徴とする半導体装置。

【請求項2】

前記ドリフト領域、前記第1ウェル領域および前記第1領域に接するゲート絶縁膜と、

前記第1主電極と前記第2主電極の間に配置され、前記ゲート絶縁膜を介して前記ドリフト領域、前記第1ウェル領域および前記第1領域と対向するゲート電極と

を更に備えることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記第 1 ウェル領域から離間した位置で前記ドリフト領域と接続し、前記第 2 主電極と電氣的に接続する第 2 導電型のコレクタ領域を更に備えることを特徴とする請求項 2 に記載の半導体装置。

【請求項 4】

前記ゲート絶縁膜が、前記ドリフト領域、前記第 1 ウェル領域および前記第 1 領域に側面が接する溝の内壁面に配置され、

前記溝の内部に前記ゲート電極が配置されている

ことを特徴とする請求項 2 又は 3 に記載の半導体装置。

10

【請求項 5】

前記基板がワイドバンドギャップ半導体からなることを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の半導体装置。

【請求項 6】

前記基板が炭化珪素基板であることを特徴とする請求項 1 乃至 5 のいずれか 1 項に記載の半導体装置。

【請求項 7】

前記基板が半絶縁性基板又は絶縁性基板であることが特徴とする請求項 1 乃至 6 のいずれか 1 項に記載の半導体装置。

【請求項 8】

20

第 1 導電型のドリフト領域を基板に形成する工程と、

前記ドリフト領域に隣接する第 2 導電型の第 1 ウェル領域を前記基板に形成する工程と、前記第 1 ウェル領域を介して前記ドリフト領域と対向する第 1 導電型の第 1 領域を形成する工程と、

前記第 1 ウェル領域を介して前記ドリフト領域と対向し、前記第 1 ウェル領域よりも不純物濃度が高い第 2 導電型の第 2 ウェル領域を、前記第 1 領域に隣接して形成する工程と、

前記第 1 ウェル領域から離間した位置で前記ドリフト領域と接続する第 1 導電型の第 2 領域を形成する工程と、

前記第 1 領域および前記第 2 ウェル領域と電氣的に接続する第 1 主電極を形成する工程と、

30

前記第 2 領域と電氣的に接続する第 2 主電極を形成する工程と

を含み、

前記第 1 領域と前記第 2 ウェル領域の接続面から前記第 1 領域の前記接続面に対向する対向面までの距離が、前記第 1 領域から前記第 2 領域までの距離の 1/10 以下であることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置及びその製造方法に関するものである。

【背景技術】

40

【0002】

絶縁性の炭化珪素 (SiC) 基板にイオン注入法により不純物領域を形成したプレーナ構造のトランジスタが提案されている。トランジスタの反転層 (チャネル) を形成するベース領域の不純物濃度は、ある程度低くする必要がある。例えば、p 型のベース領域の不純物濃度を $1 \times 10^{18} \text{ cm}^{-3}$ 以下にする。

【先行技術文献】

【非特許文献】

【0003】

【文献】Ogyun Soek etc. "High-voltage lateral double-implanted MOSFETs implemented on high-purity semi-insulating 4H-SiC substrates with gate field plat

50

es” Japanese Journal of Applied Physics, Volume 57, Number 6S1 June 2018

【発明の概要】

【発明が解決しようとする課題】

【0004】

ベース領域の不純物濃度を高くできないために、トランジスタのボディダイオードの動作時のベース領域の電気抵抗が大きい。このため、トランジスタの損失が大きい。また、SiC材料はホール移動度が低く、かつ不純物の活性化率が低い。このため、炭化珪素基板を用いた半導体装置では、シリコン(Si)基板を用いた半導体装置に比べて、pn接合ダイオードのオン抵抗が高い。

【0005】

本発明は、損失の増大を抑制する半導体装置及び半導体装置の製造方法を提供することを目的とする。

【課題を解決するための手段】

【0006】

本発明の一態様に係る半導体装置は、ドリフト領域と、第1ウェル領域と、第1ウェル領域を介してドリフト領域とそれぞれ対向する第1領域および第2ウェル領域と、ドリフト領域と接続する第2領域を備えることを要旨とする。第1領域と第2ウェル領域の接続面から第1領域の接続面に対向する対向面までの距離は、第1領域から第2領域までの距離の10分の1以下である。

【発明の効果】

【0007】

本発明によれば、損失の増大を抑制する半導体装置及び半導体装置の製造方法を提供することができる。

【図面の簡単な説明】

【0008】

【図1】本発明の第1の実施形態に係る半導体装置の構成を示す模式的な断面図である。

【図2】シミュレーションモデルの構成を示す模式図である(その1)。

【図3】シミュレーションモデルの構成を示す模式図である(その2)。

【図4】シミュレーションモデルの構成を示す模式図である(その3)。

【図5】図2のシミュレーションモデルを用いたシミュレーションの結果を示すグラフである。

【図6】図3のシミュレーションモデルを用いたシミュレーションの結果を示すグラフである。

【図7】図4のシミュレーションモデルを用いたシミュレーションの結果を示すグラフである。

【図8】シミュレーションの結果を表示する範囲を示す模式図である。

【図9】第1距離が0.1μmでの電流分布のシミュレーションの結果である。

【図10】第1距離が0.8μmでの電流分布のシミュレーションの結果である。

【図11】本発明の第1の実施形態に係る半導体装置の製造方法を説明するための模式的な断面図である(その1)。

【図12】本発明の第1の実施形態に係る半導体装置の製造方法を説明するための模式的な断面図である(その2)。

【図13】本発明の第1の実施形態に係る半導体装置の製造方法を説明するための模式的な断面図である(その3)。

【図14】本発明の第1の実施形態に係る半導体装置の製造方法を説明するための模式的な断面図である(その4)。

【図15】本発明の第1の実施形態に係る半導体装置の製造方法を説明するための模式的な断面図である(その5)。

【図16】本発明の第1の実施形態に係る半導体装置の製造方法を説明するための模式的な断面図である(その6)。

10

20

30

40

50

【図 1 7】本発明の第 1 の実施形態に係る半導体装置の製造方法を説明するための模式的な断面図である（その 7）。

【図 1 8】本発明の第 2 の実施形態に係る半導体装置の構成を示す模式的な断面図である。

【図 1 9】本発明の第 2 の実施形態に係る半導体装置についての電流分布のシミュレーションの結果である。

【図 2 0】本発明の第 2 の実施形態に係る半導体装置の製造方法を説明するための模式的な断面図である。

【図 2 1】本発明の第 3 の実施形態に係る半導体装置の構成を示す模式的な断面図である。

【図 2 2】本発明の第 3 の実施形態に係る半導体装置の製造方法を説明するための模式的な断面図である。

【図 2 3】本発明の第 4 の実施形態に係る半導体装置の構成を示す模式的な斜視図である。

【図 2 4】図 2 3 の A - A 方向に沿った模式的な断面図である。

【図 2 5】本発明の第 4 の実施形態に係る半導体装置の製造方法を説明するための模式的な斜視図である（その 1）。

【図 2 6】本発明の第 4 の実施形態に係る半導体装置の製造方法を説明するための模式的な斜視図である（その 2）。

【図 2 7】本発明の第 5 の実施形態に係る半導体装置の構成を示す模式的な断面図である。

【発明を実施するための形態】

【0009】

以下に、図面を参照して実施形態を説明する。図面の記載において同一部分には同一符号を付して説明を省略する。ただし、図面は模式的なものであり、厚みと平面寸法との関係、各層の厚みの比率などは現実のものとは異なる部分を含む。また、図面相互間においても互いの寸法の関係や比率が異なる部分が含まれている。

【0010】

（第 1 の実施形態）

本発明の第 1 の実施形態に係る半導体装置 1 の構成を図 1 に示す。半導体装置 1 は、第 1 導電型のドリフト領域 2 1、第 2 導電型の第 1 ウェル領域 2 2、第 1 ウェル領域 2 2 を介してドリフト領域 2 1 とそれぞれ対向する第 1 導電型の第 1 領域 2 4 と第 2 導電型の第 2 ウェル領域 2 3 を備える。

【0011】

ドリフト領域 2 1 と第 1 ウェル領域 2 2 は隣接して基板 1 0 に形成されている。第 1 領域 2 4 と第 2 ウェル領域 2 3 は隣接して基板 1 0 に形成されている。具体的には、第 1 領域 2 4 は第 2 ウェル領域 2 3 の上面に配置されている。なお、第 2 ウェル領域 2 3 は、第 1 ウェル領域 2 2 よりも不純物濃度が高い。

【0012】

更に、半導体装置 1 は、第 1 ウェル領域 2 2 から離間した位置でドリフト領域 2 1 に接続する第 1 導電型の第 2 領域 2 5 と、第 2 ウェル領域 2 3 の上面に配置され、第 1 領域 2 4 と隣接する第 2 導電型のコンタクト領域 2 6 を備える。

【0013】

第 1 導電型と第 2 導電型とは互いに反対導電型である。すなわち、第 1 導電型が n 型であれば、第 2 導電型は p 型であり、第 1 導電型が p 型であれば、第 2 導電型は n 型である。以下では、第 1 導電型を n 型、第 2 導電型を p 型とする場合について説明する。

【0014】

基板 1 0 は、半導体基板であってもよいし、半絶縁性基板や絶縁性基板であってもよい。ここで、絶縁性基板は、抵抗率が数 k Ω /cm 以上の半導体基板のことをいう。例えば、基板 1 0 は絶縁性炭化珪素基板である。

【0015】

また、半導体装置 1 は、第 1 領域 2 4 および第 2 ウェル領域 2 3 と電気的に接続する第 1 主電極 4 1 と、第 2 領域 2 5 と電気的に接続する第 2 主電極 4 2 を備える。第 1 主電極 4 1 は、第 1 領域 2 4 とコンタクト領域 2 6 の上面に配置されている。第 2 ウェル領域 2

10

20

30

40

50

3は、コンタクト領域26を介して第1主電極41と電氣的に接続する。第2主電極42は、第2領域25の上面に配置されている。第1主電極41と第2主電極42との間に、ドリフト領域21と第1ウェル領域22の表面を覆う層間絶縁膜50が配置されている。層間絶縁膜50に形成された開口部において、第1主電極41が第1領域24とコンタクト領域26に接続し、第2主電極42が第2領域25に接続する。

【0016】

ここで、図1に示すように、第1領域24と第2ウェル領域23の接続面241から、第1領域24の接続面241に対向する対向面242までの距離を、第1距離dとする。また、第1領域24から第2領域25までの距離を、第2距離hとする。半導体装置1において、第1距離dは、第2距離hの10分の1以下である。

10

【0017】

図1に示した半導体装置1は、第1領域24をアノード、第2領域25をカソードとする、pn接合ダイオードとして機能する。すなわち、第1主電極41の電位を基準として、第2主電極42に所定の電位(例えば-3V程度)を印加する。これにより、半導体装置1の第1ウェル領域22とドリフト領域21の間に形成されるpn接合ダイオードが導通し、第1主電極41から第2主電極42に電流が流れる。

【0018】

半導体装置1では、第1距離dが第2距離hの10分の1以下であることにより、損失が低減する。その理由を、図2~図4に示したシミュレーションモデルを用いたシミュレーションにより、以下に説明する。

20

【0019】

このシミュレーションでは、第2距離hを固定し、第1距離dを変化させて、第1主電極41から第2主電極42に流れる電流I_dを計算した。なお、シミュレーションを容易にするために、図2~図4に示すように、第1ウェル領域22の上部の一部に第2ウェル領域23と第1領域24の積層構造を配置し、第2ウェル領域23の側面に第1主電極41を配置したシミュレーションモデルを用いた。図2~図4に示したシミュレーションモデルによって、図1に示した構造の半導体装置1を流れる電流を算出できる。

【0020】

図2に示したシミュレーションモデルでは、第2距離hが4.5μmである。図3に示したシミュレーションモデルでは、第2距離hが8.5μmである。図4に示したシミュレーションモデルでは、第2距離hが10.5μmである。シミュレーションは、第1主電極41の電位を4V、第2主電極42の電位を0Vとして行った。

30

【0021】

図2に示したシミュレーションモデルを用いた電流I_dのシミュレーション結果を、図5に示す。図5に示すように、第1距離dが長くなるにしたがって、電流I_dが小さくなる。そして、第1距離dが0.4μm以上で電流I_dはほぼ一定になる。

【0022】

図3に示したシミュレーションモデルを用いた電流I_dのシミュレーション結果を、図6に示す。図6に示すように、第1距離dが長くなるにしたがって、電流I_dが小さくなる。そして、第1距離dが0.8μm以上で電流I_dはほぼ一定になる。

40

【0023】

図4に示したシミュレーションモデルを用いた電流I_dのシミュレーション結果を、図7に示す。図7に示すように、第1距離dが長くなるにしたがって、電流I_dが小さくなる。そして、第1距離dが1.1μm以上で電流I_dはほぼ一定になる。

【0024】

図5~図7に示すように、第2距離hが4.5μm~10.5μmの場合において、第1距離dが長くなるにしたがって電流I_dが小さくなる。そして、第1距離dがある程度の長さを超えると、電流I_dは一定である。電流I_dが一定であるのは、第1距離dが第2距離hのほぼ10分の1よりも大きい場合である。つまり、第1距離dが第2距離hの10分の1より大きい場合には、電流I_dは制限され、損失が発生する。したがって、損

50

失を抑制する条件は、第1距離 d が第2距離 h の10分の1以下である。第1距離 d が第2距離 h の10分の1より大きいと電流 I_d が一定になる理由を、以下に説明する。

【0025】

図8に、電流分布をシミュレーションした結果を表示する範囲Aを示した。範囲Aにおけるシミュレーションの結果を、図9～図10に示す。図9に示したシミュレーションの結果は、第1距離 d が $0.1\ \mu\text{m}$ の場合である。図10に示したシミュレーションの結果は、第1距離 d が $0.8\ \mu\text{m}$ の場合である。なお、図9～図10のシミュレーション結果は、第1距離 d に沿った方向をX方向、第2距離 h に沿った方向をY方向として示した(以下において同様。)

【0026】

図9に示すように、第1距離 d が $0.1\ \mu\text{m}$ の場合には、半導体装置の表面においても電流が流れる。これは、第1領域24から第1ウェル領域22に広がる空乏層の幅が狭いためである。このため、第1主電極41を通る電流の経路は、第1領域24より深い領域で第1ウェル領域22と第2ウェル領域23を流れる経路と、半導体装置の表面を流れる経路である。

【0027】

一方、図10に示すように、第1距離 d が $0.8\ \mu\text{m}$ の場合には、半導体装置の表面に流れる電流が少ない。これは、第1領域24から第1ウェル領域22に広がる空乏層の幅が大きいためである。このため、第1主電極41を流れる電流の経路は、第1領域24より深い領域で第1ウェル領域22と第2ウェル領域23を流れる経路のみとなる。したがって、第1距離 d が $0.1\ \mu\text{m}$ である場合と比べて、第1距離 d が $0.8\ \mu\text{m}$ の場合には電流 I_d が小さい。

【0028】

以上に説明したように、第1距離 d が第2距離 h の10分の1以下である半導体装置1では、第1領域24から第1ウェル領域22に広がる空乏層に起因して第1主電極41から第2主電極42に流れる電流 I_d の経路が減少することが、抑制される。このため、半導体装置1によれば、pn接合を流れる電流の損失を低減することができる。

【0029】

例えば、半導体装置1において、第1距離 d を $0.3\ \mu\text{m}$ 、第2距離 h を $4.5\ \mu\text{m}$ とする。なお、第1距離 d を第2距離 h の10.5分の1以下に設定してもよい。例えば、図7に示すように、第1距離 d が $1\ \mu\text{m}$ のときに第2距離 h を $10.5\ \mu\text{m}$ にすることにより、電流 I_d を大きくする効果を確認できる。

【0030】

基板10に、ワイドバンドギャップ半導体からなる基板を用いてもよい。ワイドバンドギャップ半導体の基板では、pn接合ダイオードの導通電圧が大きく、Siなどの半導体材料の基板のpn接合ダイオードよりも損失が大きい。このため、基板10がワイドバンドギャップ半導体である場合に、半導体装置1による損失の低減の効果がより有効である。

【0031】

炭化珪素基板(SiC基板)を基板10に使用してもよい。p型のSiCはキャリア移動度が低いため、基板10にSiC基板を使用することにより、pn接合ダイオードの電気抵抗を低減する効果が大きい。SiCにはいくつかのポリタイプ(結晶多形)が存在するが、代表的な4HのSiC基板を基板10に使用できる。

【0032】

半絶縁性基板又は絶縁性基板を基板10に使用してもよい。この場合、pn接合ダイオードの電流が基板10に流れにくい。このため、半導体装置1の表面を流れる電流の経路が重要である。したがって、半導体装置1による損失の低減の効果は、基板10が半絶縁性基板又は絶縁性基板である場合により有効である。

【0033】

以下に、図面を参照して第1の実施形態に係る半導体装置1の製造方法を説明する。なお、以下に述べる半導体装置1の製造方法は一例であり、この変形例を含めて、これ以外

10

20

30

40

50

の種々の製造方法により実現可能である。以下では、基板 10 に絶縁性炭化珪素基板を用いる場合を説明する。

【0034】

まず、図 11 に示すように、基板 10 の主面に形成したマスク材 101 を、ドリフト領域 21 を形成する領域の残余の領域を覆うようにパターニングする。

【0035】

一般的なマスク材としては、例えばシリコン酸化膜を用いることができる。マスク材の堆積法としては、熱 CVD 法やプラズマ CVD 法を用いてもよい。パターニングの方法としては、フォトリソグラフィ技術を用いてもよい。すなわち、パターニングされたフォトリソレジスト膜をマスクにしてマスク材をエッチングする。エッチング方法としては、酸化シリコン膜との反応性を有するイオンを使用する反応性イオンエッチング法などのドライエッチング法を用いてもよい。その後、フォトリソレジスト膜を酸素プラズマや硫酸などで除去する。このようにして、マスク材がパターニングされる（以下において同様。）。 10

【0036】

次に、パターニングしたマスク材 101 をマスクとするイオン注入法によって基板 10 に n 型不純物をドーピングして、ドリフト領域 21 を選択的に形成する。例えば、n 型不純物を窒素として、深さ $1\ \mu\text{m}$ 、不純物濃度 $1\ \text{E}\ 16\ \text{cm}^{-3}$ のドリフト領域 21 を形成する。図 12 に、ドリフト領域 21 を形成した後にマスク材 101 を除去した状態を示す。シリコン酸化膜であるマスク材 101 の除去方法として、フッ酸を用いたウェットエッチング法などを用いてもよい。 20

【0037】

次に、パターニングしたマスク材をマスクとするイオン注入法によって基板 10 に p 型不純物をドーピングして、図 13 に示すように、第 1 ウェル領域 22 を形成する。例えば、p 型不純物をアルミニウムとして、深さ $1.0\ \mu\text{m}$ 、不純物濃度 $1\ \text{E}\ 17\ \text{cm}^{-3}$ の第 1 ウェル領域 22 を形成する。

【0038】

更に、図 14 に示すように、第 1 領域 24 と第 2 領域 25 を形成する。このとき、パターニングしたマスク材をマスクとするイオン注入法によって、第 1 領域 24 と第 2 領域 25 を同時に形成してもよい。例えば、n 型不純物に窒素イオンを用いて、深さ $0.3\ \mu\text{m}$ 、不純物濃度 $1\ \text{E}\ 19\ \text{cm}^{-3}$ の第 1 領域 24 と第 2 領域 25 を形成する。図 14 に示すように、第 1 領域 24 は第 1 ウェル領域 22 の上部に選択的に形成される。第 2 領域 25 は、ドリフト領域 21 の上部に、第 1 ウェル領域 22 から離間した位置に形成される。 30

【0039】

第 1 領域 24 の底面から第 1 領域 24 の上面までの距離が、第 1 距離 d に相当する。このため、第 1 領域 24 の膜厚が、第 1 領域 24 から第 2 領域 25 までの第 2 距離 h の 10 分の 1 以下であるように、第 1 領域 24 と第 2 領域 25 を形成する。これにより、完成した半導体装置 1 において第 1 距離 d が第 2 距離 h の 10 分の 1 以下になる。

【0040】

そして、第 1 ウェル領域 22 に p 型不純物を選択的にドーピングするイオン注入法によって、図 15 に示すように、コンタクト領域 26 を形成する。例えば、p 型不純物としてアルミニウムイオンを第 1 ウェル領域 22 の所定の領域に注入して、深さ $0.3\ \mu\text{m}$ 、不純物濃度 $1\ \text{E}\ 20\ \text{cm}^{-3}$ のコンタクト領域 26 を形成する。 40

【0041】

次に、図 16 に示すように、第 1 領域 24 とコンタクト領域 26 の下方に第 2 ウェル領域 23 を形成する。例えば、パターニングしたマスク材をマスクとするイオン注入法によって、第 1 ウェル領域 22 の下部に p 型不純物をドーピングして、第 2 ウェル領域 23 を形成する。このとき、イオン注入の注入エネルギーを適切に設定することにより、基板 10 の膜厚方向における第 2 ウェル領域 23 の位置を設定する。例えば、基板表面から深さ $0.3\ \mu\text{m} \sim 1\ \mu\text{m}$ の範囲に、不純物濃度 $1\ \text{E}\ 19\ \text{cm}^{-3}$ の第 2 ウェル領域 23 を形成する。第 2 ウェル領域 23 の形成条件は、第 1 領域 24 およびコンタクト領域 26 の下面と第 2 50

ウェル領域 2 3 が接続するように設定する。

【 0 0 4 2 】

その後、熱処理により、基板 1 0 にドーブした不純物を活性化させる。例えば、アルゴン雰囲気中や窒素雰囲気中で、1 7 0 0 程度の熱処理を行う。

【 0 0 4 3 】

上記のイオン注入法では、半導体装置 1 の用途に合わせて、各領域の深さや不純物濃度を設定する。例えば、n 型不純物として窒素を用い、p 型不純物としてアルミニウムやボロンを用いる。なお、基板 1 0 の温度を 6 0 0 程度に加熱した状態でイオン注入することにより、イオン注入した領域に結晶欠陥が生じるのを抑制することができる。また、イオン注入の方法としてボックス注入を採用することにより、深さ方向に均一の不純物濃度分布を実現できる。以下において、不純物をドーブして各領域を形成した基板 1 0 を「基体」とも称する。

10

【 0 0 4 4 】

次に、図 1 7 に示すように、基体 1 0 0 の表面に層間絶縁膜 5 0 を形成する。例えば、層間絶縁膜 5 0 としてシリコン酸化膜を形成する。シリコン酸化膜の成膜方法として、熱 C V D 法やプラズマ C V D 法を用いてもよい。

【 0 0 4 5 】

その後、第 1 主電極 4 1 と第 2 主電極 4 2 を形成するために、層間絶縁膜 5 0 の一部を選択的に除去する。例えば、層間絶縁膜 5 0 の表面に形成したフォトレジスト膜をフォトリソグラフィ技術によりパターンニングして、第 1 主電極 4 1 と第 2 主電極 4 2 を配置するために除去する層間絶縁膜 5 0 の領域を露出させる。そして、パターンニングしたフォトレジスト膜をマスクに用いて、層間絶縁膜 5 0 の一部を選択的にエッチングする。エッチング方法としては、シリコン酸化膜と反応性をもつイオンを用いるドライエッチング法でもよいし、フッ酸を用いたウェットエッチング法でもよい。そして、層間絶縁膜 5 0 の一部を除去して露出させた基体 1 0 0 の上面に、第 1 主電極 4 1 と第 2 主電極 4 2 を形成する。第 1 主電極 4 1 と第 2 主電極 4 2 の形成には、リフトオフ法などを用いてもよい。第 1 主電極 4 1 と第 2 主電極 4 2 の導電性材料は、例えばニッケル膜を使用してもよいし、他の金属材料でもよい。以上により、図 1 に示した半導体装置 1 が完成する。

20

【 0 0 4 6 】

上記の製造方法により、第 1 距離 d が第 2 距離 h の $\frac{1}{10}$ 以下になるように半導体装置 1 が製造される。例えば、第 1 領域 2 4 の膜厚を $3 \mu\text{m}$ 、第 1 領域 2 4 と第 2 領域 2 5 の基板 1 0 の主面方向に沿った距離を $4.5 \mu\text{m}$ とする。これにより、第 1 主電極 4 1 と第 2 主電極 4 2 の間を流れる電流は、基体 1 0 0 の表面も流れる。その結果、pn 接合ダイオードの損失を低減することができる。

30

【 0 0 4 7 】

上記の製造方法では、第 1 領域 2 4 とコンタクト領域 2 6 を形成した後に、第 2 ウェル領域 2 3 を形成する。しかし、第 2 ウェル領域 2 3 を形成した後に、第 1 領域 2 4 とコンタクト領域 2 6 を形成してもよい。

【 0 0 4 8 】

(第 2 の実施形態)

40

第 2 の実施形態に係る半導体装置 1 a は、図 1 8 に示すように、第 1 主電極 4 1 と第 2 主電極 4 2 の間に配置されたゲート電極 3 1 を備える。ゲート電極 3 1 は、層間絶縁膜 5 0 を介して、ドリフト領域 2 1、第 1 ウェル領域 2 2 および第 1 領域 2 4 と対向する。図 1 8 に示した半導体装置 1 a は、ゲート電極 3 1 を更に備える点が、第 1 の実施形態と異なる。その他の構成については、第 2 の実施形態に係る半導体装置 1 a は、第 1 の実施形態と同様である。

【 0 0 4 9 】

図 1 8 に示した半導体装置 1 a は、第 1 主電極 4 1 をソース電極、第 2 主電極 4 2 をドレイン電極とするプレーナ構造のトランジスタである。第 1 領域 2 4 はソース領域であり、第 2 領域 2 5 はドレイン領域である。層間絶縁膜 5 0 のドリフト領域 2 1、第 1 ウェル

50

領域 2 2 および第 1 領域 2 4 に接する領域は、ゲート絶縁膜として機能する。

【 0 0 5 0 】

半導体装置 1 a では、ゲート電極 3 1 の電位によって第 1 主電極 4 1 と第 2 主電極 4 2 の間を流れる主電流を制御する。このため、ゲート電極 3 1 は、第 1 主電極 4 1 と第 2 主電極 4 2 との間を流れる主電流の経路に配置されている。オン動作時に、第 1 ウェル領域 2 2 の層間絶縁膜 5 0 と接する領域（以下、「チャンネル領域」とも称する。）に反転層が形成される。以下に、半導体装置 1 a の動作について説明する。

【 0 0 5 1 】

オン動作において、第 1 主電極 4 1 の電位を基準として第 2 主電極 4 2 に正の電位を印加する。第 1 主電極 4 1 は、第 1 領域 2 4、第 1 ウェル領域 2 2、コンタクト領域 2 6 および第 2 ウェル領域 2 3 と電気的に接続している。このため、第 1 領域 2 4、第 1 ウェル領域 2 2、コンタクト領域 2 6 および第 2 ウェル領域 2 3 はすべて基準電位である。

10

【 0 0 5 2 】

上記のように第 1 主電極 4 1 と第 2 主電極 4 2 の電位を設定した状態で、ゲート電極 3 1 の電位を制御する。これにより、半導体装置 1 a がトランジスタとして動作する。すなわち、ゲート電極 3 1 と第 1 主電極 4 1 間の電圧を所定の閾値電圧以上にすることにより、第 1 ウェル領域 2 2 のチャンネル領域に反転層が形成される。これにより、半導体装置 1 a がオン状態となり、第 1 主電極 4 1 と第 2 主電極 4 2 の間に主電流が流れる。このとき、第 2 主電極 4 2 の電位は、半導体装置 1 a のオン抵抗にもよるが、例えば 1 V 以下である。

20

【 0 0 5 3 】

一方、オフ動作では、ゲート電極 3 1 と第 1 主電極 4 1 間の電圧を所定の閾値電圧以下にする。これにより、第 1 ウェル領域 2 2 の反転層が消滅し、第 1 主電極 4 1 と第 2 主電極 4 2 の間で主電流が遮断される。

【 0 0 5 4 】

半導体装置 1 a のオフ状態での還流動作では、第 1 主電極 4 1 の電位を基準として第 2 主電極 4 2 に - 3 V 以上の電位を印加した状態で、半導体装置 1 a のボディダイオードが導通し、第 1 主電極 4 1 から第 2 主電極 4 2 に電流が流れる。このときの半導体装置 1 a 内部の電流分布をシミュレーションした結果を図 1 9 に示す。シミュレーションの条件は、第 1 距離 d が $0.3 \mu\text{m}$ 、第 2 距離 h が $4.5 \mu\text{m}$ である。第 1 領域 2 4 から第 1 ウェル領域 2 2 に広がる空乏層の幅が狭いため、図 1 9 に示すように半導体装置 1 a の表面も電流が流れる。このため、第 1 ウェル領域 2 2 とドリフト領域 2 1 間に形成される p n 接合のボディダイオードを流れる電流の損失が小さい。したがって、半導体装置 1 a の損失を低減することができる。

30

【 0 0 5 5 】

上記のように、第 2 の実施形態に係る半導体装置 1 a によれば、損失の低いボディダイオードを有するトランジスタを実現できる。他は、第 1 の実施形態と実質的に同様であり、重複した記載を省略する。

【 0 0 5 6 】

以下に、第 2 の実施形態に係る半導体装置 1 a の製造方法を説明する。なお、以下に述べる半導体装置 1 a の製造方法は一例であり、この変形例を含めて、これ以外の種々の製造方法により実現可能である。また、第 1 の実施形態に係る半導体装置 1 の製造方法と重複する部分については、詳細な説明を省略する。以下では、基板 1 0 に絶縁性炭化珪素基板を用いる場合を説明する。

40

【 0 0 5 7 】

まず、図 1 1 ~ 図 1 6 を参照して説明した方法と同様にして、基板 1 0 にドリフト領域 2 1、第 1 ウェル領域 2 2、第 2 ウェル領域 2 3、第 1 領域 2 4、第 2 領域 2 5、及びコンタクト領域 2 6 を形成する。その後、図 2 0 に示すように、ゲート絶縁膜となる層間絶縁膜 5 0 およびゲート電極 3 1 を形成する。ゲート絶縁膜の形成方法は、熱酸化法でも堆積法でも構わない。ゲート絶縁膜を熱酸化法で形成する場合、酸素雰囲気中で 1 1 0 0

50

程度の温度に基板 100 を加熱する。これにより、基板 100 が酸素に触れるすべての部分において、シリコン酸化膜が形成される。或いは、NO が N₂O 雰囲気中での熱酸化によりゲート絶縁膜を形成してもよい。その場合の温度は 1100 ~ 1400 が好適である。ゲート絶縁膜の厚さは、例えば数十 nm 程度である。ゲート絶縁膜の厚さは半導体装置 1 の用途に合わせて適宜設定可能である。

【0058】

ゲート絶縁膜となる層間絶縁膜 50 を形成した後、層間絶縁膜 50 の上面の一部にゲート電極 31 を形成する。ゲート電極 31 の材料はポリシリコン膜が一般的である。ここでは、ポリシリコン膜をゲート電極 31 に使用する場合を説明する。ポリシリコン膜の堆積法としては、減圧 CVD 法などを用いてもよい。ゲート電極 31 の膜厚は、例えば 1 μm 前後としてもよい。なお、ポリシリコン膜を堆積した後に、オキシ塩化リン (POCl₃) 中で 950 のアニール処理することで、n 型のポリシリコン膜を形成し、ポリシリコン膜に導電性を持たせる。その後、形成したポリシリコン膜をエッチングして、ゲート電極 31 を所定の形状に形成する。エッチング方法は等方性エッチング法でも異方性の選択エッチング法でもよい。エッチング用マスクはレジスト膜でもよい。ポリシリコン膜をエッチングした後、エッチング用マスクのレジスト膜を酸素プラズマや硫酸などで除去する。

10

【0059】

次に、第 1 の実施形態と同様の工程により、第 1 主電極 41 および第 2 主電極 42 を形成する。以上により、図 18 に示した半導体装置 1a が完成する。

【0060】

20

(第 3 の実施形態)

第 3 の実施形態に係る半導体装置 1b の構成を図 21 に示す。半導体装置 1b は、基板 10 の上面にバッファ領域 251、ドリフト領域 21、第 1 ウェル領域 22 を積層した構成である。第 1 ウェル領域 22 の上面の一部に第 1 領域 24 が選択的に配置されている。そして、第 1 領域 24 が配置された領域の残余の領域において、第 1 ウェル領域 22 の上面に、第 2 ウェル領域 23 が第 1 領域 24 に隣接して配置されている。また、第 2 ウェル領域 23 の上面にコンタクト領域 26 が配置されている。第 1 主電極 41 が、第 1 領域 24 の上面とコンタクト領域 26 の上面にわたって配置されている。また、基板 10 の下面の全面に、第 2 主電極 42 が配置されている。

【0061】

30

半導体装置 1b では、バッファ領域 251 と基板 10 が第 2 領域 25 として機能する。バッファ領域 251 はドリフト領域 21 よりも不純物濃度が高い第 1 導電型の領域である。基板 10 とドリフト領域 21 の間にバッファ領域 251 を配置することにより、電界分布を制御することができる。バッファ領域 251 は、例えばエピタキシャル成長法により基板 10 に形成される。

【0062】

基板 100b に、第 1 領域 24 の上面から延伸し、第 1 領域 24 と第 1 ウェル領域 22 を貫通し、底部がドリフト領域 21 に達する溝が形成されている。ドリフト領域 21、第 1 ウェル領域 22 および第 1 領域 24 に接する溝の内壁面に、ゲート絶縁膜 30 が形成されている。ゲート電極 31 は、溝の内部に配置されている。つまり、半導体装置 1b は、トレンチゲート構造のトランジスタである。ゲート電極 31 が基板 100b に設けられた溝 (以下において、「ゲート溝」と称する。) の内部に配置されていることが、第 2 の実施形態と異なる点である。

40

【0063】

図 21 に示した半導体装置 1b では、第 1 領域 24 のゲート絶縁膜 30 と接する面が、対向面 242 である。つまり、第 1 距離 d は、基板 10 の主面に沿った第 1 領域 24 の幅である。また、第 2 距離 h は、第 1 ウェル領域 22 の膜厚とドリフト領域 21 の膜厚の合計である。

【0064】

半導体装置 1b の基本的な動作は、第 2 の実施形態に係る半導体装置 1a と同様である

50

。すなわち、半導体装置 1 b では、ゲート電極 3 1 の電位によって第 1 主電極 4 1 と第 2 主電極 4 2 の間を流れる主電流を制御する。オン動作時に、第 1 ウェル領域 2 2 のゲート絶縁膜 3 0 と接するチャンネル領域に反転層が形成される。

【 0 0 6 5 】

半導体装置 1 b ではゲート溝の側壁にチャンネル領域が形成されるため、チャンネル幅はゲート溝の深さに比例する。このため、ゲート溝を深くすることで、チャンネル幅が増加し、チャンネル抵抗を低減できる。半導体装置 1 b ではチャンネル幅の拡大が基板面積の増大にならないため、半導体装置 1 b を小型化できる。すなわち基板の単位面積当たりのオン抵抗が低下する。半導体装置 1 b によれば、より損失を低減した半導体装置を実現できる。

10

【 0 0 6 6 】

以下に、第 3 の実施形態に係る半導体装置 1 b の製造方法を説明する。なお、以下に述べる半導体装置 1 b の製造方法は一例であり、この変形例を含めて、これ以外の種々の製造方法により実現可能である。また、第 1 の実施形態に係る半導体装置 1 の製造方法と重複する部分については、詳細な説明を省略する。

【 0 0 6 7 】

まず、基板 1 0 とバッファ領域 2 5 1 の積層体を形成する。基板 1 0 に、絶縁性を有する炭化珪素基板 (S i C 基板) を使用してもよい。例えば、厚みが数十 n m ~ 数百 μ m 程度の n 型の炭化珪素基板を基板 1 0 に使用する。そして、膜厚 0 . 1 μ m ~ 数 μ m の n 型炭化珪素エピタキシャル層をバッファ領域 2 5 1 として基板 1 0 に形成する。

20

【 0 0 6 8 】

次に、エピタキシャル成長法によりドリフト領域 2 1 を形成する。例えば、ドリフト領域 2 1 の不純物濃度は $1 E 1 4 \sim 1 E 1 8 c m^{-3}$ 、膜厚は数 μ m ~ 数十 μ m である。

【 0 0 6 9 】

その後、イオン注入法などにより、ドリフト領域 2 1 の上部に第 1 ウェル領域 2 2 を形成する。例えば、p 型不純物をアルミニウムとして、深さ 0 . 8 μ m、不純物濃度 $1 E 1 7 c m^{-3}$ の第 1 ウェル領域 2 2 を形成する。

【 0 0 7 0 】

次いで、第 1 ウェル領域 2 2 の上部の一部に第 1 領域 2 4 をイオン注入法などにより形成する。例えば、第 1 ウェル領域 2 2 の上面にパターニングした酸化シリコン膜をマスクにして、n 型不純物を窒素として、深さ 1 μ m、不純物濃度 $1 E 1 9 c m^{-3}$ の第 1 領域 2 4 を形成する。更に、第 1 ウェル領域 2 2 の上部の一部に、第 1 領域 2 4 と隣接するコンタクト領域 2 6 をイオン注入法などにより形成する。例えば、p 型不純物をアルミニウムとして、深さ 0 . 3 μ m、不純物濃度 $1 E 2 0 c m^{-3}$ のコンタクト領域 2 6 を形成する。

30

【 0 0 7 1 】

更に、コンタクト領域 2 6 の下方に第 2 ウェル領域 2 3 をイオン注入法などにより形成する。例えば、p 型不純物をアルミニウムとして、深さ 0 . 3 μ m ~ 1 μ m、不純物濃度 $1 E 1 9 c m^{-3}$ の第 2 ウェル領域 2 3 を形成する。以上の工程により、図 2 2 に示す基体 1 0 0 b が形成される。

【 0 0 7 2 】

その後、第 1 領域 2 4 の上面から延伸し、第 1 領域 2 4 と第 1 ウェル領域 2 2 を貫通し、底部がドリフト領域 2 1 に達するゲート溝を形成する。例えば、フォトリソグラフィ技術によりパターニングしたマスク材を使った異方エッチング法を用いて、ゲート溝を形成する。ゲート溝の形成方法として、炭化珪素基板である基板 1 0 に対してドライエッチング法が好適に使用される。

40

【 0 0 7 3 】

ゲート溝を形成した後、ゲート溝の内壁面を覆うように、ゲート絶縁膜 3 0 を形成する。ゲート絶縁膜 3 0 の形成方法は熱酸化法でも堆積法でもよい。

【 0 0 7 4 】

次に、ゲート溝の内部を埋め込んでゲート電極 3 1 を形成する。ゲート電極 3 1 には、

50

例えばポリシリコン膜を使用する。ポリシリコン膜の堆積法としては、減圧CVD法などを用いることができる。例えば、堆積させるポリシリコン膜の厚さをゲート溝の幅の2分の1よりも大きな値にして、ゲート溝の内部をポリシリコン膜で埋める。ゲート溝の内壁面からポリシリコン膜が形成されていくため、上記のようにポリシリコン膜の厚さを設定することにより、ゲート溝をポリシリコン膜によって完全に埋めることができる。例えば、ゲート溝の幅が2 μm の場合は、膜厚が1 μm よりも厚くなるようにポリシリコン膜を形成する。ポリシリコン膜を堆積した後に、オキシ塩化リン(POCl₃)中で950 °Cのアニール処理することで、n型のポリシリコン膜を形成し、ポリシリコン膜に導電性を持たせる。その後、形成したポリシリコン膜をエッチングして、ゲート電極31を所定の形状に形成する。

10

【0075】

その後、第1主電極41および第2主電極42を、例えばリフトオフ法などを用いて形成する。以上により、図21に示した半導体装置1bが完成する。

【0076】

(第4の実施形態)

第4の実施形態に係る半導体装置1cの構成を図23に示す。半導体装置1cは、図18に示した半導体装置1aと同様に、ドリフト領域21と第1ウェル領域22が、平面視で隣接して基板10に形成されている。第1領域24と第2ウェル領域23は、第1ウェル領域22を介してドリフト領域21と対向する。第1ウェル領域22から離間した位置で、第2領域25がドリフト領域21に接続する。ゲート電極31は、第1主電極41と第2主電極42の間に配置されている。

20

【0077】

図18に示した半導体装置1aと異なり、半導体装置1cでは、ドリフト領域21、第1ウェル領域22および第1領域24にまたがる開口部を有するゲート溝が形成され、ゲート溝の内壁面にゲート絶縁膜30が配置されている。ゲート溝の側面は、ドリフト領域21、第1ウェル領域22および第1領域24に接する。ゲート電極31は、ゲート溝の内部に配置されている。その他の構成については、図23に示す半導体装置1cは、図18に示した第2の実施形態に係る半導体装置1aと同様である。

【0078】

図24に、図23のA-A方向に沿った断面図を示す。ゲート溝の内部に埋め込まれたゲート電極31は、ドリフト領域21、第1ウェル領域22および第1領域24と、ゲート溝の側面においてゲート絶縁膜30を介して対向する。

30

【0079】

半導体装置1cでは、オン動作時に、第1ウェル領域22のゲート溝の側面に接するチャンネル領域に反転層が形成される。このため、ゲート電極31を埋め込むゲート溝の深さが深いほど、反転層の幅は広がる。したがって、半導体装置1cでは、第1ウェル領域22においてゲート溝を深く形成することにより、平面視でのサイズを増大させることなく反転層の幅を増大させてチャンネル抵抗を低減できる。その結果、単位面積当たりのオン抵抗が低下する。このように、半導体装置1cによれば、より損失を低減した半導体装置を実現できる。他は、第1~3の実施形態と実質的に同様であり、重複した記載を省略する。

40

【0080】

以下に、第4の実施形態に係る半導体装置1cの製造方法を説明する。なお、以下に述べる半導体装置1cの製造方法は一例であり、この変形例を含めて、これ以外の種々の製造方法により実現可能である。以下では、基板10に炭化珪素基板を用いる場合を説明する。

【0081】

まず、図11~図16を参照して説明した方法と同様にして、基板10にドリフト領域21、第1ウェル領域22、第2ウェル領域23、第1領域24、第2領域25、及びコンタクト領域26を形成する。以上により、図25に示す基体100cが形成される。

50

【0082】

次に、図26に示すように、基体100cの上面において第1領域24、第1ウェル領域22およびドリフト領域21にまたがる開口部を有するゲート溝300を、基体100cに形成する。例えば、フォトリソグラフィ技術によりパターンニングしたマスク材を用いた異方エッチング法により、ゲート溝300を形成する。ゲート溝300の形成方法として、炭化珪素基板である基板10に対してドライエッチング法が好適に使用される。

【0083】

ゲート溝300を形成した後、ゲート溝300の内壁面および基体100cの上面を覆うように、ゲート絶縁膜30を形成する。ゲート絶縁膜30の形成方法は熱酸化法でも堆積法でもよい。

【0084】

次に、ゲート溝300の内部を埋め込んでゲート電極31を形成する。ゲート電極31には、例えばポリシリコン膜を使用する。ゲート電極31は、例えば第3の実施形態に係る半導体装置1bの製造方法で説明した方法と同様に形成してもよい。すなわち、ゲート溝300の内部をポリシリコン膜で埋める。そして、アニール処理によりn型のポリシリコン膜を形成し、ポリシリコン膜に導電性を持たせる。その後、ポリシリコン膜をエッチングして、所定の形状のゲート電極31を形成する。

【0085】

その後、第1主電極41および第2主電極42を、例えばリフトオフ法などを用いて形成する。以上により、図23に示した半導体装置1cが完成する。

【0086】

(第5の実施形態)

第5の実施形態に係る半導体装置1dの構成を図27に示す。半導体装置1dは、図18に示した半導体装置1aと同様に、ドリフト領域21と第1ウェル領域22が、平面視で隣接して基板10に配置されている。第1領域24と第2ウェル領域23は、第1ウェル領域22を介してドリフト領域21と対向する。第1ウェル領域22から離間した位置で、第2領域25がドリフト領域21に接続する。ゲート電極31は、第1主電極41と第2主電極42の間に配置されている。

【0087】

図18に示した半導体装置1aと異なる点として、半導体装置1dは、第1ウェル領域22から離間した位置でドリフト領域21と接続し、第2主電極42と電氣的に接続する第2導電型のコレクタ領域27を更に備える。例えば図27に示すように、第2領域25とコレクタ領域27は隣接して配置される。そして、第2領域25とコレクタ領域27の上面に接して第2主電極42が配置されている。その他の構成については、半導体装置1dは、図18に示した第2の実施形態に係る半導体装置1aと同様である。

【0088】

第5の実施形態に係る半導体装置1dでは、第2領域25とコレクタ領域27が同電位である。これにより、半導体装置1dは逆導通絶縁ゲート型バイポーラトランジスタ(RC-IGBT)を構成する。半導体装置1dによれば、損失の低いボディpn接合ダイオードを有するRC-IGBTを実現できる。なお、半導体装置1dにおいても、ゲート電極31をゲート溝の内部に配置してもよい。

【0089】

コレクタ領域27は、コンタクト領域26と同時にイオン注入法で形成してもよい。例えば、フォトリソグラフィ技術によりパターンニングした酸化シリコン膜をマスクに用いて、p型不純物をアルミニウムとして深さ0.5 μm 、不純物濃度 $1\text{E}20\text{cm}^{-3}$ のコレクタ領域27とコンタクト領域26を形成する。他の製造方法は、第2の実施形態に係る半導体装置1aの製造方法と同様である。

【0090】

(その他の実施形態)

上記のように、本発明は実施形態によって記載したが、この開示の一部をなす論述及び

10

20

30

40

50

図面はこの発明を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施形態、実施例及び運用技術が明らかとなる。

【0091】

例えば、上記ではゲート電極31にn型のポリシリコン膜を使用する例を説明したが、p型のポリシリコン膜をゲート電極31に使用してもよい。また、他の半導体材料をゲート電極31に使用してもよいし、メタル材などの他の導電性材料をゲート電極31に使用してもよい。例えば、p型のポリ炭化珪素、SiGe、Alなどをゲート電極31の材料に使用してもよい。

【0092】

また、ゲート絶縁膜30にシリコン酸化膜を使用する例を説明したが、シリコン窒化膜をゲート絶縁膜30に使用してもよい。または、シリコン酸化膜とシリコン窒化膜の積層膜をゲート絶縁膜30に使用してもよい。ゲート絶縁膜30にシリコン窒化膜を使用した場合の等方性エッチングは、160の熱燐酸による洗浄によって行うことができる。

10

【0093】

このように、本発明はここでは記載していない様々な実施形態などを含むことはもちろんである。

【符号の説明】

【0094】

1 ... 半導体装置

10 ... 基板

21 ... ドリフト領域

22 ... 第1ウェル領域

23 ... 第2ウェル領域

24 ... 第1領域

25 ... 第2領域

26 ... コンタクト領域

27 ... コレクタ領域

30 ... ゲート絶縁膜

31 ... ゲート電極

41 ... 第1主電極

42 ... 第2主電極

50 ... 層間絶縁膜

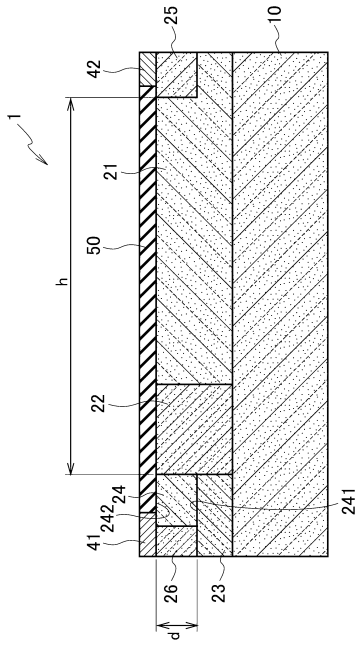
20

30

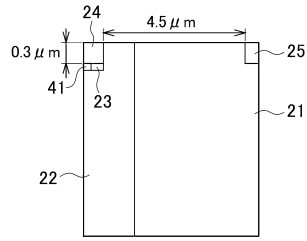
40

50

【図面】
【図 1】



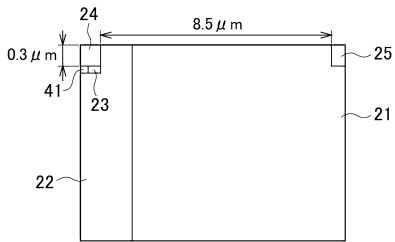
【図 2】



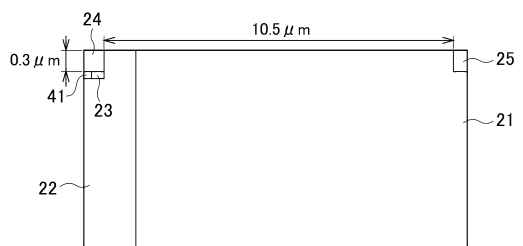
10

20

【図 3】



【図 4】

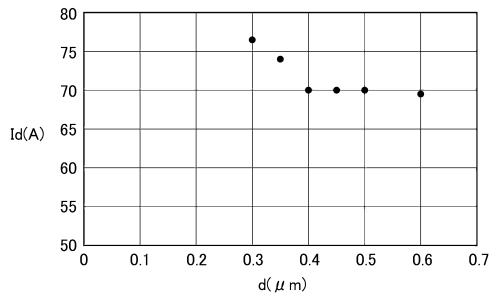


30

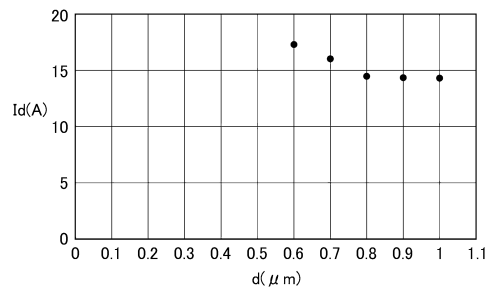
40

50

【図 5】

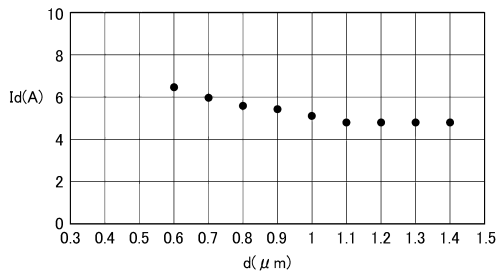


【図 6】

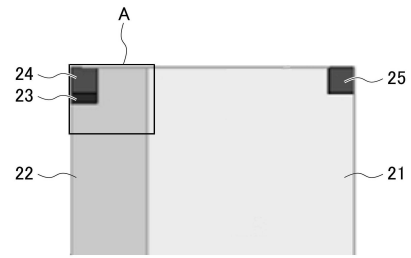


10

【図 7】

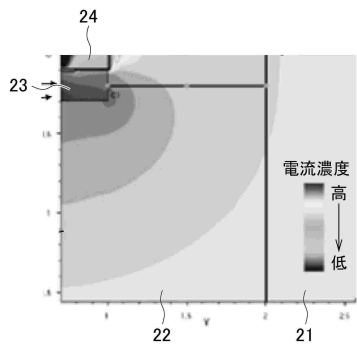


【図 8】

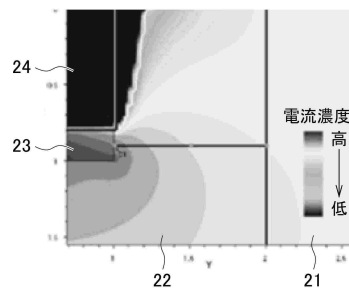


20

【図 9】



【図 10】

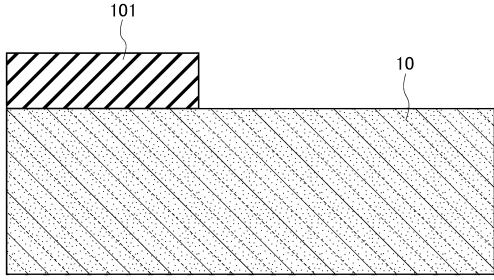


30

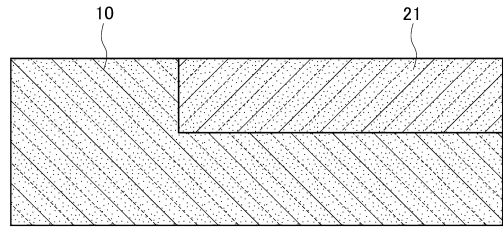
40

50

【図 1 1】

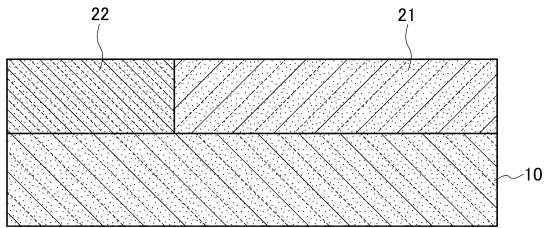


【図 1 2】

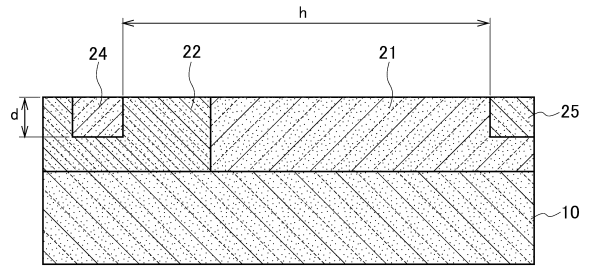


10

【図 1 3】

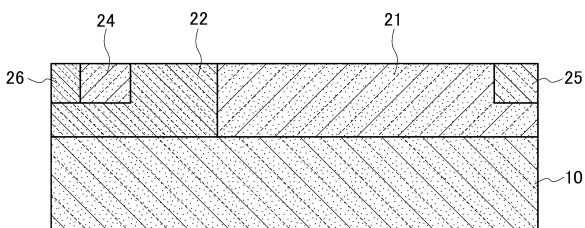


【図 1 4】

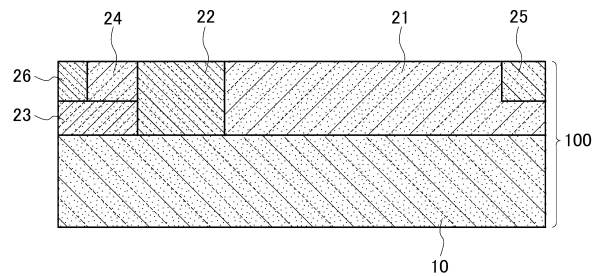


20

【図 1 5】



【図 1 6】

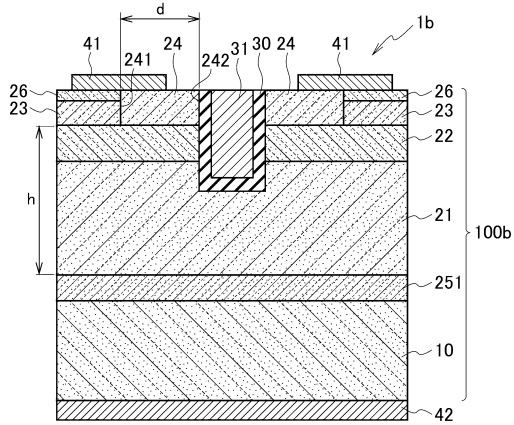


30

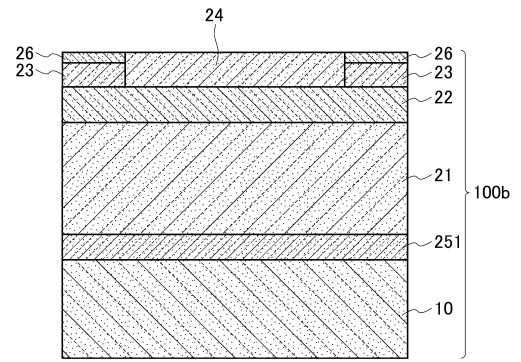
40

50

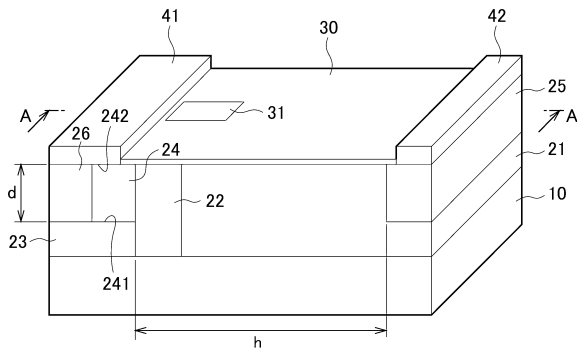
【図 2 1】



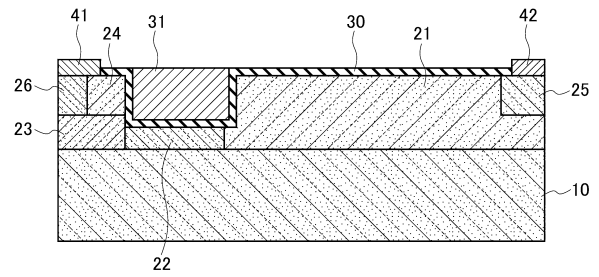
【図 2 2】



【図 2 3】



【図 2 4】



10

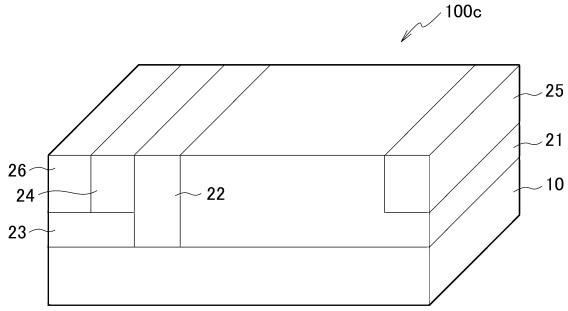
20

30

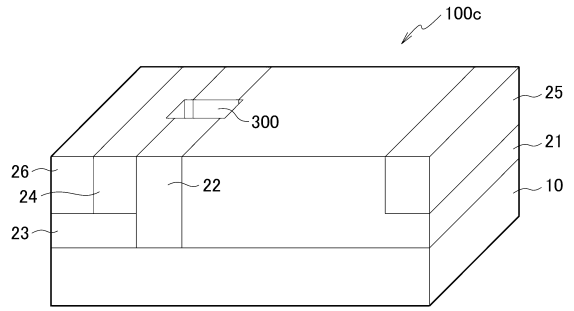
40

50

【 2 5 】

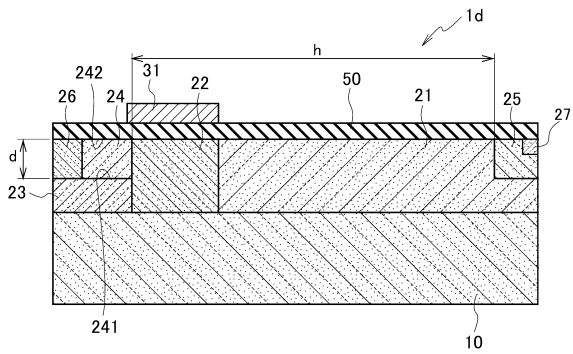


【 2 6 】



10

【 2 7 】



20

30

40

50

フロントページの続き

(51)国際特許分類 F I
H 0 1 L 29/78 3 0 1

弁理士 三好 秀和
(74)代理人 100101247
弁理士 高橋 俊一
(74)代理人 100095500
弁理士 伊藤 正和
(74)代理人 100098327
弁理士 高松 俊雄
(72)発明者 倪 威
神奈川県横浜市神奈川区宝町2番地 日産自動車株式会社内
(72)発明者 林 哲也
神奈川県横浜市神奈川区宝町2番地 日産自動車株式会社内
(72)発明者 沼倉 啓一郎
神奈川県横浜市神奈川区宝町2番地 日産自動車株式会社内
審査官 戸川 匠

(56)参考文献 国際公開第2018/150467(WO, A1)
国際公開第2019/202350(WO, A1)
特開2013-232577(JP, A)
特表2002-506569(JP, A)

(58)調査した分野 (Int.Cl., DB名)
H 0 1 L 2 9 / 8 6 1
H 0 1 L 2 9 / 8 6 8
H 0 1 L 2 9 / 1 2
H 0 1 L 2 9 / 7 8
H 0 1 L 2 1 / 3 3 6