



(12) 发明专利

(10) 授权公告号 CN 102939654 B

(45) 授权公告日 2016. 01. 20

(21) 申请号 201180029702. 7

US 4161744 A, 1979. 07. 17, 全文.

(22) 申请日 2011. 06. 15

US 4344985 A, 1982. 08. 17, 全文.

(30) 优先权数据

US 4420765 A, 1983. 12. 13, 全文.

61/355, 049 2010. 06. 15 US

Richard C. Westhoff 等. Radiation-Hard, Charge-Coupled Devices for the Extreme Ultraviolet Variability Experiment.

(85) PCT国际申请进入国家阶段日

《PROCEEDINGS OF SPIE》. 2007, 第 6686 卷第 668604-1 至第 668604-9 页.

2012. 12. 17

(86) PCT国际申请的申请数据

PCT/US2011/040490 2011. 06. 15

审查员 宋晶晶

(87) PCT国际申请的公布数据

W02012/039800 EN 2012. 03. 29

(73) 专利权人 加州理工学院

地址 美国加利福尼亚州

(72) 发明人 迈克尔·E·霍恩克

(74) 专利代理机构 北京安信方达知识产权代理

有限公司 11262

代理人 周靖 郑霞

(51) Int. Cl.

H01L 27/144(2006. 01)

(56) 对比文件

CN 1608310 A, 2005. 04. 20, 全文.

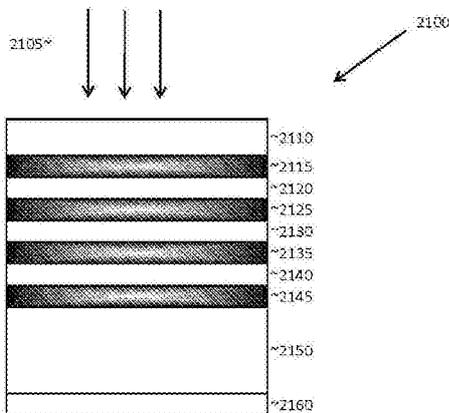
权利要求书1页 说明书15页 附图15页

(54) 发明名称

使用多层通过量子排斥进行的表面钝化

(57) 摘要

半导体器件具有多层掺杂以通过量子排斥提供改善的钝化。多层掺杂包括数量为 M 的多个掺杂层, 其中 M 是大于 1 的整数。M 个掺杂层中的掺杂剂片密度不需要相同, 但在原理上可被选取为具有相同的片密度或不同的片密度。设置在 M 个掺杂层之间的 M-1 个交错层没有被特意掺杂(也称为“未掺杂层”)。具有 M=2、M=3 和 M=4 的结构已被展示并表现出改善的钝化。



1. 一种硅器件,包括:

硅晶片,其以第一表面和与所述第一表面相对的第二表面为界,所述硅晶片具有在所述第一表面和所述第二表面中的一个上制造的器件;

所述硅晶片具有位于与所述第一表面和所述第二表面中的至少一个相邻的多层 δ 掺杂分布,所述多层 δ 掺杂分布具有数量为 M 的多个 δ 掺杂层;所述数量为 M 的多个 δ 掺杂层中的每个具有小于 10 埃的厚度和至少 10^{14}cm^{-2} 的掺杂剂片密度,其中 M 为大于 1 的整数;所述数量为 M 的多个 δ 掺杂层由 $M-1$ 个交错的没有被特意掺杂的硅层彼此间隔开,所述 $M-1$ 个交错的没有被特意掺杂的硅层中的至少一个具有在 10 埃到 30 埃的范围内的厚度;

所述硅晶片的所述第一表面和所述第二表面中的至少一个被电子地钝化,而不考虑存在于所述第一表面和所述第二表面中的相应的一个上的缺陷的密度。

2. 如权利要求 1 所述的硅器件,其中 M 至少为 3,且所述数量为 M 的多个 δ 掺杂层被 $M-1$ 个交错的没有被特意掺杂的硅层隔开,所述 $M-1$ 个交错的没有被特意掺杂的硅层中的至少两个具有相等的厚度。

3. 如权利要求 1 所述的硅器件,其中 M 至少为 3,且所述数量为 M 的多个 δ 掺杂层被 $M-1$ 个交错的没有被特意掺杂的硅层隔开,所述 $M-1$ 个交错的没有被特意掺杂的硅层中的至少两个具有不相等的厚度。

4. 如权利要求 1 所述的硅器件,其中所述 $M-1$ 个交错的没有被特意掺杂的硅层中的至少一个具有小于 10^{13}cm^{-2} 的掺杂剂片密度。

5. 如权利要求 1 所述的硅器件,其中每纳米至少十进倍的掺杂剂梯度存在于所述数量为 M 的多个 δ 掺杂层中的一个掺杂层和所述 $M-1$ 个交错的没有被特意掺杂的硅层中的相邻的一个硅层之间。

6. 一种硅器件,包括:

硅晶片,其以第一表面和与所述第一表面相对的第二表面为界,所述硅晶片具有在所述第一表面和所述第二表面中的一个上制造的器件;

所述硅晶片具有位于与所述第一表面和所述第二表面中的至少一个相邻的多层 δ 掺杂分布,所述多层 δ 掺杂分布具有数量为 M 的多个 δ 掺杂层;所述数量为 M 的多个 δ 掺杂层中的每个具有小于 40 埃的厚度、至少 10^{14}cm^{-2} 的掺杂剂片密度和每纳米至少十进倍的掺杂剂梯度,其中 M 为大于 1 的整数;

所述硅晶片的所述第一表面和所述第二表面中的至少一个被电子地钝化,而不考虑存在于所述第一表面和所述第二表面中的相应的一个上的缺陷的密度。

使用多层通过量子排斥进行的表面钝化

[0001] 相关申请的交叉引用

[0002] 本申请要求于 2010 年 6 月 15 日提交的共同待决的美国临时专利申请序列号 61/355, 049 的优先权和利益, 该专利申请通过引用被全部并入本文。本申请也于 2010 年 12 月 12 日提交的与本申请一样被转让给同一受让人的美国专利申请系列号 12/965, 790 相关。

[0003] 关于联邦赞助的研究或开发的声明

[0004] 本文描述的发明是在履行 NASA 合约下的工作中完成的, 且服从于公法 96-517 (35USC202) 的规定, 其中立约人选择了保留题目。

技术领域

[0005] 本发明一般涉及半导体器件, 且具体地涉及对操作依赖于表面钝化的硅器件。

背景技术

[0006] 问题陈述

[0007] 背照式成像探测器的表面钝化、量子效率及稳定性

[0008] 长期以来已知表面和界面对实质上所有的固态器件尤其是成像器件的性能至关重要。表面钝化技术对晶体管的发明和用于平面集成电路 (其发起了半导体革命) 的可靠工艺的发展至关重要。固态成像器件中的革命由于电荷耦合器件 (CCD) 的发明而始于 1969 年。表面和界面从一开始就提出了问题, 且 CCD 设计中的许多后期的改进目的在于实现对器件的前表面附近的界面的质量的控制。德克萨斯仪器公司早在 1974 年就演示了第一代背照式 CCD。

[0009] NASA 很快认识到用于空间中的天体成像的固态成像器件的潜力, 并开始开发用于空间仪器 (包括哈勃空间望远镜) 的 CCD 和摄像机。喷气推进实验室 (JPL) 在该开发中起了关键性作用。JPL 负责开发宽场 / 行星摄像机 (WF/PC) ——哈勃空间望远镜 (HST) 的一个重要仪器, 其随后将产生与 NASA 和 HST 相关的标志性图像。对 WF/PC 探测器的最重要的科学要求之一是以优于 1% 的光度测定稳定性在宽光谱范围上实现高量子效率 (QE)。特别是, 要求 HST 探测器探测下至原子氢的 Lyman- α 线的 UV 光, 其位于光谱的远紫外区中, 波长为 121.6nm。如 WF/PC II 的历史所证实的, 在量子效率和稳定性之间, 稳定性是较重要的探测器性能规范。

[0010] 为了满足这些要求, 背照明被认为是必要的, 因为在 CCD 的前表面电子器件中的吸收使得传统的前照式 CCD 在紫外区中实质上是看不见的。不幸的是, 背照明导致了响应中的不稳定性, 因为对于暴露探测器的感光体积所必要的衬底去除工艺被发现产生了 CCD 的不稳定的背表面。由于表面中的未钝化缺陷的低掺杂水平和高密度, 环境中的变化影响薄化的探测器的响应。特别是, 对光生电荷的高效收集至关重要的在 Si-SiO₂ 界面处的背表面电势取决于器件的物理环境和照明史。早期的控制背表面电势的努力基于优化薄化工艺以在 CCD 的背表面上留下薄的 P⁺ 层。该方法被证实不足够, 因为薄化的差的均匀性、低的

表面掺杂密度和对掺杂剂分布的控制的缺乏对实现所需的稳定性呈现了不可逾越的障碍。当 WF/PC 仪器公司在最初计划的 1984 年 12 月推出日期前经受热真空测试时,这个问题到了紧要关头。WF/PC 探测器在比由 HST 的科学要求设置的 1% 稳定性规范差的数量级上展现了量子效率滞后 (QEHL)。为了更好地为 HST 和未来仪器解决这个问题, JPL 开始了协定的努力来解决背表面钝化问题, 其将囊括 UV- 泛光 (flood) 工艺的开发、用作肖特基势垒的高功函数金属的沉积及偏置的背表面接触的使用。虽然这些方法中没有一种及时地成功用于 WF/PC (在 1990 年推出) 和 WF/PC II (在 1992 年推出), 但这些技术发展为化学吸附钝化 (Lesser 等人) 和跟随有激光退火的浅离子注入的现代最新技术。然而, 甚至在现代具体形式中, 最新的表面钝化技术也未能解决由 20 世纪 80 年代的 HST 探测器发展引起的所有问题。

[0011] 下面给出一些现有技术方法的讨论。特别是, 现有技术中已知的钝化硅器件中的表面的最好方法之一被称为 δ 掺杂。

[0012] 现有技术中已知的是 Hoenk 等人的于 1994 年 12 月 27 日公布的美国专利号 5, 376, 810, 其被认为公开了背侧照明的 CCD 的背侧表面电势阱, 通过使用分子束外延 (MBE) 来在背表面上使 δ 掺杂硅层生长, 该背侧表面电势阱被限制在该表面的半纳米内。MBE 工艺中的 δ 掺杂通过在 MBE 生长期间暂时中断蒸发的硅源而不中断蒸发的 P+ 掺杂剂源 (例如, 硼) 来实现。这产生了非常尖的掺杂剂分布 (其中掺杂剂被限制到仅几个原子层), 产生了足够高以将背侧表面电势阱限制在表面的半纳米内的电场。由于 UV 生成的电子被这样的窄电势阱捕获的概率较小, 在整个 UV 波长范围, CCD 的内部量子效率接近 100%。此外, 量子效率非常稳定。

[0013] 现有技术中也已知 Cunningham 等人的于 2000 年 8 月 22 日公布的美国专利号 6, 107, 619 及 Cunningham 等人的于 2002 年 2 月 12 日公布的美国专利号 6, 346, 700, 这两件专利被认为都公开了 δ 掺杂混合先进探测器 (HAD), 该探测器组合了至少 4 种技术以产生用于能量在几百电子伏 (eV) 到超过几百万电子伏的范围的高能粒子的探测器。该探测器对从可见光到 X 射线的光子敏感。该探测器对从大约 10keV 一直到几百 eV 的能量高度敏感。该探测器以毫瓦功率耗散操作, 且允许阵列的非顺序读出, 实现各种先进的读出方案。

[0014] 现有技术中也已知 Nikzad 等人的于 2010 年 8 月 31 日公布的美国专利号 7, 786, 421, 其被认为公开了用于从标准和高纯度器件 (其可匹配到给定的光学系统) 产生固态弯曲焦平面阵列的系统和方法。有两种方式来产生以完全地制造的器件开始的弯曲焦平面阵列。一种方式是薄化器件并使其符合曲率。第二种方式是背照射厚器件而无需制造薄化的膜。厚器件是一种特殊类别的器件; 例如, 使用高纯度硅制造的器件。器件的一个表面 (非 VLSI 制造的表面, 也称为背表面) 可被抛光以形成曲面。

[0015] 现有技术中也已知 Blacksberg 等人的于 2010 年 9 月 21 日公布的美国专利号 7, 800, 040, 其被认为公开了用于在成像探测器上生长与背照明结合来使用的背表面接触部的方法。在操作中, 提供了成像探测器。此外, 利用在低于 450 摄氏度的温度下执行的工艺在成像探测器上生长背表面接触部 (例如, δ 掺杂层等)。

[0016] 需要提供半导体器件的改进的钝化的系统和方法。

发明内容

[0017] 根据一个方面,本发明的特征在于硅器件,其包括以第一表面和与所述第一表面相对的第二表面为界的硅晶片,所述硅晶片具有在所述第一表面和所述第二表面中的一个上制造的器件;所述硅晶片具有位于与所述第一表面和所述第二表面中的至少一个相邻的掺杂分布,所述掺杂分布具有数量为M的多个掺杂层;所述数量为M的多个掺杂层中的每个具有小于10埃的厚度和至少 10^{14}cm^{-2} 的掺杂剂片密度,其中M为大于1的整数;所述数量为M的多个掺杂层由M-1个交错的硅层彼此间隔开,所述M-1个交错的硅层中的至少一个具有在10埃到30埃的范围内的厚度;所述硅晶片的所述第一表面和所述第二表面中的至少一个被电子地钝化,而不考虑存在于所述第一表面和所述第二表面中的相应的一个上的缺陷的密度。

[0018] 在一个实施方式中,M至少为3,且所述数量为M的多个掺杂层被M-1个交错的硅层隔开,所述M-1个交错的硅层中的至少两个具有实质上相等的厚度。

[0019] 在另一个实施方式中,M至少为3,且所述数量为M的多个掺杂层被M-1个交错的硅层隔开,所述M-1个交错的硅层中的至少两个具有不相等的厚度。

[0020] 在又一个实施方式中,所述M-1个交错的硅层中的至少一个具有小于 10^{13}cm^{-2} 的掺杂剂片密度。

[0021] 在又一个实施方式中,每纳米至少十进倍的掺杂梯度存在于所述数量为M的掺杂层中的一个和所述M-1个交错的硅层中的相邻的一个之间。

[0022] 根据另一方面,本发明涉及硅器件,其包括以第一表面和与所述第一表面相对的第二表面为界的硅晶片,所述硅晶片具有在所述第一表面和所述第二表面中的一个上制造的器件;所述硅晶片具有位于与所述第一表面和所述第二表面中的至少一个相邻的掺杂分布,所述掺杂分布具有数量为M的多个掺杂层;所述数量为M的多个掺杂层中的每个具有小于40埃的厚度、至少 10^{14}cm^{-2} 的掺杂剂片密度和每纳米至少十进倍的掺杂梯度,其中M为大于1的整数;所述硅晶片的所述第一表面和所述第二表面中的至少一个被电子地钝化,而不考虑存在于所述第一表面和所述第二表面中的相应的一个上的缺陷的密度。

[0023] 从以下的描述和从权利要求中,本发明的前述和其他目的、方面、特征和优势将变得明显。

附图说明

[0024] 参考以下描述的附图和权利要求,本发明的目的和特征将被更好地理解。附图不一定是按比例,相反,重点通常放在说明本发明的原理上。在附图中,相似的数字用于在各个图中始终指示相似的部分。

[0025] 图1是示出计算出的电场的图,其将 δ 掺杂表面与现有技术中的其他表面掺杂方法相比较。

[0026] 图2是示出计算出的电势的图,其将 δ 掺杂表面与现有技术中的其他表面掺杂方法相比较。

[0027] 图3是示出近表面电场的图。图中示出的所有MBE层包含表面偶极子区和硅主体区,其中,电场非常高。多层(也称为“多个层”)掺杂在表面中产生了第三区,其在 δ 掺杂表面中不存在。在该区中,电场也非常高,但平均电场相对低。曲线310表示单个 δ 掺杂层的计算数据,曲线320表示具有两个掺杂层的多层的计算数据,及曲线330表示具有4个

掺杂层的多层的计算数据。

[0028] 图 4 是示出比较 δ 掺杂与多层掺杂的电势的图。表面偶极子和硅主体电势在 δ 掺杂表面和多层掺杂表面中非常类似。多层掺杂产生了将表面与主体区隔开的较宽的势垒,这产生了表面与主体的较大的隔离并极大地增加了表面导电性。曲线 410 表示单个 δ 掺杂层的计算数据,曲线 420 表示具有两个掺杂层的多层的计算数据,及曲线 430 表示具有 4 个掺杂层的多层的计算数据。

[0029] 图 5 是示出通过 δ 掺杂被钝化的表面附近的电子状态的图。该图示出为 L、X 和 γ 导带计算的量子化的电子状态。每个状态由作为深度的函数的概率密度表示,被移动和缩放,使得竖直位置反映状态的能量。也画出了纵向 L 带的导带边缘用于比较。曲线 510 表示单个 δ 掺杂层的计算数据,曲线 520 表示具有两个掺杂层的多层的计算数据,及曲线 530 表示具有 4 个掺杂层的多层的计算数据。

[0030] 图 6 是示出通过具有两个掺杂层的多层被钝化的表面附近的电子状态的图。与 δ 掺杂表面(图 5)比较,通过多层掺杂提供的增大的势垒高度导致体硅与表面的改善的隔离,并也产生了几表面谐振(以粗线示出)。这些是在 Si-SiO₂ 界面附近具有局部增强的概率密度的电子状态。曲线 610 表示单个 δ 掺杂层的计算数据,曲线 620 表示具有两个掺杂层的多层的计算数据,及曲线 630 表示具有 4 个掺杂层的多层的计算数据。

[0031] 图 7 是示出通过 δ 掺杂和多层掺杂被钝化的表面附近的空穴密度的图。与表面导电性测量结果一致,多层掺杂急剧地增大了表面附近的多数载流子的密度。曲线 710 表示单个 δ 掺杂层的计算数据,曲线 720 表示具有两个掺杂层的多层的计算数据,及曲线 730 表示具有 4 个掺杂层的多层的计算数据。

[0032] 图 8 是示出由具有 4 个掺杂层的多层来钝化的表面附近的电子状态的图。与 δ 掺杂表面(图 5)和具有两个掺杂层的多层(图 6)比较,增大多层中的掺杂层的数量进一步改善了体硅与表面的隔离,且也增强了几表面谐振的定位(以粗线示出)。最低的能量表面谐振可被视为准束缚的。在图 8 中,基于在表面处的空穴的捕获来计算重空穴带的近表面空穴密度。空穴捕获显著地减小了 δ 掺杂表面的空穴的密度、表面和对于 δ 掺杂表面的探测器之间的势垒,但是对由多层掺杂产生的空穴密度有相对较小的影响。曲线 810 表示单个 δ 掺杂层的计算数据,曲线 820 表示具有两个掺杂层的多层的计算数据,及曲线 830 表示具有 4 个掺杂层的多层的计算数据。

[0033] 图 9 是示出使用表面去活化的 δ 掺杂的图:量子化的电子状态示出将表面与主体分离的减少的隧穿势垒;然而,不存在能够捕获热的载流子的表面限制状态。

[0034] 图 10 是示出 δ 掺杂以及对空穴的表面捕获的图:量子化的电子状态示出将表面与主体分离的较强的隧穿势垒;深表面阱产生了较小数目的能够捕获热的载流子的表面限制状态,但具有多得多的未限制状态。

[0035] 图 11 是示出使用表面去活化的两层多层的图。与 δ 掺杂表面(图 9)比较,通过多层掺杂提供的增大的势垒高度导致体硅与表面的改善的隔离,并且也产生了几表面谐振(以粗线示出)。

[0036] 图 12 是示出两层多层以及对空穴的表面捕获的图。与 δ 掺杂表面(图 10)比较,两层多层提供了将表面与主体隔离的较强的隧穿势垒;然而,在这种情况下,多层掺杂的主要优势在于表面附近的空穴片密度增加了两个数量级。

[0037] 图 13 是示出由具有 4 个掺杂层的多层钝化的表面附近的电子状态的图。与 δ 掺杂表面 (图 9) 和具有两个掺杂层的多层 (图 11) 比较, 增加多层中的掺杂层的数量进一步改善了体硅与表面的隔离, 且也增强了几个表面谐振的定位 (以粗线示出)。最低的能量表面谐振可被视为准束缚的。

[0038] 图 14 是示出具有两个掺杂层的多层以及对空穴的表面捕获的图: 与 δ 掺杂表面 (图 10) 比较, 具有 4 个掺杂层的多层提供了将表面与主体隔离的较强的隧穿势垒; 然而, 在这种情况下, 多层掺杂的主要优势在于表面附近的空穴片密度增加了两个数量级。

[0039] 图 15 是示出 δ 掺杂鲁棒性相对于具有变化的去活化水平的掺杂剂去活化的图。该计算假设表面陷阱的密度为 $5 \times 10^{12} \text{cm}^{-2}$ 。

[0040] 图 16 是示出 δ 掺杂鲁棒性相对于表面电荷的图, 其中有完全活化, 但有变化的密度的表面陷阱。

[0041] 图 17 是示出具有两个掺杂层的多层的鲁棒性相对于具有变化的去活化水平的掺杂剂去活化的图。该计算假设表面陷阱的密度为 $5 \times 10^{12} \text{cm}^{-2}$ 。

[0042] 图 18 是示出具有两个掺杂层的多层的鲁棒性相对于表面电荷的图, 其中有完全活化, 但有变化的密度的表面陷阱。

[0043] 图 19 是示出具有 4 个掺杂层的多层的鲁棒性相对于具有变化的去活化水平的掺杂剂去活化的图。该计算假设表面陷阱的密度为 $5 \times 10^{12} \text{cm}^{-2}$ 。

[0044] 图 20 是示出具有 4 个掺杂层的多层的鲁棒性相对于表面电荷的图, 其中有完全活化, 但有变化密度的表面陷阱。

[0045] 图 21 是示出根据本发明的原理的具有多层掺杂的晶片的横截面的示意性的没有按比例比例的图。

具体实施方式

[0046] 现有技术的表面钝化技术

[0047] 化学吸附带电

[0048] 化学吸附钝化在其现代形式中从在 JPL 的早期努力发展来使用高功函数金属以在薄化的 CCD 的背表面上形成肖特基势垒。肖特基势垒由于跨过不相似的材料之间的界面的电荷转移而存在。支持使用铂来形成肖特基势垒的基本原理是铂的高功函数将在硅表面中产生正确极性的近表面电场, 从而离开探测器电子器件的背表面并朝着前表面驱动光生电子 (事实上, 这是应用于用于成像探测器的所有的各种表面钝化技术的一般要求)。在 JPL 开发用于 WF/PC II 的传感器的过程中, 发现负责使用 Pt “溢料浇口 (flash gate)” 技术来提高探测器量子效率的表面带电机制不是在表面处形成肖特基势垒 (如最初打算和预期的), 而相反涉及通过化学吸附过程在氧化表面上累积带负电的 O_2 离子。因此, 类似的带电机制构成早期的 UV 泛光工艺和 Pt “溢料浇口” 的基础; 不幸的是, 这些工艺都没能提供足够的稳定性, 后续的改进和改良也没有成功解决表面钝化问题。该困难的关键部分在于氧化物。化学吸附的电荷的稳定性被发现关键取决于氧化物的质量和厚度。高质量的热氧化物的形成需要超过成像探测器的容限的温度, 因此基于将表面暴露到中等温度的蒸汽而开发了低温“溢料氧化物”工艺。不幸的是, “溢料氧化物”工艺不能稳定器件, 因为改变环境条件 (尤其是关于暴露到氢气) 可反转化学吸附的电荷的极性, 对探测器量子效率

和光谱响应有灾难性影响。作为这些局限的结果, Pt “溢料浇口”的开发被终止, 并且没有使用在 WF/P C II 上悬挂的探测器中。

[0049] 在 Arizona 大学的后续的开发努力导致了化学吸附工艺的几项革新和改良, 包括使用较厚、较高质量的氧化物层, 转换到对通过氢气暴露引起的毒化不敏感的金属, 及在金属层上涂覆热沉积的 HfO_2 电介质层以稳定化学吸附的电荷而抵抗环境变化。化学吸附器件被用在基于地面和空间的天文台中。尽管有这些进步, 通过化学吸附带电进行的表面钝化由于电介质层中的吸收而被限于可见光和近紫外波长, 所述电介质层是保持和稳定化学吸附的电荷所需要的。化学吸附带电也由于离子化辐射遭受而不可逆的损坏。特别是, 化学吸附对深紫外光的离子化效应不稳定, 这被公知来释放 H^+ 离子和在半导体工业中在用作绝缘层的 SiO_2 和其他电介质层中产生陷阱。最后, 化学吸附产生了嵌入到绝缘层中的固定的电荷, 且没有在硅中提供用于横向传输光生多数载流子的导电路径。对导电背表面的要求被发现在需要完全耗尽的成像器件的应用中比较重要, 且可能在需要暴露到高强度光源例如深紫外激光器的应用中比较重要。

[0050] 离子注入和激光退火

[0051] 离子注入是在半导体工业中用于对器件应用选择性地掺杂半导体表面的标准工艺。该工艺基于将高能掺杂剂原子引导到半导体表面以将所需的剂量注入晶格中。注入的原子没有位于晶格的电活性晶格位置上, 且注入过程产生了高密度的缺陷, 其降低了半导体的质量。因此, 注入需要高温热过程以退火掉许多晶体缺陷并通过允许一部分原子从空隙位置移到晶格位置来电“激活”注入的原子。然而, “激活”所需要的温度与器件处理的热约束不兼容 (注意, 存在隔离的例外, 其中耐熔的金属用在电子器件的前表面中以便实现离子注入层的高温熔炉退火; 然而, 耐熔的金属需要专门的工艺且对金属导电性施加了约束, 所述约束与所有成像器件技术和应用不兼容)。因此, 为了使离子注入适应成像探测器的要求和约束, 几个工艺改进比较重要。首先, 需要非常低的能量注入以便产生适于在 UV 范围内的探测的浅掺杂分布。其次, 使用脉冲激光器注入非常浅的退火过程以仅加热近表面区域。再次, 与用于掺杂晶体管和其他器件中的小区域的选择性过程相反, 背照式成像探测器的离子注入需要过程被优化以在整个探测器表面上实现均匀的掺杂。这对激光退火尤其具有挑战性, 这趋于在成像探测器中产生“砖墙”假象。

[0052] 离子注入提供了较高的掺杂浓度和对吸收掺杂剂分布的比对最初用在 WF/PC 探测器的最佳薄化过程中的扩散相关的分布更好的控制。然而, 这只是相对优势, 因为离子注入的物理过程和保持过程与成像探测器的兼容性的必要性仅提供了在设计形状、深度、峰值位置、振幅和掺杂剂分布的均匀性方面的有限的灵活性。这些约束又对使用离子注入来优化探测器性能尤其是与 UV 量子效率、缺陷相关的暗电流生成和用于提高空间分辨率的“深耗尽”相关的性能的能力施加了限制。特别是, 离子注入不能产生陡峭的掺杂剂分布, 而陡峭的掺杂剂分布对于表面钝化是极其重要的 (如我们所看到的)。

[0053] 离子注入 / 退火过程不能产生陡峭的掺杂剂分布是扩展到成像探测器技术领域之外的限制。实现陡峭的掺杂剂分布是半导体工业在其制造具有较高密度的集成电路的不间断的努力中面临的主要挑战之一。产生较陡的离子注入掺杂剂分布的目标是半导体处理期刊中的大量文献的主题。限制之一在于在退火过程期间加宽注入掺杂剂分布。瞬间增强的扩散 (TED) 的现象指在注入掺杂剂分布的退火期间观察到的异常高的扩散率。所观察到

的高扩展率与不可避免地由注入过程产生的缺陷相关。

[0054] 尽管有这些限制,离子注入成像器件当前被用在各种成像应用中,包括在空间中部署的科学成像探测器。当前最新的离子注入器件是宽场摄像机 3(WFC3) 仪器的核心,该仪器最近取代了哈勃空间望远镜上的宽场 / 行星摄像机 2 仪器。然而,尽管在开发 WF/PC 2 探测器以后的二十年中出现了显著的进步,但 WFC3 中的当前最新的离子注入器件仍然展示了量子效率滞后 (QEH),其在 HST 规范之外。基于这些器件的广泛特性,所观察的 QEH 看起来与硅中的电荷陷阱相关,电荷陷阱可能是用于背表面钝化的离子注入 / 退火过程中固有的后生现象。当前用于 WFC3 的临时解决方案是将器件周期性地暴露到强光,以便填充这些陷阱;将探测器保持在低操作温度充分稳定了捕获的电荷,以收集科学数据。

[0055] δ 掺杂

[0056] 在针对 WF/PC2 的探测器开发在进行中的同时,JPL 科学家开始开发基于高掺杂硅的外延生长的独特的表面钝化技术。而传统的晶体生长技术需要超过 CCD 的容限的温度,JPL 在 20 世纪 80 年代在低温分子束外延工艺方面进行了开创性的工作,低温分子束外延工艺能够在 CCD 兼容的温度 (450°C 以下) 实现硅的外延生长。这些努力导致了在 1992 年 δ 掺杂 CCD 的开发和演示,其中低温 MBE 生长用于在完全起作用的薄化 CCD 上形成超薄的 δ 掺杂硅层。

[0057] 0049 δ 掺杂过程的名称起源于相似于数学 δ 函数的掺杂剂分布。通过中断硅原子的流动,以单层的大约三分之一的密度 (约 2×10^{14} 掺杂剂原子/cm²) 沉积掺杂剂原子,并通过使 1-2nm 硅“覆盖”层生长来封装掺杂剂原子, δ 掺杂实现了异常陡峭的掺杂剂分布。因为掺杂剂在生长过程中被吸收,MBE 生长层没有遭受在离子注入期间由晶格损坏产生的缺陷,它们也不需要高温退火过程,该过程将限制产生陡峭的掺杂剂分布的能力。在生长期中断且然后重新开始硅流动的过程在仅有几个原子层厚的层中集中掺杂剂原子,该层可被精确地定位在表面的几个原子层内。该精度是陡峭的掺杂剂分布中的根本,且不能通过离子注入或任何其他传统的掺杂工艺 (例如,离子注入和扩散) 来实现。

[0058] δ 掺杂在整个远紫外和超紫外光谱范围实现了接近 100% 的内部量子效率,即使在存在氧气和水蒸气的情况下在室温下存储几年之后,也没有由于暴露到离子化辐射导致的明显的性能劣化,没有可测量的量子效率滞后且对环境条件明显不敏感。虽然 δ 掺杂最初被演示为使用硼元素作为用于薄的 n 沟道 CCD 的表面钝化的掺杂剂材料,但后续的开发努力表明 δ 掺杂对于背照式光电二极管阵列、CMOS 成像阵列、完全耗尽的 p 沟道 CCD (需要使用铯作为掺杂剂材料的 n 型 δ 掺杂) 及电子倍增 CCD (其对于光子计数应用使用高增益输出寄存器) 的表面钝化同样很好得起作用。

[0059] 使用均匀的掺杂剂分布的 MBE 掺杂

[0060] 0051 MIT Lincoln 实验室 (MIT-LL) 最近开发了表面钝化工艺,该工艺使用 5nm 厚的 MBE-生长硅层并包含浓度为 2×10^{20} cm⁻³ (对应于 1×10^{14} cm⁻² 的片密度) 的硼 (B) 的均匀分布。MIT-LL 声称实现了接近 100% 的内部量子效率且没有可测量的滞后。由 MIT-LL 所进行的关于背照式 CCD 对超紫外辐射的暴露研究证明 MBE-生长层比化学吸附带电或离子注入更抗辐射。MBE 钝化器件的改善的抗辐射性归因于吸收到钝化层中的电荷的总量和表面上的氧化物层的相对厚度。引证了通过离子辐射,电子比注入到氧化物中的空穴的迁移率更大,该研究的作者声明对辐射的暴露在氧化物层中产生了正电荷,其补偿了表面钝化

层中的掺杂剂。在该研究中比较的器件（其不包括 δ 掺杂器件）中，均匀的 MBE 生长钝化层包含最大的电荷密度 ($1 \times 10^{14} \text{cm}^{-2}$) 和最薄的氧化物 (1-2nm)。与通过 MIT-LL 生长的均匀掺杂层相比，JPL 的 δ 掺杂工艺实现了较高的电荷密度及较薄的 MBE 生长层，且本文描述的多层钝化层实现了甚至更高的电荷密度。

[0061] 在相关的研究中，MIT-LL 的研究人员发现 MBE 生长层对过量的表面生成的暗电流负有责任。它们能够使用在氢气中的 400°C 退火减轻这个问题，该氢气钝化了自然氧化物中的表面状态，并由此减小了表面生成的暗电流。即使是结合了氢气钝化，所观察到的暗电流仍然在高于等同的前照式器件的数量级，指示背表面缺陷没有被完全钝化。JPL 的 δ 掺杂工艺不需要氢气钝化来实现较低的暗电流。

[0062] δ 掺杂的局限性和对新技术的需要

[0063] 图 1 和图 2 根据计算出的近表面电场和电势比较 δ 掺杂与其他表面掺杂技术。通过扩散和离子注入产生的缓慢变化的掺杂剂分布产生了微弱的、缓慢变化的电场和电势，这提供了表面与主体的较差的隔离，且导致了响应中的不稳定性（如在来自哈勃空间望远镜的 WFC3 探测器性能数据中看到的）。在比较中，图示出 δ 掺杂产生了现有技术中的任何表面钝化技术的最强的电场和最高的能量势垒。这与表明钝化层 δ 掺杂提供得多么有效的量子效率和稳定性测量结果一致。然而，近期的测量结果暗示移动空穴的表面密度比 δ 掺杂层中的掺杂剂原子的表面密度低两个数量级。该差异比较明显，不仅对于器件性能的结果，而且对于其暗示：改进的表面钝化技术是必要的。如下文所述的，本发明的技术解决了这个需要。

[0064] 图 1 是示出计算出的电场的图，其将 δ 掺杂表面与现有技术中的其他表面掺杂方法相比较。

[0065] 图 2 是示出计算出的电势的图，其将 δ 掺杂表面与现有技术中的其他表面掺杂方法相比较。

[0066] 0056 现有技术中的最新水平的钝化技术：这两幅图提供了将 δ 掺杂与现有技术中的其他表面掺杂技术相比较而做出的计算结果。图中示出 δ 掺杂产生了任何现有技术的最强的电场和最高的能量势垒。实现此的关键是通过 MBE 产生陡峭的掺杂剂分布。虽然通过这些模型说明的原理是正确的，但近期的结果表明化学和 / 或物理机制的存在，这些机制使实际的 δ 掺杂表面的行为与模型偏离。

[0067] 通过量子排斥进行的表面钝化

[0068] 多层掺杂：介绍和一般描述

[0069] 表面钝化技术的各种方法在日期上先于特别为背照式探测器（及太阳能电池，其具有与探测器非常类似的要求）开发的技术的技术中是公知的。这些公知的技术包括热氧化层的生长、在氢气中的退火、及高性能的绝缘物（例如，作为半导体技术中的大量文献的主题的高 k 氧化物）的生长或沉积。这些技术的目的在于消除或减轻电活性缺陷的影响，与使表面带电以产生有利的电场和电势相反。除了 δ 掺杂以外，在前面章节中描述的所有表面带电方法也依赖于这样的方法——尤其是氢气钝化——以帮助提高表面钝化的稳定性和效率。对低缺陷密度的这个依赖提出了稳定性的问题，因为离子化辐射——包括暴露到高能光子（例如，深紫外光、远紫外光和超紫外光，所有这些在技术和科学上都很重要）。本发明的技术的优势之一是稳定性的提高，而不考虑表面缺陷。

[0070] 稳定性是一项重要的性能量度,因为表面和界面的带电和放电可能毁坏器件。如通过哈勃空间望远镜的探测器发展的历史示出的,背照式光学探测器需要表面钝化以便实现高的量子效率、低的暗电流和稳定的响应。钝化需要产生足够薄以对所有探测的波长都透明的钝化层的工艺。为了达到最佳的效率,钝化层必须在探测器表面附近的硅中产生强电场以便阻止少数载流子在表面处重组或被捕获。为了抑制表面生成的暗电流,钝化工艺必须消除表面状态或禁止热生成的电荷从表面注入到体硅中。为了减轻量子效率滞后,由钝化层产生的场必须是稳定的,抵抗可由表面处的电子和空穴的捕获和释放引起的表面电势的扰动。也通过鲁棒性、或减小或延迟探测器在恶劣环境下的性能的降低的能力(例如,减轻或阻止对探测器性能的永久性变化,其可伴随由于污染物和/或离子化辐射引起的对表面的化学或物理损坏)来区分表面钝化技术。来自哈勃空间望远镜上的宽场摄像机 3 仪器的近期数据及对 DUV、FUV 和 EUV 探测器的改善的寿命的需要表明需要具有提高的稳定性和鲁棒性的表面钝化技术。

[0071] 本发明的技术通过使用多层掺杂在薄的钝化层中实现掺杂剂的异常高的密度来实现了与现有技术相比提高的稳定性和鲁棒性,因此将探测器与表面隔离而不考虑表面缺陷的密度。本发明的技术的设计和实现需要对半导体组成的纳米级控制。在这个长度标度上,电子和空穴与表面的相互作用通过量子力学控制,且表面与主体的隔离通过电子和空穴的量子行为的控制来实现——因此术语为“通过量子排斥进行的表面钝化”。

[0072] 0060 与现有技术相比,多层掺杂技术在以下方面提高了固态探测器的性能:

[0073] 它提供了隧穿势垒,该隧穿势垒抑制少数载流子的生成并抑制少数载流子从表面传输到主体(由此通过减小对表面状态的敏感度来提高稳定性并提高信噪比性能)。

[0074] 它提供了隧穿势垒,该隧穿势垒抑制低能(“热(thermal)”)少数载流子从体硅传输到表面,并减小了这样的载流子与表面处的陷阱相互作用的概率(实现高量子效率并提高了稳定性)。

[0075] 它最小化高能(“热(hot)”)少数载流子在表面处或在钝化层内被捕获或重组的概率,且(相反地)促进了这样的载流子远离表面传输并进入体硅中(实现高量子效率并提高了稳定性和鲁棒性)。

[0076] 它提供了高的表面导电性以便便于过量多数载流子的横向传输,因此减轻多数载流子的局部累积并帮助在所有照明条件下将探测器表面保持在恒定电势(通过减轻表面状态的动态带电提高了稳定性)。

[0077] 0065 它隔离体硅中的场和电势,从而免受表面电势的暂时或永久性变化的影响,因此减轻了由对表面和氧化物/抗反射涂层的化学和物理变化导致的对探测器性能的任何影响(例如,由于辐射损坏、热载流子注入、或环境的其他损坏性效应)。

[0078] 使用多层掺杂通过量子排斥来实现表面钝化的原理、方法和结构在下文被描述。

[0079] 多层掺杂在表面和硅探测器之间插入了薄晶体,该薄晶体对高能(“热(hot)”)载流子透明且对低能(热(thermal))载流子不透明。实际上,多层掺杂产生了与物理表面隔离且独立于物理表面的电子表面。层本身根据量子力学的原理被设计成将表面状态/缺陷与探测器(半导体“主体”)中的少数载流子状态隔离和去耦,同时减小热载流子将在层内或表面处被俘获的概率。如上所述,由于对阻止环境条件(对表面涂层的化学或物理变化、吸附或化学吸附的分子及外部场)影响成像探测器的性能(尤其是敏感度、稳定性和噪

声)的要求,电子表面和物理表面的量子力学去耦(量子排斥)在成像探测器中极其重要。

[0080] 虽然本发明的背景是成像探测器领域,但实质上所有的半导体器件都受到表面和界面中的缺陷的影响。规定通过量子排斥进行表面钝化的概念在方法和应用中更通用;产生钝化所要求的需要的近表面电势的其他方法可以基于这些概念来发展;且通过量子排斥进行的钝化可在除了上述的太阳能电池、光电探测器和背照式固态成像器件的实例以外的较大类别的半导体器件和应用中得到有用的应用。

[0081] 虽然优选实现是使用掺杂硅层的 MBE 生长来进行硅表面的钝化,但进一步规定各种工程材料可被设计和制造成在各种材料系统中通过量子排斥实现表面钝化,所述各种材料系统包括硅、含有硅锗的合金和各种 III-V 和 II-VI 半导体材料,所有这些材料都能使用分子束外延方法以纳米级精度来生长和掺杂。其他材料系统和制造技术(例如有机半导体)也可服从本文应用的方法和概念。

[0082] 这里提出的思想和方法可被一般化以囊括更多的器件结构和技术。外延生长技术与通过量子排斥进行表面钝化的理论和概念可容易扩展到更复杂的结构和功能,尤其是关于二维和三维图案化结构。以接近原子级精度制造半导体掺杂剂分布的能力实现量子力学状态的操纵及电子和空穴的量子传输。这些技术因此可应用在许多可想象到的器件结构的设计、修改和开发中,寻求现有器件的最佳性能或减小的尺寸(例如用作集成电路的构造块的晶体管)或开发对于实际实现需要改善的表面的新器件和结构。

[0083] 本公开的其余内容集中于硅的多层钝化,其是通过量子排斥进行表面钝化的示出了本发明技术的原理、方法和优势的一个具体实例。

[0084] 如 JPL 所教导的 δ 掺杂的本质

[0085] 0072 为了介绍硅的多层钝化并提供与现有技术比较的基础,我们开始描述如 JPL 所教导的通过 δ 掺杂进行的表面钝化的本质及对该技术近期发现的问题。如应用于光学探测器的, δ 掺杂的基本原理是用超薄 p+ 层替代前照式探测器的厚的 p+ 衬底,所述超薄 p+ 层(本质上)再产生通过原始衬底/外延层界面的 p⁺p 结形成的电场和势垒。因为超薄 δ 掺杂层是基本上透明的(在一定意义上),背照式 δ 掺杂探测器在硅可达到的整个电磁频谱(从软 x 射线到近红外)上表现出极其高的量子效率。背照明问题的本质在于表面钝化和稳定性的问题;特别是,对钝化表面的化学和物理变化不影响探测器性能是必须的。

[0086] 如上文所述的, JPL 的 δ 掺杂技术是任何现有技术中最好的表面钝化技术。JPL 的专利和公开物教导: δ 掺杂层应位于离 Si-SiO₂界面约 1-2nm 处以实现背照式硅探测器的最好性能。即使由 JPL 教导的 δ 掺杂层仅有 2.5nm 厚(等于硅晶体中的约 10 个原子单层),在 JPL 的 δ 掺杂层中的掺杂剂原子的片密度是近似 $2 \times 10^{14} \text{cm}^{-2}$ 。这么高的掺杂剂密度将产生高度导电的表面,因为掺杂剂的片密度比通常出现在硅的自然氧化层中的表面电荷密度几乎大两个数量级。

[0087] δ 掺杂表面中的空穴的低片密度

[0088] 在 JPL 的 δ 掺杂表面的表面片密度的近期测量结果(导电性的测量)表明近表面 δ 掺杂层表现出比预期的低两个数量级的片密度,而深 δ 掺杂层的片密度在预期的范围内(见表 1)。表面分布通过次级离子质谱(SIMS)指示 δ 掺杂表面含有接近设计值 $2 \times 10^{14} \text{cm}^{-2}$ 的掺杂剂原子的片密度。这由于至少两个原因而提出问题:首先,因为导电性是衬底的基本功能,其应该由表面钝化层再产生;以及其次,低的表面导电性指示 δ 掺杂比

先前认为的鲁棒性要差。 δ 掺杂表面的低片密度因此展示对改进的表面钝化技术的需要并提供了用于评估本发明的技术的基础。

[0089] 0075 表 1 提供了 δ 掺杂表面与多层掺杂表面的基于片数量（表面导电性的测量）的比较。这代表了来自超高纯度硅衬底上的 MBE 生长层的数据，以便确保导电性测量结果准确地反映通过在表面钝化层中掺杂产生的移动电荷。

[0090] 表 1

[0091]

技术	结构	片数量 ($\times 10^{14} \text{ cm}^{-2}$)
δ 掺杂表面	浅 δ 层	0.05
	深 δ 层*	0.9
多层掺杂表面	两层多层	1.0
	四层多层	4.0

[0092] *注：深 δ 层的数据仅为了比较的目的而提供。深埋在表面下的 δ 层不适合于成像探测器的表面钝化，因为在表面区中丢失了太多的信号。

[0093] 掺杂剂补偿、化学机制和模型：评估用于表面钝化的多层掺杂的方法

[0094] 0076 上述的空穴和掺杂剂原子的片密度之间的差异指示对表面的接近度以某种方式补偿了 δ 掺杂层。对于该差异，至少有两个可能的原因。或者是在最接近表面的层中的绝大多数掺杂剂原子在电学上是不活跃的，或者空穴的绝大多数被表面固定。存在将导致这些可能性中的一种或两种的化学机制；此外，这些机制涉及氢，众所周知氢在硅氧化物中是无处不在的。通过亚表面氢进行表面掺杂剂原子例如硼的去活化在本领域是众所周知的。在表面氧化物中的空穴的注入和捕获也是众所周知的，且是相对大量的文献的主题。最近确定氧化物中的空穴的固定可以是一个离子而非电过程，因为将空穴注入到氧化物中导致氢从氧空位中释放，产生了一种称为 E 中心的缺陷，且又使氢进入与桥接的氧原子的稳定键合中，因此在氧化物中产生了固定的正电荷。这两个机制——去活化和固定——都因此与表面上或表面附近的氢有关。因此，导电性数据表明对 δ 掺杂的改进是必要的且提供了用于与模型比较的量化基础，而化学机制提供了对 δ 掺杂和多层掺杂硅的表面进行建模的有意义的起点。模型和数据共同提供了用于比较本发明的技术和现有技术的方式，且表明多层掺杂提供优于现有技术的显著的优势。

[0095] 对表面的量子力学行为进行建模

[0096] 表面的量子力学模型和新的 MBE 生长和特征数据一起提供了通过 δ 掺杂进行表面钝化的新见解，且说明了 δ 掺杂和其他最新水平的钝化技术的一些问题。对改进的 MBE 生长结构的计算和实验显示了借助于使用通过量子排斥进行表面钝化的概念来设计新的器件结构和方法实现的实际应用和优势。

[0097] 量子力学的原理和半导体带理论对于对中等规模的半导体结构中的多数载流子和少数载流子的行为建模是必需的，因此提供了组成、结构和电气行为之间的本质连接。

[0098] 对 MBE 生长层的近表面特性的计算对于说明通过量子排斥进行表面钝化的概念和应用是必需的。为了使理论与实验相联系,需要几个近似。这些近似对于使问题变得易于处理是必需的,因此模型计算的结果应被视为描述性的而非定量预测。已经做出了努力来使用已接受的模型并尽可能地吸收材料的大量细节和知识;然而,这里描述的器件和方法应基于特征和性能数据来评估,且并不基于模型的准确度来论好坏。

[0099] 由于纳米级掺杂分布、掺杂半导体的电势及以纳米长度标度的电子和空穴的波特性之间的关系,MBE 生长钝化层的理论分析需要量子力学模型来描述在 Si-SiO₂ 界面附近的电子和空穴的行为。在这里,我们使用 Schrodinger 和 Poisson 公式的自洽解来对近表面带结构建模;导带,包括 L 点(包括横向和纵向模型的划分)、X 点和 γ -点最小量都使用有效质量近似来建模;对于价带,使用 8 带 $k \cdot p$ 模型来合并带耦合效果。

[0100] 硅表面的多层钝化

[0101] 通过在硅表面上使多个 δ 掺杂层生长来实现多层掺杂,其中相邻的层之间的间隔足够小以允许层之间的量子力学耦合。量子力学耦合保持了 δ 掺杂的高量子效率,而多层掺杂与 δ 掺杂相比将表面导电性增大了两个数量级,并提供了表面与主体区之间的更大的隔离。MBE 生长层的导电性测量结果展示了方法和器件,通过所述方法和器件,表面导电性可增大两个数量级,同时实现并可能地改善表面与体硅的隔离,所述隔离对于有效的表面钝化是必要的。

[0102] 对多层掺杂建模并将其与 δ 掺杂比较

[0103] 为了建模的目的,表面处的空穴的固定将产生表面偶极子层,因为带电的掺杂剂原子在物理上与在表面处的电荷间隔开硅覆盖层的厚度。偶极子层产生了趋于将空穴束缚在半导体中而将电子束缚在表面处的电场;然而,偶极子层很窄,使得量子限制将被限制在表面处的电子的基态能量极大地增加到大多数状态被耦合到探测器的主体的导带状态的程度。相反,掺杂剂原子的去活化将有效地使它们变为中性,因此就电势的计算而言将它们从模型中去除。因此,为了跨过这些可能性,考虑了两种情况:首先,电荷的固定和强表面偶极子的产生,及其其次,在最接近表面的层中的掺杂剂的中性化和掺杂剂密度的减小。

[0104] 划分为区

[0105] 图中示出了电场和势能(图 4、图 5 和图 6)、空穴浓度(图 7 和图 8)、电子状态(图 9 到图 14)及鲁棒性(图 15 到图 20)。这些图通过将多层掺杂表面分为如下的 3 个区来示出本发明的技术的原理。

[0106] 化学界面

[0107] 表面区在一侧以 Si-SiO₂ 界面为界,在另一侧以 δ 掺杂层为界。Si-SiO₂ 界面的化学性质控制该区。第一掺杂层应该接近 Si-SiO₂ 界面,以使该区受到在少数载流子的计算的能量状态中的量子限制效应。在该区中的量子限制有助于最小化少数载流子的捕获。在氧化层中的空穴的捕获产生了固定的正电荷以及在 Si-SiO₂ 界面和第一掺杂层之间的表面偶极子区。在偶极子区中的电荷分离产生了强表面场。在表面中产生的氢可去活化在最接近表面的掺杂层中的掺杂剂。

[0108] 多层

[0109] 多层区是一个新区。虽然 δ 掺杂示出了在化学界面和物理界面之间的陡峭的边界,多层区插入了有限宽度的区,该区具有可被设计控制的特性。在一个实施方式中,通过

使几个而不是一个 δ 层生长,产生了“多层”耦合的量子阱。层之间的间隔优选地较窄,使得量子阱被耦合。如果层之间的间隔太大,载流子可能被捕获在单独的阱中,且量子效率将较低。掺杂剂片密度优选地较高,以便在主体和晶片表面之间获得良好的隔离。较高的势垒提供了隧穿的较好的抑制,且更牢靠,抵抗动态表面带电、损坏和其他环境影响。高的掺杂剂片密度也提供了高的导电性,这在 δ 掺杂表面中缺乏。

[0110] 物理界面

[0111] 该界面限定探测器的电子表面;它是在 MBE 生长之前存在的原始的探测器材料的起始部分,且由高纯度硅构成。这是光生少数载流子为了能被探测到而应该去的地方,且一旦它们到达那儿,多层区就需要提供极好的隧穿势垒以阻止它们返回。从多层区延伸到该区中的电场和由多层区产生的势垒的高度和宽度是在确定表面钝化的有效性时的关键参数。基于来自导电性数据的推断,通过 δ 掺杂产生的电场和势垒比预期的低很多。按照通过模型示出的和通过数据确认的各项标准,多层掺杂要远优于 δ 掺杂和任何其他现有技术。

[0112] 实现多层钝化的制造方法

[0113] 0087 因为多层掺杂需要在硅探测器的背表面上使多个掺杂层生长,先前为薄化和 δ 掺杂硅探测器而开发的方法可用于制备表面并使第一掺杂层生长。通过重复的生长工艺形成后续的掺杂层,以便在多层区中形成所需数目的掺杂层。虽然通过该方法形成的多层通常被视为周期性的,本发明的用于探测器钝化的多层掺杂技术不要求所有的层都被相同地形成。

[0114] 在一个优选实施方式中,用于多层掺杂的优选方法包括以下工艺步骤。注意,一些步骤可被添加、修改、删除或以不同的顺序执行,取决于不同的探测器设计的特定要求。

[0115] 1. 在通过框架薄化工艺(其中薄化留下了厚的框架以支撑薄化区)薄化晶片之前支撑探测器或通过薄化之前将探测器接合到机械支架,以便薄化整个器件。

[0116] 2. 例如使用用于硅晶片的标准清洁工艺例如 RCA 清洁工艺来清洁待薄化的表面。

[0117] 3. 例如通过一系列步骤来薄化探测器,这些步骤包括化学-机械抛光、使用加热的 KOH 溶液的化学蚀刻、使用氢氟酸和乙酸的混合物的化学蚀刻和使用 KMnO_4 溶液的蚀刻。

[0118] 4. 例如通过另一 RCA 清洁步骤(其后是 UV 臭氧清洁工艺)来清洁薄化的探测器的背表面。

[0119] 5. 例如通过将探测器放置在氮气环境中的旋转器上,并在旋转的同时将表面暴露于包括乙醇、HF 和乙醇的混合物及再一次乙醇的一系列化学物质来进行表面的氢钝化。

[0120] 6. 将器件装载到真空室中并抽气到超高真空压力。

[0121] 7. 在真空下将器件转移到 MBE 生长室中。

[0122] 8. 例如通过加热到 150°C 至少 10 分钟来在低温下使器件退火以从表面去除易挥发的化学物质。

[0123] 9. 加热到至少 380°C 且不超过 450°C 的温度。

[0124] 10. 使硅层生长作为缓冲层以产生原子级上清洁的硅表面。

[0125] 11. 停止硅生长。

[0126] 12. 可选地将器件冷却到低温,例如到 250°C 到 300°C 之间的温度以用于使 n 型多层生长。

[0127] 13. 执行多个 δ 层的重复生长:对于多层中的每一 δ 层,沉积掺杂剂原子直到达到期望的掺杂剂密度,停止掺杂剂原子的流动,并在 δ 层上使期望厚度的硅生长。例如, $2 \times 10^{14} \text{cm}^{-2}$ 的掺杂剂密度和 1 与 2nm 之间的硅层厚度可用于每个 δ 层。不要求每一层与前一层相同。

[0128] 14. 逐渐冷却器件,并将其从 MBE 室中移除。

[0129] 15. 用于氧化物形成和抗反射涂层的可选步骤,如对于特定的应用所必要的。

[0130] 16. 此时,完成了通过多层掺杂进行钝化,且可根据需要执行用于封装的附加步骤。

[0131] 图 21 是示出根据本发明的原理的具有多层掺杂的晶片 2100 的横截面的示意性的没有按比例的比例的图。在这个例子中,描述了硅半导体晶片,其上具有特意提供的半导体器件。在图 21 中,半导体器件(例如一个实施方式中的 CCD 阵列)被设置在晶片(在图 21 的底部示出)的层 2160 的自由表面上。通过箭头 2105 表示的照明光被预期从背表面侧(与设置半导体器件的表面相对)照射到晶片上。晶片的层 2150 表示其余的主体材料,具有在可选的薄化工艺应用于晶片 2100 的背侧之后出现的表面。在薄化的晶片上使层 2115、2125、2135 和 2145 及层 2120、2130 和 2140 生长。在所示的例子中,部分地填充暗色的层 2115、2125、2135 和 2145 表示 4 个包括某一密度的特意添加的掺杂剂种类(诸如硼的 p 型掺杂剂,或诸如磷或锑的 n 型掺杂剂)的掺杂层。晶片 2100 不需要确切地具有 4 个掺杂层,而是通常是数量为 M 的多个掺杂层,其中 M 为大于 1 的整数。M 个掺杂层中的掺杂剂片密度不需要相同,但在原理上可被选取为具有相同的片密度或不同的片密度。在 2115、2125、2135 和 2145 之间交错的层是 M-1(在这里, $M = 4, M-1 = 3$) 个层 2120、2130 和 2140,其没有被特意地掺杂(也称为“未掺杂层”),例如,没有特意添加的掺杂剂的实质上为硅的层。演示了 $M = 2, M = 3$ 和 $M = 4$ 的结构。层 2110 是晶片的最后一个半导体层,其在所有的层 2115 到 2145 都生长之后通过生长被提供,因此可在晶片 2100 的背表面上提供任何必要的电接触或光学抗反射层。可根据需要或在方便时将层 2100 掺杂。通常,数量为 M 的多个掺杂层 2115、2125、2135 和 2145 可与单个硅层(大约 2.5 埃)一样薄且可以以高达 $2 \times 10^{14} \text{cm}^{-2}$ 掺杂剂原子的片密度被掺杂。测量掺杂剂密度的一种方式片密度,其以每平方厘米的掺杂剂原子为单位被测量。没有被特意掺杂的 M-1 个层 2120、2130 和 2140 可具有在 5 埃到 40 埃的范围内的厚度,且优选地生长为具有在 10 埃到 30 埃的范围内的厚度。

[0132] 因为一些晶体生长方法通过动力学被控制且不是达到热动态平衡的过程,预期在一个不同的(第二)实施方式中使数量为 M 的多个掺杂层生长而无需在相邻的掺杂层之间提供 M-1 个交错的未掺杂层是可能的。这可能例如通过允许第一掺杂剂流撞击在生长表面上一段第一持续时间(由此提供少于完整的单层的掺杂剂)来实现,允许硅流撞击在生长表面上一段第二持续时间(由此完成晶体单层),然后通过分别使用第二掺杂剂流和第二硅流一段附加的持续时间来使另一单层生长。通过改变流量和撞击时间,可预期使具有一系列期望的掺杂剂片密度的一系列层生长。

[0133] 理论讨论

[0134] 虽然本文给出的理论描述被认为是正确的,但本文描述和主张的器件的操作不依赖于理论描述的精确性和有效性。即,基于与本文提出的理论不同的理论可解释观察到的结果的结果的后期理论发展将不会减损本文描述的本发明。

[0135] 说明书中指明的任何专利、专利申请或公开物特此通过引用被全部并入本文。被认为通过引用并入本文但是与现有的定义、陈述或本文明确阐述的其他公开材料冲突的任何材料或其部分仅在所合并的材料和本公开材料之间不产生冲突的程度上被合并。在冲突的情况下,冲突被解决,有利于本公开作为优选的公开物。

[0136] 虽然本发明通过参考附图中示出的优选模式被特别示出和描述,但本领域技术人员将理解,细节上的各种变化可能在其中被影响而不偏离由权利要求限定的本发明的精神和范围。

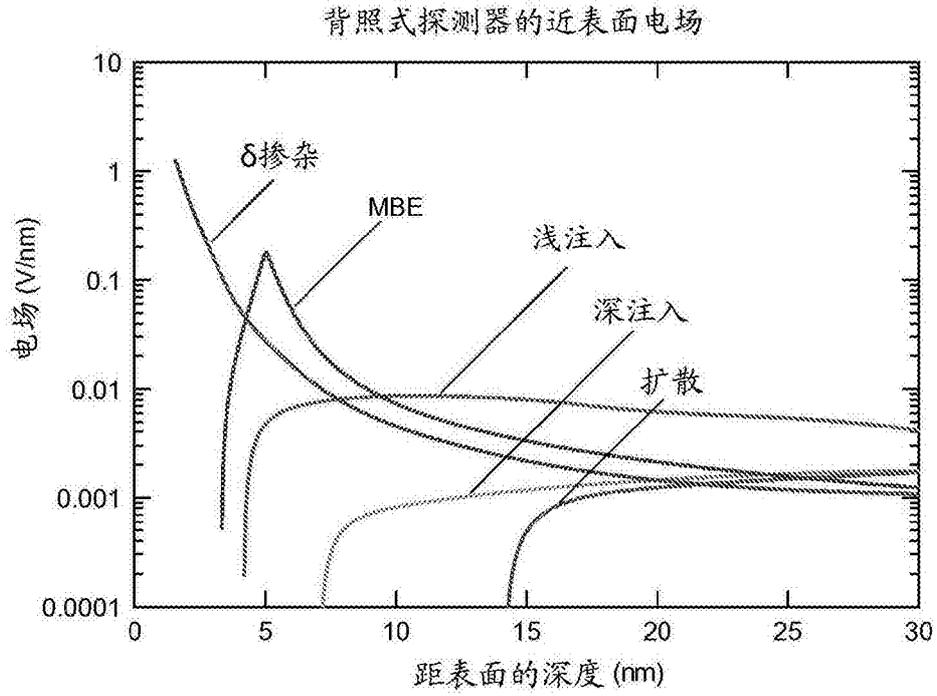


图 1

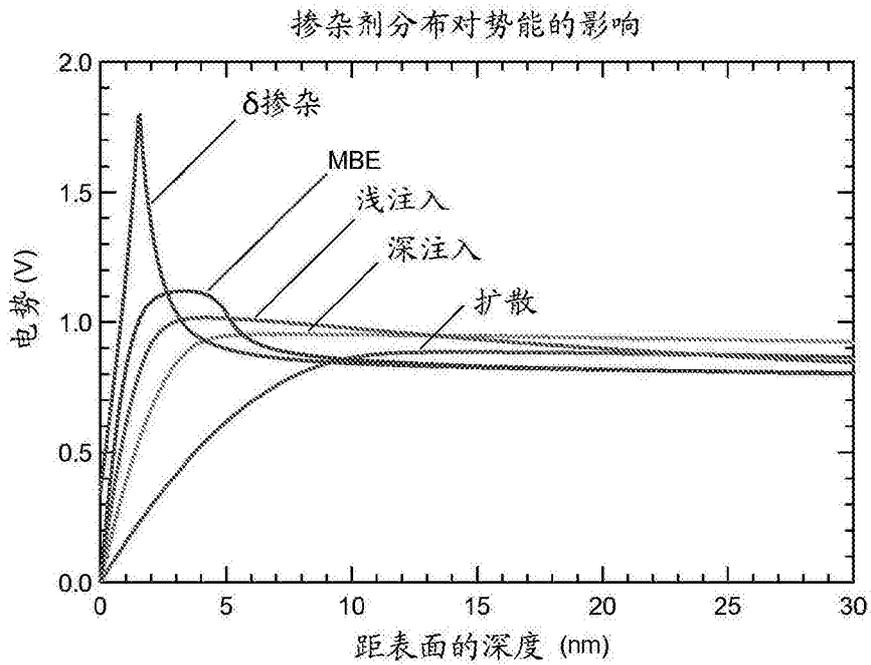


图 2

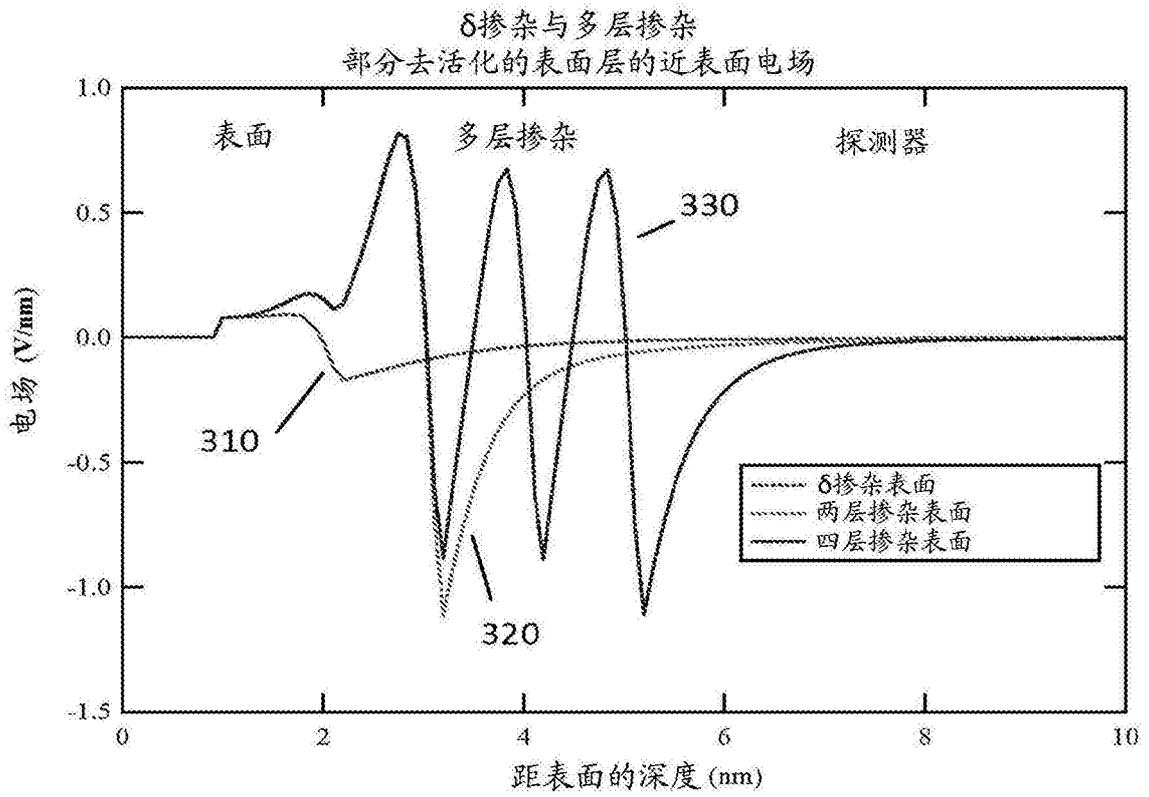


图 3

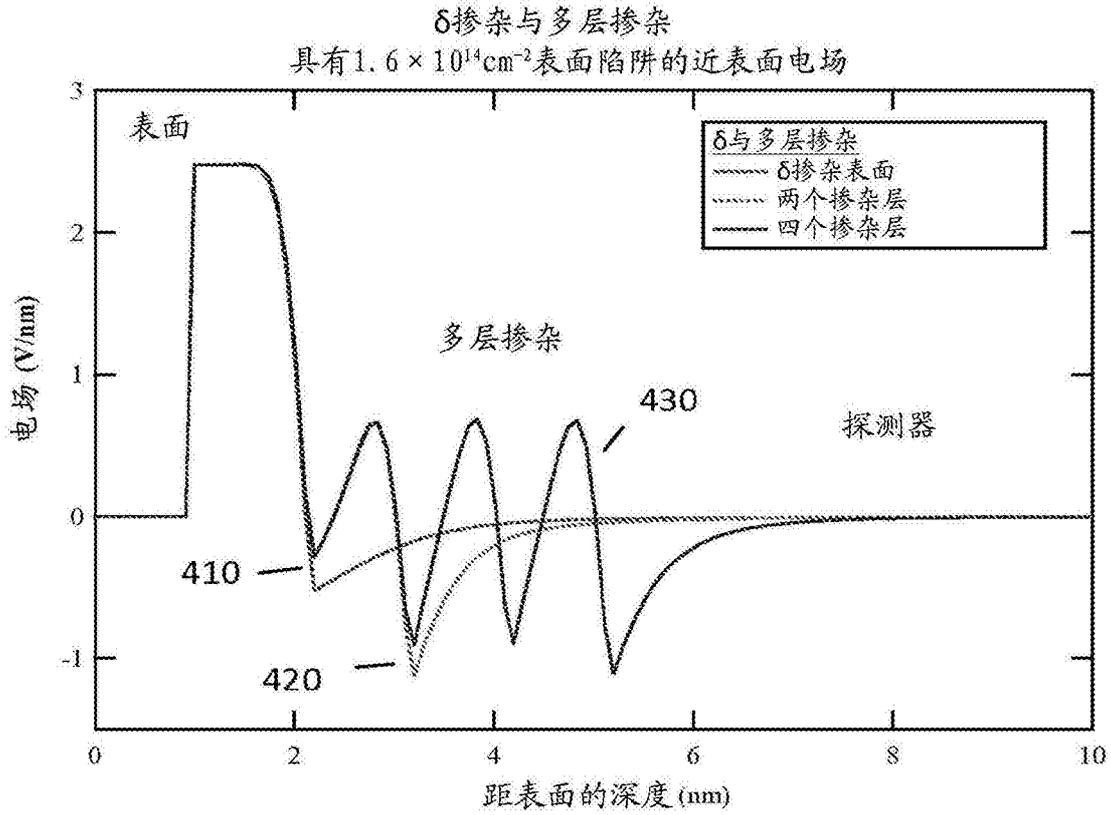


图 4

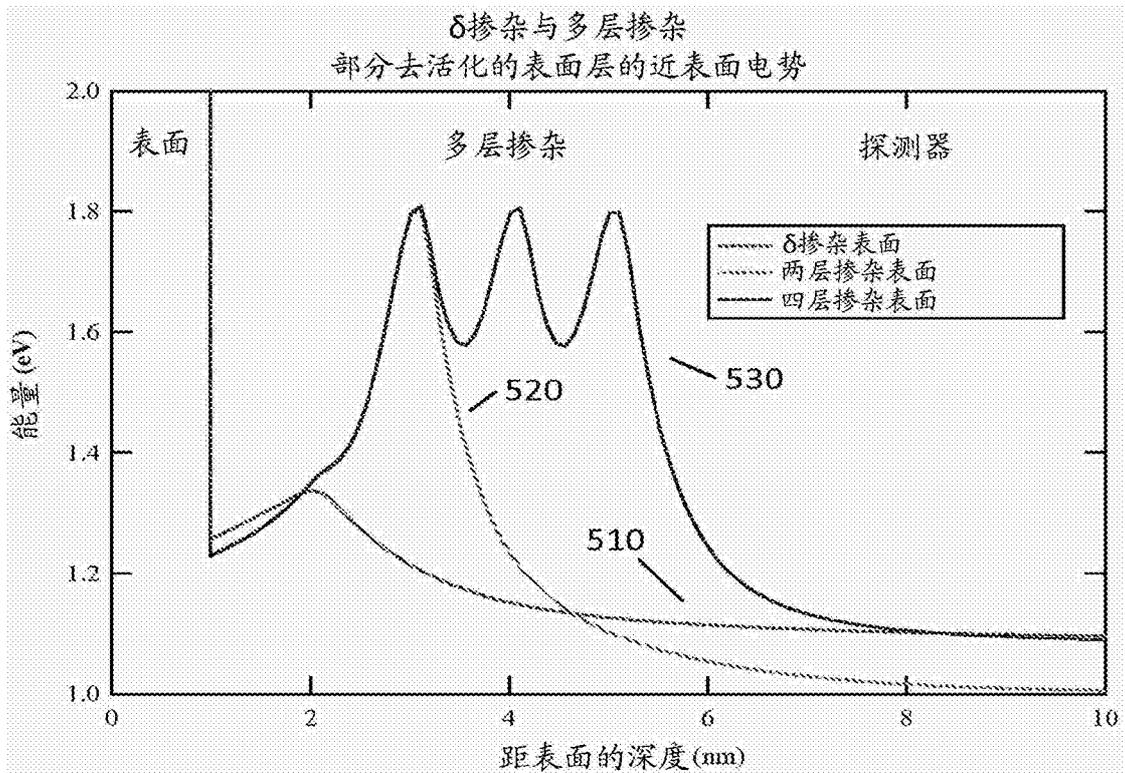


图 5

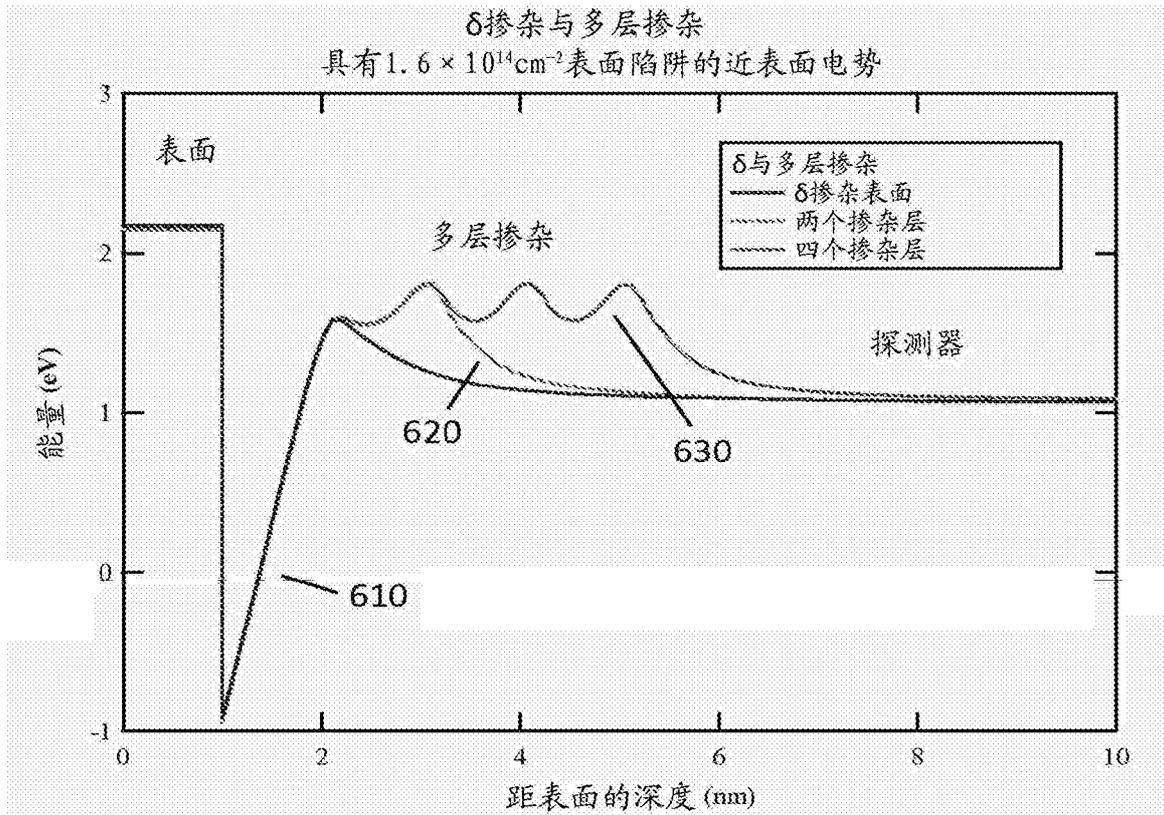


图 6

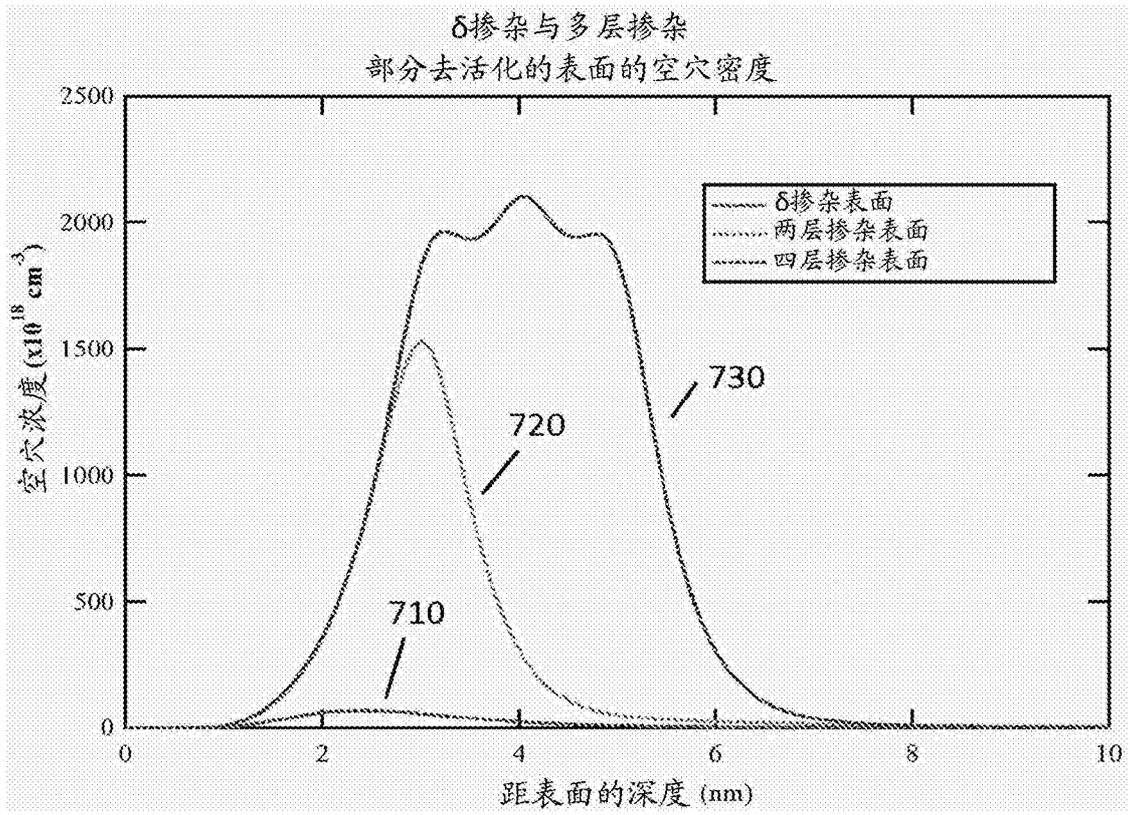


图 7

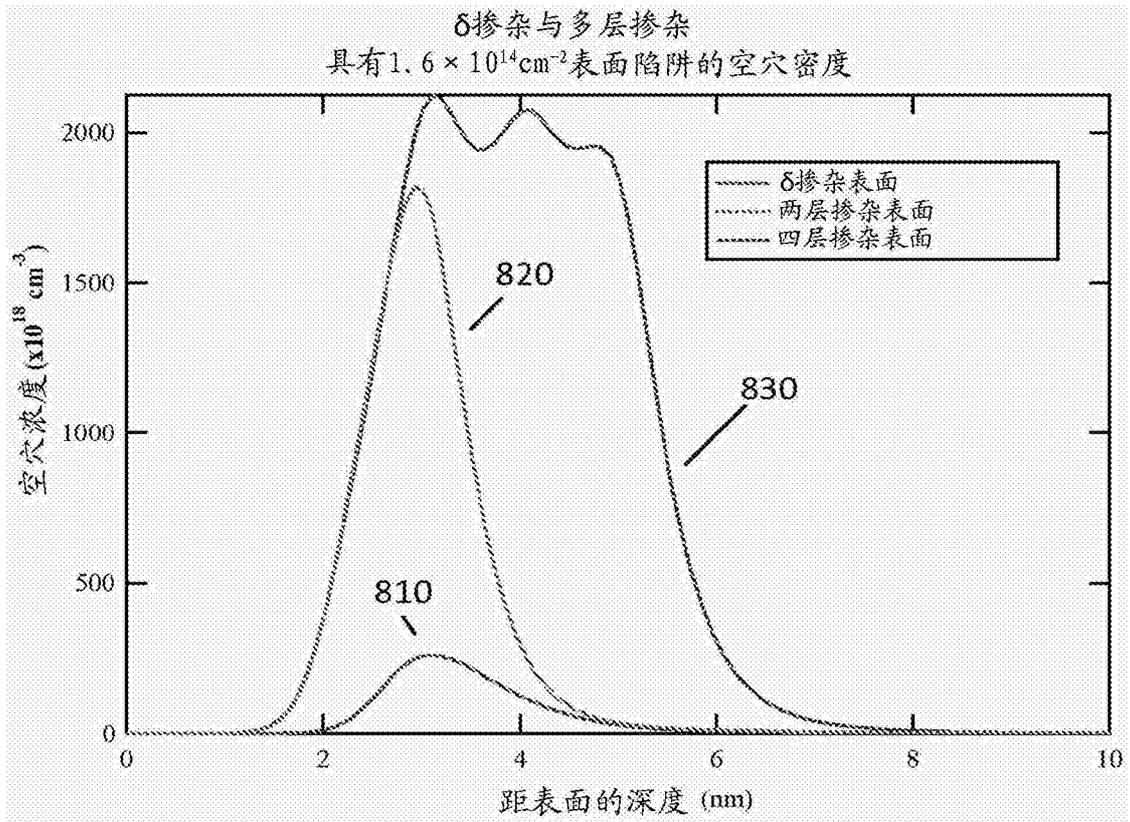


图 8

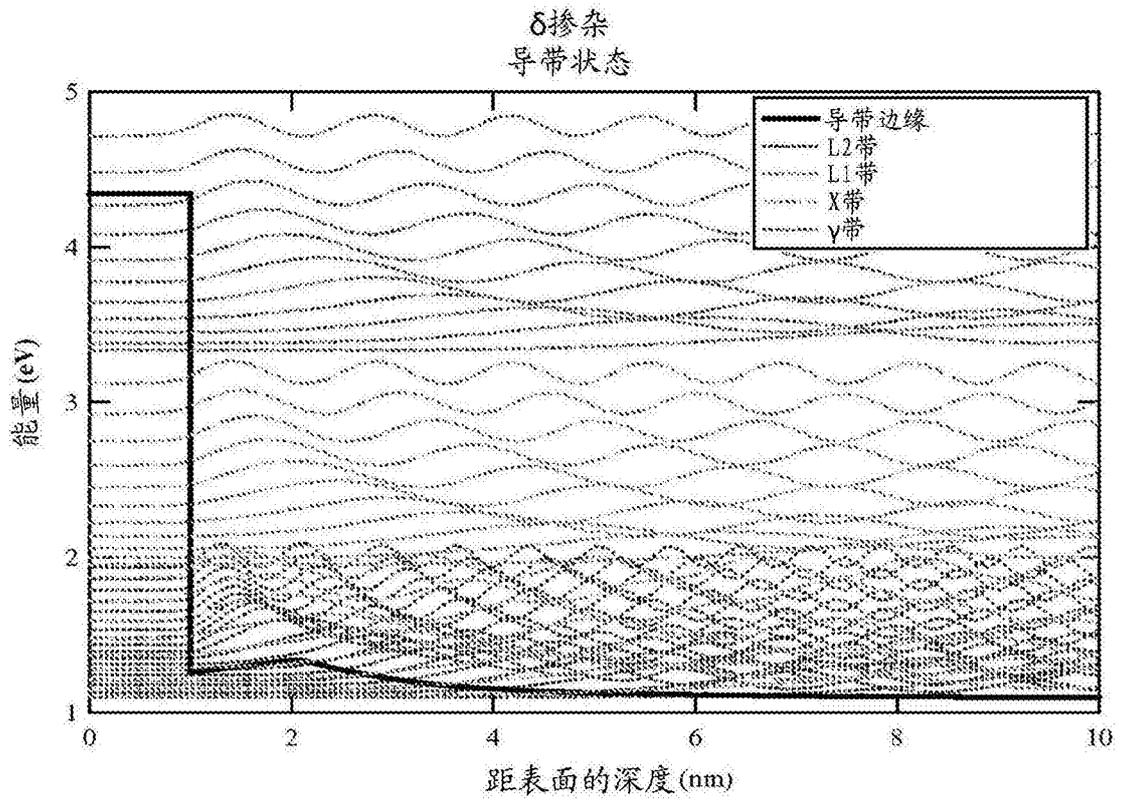


图 9

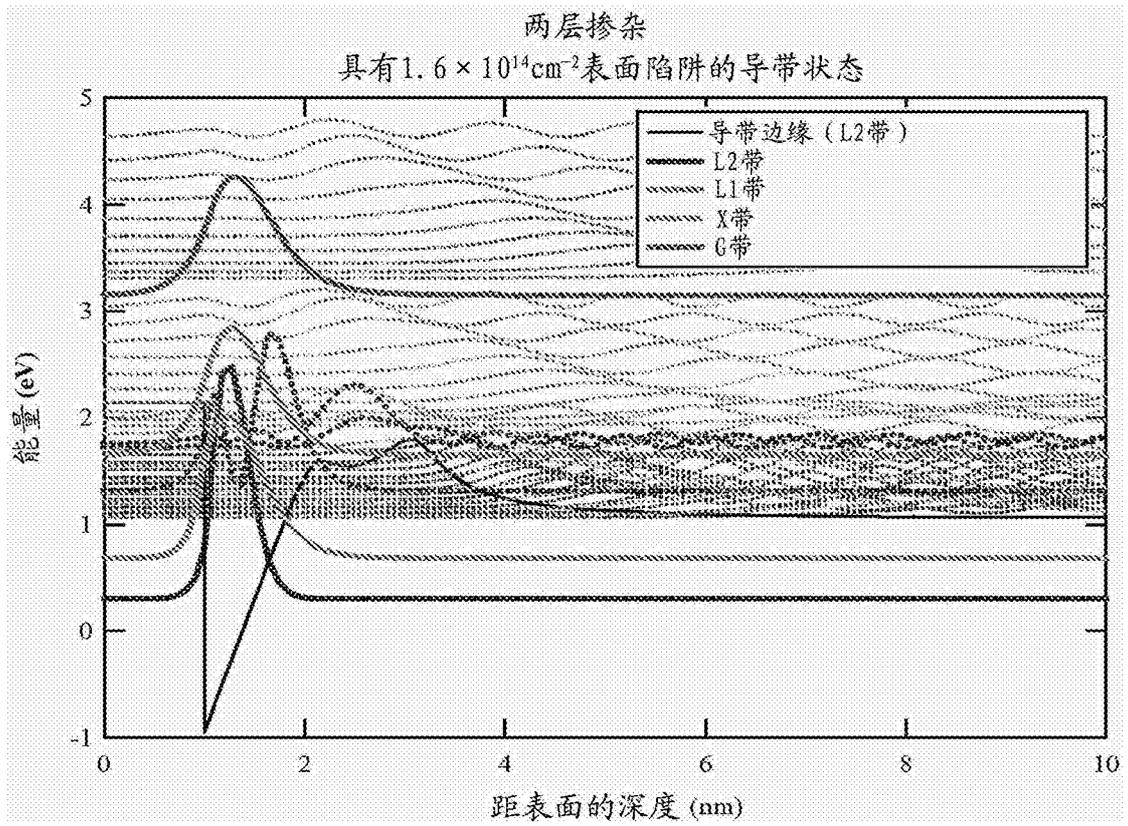


图 12

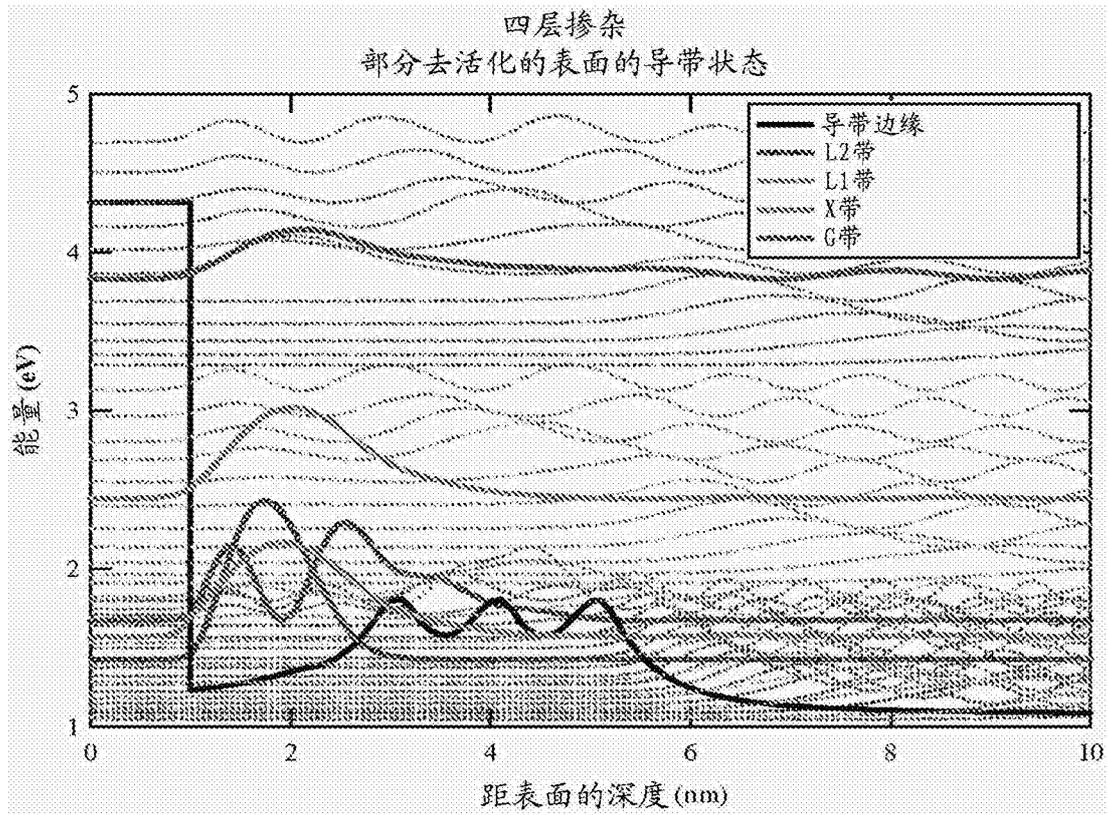


图 13

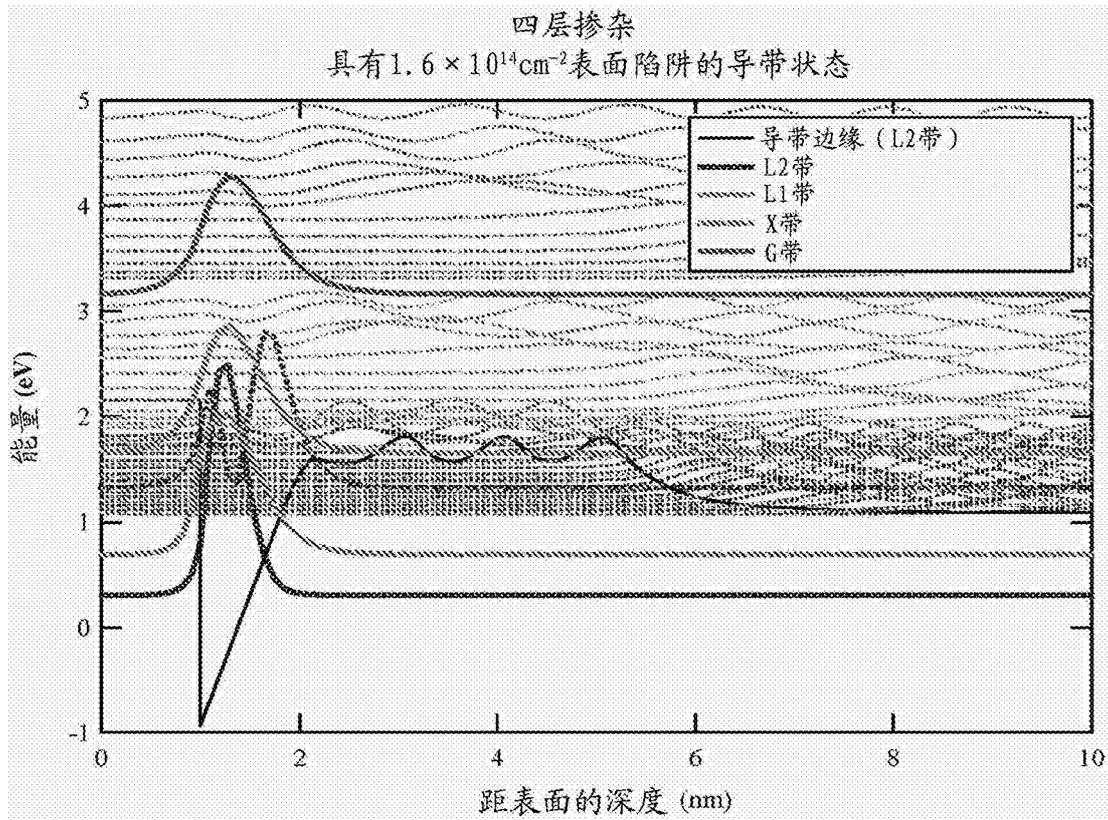


图 14

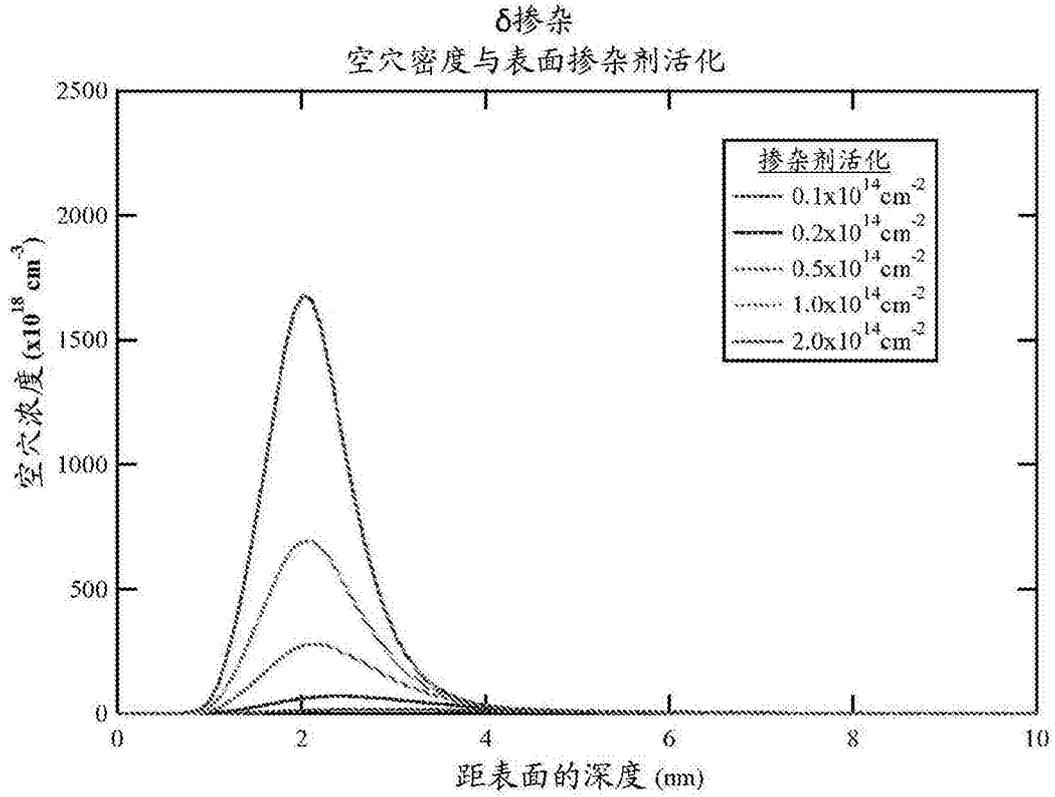


图 15

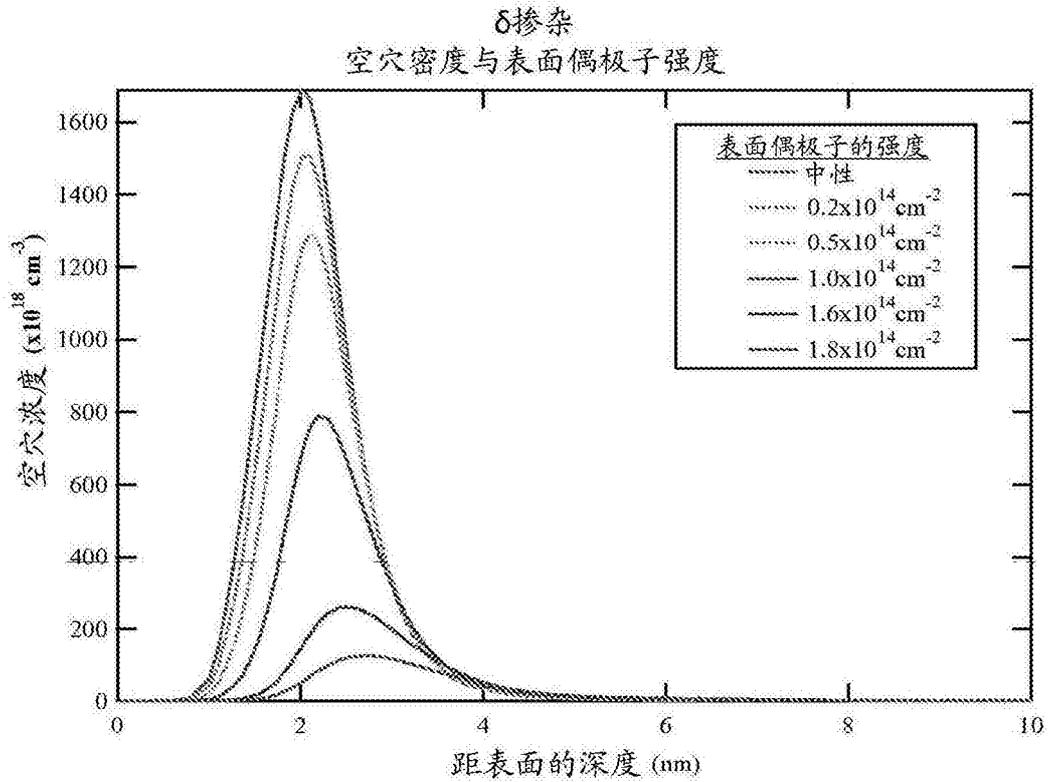


图 16

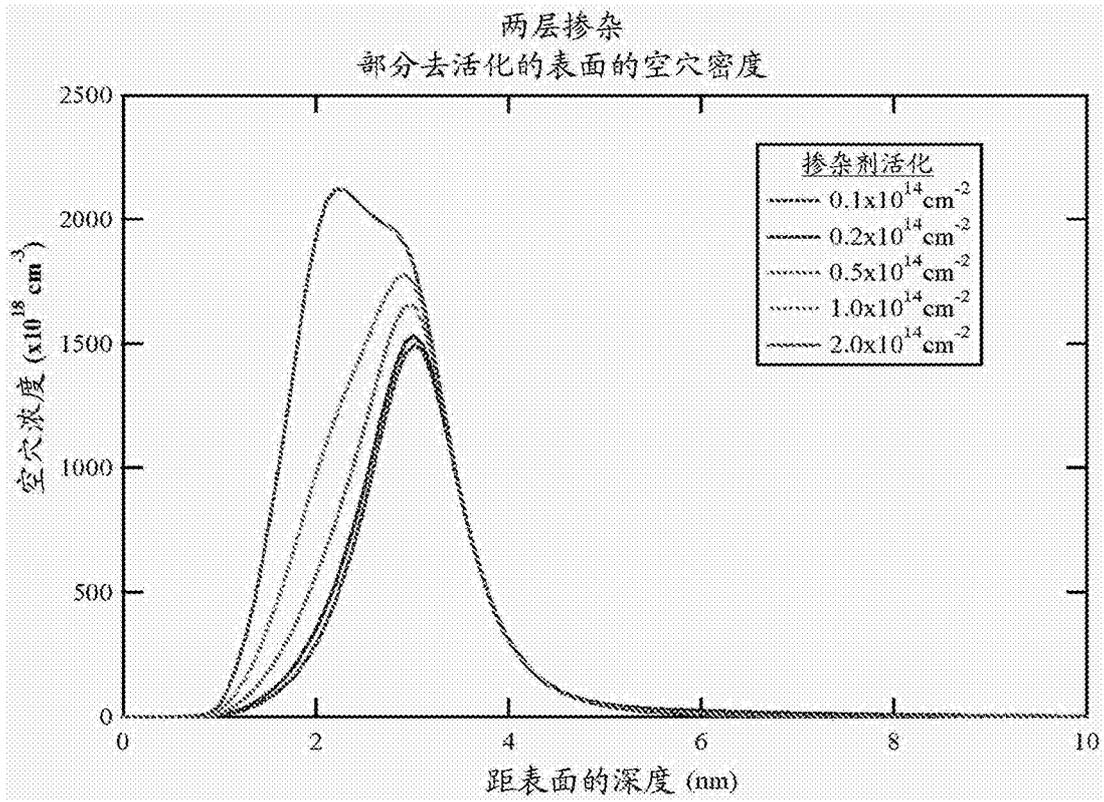


图 17

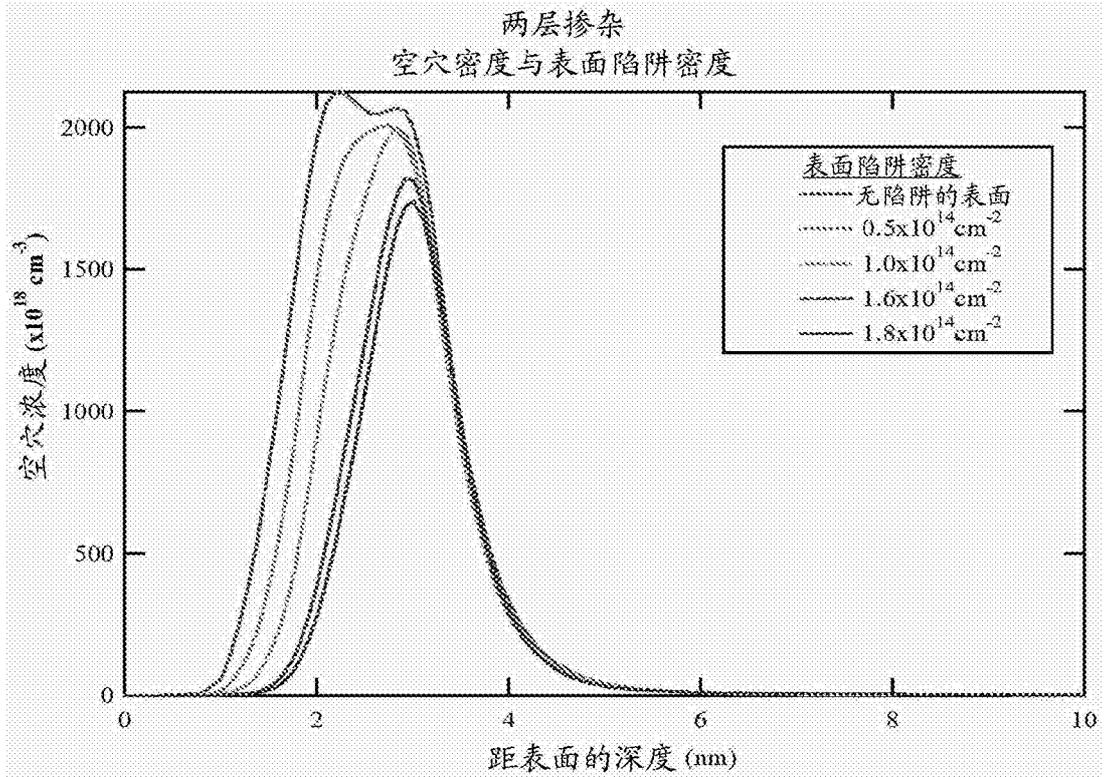


图 18

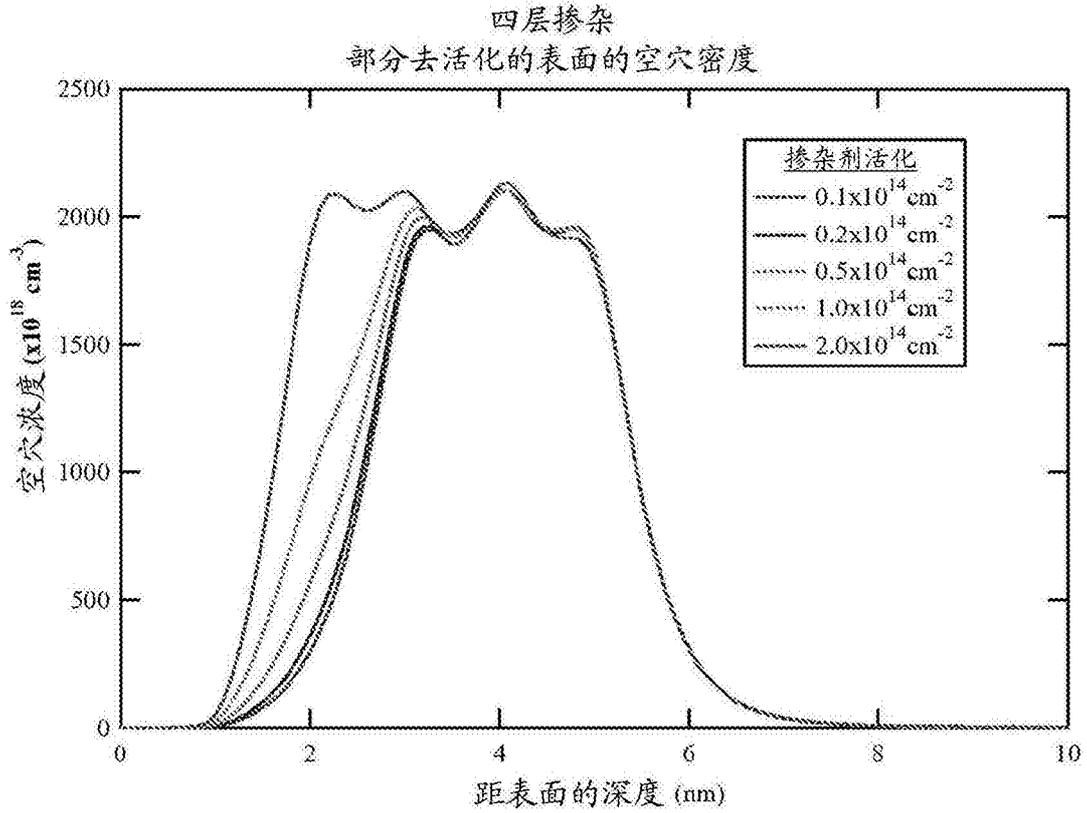


图 19

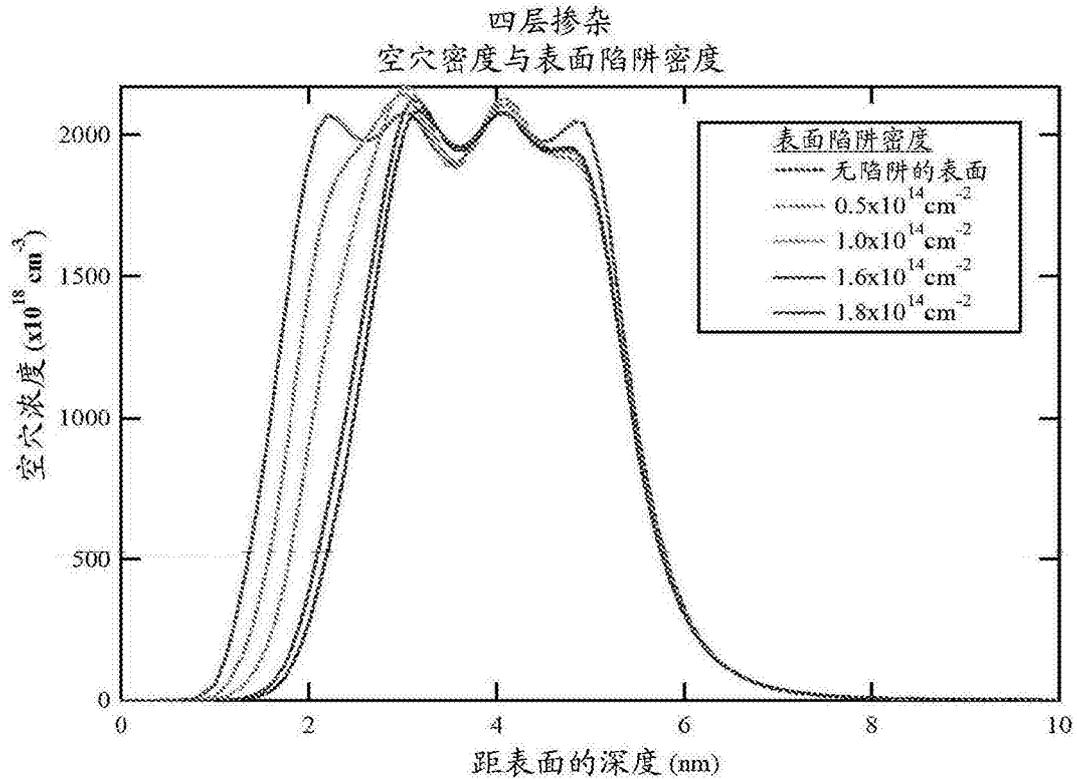


图 20

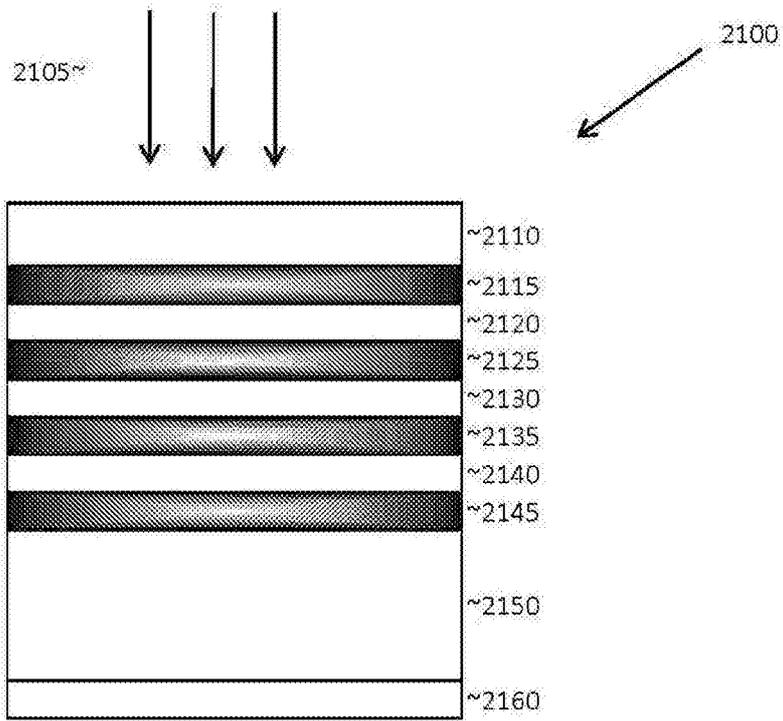


图 21