

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 3 区分

【発行日】平成30年10月18日 (2018.10.18)

【公表番号】特表2017-528977(P2017-528977A)

【公表日】平成29年9月28日 (2017.9.28)

【年通号数】公開・登録公報2017-037

【出願番号】特願2017-508668(P2017-508668)

【国際特許分類】

H 0 3 F 3/45 (2006.01)

H 0 3 G 3/10 (2006.01)

【 F I 】

H 0 3 F 3/45 Z

H 0 3 G 3/10 B

【手続補正書】

【提出日】平成30年9月5日 (2018.9.5)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

構成可能な増幅器であって、前記構成可能な増幅器は、
差動入力段と、

第 1 の論理状態を有するモード制御信号によって有効にされるように構成されている少なくとも 1 つの出力ドライバを備えている第 1 の出力ブロックと、

第 2 の論理状態を有する前記モード制御信号によって有効にされるように構成されている少なくとも 1 つの出力ドライバを備えている第 2 の出力ブロックと、

前記差動入力段、前記第 1 の出力ブロック、および前記第 2 の出力ブロックに結合されている複数のスイッチと、

前記差動入力段に結合されているバイアス回路と、

前記差動入力段に結合されている較正回路と

を備え、

前記モード制御信号の前記論理状態に少なくとも依存して、集積回路は、

第 1 のモードにおいて、前記差動入力段と前記第 1 の出力ブロックとをプログラマブル利得増幅器として一緒に結合するように前記複数のスイッチを制御し、所定の利得増幅設定に従って前記バイアス回路および前記較正回路を制御し、前記第 2 の出力ブロックを無効にすることと、

第 2 のモードにおいて、前記差動入力段と前記第 2 の出力ブロックとを演算増幅器として一緒に結合するように前記複数のスイッチのうちの少なくともある 1 つを制御し、所定の演算増幅設定に従って前記バイアス回路および前記較正回路を制御し、前記第 1 の出力ブロックを無効にすることと

を実行するように構成されている、構成可能な増幅器。

【請求項 2】

前記第 1 の出力ブロックは、第 1 の中間段および第 1 の出力段を備え、前記第 1 の中間段および前記第 1 の出力段の各々は、前記モード制御信号によって有効または無効にされるように構成され、前記第 2 の出力ブロックは、第 2 の中間段および第 2 の出力段を備え、前記第 2 の中間段および前記第 2 の出力段の各々は、前記モード制御信号によって無効

または有効にされるように構成されている、請求項 1 に記載の構成可能な増幅器。

【請求項 3】

前記バイアス回路は、前記第 1 のモードにあるとき、前記プログラマブル利得増幅器の構成のための第 1 のバイアスパラメータの組を有し、前記第 2 のモードにあるとき、前記演算増幅器の構成のための第 2 のバイアスパラメータの組を有する、請求項 1 に記載の構成可能な増幅器。

【請求項 4】

前記第 1 のバイアスパラメータおよび前記第 2 のバイアスパラメータは、バイアスメモリ内に記憶されている、請求項 3 に記載の構成可能な増幅器。

【請求項 5】

前記較正回路は、前記第 1 のモードにあるとき、前記プログラマブル利得増幅器の構成のための第 1 の較正パラメータの組を有し、前記第 2 のモードにあるとき、前記演算増幅器の構成のための第 2 の較正パラメータの組を有する、請求項 4 に記載の構成可能な増幅器。

【請求項 6】

前記第 1 の較正パラメータおよび前記第 2 の較正パラメータは、較正メモリ内に記憶されている、請求項 1 に記載の構成可能な増幅器。

【請求項 7】

前記第 1 の較正パラメータおよび前記第 2 の較正パラメータの各々は、入力オフセット較正パラメータを有する、請求項 6 に記載の構成可能な増幅器。

【請求項 8】

前記差動入力段の第 1 の入力および第 2 の入力は、集積回路の第 1 の外部接続および第 2 の外部接続に結合されている、請求項 1 に記載の構成可能な増幅器。

【請求項 9】

前記第 1 の出力ブロックの出力は、前記集積回路の第 3 の外部接続に結合されている、請求項 8 に記載の構成可能な増幅器。

【請求項 10】

前記第 2 の出力ブロックの出力は、前記集積回路の第 4 の外部接続に結合されている、請求項 8 に記載の構成可能な増幅器。

【請求項 11】

前記第 1 のモードと前記第 2 のモードとの間で選択するために前記モード制御信号を受信するモード選択入力をさらに備えている、請求項 1 に記載の構成可能な増幅器。

【請求項 12】

前記第 1 の出力ブロックおよび前記第 2 の出力ブロックのための補償ネットワークをさらに備えている、請求項 1 に記載の構成可能な増幅器。

【請求項 13】

マイクロコントローラ集積回路であって、前記マイクロコントローラ集積回路は、デジタルプロセッサおよびメモリと、
前記デジタルプロセッサに結合されているデジタル出力を有するアナログ / デジタルコンバータと、
請求項 1 ~ 12 のいずれか一項に記載の構成可能なアナログ増幅器と
を備えている、マイクロコントローラ集積回路。

【請求項 14】

前記第 1 の出力ブロックと前記アナログ / デジタルコンバータとの間に結合されているマルチプレクサをさらに備えている、請求項 13 に記載のマイクロコントローラ集積回路。

【請求項 15】

前記第 1 のモードおよび前記第 2 のモードのための前記複数のスイッチの開放設定および閉鎖設定を記憶するための構成レジスタをさらに備えている、請求項 13 に記載のマイクロコントローラ集積回路。

【手続補正２】

【補正対象書類名】明細書

【補正対象項目名】００１３

【補正方法】変更

【補正の内容】

【００１３】

本方法のさらなる実施形態によると、第１および第２のモードに対する差動入力段のためのバイアスパラメータをバイアスメモリに記憶するステップを含み得る。本方法のさらなる実施形態によると、第１および第２のモードに対する差動入力段のための入力オフセット較正パラメータをオフセットメモリ内に記憶するステップを含み得る。

本発明は、例えば、以下を提供する。

（項目１）

構成可能な増幅器であって、前記構成可能な増幅器は、

差動入力段と、

第１の出力ブロックと、

第２の出力ブロックと、

前記差動入力段、前記第１の出力ブロック、および前記第２の出力ブロックに結合されている複数のスイッチと

を備え、

前記差動入力段と前記第１の出力ブロックとは、前記複数のスイッチのうちの一定のものが第１のモードに配列されると、プログラマブル利得増幅器として一緒に結合され、

前記差動入力段と前記第２の出力ブロックとは、前記複数のスイッチのうちの前記一定のものが第２のモードに配列されると、演算増幅器として一緒に結合される、

構成可能な増幅器。

（項目２）

前記第１の出力ブロックは、第１の中間段および第１の出力段を備え、前記第２の出力ブロックは、第２の中間段および第２の出力段を備えている、項目１に記載の構成可能な増幅器。

（項目３）

前記差動入力段に結合されているバイアス回路をさらに備えている、項目１に記載の構成可能な増幅器。

（項目４）

前記バイアス回路は、前記第１のモードにあるとき、前記プログラマブル利得増幅器構成のための第１のバイアスパラメータの組を有し、前記第２のモードにあるとき、前記演算増幅器構成のための第２のバイアスパラメータの組を有する、項目３に記載の構成可能な増幅器。

（項目５）

前記第１および第２のバイアスパラメータは、バイアスメモリ内に記憶されている、項目４に記載の構成可能な増幅器。

（項目６）

前記差動入力段に結合されている較正回路をさらに備えている、項目１に記載の構成可能な増幅器。

（項目７）

前記較正回路は、前記第１のモードにあるとき、前記プログラマブル利得増幅器構成のための第１の較正パラメータの組を有し、前記第２のモードにあるとき、前記演算増幅器構成のための第２の較正パラメータの組を有する、項目５に記載の構成可能な増幅器。

（項目８）

前記第１および第２の較正パラメータは、較正メモリ内に記憶されている、項目６に記載の構成可能な増幅器。

（項目９）

前記第 1 および第 2 の較正パラメータの各々は、入力オフセット較正パラメータを有する、項目 5 に記載の構成可能な増幅器。

(項目 1 0)

前記差動入力段の第 1 および第 2 の入力は、集積回路の第 1 および第 2 の外部接続に結合されている、項目 1 に記載の構成可能な増幅器。

(項目 1 1)

前記第 1 の出力ブロックの出力は、前記集積回路の第 3 の外部接続に結合されている、項目 1 0 に記載の構成可能な増幅器。

(項目 1 2)

前記第 2 の出力ブロックの出力は、前記集積回路の第 4 の外部接続に結合されている、項目 1 0 に記載の構成可能な増幅器。

(項目 1 3)

前記第 1 のモードと前記第 2 のモードとの間で選択するためのモード選択入力をさらに備えている、項目 1 に記載の構成可能な増幅器。

(項目 1 4)

前記第 1 および第 2 の出力ブロックのための補償ネットワークをさらに備えている、項目 1 に記載の構成可能な増幅器。

(項目 1 5)

マイクロコントローラ集積回路であって、前記マイクロコントローラ集積回路は、デジタルプロセッサおよびメモリと、

前記デジタルプロセッサに結合されているデジタル出力を有するアナログ / デジタルコンバータ (A D C) と、

構成可能なアナログ増幅器と

を備え、

前記構成可能なアナログ増幅器は、

差動入力段と、

第 1 の出力ブロックと、

第 2 の出力ブロックと、

前記差動入力段、前記第 1 の出力ブロック、および前記第 2 の出力ブロックに結合されている複数のスイッチと

を備え、

前記差動入力段と前記第 1 の出力ブロックとは、前記複数のスイッチのうちの一定のものが第 1 のモードに配列されると、プログラマブル利得増幅器として一緒に結合され、

前記差動入力段と前記第 2 の出力ブロックとは、前記複数のスイッチのうちの一定のものが第 2 のモードに配列されると、演算増幅器として一緒に結合され、

前記プロセッサは、前記第 1 および第 2 のモードを制御する、

マイクロコントローラ集積回路。

(項目 1 6)

前記第 1 の出力ブロックと前記 A D C との間に結合されているマルチプレクサをさらに備えている、項目 1 5 に記載のマイクロコントローラ集積回路。

(項目 1 7)

前記第 1 および第 2 のモードのための前記複数のスイッチの開放および閉鎖設定を記憶するための構成レジスタをさらに備えている、項目 1 5 に記載のマイクロコントローラ集積回路。

(項目 1 8)

複数の外部接続を有する集積回路パッケージをさらに備えている、項目 1 5 に記載のマイクロコントローラ集積回路。

(項目 1 9)

前記差動入力段の第 1 および第 2 の入力は、前記複数の外部接続のうちの第 1 および第 2 のものに結合されている、項目 1 8 に記載のマイクロコントローラ集積回路。

(項目 2 0)

前記第 1 の出力ブロックの出力は、前記複数の外部接続のうちの第 3 のものに結合されている、項目 1 8 に記載のマイクロコントローラ集積回路。

(項目 2 1)

前記第 2 の出力ブロックの出力は、前記複数の外部接続のうちの第 4 のものに結合されている、項目 1 8 に記載のマイクロコントローラ集積回路。

(項目 2 2)

前記第 1 のモードと前記第 2 のモードとの間で選択するためのモード選択入力をさらに備えている、項目 1 8 に記載のマイクロコントローラ集積回路。

(項目 2 3)

前記モード選択入力に結合されている前記複数の外部接続のうちの第 5 のものをさらに備えている、項目 2 2 に記載のマイクロコントローラ集積回路。

(項目 2 4)

プログラマブル利得増幅器または演算増幅器として増幅器を構成する方法であって、前記方法は、

差動入力段を提供するステップと、

前記差動入力段の出力に切り替え可能に結合されている入力を有する第 1 の出力ブロックを提供するステップと、

前記差動入力段の出力に切り替え可能に結合されている入力を有する第 2 の出力ブロックを提供するステップと、

前記差動入力段、前記第 1 出力ブロック、および前記第 2 の出力ブロックに結合されている複数のスイッチを提供するステップと、

前記複数のスイッチが第 1 のモードに配列されているとき、前記差動入力段と前記第 1 の出力ブロックとをプログラマブル利得増幅器として一緒に結合するステップと、

前記複数のスイッチが第 2 のモードに配列されているとき、前記差動入力段と前記第 2 の出力ブロックとを演算増幅器として一緒に結合するステップと

を含む、方法。

(項目 2 5)

前記第 1 および第 2 のモードに対する前記差動入力段のためのバイアスパラメータをバイアスメモリに記憶するステップをさらに含む、項目 2 4 に記載の方法。

(項目 2 6)

前記第 1 および第 2 のモードに対する前記差動入力段のための入力オフセット校正パラメータをオフセットメモリ内に記憶するステップをさらに含む、項目 2 4 に記載の方法。