公告本

申請日期	90.12.31
案號	90133381
類別	H01S 3/00

（以上各欄由本局填註）

A4
C4

517416

發明 新型 專利說明書

一、發明名稱	中文	用於直立腔表面發光雷射之可靠度增進層
	英文	RELIABILITY-ENHANCING LAYERS FOR VERTICAL CAVITY SURFACE EMITTING LASERS
二、發明人	姓名	(1)約翰・賀尼曼 (2)鄧吉
	國籍	(1)英國(2)中國大陸
	住、居所	(1)美國加州聖塔羅莎・貝蒙特路5224號 (2)美國加州聖約瑟・茉蒂安巷3433號
三、申請人	姓名（名稱）	美商・安捷倫科技公司
	國籍	美國
	住、居所（事務所）	美國加州帕羅亞托・佩吉密爾路395號
	代表人姓名	瑪利O. 休柏

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

（由本局填寫）

承辦人代碼：	A6 B6
大　　類：	
ＩＰＣ分類：	

本案已向：

美　國（地區）　申請專利，申請日期：2001,04,23　案號：09/840,592，☑有　☐無主張優先權

有關微生物已寄存於：　　，寄存日期：　　，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝　訂　線

經濟部智慧財產局員工消費合作社印製

五、發明說明（1）

技術領域

本發明係有關於一種用於直立腔表面發光雷射之可靠度增進層，及其製造方法。

背景

一種直立腔表面發光雷射(VCSEL)係一種由夾置在一對高反射性鏡面疊片之間之光學活性半導體層(例如AlInGaAs或InGaAsP)所形成之雷射裝置，其可由金屬材料層、介電材料層或外延生長之半導體材料層所形成。通常，其中一個鏡面疊片之反射性係做得比另一鏡面疊片之反射性低，使得在鏡面疊片之間形成之一共振腔中產生之相干光之一部份可自該裝置射出。通常，一直立腔表面發光雷射係自共振腔之頂表面或底表面射出光束發散度相當小之雷射光。直立腔表面發光雷射(VCSEL)可成單線排列，或成一度或二度空間陣列，可在晶圓上測試，並且容易用於一光學收發模組及與一光纖電纜結合。

概言之，一直立腔表面發光雷射(VCSEL)依其特徵可為一種增益導引(gain-guided)之直立腔表面發光雷射或一種指標導引(index-guided)之直立腔表面發光雷射。嵌入型(implant)直立腔表面發光雷射為市售之增益導引VCSEL中最常見者。一嵌入型VCSEL包括一或多個高電組嵌入區，以達到電流封閉及寄生電流之降低。另一方面，一種氧化物VCSEL為最常見之指標導引(側向及垂向)之VCSEL。氧化物VCSEL包括氧化物層(以及可能有嵌入區)以達到電流封閉及光學封閉。

五、發明說明（2）

直立腔表面發光雷射及直立腔表面發光雷射陣列已被成功地開發作為單一模式操作及在多種不同波長(例如650nm、850nm、980nm、1300nm及1550nm)下之多重模式操作。然而，直立腔表面發光雷射技術在商業上的成功，有很大一部份將依賴具有高性能及高可靠性特徵之直立腔表面發光雷射結構之發展。

已有人提出各種技術，以改良多種不同之半導體雷射裝置，包括直立腔表面發光雷射及邊緣發光雷射之性能及可靠性。

例如，美國專利第5,838,705號揭露直立腔表面發光雷射裝置(即非平面凸脊式VCSEL及平面嵌入式VCSEL)，其包括一或多層缺陷制止(defect inhibition)層，其係分別位在形成於活化區相反側之兩金屬包層之一。依據該'705號專利，該缺陷制止層可位在活化區外部之任何位置上。然而，缺陷制止層之較佳之位置係緊鄰活化區之兩側以提供 一屏障，以防止形成於活化區之外之缺陷通過而進入活化區。缺陷制止層係由會在VCSEL裝置中誘發應變之含銦材料形成。此應變被認為會阻止缺陷移動至活化區，或者會吸引、然後捕捉缺陷制止層中之缺陷。

美國專利第4,984,242號揭露一種GaAs/AlGaAs邊緣-發光雷射，其包括至少一含銦之金屬包層。依據該'242號專利，銦產生了一種局部之應變場，該應變場足以減少並有效地阻止缺陷遷移經過金屬包層。含銦之應變層可與活化區間隔開，亦可位在與活化區相鄰處。含銦層可被加至

五、發明說明（3）

活化區屏障層以改良邊緣-發光雷射之性能。在一實施例中，在整個邊緣-發光雷射混雜結構中均勻地摻雜鋁以阻礙晶格中缺陷之生長及遷移。另一實施例中具有鋁在一罩覆層，以降低表面工作功能，且藉此，降低一覆蓋於上之金屬層之接觸電阻。該'242號專利並未教示或建議將鋁使用於一直立腔表面發光雷射中，亦未教示或暗示鋁如何能轉用於一直立腔表面發光雷射構造。

概要

本發明之特徵在於可在一直立腔表面發光雷射結構中之一或多個重要位置執行特定功能以減少或防止可能會降低直立腔表面發光雷射之性能之缺陷之形成或遷移，其係藉由增加鏡面疊片中之光學吸收或降低活化區之電光性質。特別是，該可靠度增進層之形成是為了在直立腔表面發光雷射結構中執行下列之一或多種功能:吸收(即，自臨界區中除去缺陷及雜質)、應變平衡(即，補償該結構中之晶格錯配以使應變減至最小)，以及缺陷消除(即，阻擋／減少缺陷之形成／在生長過程中、製程中或裝置操作過程之遷移)。依照策略將一或多個具有適當構形之可靠度增進層相對於一經確認之缺陷來源而放置，本發明能將VCSEL構造改變成可增進VCSEL裝置之可靠性及性能者。

就一觀點而言，本發明之特徵為一種直立腔表面發光雷射(VCSEL)，其包括一第一鏡疊片、一第二鏡疊片及一位在第一鏡面疊片與第二鏡面疊片間且包括一活化區之空

五、發明說明（4）

穴區。該直立腔表面發光雷射亦包括一缺陷來源及一與缺陷源相對設置之可靠度增進層，以減少一或多個VCSEL區因缺陷誘發之降級。

依據本發明此一觀點之實施例可能包括下列特徵中之一或多者。

可靠度增進層可位於缺陷源及空穴區之間，亦可位在缺陷源中，或靠近缺陷源處(在其上方、下方或上方與下方)。

“空穴區”用於本文中係指具有活化區及隔離層之直立腔表面發光雷射構造。

可靠度增進層可包括下列元素之一或多個:銦、硼、磷、銻及氮。可靠度增進層可與環繞層呈晶格匹配。或者，可靠度增進層可包括一或多層應變層。可靠度增進層可包括一超晶格，其可具有張應變、壓應變或應變補償。可靠度增進層可藉非可靠度增進層而隔開。

缺陷源可包括下列之一或多者：直立腔表面發光雷射之氧化部、直立腔表面發光雷射之嵌入區、直立腔表面發光雷射之曝光區、一或多層介電層、直立腔表面發光雷射之摻雜區以及基材。

可靠度增進層可為能將由缺陷源產生之應變平衡之構形。例如，缺陷源可包括一誘發壓應變場之氧化物區，而可靠度增進層可位於壓應變場中，且特徵為具有能大致平衡壓應變場之抗拉應變。

在某些實施例中，缺陷源產生一會誘發缺陷遷移之濃

五、發明說明（5）

度梯度。在這些實施例中，可靠度增進層可形成為能減少缺陷遷移之構形。例如，缺陷源可具有相當高之第五族空位濃度，在此種狀況下，可靠度增進層較佳地具有較低之空位缺陷擴散速率。

就另一觀點而言，本發明之特徵在於製造一直立腔表面發光雷射之方法。依據此方法，形成一第一鏡面疊片、形成一第二鏡面疊片，並在其間形成一具有活化區之空穴區。形成一缺陷源，而可靠度增進層係相對於缺陷源而設置以減少一或多個VCSEL區之缺陷誘發之降級。

從以下之敘述，包括圖式及申請專利範圍，將可清楚瞭解本發明之其它特徵及優點。

圖式之敘述

第1圖為一VCSEL構造之一部份之剖面側視圖。

第2A圖為一平面氧化物VCSEL之頂視圖，其具有一可靠度增進層，在一第一鏡面疊片之氧化區及一空穴區之間。

第2B圖為第2A圖中之平面氧化物VCSEL沿2B-2B線之剖面側視圖。

第2C圖為第2A圖中之平面氧化物VCSEL沿2C-2C線之剖面側視圖。

第3圖為一指標-導引之氧化物VCSEL之剖面側視圖，其具有一位在一第一鏡面疊片之氧化區與一活化區之間之可靠度增進層。

第4圖為一增益-導引之嵌入型VCSEL之剖面側視圖，

五、發明說明（6）

其具有一位在一第一鏡面疊片之嵌入區與一活化區之間之可靠度增進層。

詳細說明

在以下的說明中，相似的標號係用來標示同似的元件。而且，圖式係以圖表示之方式來說明例示之實施例之主要特徵。圖式並不欲描述實際實施例之每一特徵，亦不顯示所描述之元件之相對尺寸，且圖式並非依比例而畫。

參考第1圖，一概略代表之實施例中，一直立腔表面發光雷射(VCSEL)10包括一空穴區12，其係夾置在一第一鏡面疊片14與一形成於一基材18上之第二鏡面疊片16之間。空穴區12包括夾置於一對隔離層22、24之間之一或多層活化層20(例如，一量子井或一或多個量子點)。在其它實施例中，活化層20可位在一單一隔離層之上方或下方。一對電接點28、30使VCSEL10可被一適當之驅動電路所驅動。在操作上，經由橫跨電接點28、30施加操作電壓以在VCSEL10中產生一電流。概言之，電流流經VCSEL結構之一中央區域，而激光之產生係發生在空穴區12(以下稱"活化區")之中央部。如下述實施例所示，一封閉區(例如，一氧化物區或一嵌入區，或二者)可對載波及光子提供側向之限制。載波之限制係由於封閉區之高電阻率，其造成電流優先流經VCSEL10之一位在中央之區域。在氧化物VCSEL，光學之封閉係由於封閉區之反射率明顯降低，而產生了一側向之反射率輪廓，以導引空穴區12中產生之光子，而在嵌入型VCSEL中，光學封閉主要係由於

五、發明說明（7）

熱透鏡效應及射出載波分布。載波及光學側向封閉增加了活化區中載波及光子之密度，因此，提高了光在活化區中生成之效率。在某些實施例中，封閉區係環繞著VCSEL10之一中央區，而界定出一較佳地可供VCSEL電流通過之穿孔。在其它實施例中，氧化物層可被用來作為VCSEL結構中分布之布喇格(Bragg)反射鏡之一部份。

活化層20可由AlInGaAs(即AlInGaAs、GaAs、AlGaAs及InGaAs)、InGaAsP(即InGaAsP、GaAs、InGaAs、GaAsP及GaP)、GaAsSb(即GaAsSb、GaAs及GaSb)、InGaAsN(即InGaAsN、GaAs、InGaAs、GaAsN及GaN)或AlInGaAsP(即AlGaAsP、AlInGaAs、AlGaAs、InGaAs、InGaAsP、GaAs、InGaAs、GaAsP及GaP)形成。亦可使用其它量子井層組成物。第一及第二隔離層22、24可由依據活化層之組成物之材料而選擇之材料形成。第一及第二鏡面疊片14、16各具有一不同反射率材料交替層之系統，其形成一設計用於一所需之操作雷射光波長(例如650nm至1650nm之波長範圍)之分布之布喇格反射鏡(DBR)。例如，第一及第二鏡面疊片14、16可由交替之高鋁含量之AlGaAs層及低鋁含量之AlGaAs層形成。第一及第二鏡面疊片層14、16較佳地具有一有效之光學厚度(即，該層之厚度加上該層之反射率)，其大約為操作雷射光波長之1/4。基材18可由GaAs、InP、藍寶石(Al_2O_3)或InGaAs形成，且可為未經摻雜者、經摻雜之n-型(例如，摻矽)或經摻雜之p-型(例如，摻鋅)。一緩衝層32可在VCSEL10形成之前在基材18上生成。在

五、發明說明（8）

第1圖所示之代表性實施例中，第一及第二鏡面疊片14、16係設計使得雷射光係自VCSEL10之頂表面射出；在其它實施例中，鏡面疊片可被設計成使得雷射光係自基材18之底表面射出。

VCSEL可藉由習用之外延生長方法形成，例如有機金屬蒸氣沈積(MOCVD)及分子束外延(MBE)。VCSEL10可包括一種台式構造，其係藉由向下蝕刻至至少達VCSEL10之封閉區而形成。該台式構造可藉由習用之濕或乾蝕刻而進行蝕刻，包括反應離子蝕刻(RIE)及反應離子束蝕刻(RIBE)。

如前所述，已發現特定之缺陷源(例如氧化物區、嵌入區、蝕刻孔、蝕刻溝、蝕刻台、基材18、介電層及高度摻雜區)具有引進應變、應力或缺陷(例如介面間之空位或點狀缺或二者)之傾向，其可能減低VCSEL10之性能。以下之VCSEL實施例特徵在於可靠度增進層，其可置於VCSEL結構中之一或多個臨界位置，以減少活化區或其它VCSEL區(例如鏡面疊片14、16)或二者因缺陷誘發之降級。可靠度增進層可被置於活化區與缺陷源之間、缺陷源中或極靠近缺陷源處(在其上方、下方或上方與下方)。可靠度增進層可包括下列元素之一或多者：銦、磷、硼、氮及銻。這些元件可包含於與環繞層晶格匹配之厚層中、薄之應變層中及可能具有抗拉應變、壓應變或不具應變之超結晶格結構中。可靠度增進層之例子包括GaAsP、InGaAsP、AlInGaAsP、AlGaAsSb、InGaAs、InAlGaAs、InGaAsP及

五、發明說明（9）

$Ga_xB_{1-x}N$。可靠度增進層可包含於VCSEL之組成層，包括活化層、空穴層、DBR鏡面疊片、氧化物層、罩覆層及緩衝層之一或多層中。可靠度增進層可藉非可靠度增進層來隔開。可靠度增進層可用來平衡由缺陷源誘發之應變場。例如，由氧化物層誘發之壓應變可藉由將一具有抗拉應變之可靠度增進層(例如，GaAsP層)置於一涵蓋於該氧化物層之壓應變場中之區域。一可靠度增進層亦可被置於與一缺陷源相鄰之位置或於缺陷源中以吸收(或補捉)缺陷。此外，可靠度增進層亦可用來阻擋或減少缺陷或摻雜物之遷移。特別是，對於產生濃度梯度而誘發缺陷遷移之缺陷源，可形成可靠度增進層以減少缺陷之遷移。例如，當缺陷源產生第五族空位梯度時，有助於第六族摻雜物之擴散。在此種狀況下，具有第五族空位濃度低之特徵之可靠度增進層可被置於VCSEL結構中以減少或阻擋第六族摻雜物(或其它點狀缺陷)之遷移。

參考第2A-2C圖，在一實施例中，一平面之指標-導引之氧化物VCSEL40包括一空穴區12，其係夾置於一第一鏡面疊片14及一形成於一基材18上之第二鏡面疊片16之間。空穴區12包括夾置在一對隔離層22、24之間之一或多層活化層20(例如，一量子井或一或多個量子點)。如所示，在本實施例中，VCSEL40具有一平面結，其包括多數個孔42，其曝露出第一鏡面疊片14欲被氧化之數個個別側邊區域。第一鏡面疊片14之至少一部份自曝光之側邊區開始被氧化向內朝向一位在中內之穿孔區46。在本實施例中，

五、發明說明（10）

開設四個與第一電極44中央等距之孔42。孔42自VCSEL40之第一表面向下延伸至少至對於氧化部26之層。當VCSEL結構被曝露至加熱之水蒸氣中時，加熱之水蒸氣進入孔42，並且沿著徑向朝遠離孔42之方向氧化該部26。氧化步驟持續至來自各孔42之氧化前緣合併而形成一未氧化之穿孔46。其它之氧化物VCSEL實施例可能包括更多或更少曝光孔42或具有其它形狀如溝狀或凸拱狀之曝露區。

已發現VCSEL40之側向氧化會在VCSEL結構中產生應變或應力，而可能將缺陷(例如界面間之空洞或點狀缺陷或二者)引入，這些缺陷具隨著時間遷移進入活化區或其它VCSEL區之傾向(例如，在後續之處理步驟及在VCSEL操作期間)，且因此可能危及VCSEL40之可靠度。在第2A-2C圖之實施例中，一可靠度增進層48位於第一鏡面疊片14之氧化部與空穴區12之間。如以下所說明者，在其它實施例中，可靠度增進層亦可置於氧化部26中或極靠近氧化部26之處(其上方或下方，或上方與下方)。較佳地，可靠度增進層48係經選擇以在第一鏡面疊片14與空穴區12之間產生一局部化之應變場，其明顯減少了缺陷遷移經過可靠度增進層48，藉此，保護空穴區12免受缺陷誘發之降級。在第2A-2C圖之實施例中，可靠度增進層48可由一半導體合金形成，該合金係由鋁、鎵、銦及下列元素之一或多者形成：鉈、硼、磷、銻及氮。例如，可靠度增進層48可藉由在位於氧化部26與空穴區12之間之第一鏡面疊片14之組成層中之一或多者之外延生長之過程中添加鉈、硼、磷、銻

五、發明說明（11）

及氮之一或多者而形成。

在某些實施例中，第二鏡面疊片16之至少一部份可自曝光孔42向內朝向中央區域氧化，以達成載波及光子之額外的側向封閉。此可靠度增進層較佳地係經選擇，以在第二鏡面疊片16之氧化部與空穴區12之間產生一局部之應變場，其明顯減少缺陷之遷移經過可靠度增進層，藉此，保護空穴區12，以免發生因缺陷誘發之降級。在這些實施例中，可靠度增進層可具有與可靠度增進層48相同之結構。如以下所說明，在其它實施例中，可靠度增進層亦可置於第二鏡面疊片16之氧化部中或極靠近第二鏡面疊片16之氧化部之處(其上方或下方，或上方與下方)

例如，其它的實施例可能包括設計用來抵消由第一鏡面疊片14或第二鏡面疊片16或二者之側向氧化所誘發之應變之可靠度增進層。在一實施例中，一可靠度增進層可位在相鄰於第一鏡面疊片14或第二鏡面疊片16或二者之氧化部之處。在另一實施例中，一可靠度增進層可位於第一鏡面疊片14或第二鏡面疊片16或二者之氧化部中。在另一實施例中，第一鏡面疊片14或第二鏡面疊片16或二者之氧化部可被夾置在各對可靠度增進層之間。在這些實施例中，藉由第一鏡面疊片14或第二鏡面疊片16或二者之部份之氧化所產生之壓應變可藉一可靠度增進層而大致被抵消，該可靠度增進層將一補償性之抗拉應變引入至鏡面疊片中。例如，在一具有AlGaAs鏡面疊片之實施例中，可靠度增進層可由$In_1Ga_{1-x}P$，其中$x<0.5$張應變。在這些實施例中，

五、發明說明（12）

可靠度增進層可能會抑制缺陷之形成，並且阻止缺陷遷移至空穴區12中或遷移至VCSEL結構之其它區域中。

在某些實施例中，第一鏡面疊片14可被嵌入至氧化物層26或穿過氧化物層以進一步改良VCSEL10之性能。在這些實施例中，一或多層可靠度增進層可形成於嵌入區之上方或其中以吸收缺陷，或形成嵌入區與空穴區12之間以抑制缺陷之散播至空穴區12中。

參考第3圖，在另一實施例中，一非平面之指標-導引之氧化物VCSEL50形成為一台狀(或柱狀)結構，其具有裸露之側壁。第一鏡面疊片14之至少一部份52從裸露之台體側壁向內朝位在中窗之孔洞區域氧化。如前所說明者，VCSEL50之側向氧化會誘發應變或應力於VCSEL結構中，其可能會引入缺陷(例如界面間之空穴或點狀缺陷或二者)，這些缺陷具有隨著時間遷移進入活化區之傾向(例如，在後續之處理步驟中或在VCSEL操作期間)，因此，可能會危及VCSEL50之可靠度。在此實施例中，一可靠度增進層位於第一鏡面疊片14之氧化部52與空穴區12之間。在某些實施例中，第二鏡面疊片16之至少一部份可自裸露之側壁向內朝位在中央之區域氧化以達到額外之載波與光子之側向封閉。在這些實施例中，一可靠度增進層可位於第二鏡面疊片16之氧化部與空穴區12間。其它實施例可包含設計用來抵消由第一鏡面疊片14或第二鏡面疊片16或二者之側向氧化所引進之應變之可靠度增進層，如上述有關第2A-2C圖之敘述。在這些實施例中，可靠度增進層

五、發明說明（13）

可位在第一鏡面疊片之氧化部中或第二鏡面疊片之氧化部中，或二者，或極靠近第一鏡面疊片之氧化部或第二鏡面疊片之氧化部，或二者之處(在上方或下方或上方與下方)。

參考第4圖，在一實施例中，一種增益-導引之嵌入型VCSEL60包括一空穴區12，其係夾置在一第一鏡面疊片14與一形成於一基材18上之第二鏡面疊片16之間。空穴區12包括夾置在一對隔離層22、24之間之一或多層活化層20(例如量子井或一或多個量子點)。如本實施例所示，VCSEL60包括一嵌入區62其界定了一穿孔區64。已發現VCSEL60之嵌入區62，特別是在嵌入前緣，產生點狀缺陷，其具有隨著時間遷移至空穴區中之傾向(例如，在後續之處理步驟中或在VCSEL操作期間)，因此，可能危及VCSEL60之可靠度。

在第4圖之實施例中，一可靠度增進層66位於嵌入區62與空穴區12之間。在其它實施例中，可靠度增進層可置於嵌入區62中或極靠近嵌入區62之處(其上方或下方，或上方與下方)。可靠度增進層66係經選擇以在嵌入區62與空穴區12之間產生一局部化之應變場及／或改變缺陷之平衡，其明顯減少了缺陷之遷移經過可靠度增進層66，藉此，保護空穴區12以免發生缺陷誘發之降級。在第4圖之實施例中，可靠度增進層66可由一半導體合金形成，該合金係由鋁、鎵、銦及下列元素之一或多者形成：銻、硼、磷、銻及氮。例如，可靠度增進層66可由InGaAs、InAlGaAs、

五、發明說明（14）

InGaAsP或GaAsP形成。可靠度增進層66可藉由在位於嵌入區62與空穴區12之間之第一鏡面疊片14之組成層中之一或多者之外延生長之過程中添加銦、硼、磷、銻及氮之一或多者而形成。

在某些實施例中，第二鏡面疊片16之至少一部份可被嵌入以達到對載波及光子之額外的側向封閉。在這些實施例中，可靠度增進層可位於第二鏡面疊片16之嵌入區與空穴區12之間。此可靠度增進層較佳地係經選擇，以在第二鏡面疊片16之嵌入區與空穴區12之間產生一局部之應變場，其明顯減少缺陷之遷移經過可靠度增進層，藉此，保護空穴區12，以免發生因缺陷誘發之降級。在這些實施例中，可靠度增進層可具有與可靠度增進層66相同之結構。在其它實施例中，可靠度增進層可置於第二鏡面疊片16之嵌入區或極靠近第二鏡面疊片16之嵌入區之處(其上方或下方，或上方與下方)。

其它嵌入型VCSEL實施例可包括設計用來防止活化層20與其它VCSEL區域因第一鏡面疊片14或第二鏡面疊片16或二者嵌入期間可能產生之缺陷而降級之可靠度增進層。例如，在一實施例中，可靠度增進層可置於與第一鏡面疊片14或第二鏡面疊片16或二者相鄰之處(例如在其上方或下方或上方與下方)。在另一實施例中，一可靠度增進面可置於第一鏡面疊片14或第二鏡面疊片16或二者之嵌入區中。在另一實施例中，第一鏡面疊片14或第二鏡面疊片16或二者之嵌入區可夾置在各對可靠度增進層中。在此

五、發明說明（15）

實施中，可靠度增進層可改變應變場、吸收缺陷(例如點狀缺陷)、抑制缺陷之形成及阻擋缺陷之遷移至空穴區及VCSEL結構之其它區域。

在上述各實施例中，第一鏡面疊片較佳地係摻了一種與基材18相反極性之摻質(例如，p-型摻質碳或鎂用於n-型基材18)。第二鏡面疊片較佳地係摻有與基材18相同極性之摻質(例如n-型摻質矽用於n-型基材18)。已發現第一及第二鏡面疊片14、16之摻雜方法亦可能對VCSEL結構引進缺陷，該缺陷具有隨時間而遷移至臨界VCSEL區域(例如空穴區，其包括活化層及隔離層)之傾向(例如，在後續之處理步驟中及在VCSEL操作期間)。因此，某些實施例可能包括位在摻混區與空穴區間之可靠度增進層、位在摻混區中之可靠度增進層或極靠近摻混區之之可靠度增進層(在其上方、下方或上方與下方)。可靠度增進層較佳地係經選擇以產生局部之應變場，其可明顯減少缺陷之遷移通過，藉此保護空穴區12以免發生缺陷-誘發之降級。各可靠度增進層可由一半導體合金形成，該半導體合金係由鋁、鎵、銦及下列元素之一或多者形成：鉈、硼、磷、銻及氮。例如，可靠度增進層可由InGaAs、InAlGaAs、InGaAsP或GaAsP形成。可靠度增進層66可藉由在位於摻混區與空穴區12之間之第一與第二鏡面疊片14、16之組成層中之一或多層之外延生長之過程中添加鉈、硼、磷、銻及氮之一或多者而形成。

半導體基材—特別是半-絕緣半導體基材—為缺陷之潛

五、發明說明（16）

在來源，其可能會隨著時間而遷移至臨界之VCSEL區域(例如，空穴區，包括活化層及隔離層)。因此，某些實施例可能包括抑制缺陷遷移之可靠度增進層，其位於活化區與基材之間或緊鄰基材處。在某些實施例中，可靠度增進層可位於第二鏡面疊片16中。可靠度增進層可由半導體合金形成，該半導體合金係由鋁、鎵、銦及下列元素之一或多者形成：鉈、硼、磷、銻及氮。例如，可靠度增進層可由InGaAs、InAlGaAs、InGaAsP或GaAsP形成。可靠度增進層可藉由在第二鏡面疊片16之組成層中之一或多層之外延生長過程中添加鉈、硼、磷、銻及氮之一或多者而形成。

在某些實施例中，一或多層可靠度增進層可位於緩衝層32中以吸收缺陷或減緩缺陷之形成，或同時吸收缺陷與減緩缺陷之形成。

其它實施例係在申請專利範圍之範圍內。

例如，雖然前述之實施例係有關於AlGaAs鏡面疊片系統，其它之半導體合金組成物或介電層亦可被用來形成DBR鏡面結構。此外，可靠度增進層可由單層形成，如前述，或由超結晶格結構形成(例如，應變層超結晶格或應變補償之超結晶格)。

尚有其它實施例在申請專利範圍之範圍內。

五、發明說明（17）

元件標號對照:

10、40、50、60……直立腔表面發光雷射(VCSEL)

12……空穴區

14……第一鏡面疊片

16……第二鏡面疊片

18……基材

22、24……隔離層

20……活化層

28、30……電接點

32……緩衝層

42……孔

46、64……穿孔區

44……第一電極

26、52……氧化部

48、66……可靠度增進層

62……嵌入區

A5
B5

四、中文發明摘要（發明之名稱：　用於直立腔表面發光雷射之可靠度增進層　）

本文敘述直立腔表面發光雷射(VCSEL)及其製造方法。直立腔表面發光雷射包括可靠度增進層，其在直立腔表面發光雷射結構中之一或多個臨界位置執行特定之功能，以減少或防止可能降低 VCSEL 性能之缺陷形成及遷移，此乃藉由，例如，增加鏡面疊片中之光學吸收或降低活化區之電光性質。特別是，可靠度增進層之形成係為了在 VCSEL 結構中執行下列功能之一或多者：吸收(即，自臨界區去除缺陷或雜質)、應變平衡(即，補償結構中之晶格錯位以使應變減至最小)及缺陷減少(即，製造在生長或後-生長活動期間降低缺陷形成之合金)。依策略將一或多層具有適當構形之可靠度增進層相對一經辨識之缺陷源而放置，本發明能改變 VCSEL 結構，使提高 VCSEL 裝置之可靠度及性能。

英文發明摘要（發明之名稱：　RELIABILITY-ENHANCING LAYERS FOR VERTICAL CAVITY SURFACE EMITTING LASERS　）

Vertical cavity surface emitting lasers (VCSELs) and methods of making the same are described. The VCSELs include reliability-enhancing layers that perform specific functions at one or more critical locations within a VCSEL structure to reduce or prevent defect formation and migration that otherwise might degrade VCSEL performance, for example, by increasing optical absorption in the mirror stacks or by degrading the electro-optic properties of the active region. In particular, the reliability-enhancing layers are configured to perform one or more of the following functions within the VCSEL structure: gettering(i.e., removing defects or impurities from critical regions), strain balancing(i.e., compensating the lattice mismatch in the structure to minimize strain), and defect suppresion (i.e., creating alloys that reduce the formation of defects during growth or post-growth activities). By strategically positioning one or more appropriately configured reliability-enhancing layers with respect to an identified defect source, the invention enables VCSEL structure to be modified in a way that enhances the reliaility and performance of VCSEL devices.

（請先閱讀背面之注意事項再填寫本頁各欄）

裝　訂　線

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

1. 一種直立腔表面發光雷射(VCSEL)，其包含：

一第一鏡面疊片；

一第二鏡面疊片；

一位在第一鏡面疊片與第二鏡面疊片之間且包括有一活化區之空穴區；

一缺陷源；以及

一與缺陷源位置相關之可靠度增進層，用以降低一或多個VCSEL區之缺陷誘發之降級。

2. 依據申請專利範圍第1項之直立腔表面發光雷射(VCSEL)，其中該可靠度增進層係位於缺陷源與空穴區之間。

3. 依據申請專利範圍第1項之直立腔表面發光雷射(VCSEL)，其中該可靠度增進層係位於缺陷源中。

4. 依據申請專利範圍第1項之直立腔表面發光雷射(VCSEL)，其中該可靠度增進層係位於緊鄰缺陷源處。

5. 依據申請專利範圍第1項之直立腔表面發光雷射(VCSEL)，其中該缺陷源係位於可靠度增進層與空穴區之間。

6. 依據申請專利範圍第1項之直立腔表面發光雷射(VCSEL)，其更包括一第二可靠度增進層，與第一可靠度增進層藉一或多層其它層而隔開。

7. 依據申請專利範圍第1項之直立腔表面發光雷射(VCSEL)，其中該可靠度增進層含有下列元素之一或多種：銦、硼、磷、銻及氮。

六、申請專利範圍

8. 依據申請專利範圍第1項之直立腔表面發光雷射(VCSEL)，其中該可靠度增進層係與環繞層呈晶格匹配。

9. 依據申請專利範圍第1項之直立腔表面發光雷射(VCSEL)，其中該可靠度增進層包括一或多層應變層。

10. 依據申請專利範圍第1項之直立腔表面發光雷射(VCSEL)，其中該可靠度增進層包括一超結晶格。

11. 依據申請專利範圍第10項之直立腔表面發光雷射(VCSEL)，其中該超結晶格係具應變者。

12. 依據申請專利範圍第10項之直立腔表面發光雷射(VCSEL)，其中該超結晶格係與環繞層呈晶格匹配者。

13. 依據申請專利範圍第10項之直立腔表面發光雷射(VCSEL)，其中該超結晶格係對環繞層應變補償。

14. 依據申請專利範圍第1項之直立腔表面發光雷射(VCSEL)，其中該缺陷源包括VCSEL之一氧化區。

15. 依據申請專利範圍第1項之直立腔表面發光雷射(VCSEL)，其中該缺陷源包括VCSEL之一嵌入區。

16. 依據申請專利範圍第1項之直立腔表面發光雷射(VCSEL)，其中該缺陷源包括VCSEL之一裸露區。

17. 依據申請專利範圍第1項之直立腔表面發光雷射(VCSEL)，其中該缺陷源包括一或多層介電層。

18. 依據申請專利範圍第1項之直立腔表面發光雷射(VCSEL)，其中該缺陷源包括VCSEL之一摻混區。

19. 依據申請專利範圍第1項之直立腔表面發光雷射

六、申請專利範圍

(VCSEL)，其中該缺陷源包括一基材。

20. 依據申請專利範圍第1項之直立腔表面發光雷射(VCSEL)，其中該可靠度增進層之構形係至少部份地抵消缺陷源產生之應變。

21. 依據申請專利範圍第1項之直立腔表面發光雷射(VCSEL)，其中該缺陷源包括一誘發壓應變場之氧化物區，該可靠度增進層係位於壓應變場中且特徵為具有抗拉應變。

22. 依據申請專利範圍第1項之直立腔表面發光雷射(VCSEL)，其中該缺陷源產生一誘發缺陷遷移之濃度梯度，該可靠度增進層之構形係可減少誘發之缺陷遷移。

23. 依據申請專利範圍第22項之直立腔表面發光雷射(VCSEL)，其中該缺陷源之特徵在於具有相當高之第五族空洞濃度，該可靠度增進層之特徵在於具有低的第五族空洞擴散速率。

24. 一種製造直立腔表面發光雷射(VCSEL)之方法，包含：

形成一第一鏡面疊片、一第二鏡面疊片及一界於其間之空穴區，其中空穴區包括一活化區；

形成一缺陷源；及

形成一可靠度增進層，其係位於與缺陷源相關處，用以降低一或多個VCSEL區之缺陷誘發之降級。

25. 依據申請專利範圍第24項之方法，其中該可靠度增進層係位於缺陷源與空穴區之間。

26. 依據申請專利範圍第24項之方法，其中該可靠度增進

六、申請專利範圍

層係位於缺陷源中。

27. 依據申請專利範圍第24項之方法，其中該可靠度增進層係位於緊鄰缺陷源處。

28. 依據申請專利範圍第24項之方法，其中該缺陷源係位於可靠度增進層與空穴區之間。

29. 依據申請專利範圍第24項之方法，其更包含：形成一第二可靠度增進層，與第一可靠度增進層藉一或多層其它層而隔開。

30. 依據申請專利範圍第24項之方法，其中該可靠度增進層含有下列元素之一或多種：銦、硼、磷、銻及氮。

31. 依據申請專利範圍第24項之方法，其中該可靠度增進層係與環繞層呈晶格匹配。

32. 依據申請專利範圍第24項之方法，其中該可靠度增進層包括一或多層應變層。

33. 依據申請專利範圍第24項之方法，其中該可靠度增進層包括一超結晶格。

34. 依據申請專利範圍第33項之方法，其中該超結晶格係具應變者。

35. 依據申請專利範圍第33項之方法，其中該超結晶格係與環繞層呈晶格匹配者。

36. 依據申請專利範圍第33項之方法，其中該超結晶格係對環繞層應變補償。

37. 依據申請專利範圍第24項之方法，其中該缺陷源包括VCSEL之一氧化區。

六、申請專利範圍

38. 依據申請專利範圍第24項之方法，其中該缺陷源包括VCSEL之一嵌入區。

39. 依據申請專利範圍第24項之方法，其中該缺陷源包括VCSEL之一裸露區。

40. 依據申請專利範圍第24項之方法，其中該缺陷源包括一或多層介電層。

41. 依據申請專利範圍第24項之方法，其中該缺陷源包括VCSEL之一摻混區。

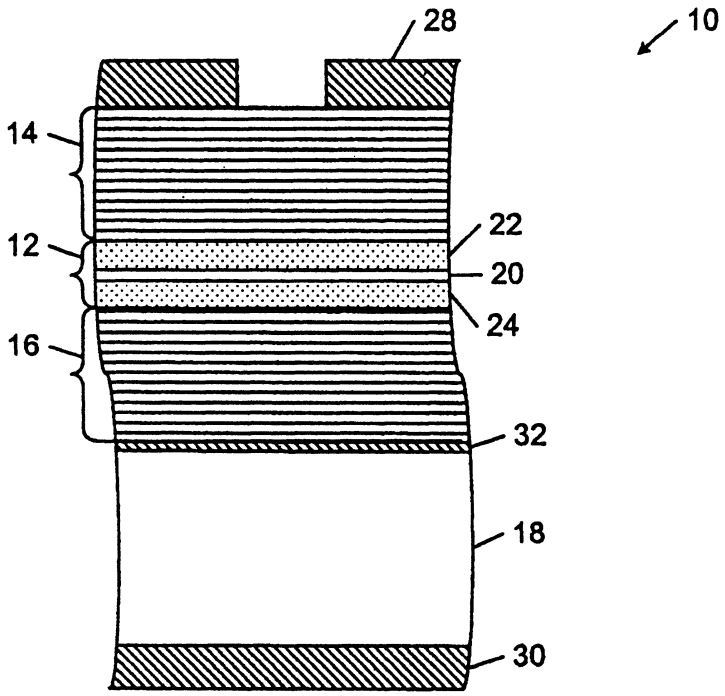
42. 依據申請專利範圍第24項之方法，其中該缺陷源包括一基材。

43. 依據申請專利範圍第24項之方法，其中該可靠度增進層之構形係至少部份地抵消缺陷源產生之應變。

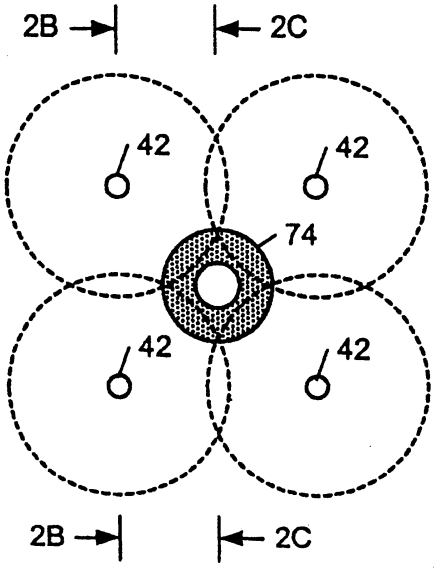
44. 依據申請專利範圍第43項之方法，其中該缺陷源包括一誘發壓應變場之氧化物區，該可靠度增進層係位於壓應變場中且特徵為具有抗拉應變。

45. 依據申請專利範圍第24項之方法，其中該缺陷源產生一誘發缺陷遷移之濃度梯度，該可靠度增進層之構形係可減少誘發之缺陷遷移。

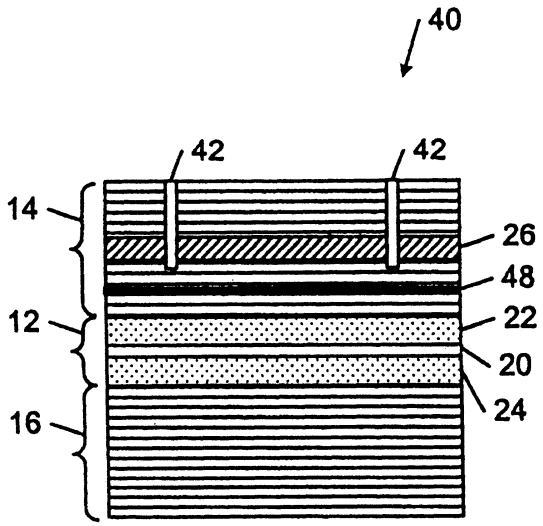
46. 依據申請專利範圍第45項之方法，其中該缺陷源之特徵在於具有相當高之第五族空洞濃度，該可靠度增進層之特徵在於具有低的第五族空洞擴散速率。



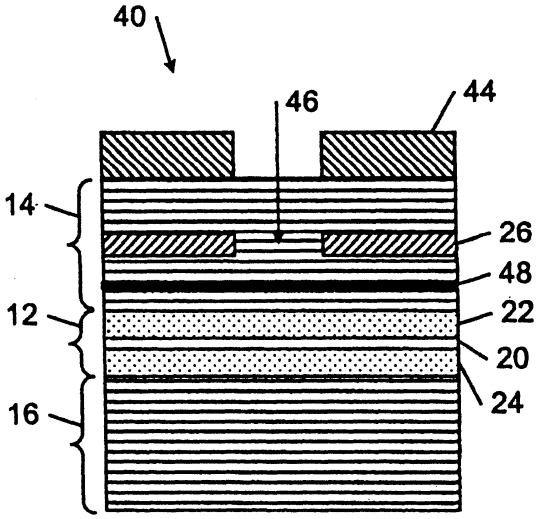
第 1 圖



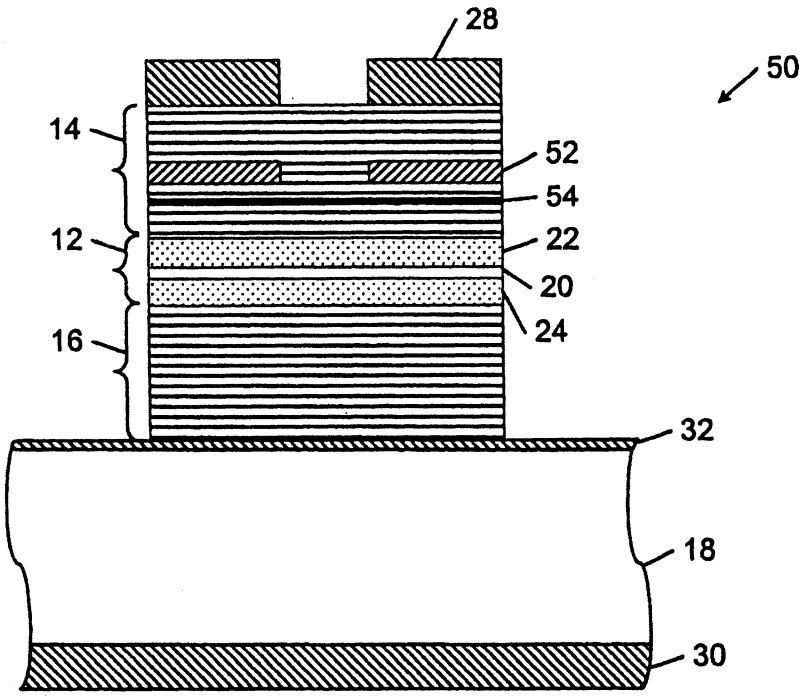
第 2A 圖



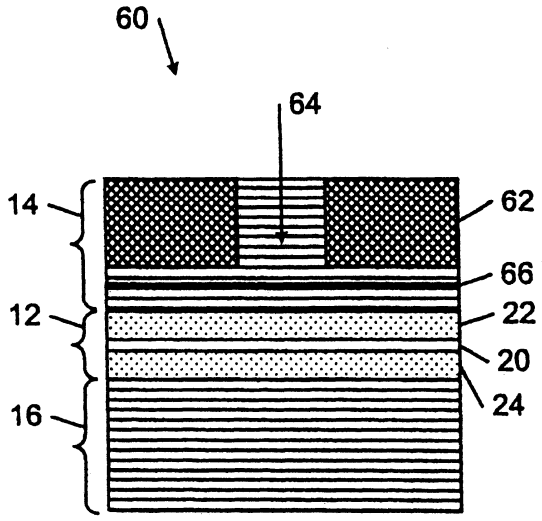
第 2B 圖



第 2C 圖



第 3 圖



第 4 圖