

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-53285  
(P2008-53285A)

(43) 公開日 平成20年3月6日(2008.3.6)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 41/22 (2006.01)	HO 1 L 41/22 B	
HO 1 L 41/09 (2006.01)	HO 1 L 41/08 L	
HO 1 L 41/187 (2006.01)	HO 1 L 41/18 1 O 1 D	
	HO 1 L 41/18 1 O 1 F	

審査請求 未請求 請求項の数 3 O L (全 11 頁)

(21) 出願番号 特願2006-225397 (P2006-225397)  
(22) 出願日 平成18年8月22日 (2006. 8. 22)

(71) 出願人 000003067  
T D K 株式会社  
東京都中央区日本橋 1 丁目 1 3 番 1 号  
(74) 代理人 100105809  
弁理士 木森 有平  
(72) 発明者 山崎 純一  
東京都中央区日本橋一丁目 1 3 番 1 号 T  
D K 株式会社内  
(72) 発明者 七尾 勝  
東京都中央区日本橋一丁目 1 3 番 1 号 T  
D K 株式会社内  
(72) 発明者 坂本 典正  
東京都中央区日本橋一丁目 1 3 番 1 号 T  
D K 株式会社内

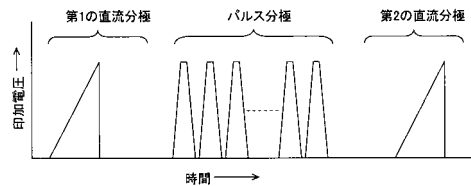
(54) 【発明の名称】 積層型圧電素子の分極方法

(57) 【要約】

【課題】 積層型圧電素子において、素子の破壊を防止しながら、飽和分極に近い十分な分極を実現し、特に低圧力下での駆動による素子破壊を防止する。

【解決手段】 圧電セラミック層と内部電極層とが交互に積層されてなる積層型圧電素子を分極するに際し、直流電圧を印加する第 1 の直流分極、パルス電圧を印加するパルス分極、及び直流電圧を印加する第 2 の直流分極をこの順に行う。第 1 の直流分極及び第 2 の直流分極は積層型圧電素子に圧力を加えることなく行い、パルス分極は積層型圧電素子に所定の圧力を加えて行う。パルス分極は、素子温度が 1 2 0 ~ 2 0 0 の範囲となるような条件で行う。

【選択図】 図 2



**【特許請求の範囲】****【請求項 1】**

圧電セラミック層と内部電極層とが交互に積層されてなる積層型圧電素子を分極するに際し、

直流電圧を印加する第 1 の直流分極、パルス電圧を印加するパルス分極、及び直流電圧を印加する第 2 の直流分極をこの順に行うことを特徴とする積層型圧電素子の分極方法。

**【請求項 2】**

前記第 1 の直流分極及び第 2 の直流分極は積層型圧電素子に圧力を加えることなく行い、前記パルス分極は積層型圧電素子に所定の圧力を加えて行うことを特徴とする請求項 1 記載の積層型圧電素子の分極方法。

10

**【請求項 3】**

前記パルス分極は、素子温度が 120 ~ 200 の範囲となるような条件で行うことを特徴とする請求項 1 または 2 記載の積層型圧電素子の分極方法。

**【発明の詳細な説明】****【技術分野】****【0001】**

本発明は、圧電セラミック層と内部電極層とを交互に積層することにより構成される積層型圧電素子の分極方法に関するものであり、特に、積層型圧電素子を破壊することなく飽和分極に近づけるための技術に関する。

**【背景技術】**

20

**【0002】**

例えばアクチュエータや圧電プザー、発音体、センサ等の各種圧電素子の開発が進められており、電圧印加により変位する圧電セラミックスを電極を介して積層することにより構成される積層アクチュエータ（積層型圧電素子）等も提案されている。例えば逆圧電効果によって発生する変位を機械的な駆動源として利用したアクチュエータは、消費電力や発熱量が少なく、応答性も良好であること、小型化や軽量化が可能であること等の利点を有しており、実用性が高い。特に、前記積層アクチュエータは、変位効率や位置精度が高く、応答が高速である等の特徴を有することから、燃料噴射システム用インジェクタ等、広範な分野への応用が期待されている。

**【0003】**

30

ところで、この種の圧電素子の製造に際しては、分極処理が必須の工程となる。分極処理は、焼成後の圧電素子に一定方向に高電圧を印加することにより行われ、当該分極処理によって分極方向を揃えることによって圧電素子は圧電特性を示すようになる。

**【0004】**

従来、分極処理の方法としては、直流高電圧を印加する直流分極を行うのが一般的である。直流分極では、直流高電圧を印加することにより分極を行うが、分極に伴う急激な歪みや内部応力によって素子が破壊されることがあり、これを緩和するために、所定の圧力を加えながら直流分極を行うことが試みられている（例えば特許文献 1 等を参照）。特許文献 1 記載の発明では、上下各層間に内部電極を有する積層セラミック圧電素子用積層体であってかつ一方の側面の近傍の部分およびその一方の側面と平行な他の側面の近傍の部分では内部電極を形成した電極形成部分と内部電極を形成していない電極非形成部分とが上下に交互に位置するようになされた積層セラミック圧電素子用積層体に対して分極処理を施すにあたり、積層体の上面と下面との間に 50 ~ 1000 kgf/cm<sup>2</sup> の範囲内の一定の荷重を均一に加えながら内部電極間に所定の分極電圧を印加するようにしている。荷重を加えた状態で分極を行うことによって、分極に伴う急激な歪みや内部応力を緩和することができ、積層体内部破壊の発生を防止できるとしている。

40

**【0005】**

前記分極処理の方法としては、前記直流分極の他、いわゆるパルス分極も提案されている（例えば、特許文献 2 や特許文献 3 等を参照）。パルス分極では、パルス状の波形を有するパルス電圧を印加することで分極を行う。特許文献 2 記載の発明では、圧電磁器にパ

50

ルス状の電圧波形を有するパルス電圧を印加して分極する圧電磁器の分極法であって、前記パルス電圧が高周波数成分を含むことを特徴としている。高周波数成分を含むパルス電圧を印加して分極することにより、圧電磁器に含まれる多くの結晶粒やドメインを振動させることができ、圧電磁器に損傷を生じることなく短時間で十分な分極処理が行えるとしている。

#### 【0006】

また、特許文献3には、圧電体に、実効電圧が該圧電体の最小破壊電圧の2/3以下である条件で直流パルス電圧を印加することでパルス分極を行うことが開示されている。特許文献3に記載されるパルス分極では、圧電体の発熱を決定する実効電圧が抑制されているので、分極処理中に絶縁破壊が起こらず、一方、ピーク電圧を分極に必要な大きさとすることにより、絶縁抵抗が比較的小さい圧電体でも効果的に分極処理を行うことができるとしている。

【特許文献1】特開平2-163983号公報

【特許文献2】特開2004-296784号公報

【特許文献3】特開昭61-268085号公報

【発明の開示】

【発明が解決しようとする課題】

#### 【0007】

しかしながら、飽和分極及び破壊防止の両立を考えた場合、従来に分極方法（直流分極やパルス分極）では必ずしも十分な結果が得られていないのが実情である。例えば、直流分極においては、特許文献1等にも記載されるように、素子の破壊を防ぐためには加圧しながら分極を行う必要があるが、加圧条件下では分極が十分に進み難く、飽和分極まで到達させることは難しい。例えば燃料噴射システム用インジェクタ等に用いられる積層型圧電素子において、分極が不十分で飽和分極に到達していないと、使用に伴って分極が進み、特性が経時的に変化してしまうという不都合が生ずる。このような不都合を解消するために、加圧することなく飽和分極に十分な直流電圧を印加すると、素子の破壊が避けられない。

#### 【0008】

パルス分極についても同様である。これまでパルス分極の優位性のみが着目されてきたが、本発明者らが検討した結果、パルス分極においても飽和分極に必要な電圧を印加すると、簡単に素子破壊が起こることがわかってきた。パルス分極においては、パルス波形の電圧の切り替わりの際に一瞬高電圧が加わり、これが原因で素子破壊が起こる。前記素子破壊を解消するには、結局はパルス電圧を低くせざるを得ず、その結果、分極が不十分となり飽和分極に到達させることが難しくなる。

#### 【0009】

本発明は、前述の従来技術の有する不都合に鑑みて提案されたものであり、素子破壊を防止しながら、飽和分極に近い十分な分極を実現することが可能な積層型圧電素子の分極方法を提供することを目的とする。

【課題を解決するための手段】

#### 【0010】

前述の目的を達成するために、本発明の積層型圧電素子の分極方法は、圧電セラミック層と内部電極層とが交互に積層されてなる積層型圧電素子を分極するに際し、直流電圧を印加する第1の直流分極、パルス電圧を印加するパルス分極、及び直流電圧を印加する第2の直流分極をこの順に行うことを特徴とする。

#### 【0011】

本発明においては、先ず、第1の直流分極を行うが、この第1の直流分極によって飽和分極とする必要はない。第1の直流分極によって素子が伸びることにより、例えば圧電セラミック層の内部電極が存在しない領域において、積層部分が剥がれるような（層間剥離するような）形でクラックが発生する。次いで、パルス分極を行うことで十分な分極を行い、飽和分極あるいは飽和分極に近い状態とする。

10

20

30

40

50

## 【 0 0 1 2 】

前述のように、第1の直流分極とパルス分極とをこの順で行うことにより、飽和分極に近い十分な分極が実現される。また、実際の素子駆動において、駆動中の印加圧力がパルス分極の際の印加圧力と同等、あるいはそれ以上であれば、第1の直流分極により形成されたクラックによって、素子の駆動時に素子が伸びることにより生じる積層内部の応力が緩和され、層間に跨ったクラックが発生することにより内部電極がショートして駆動が停止するといった事態が起こることもない。

## 【 0 0 1 3 】

しかしながら、本発明者らがさらに検討を重ねた結果、前述の第1の直流電極とパルス分極の組み合わせのみでは、特に駆動の際の印加圧力がパルス分極時の印加圧力よりも低い場合等において、素子の駆動時に素子が伸びることにより生じる応力の緩和が不十分であり、使用を繰り返した場合にクラックの発生によるショートの発生を排除しきれないことがわかってきた。駆動の印加圧力がパルス分極時の印加圧力よりも低い場合には、駆動中の素子の全長がパルス分極中の素子の全長より長くなるように伸び、前記第1の直流分極時に形成されるクラックでは、駆動時の素子の伸びから生じる応力を緩和することが不十分であることが原因と考えられる。

10

## 【 0 0 1 4 】

そこで、本発明においては、前記第1の直流分極及びパルス分極に加えて、第2の直流分極を行う。前記第2の直流分極を行うことで、駆動中全長と同程度以上に素子が伸び、第1の直流分極で生じた層間剥離する形のクラックが十分に拡大される。その結果、例えば駆動の際の印加圧力がパルス分極時の印加圧力よりも低い場合であっても、層間に跨るクラックの発生が抑制され、駆動停止等の事態が確実に回避される。

20

## 【 0 0 1 5 】

一般に、積層型圧電素子においては、セラミック層にクラックが入っていないことが理想とされており、クラックの存在を排除する方向にある。しかしながら、本発明者らが検討したところ、全てのクラックが特性に悪影響を及ぼすわけではなく、特定の方向のクラックに関しては、その存在が分極の促進に必要不可欠であることがわかった。すなわち、本発明の分極方法により分極された積層型圧電素子においては、圧電セラミック層の少なくとも一部に、当該圧電セラミック層を厚さ方向において横切ることのないクラック（層間剥離する形のクラック）が形成されており、前記クラックの存在により十分な分極が実現されている。また、前記クラックが存在することにより、層間に跨る形で形成されるクラックの発生が抑制され、内部電極がショートすることにより駆動停止等の事態が引き起こされることもない。

30

## 【 発明の効果 】

## 【 0 0 1 6 】

本発明の積層型圧電素子の分極方法によれば、素子の破壊を防止しながら、飽和分極に近い十分な分極を実現することが可能である。また、本発明によれば、例えばパルス分極時の印加圧力よりも低い印加圧力下で駆動した場合にも、層間に跨る形でクラックが形成されることがなく、内部電極がショートすることにより駆動が停止することのない信頼性の高い積層型圧電素子を実現することが可能である。

40

## 【 発明を実施するための最良の形態 】

## 【 0 0 1 7 】

以下、本発明を適用した積層型圧電素子の分極方法について、図面を参照して詳細に説明する。

## 【 0 0 1 8 】

本実施形態において、分極対象となる積層型圧電素子1は、例えば燃料噴射システム用インジェクタのようなアクチュエータとして使用されるものであり、図1に示すように、圧電セラミック層2と内部電極層3とが交互に積層された積層体4と、この積層体4の両側面に形成された外部電極5とから構成されるものである。

## 【 0 0 1 9 】

50

ここで、前記積層体4の圧電セラミック層2を構成するセラミック材料としては、圧電特性を有するセラミック材料全般を使用することが可能であり、例えば還元雰囲気中で焼成される圧電セラミック材料等も使用可能である。

【0020】

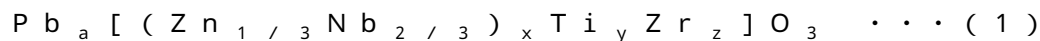
還元雰囲気中で焼成される圧電セラミック材料としては、例えばチタン酸ジルコン酸鉛系の圧電セラミック材料等を挙げることができる。チタン酸ジルコン酸鉛系の圧電セラミック材料は、Pb、Ti、及びZrを構成元素とする複合酸化物を主成分とする圧電セラミック材料である。ここで、前記複合酸化物は、例えばチタン酸鉛(PbTiO<sub>3</sub>)とジルコン酸鉛(PbZrO<sub>3</sub>)、及び亜鉛・ニオブ酸鉛[Pb(Zn<sub>1/3</sub>Nb<sub>2/3</sub>)O<sub>3</sub>]により構成される3元系の複合酸化物や、前記3元系の複合酸化物においてPbの一部をSr、Ba、Ca等で置換した複合酸化物である。

10

【0021】

具体的な組成としては、下記(1)式、あるいは(2)式で表される複合酸化物等を挙げることができる。なお、これら(1)式、あるいは(2)式において、酸素の組成は化学量論的に求めたものであり、実際の組成においては、化学量論組成からのずれは許容されるものとする。

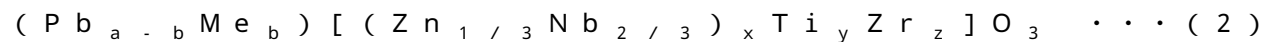
【0022】



(ただし、0.96 ≤ a ≤ 1.03、0.05 ≤ x ≤ 0.15、0.25 ≤ y ≤ 0.5、0.35 ≤ z ≤ 0.6、x + y + z = 1である。)

20

【0023】



(ただし、0.96 ≤ a ≤ 1.03、0 < b ≤ 0.1、0.05 ≤ x ≤ 0.15、0.25 ≤ y ≤ 0.5、0.35 ≤ z ≤ 0.6、x + y + z = 1である。また、式中のMeは、Sr、Ca、Baから選ばれる少なくとも1種を表す。)

【0024】

前記複合酸化物は、いわゆるペロブスカイト構造を有しており、Pb、及び(2)式における置換元素Meについては、ペロブスカイト構造のいわゆるAサイトに位置する。ZnやNb、Ti、Zrは、ペロブスカイト構造のいわゆるBサイトに位置する。

【0025】

前記圧電セラミック層2は、前記圧電セラミック材料を含むグリーンシートを焼成することにより形成されるが、焼成後の圧電セラミック層2の厚さは、例えば80 μm ~ 100 μm程度とされる。圧電セラミック層2の厚さは、これに限定されるものではなく、積層数等に応じて所望の圧電特性(変位量等)が得られるように設計すればよい。

30

【0026】

一方、内部電極層3は、例えば銀やパラジウム等の貴金属を導電材料として含む導電ペースト等を前記グリーンシート上にスクリーン印刷等の手法により所定のパターンで印刷することにより形成される。また、圧電セラミック材料として前記還元雰囲気中で焼成される圧電セラミック材料を用いた場合には、Cu等の卑金属を導電材料として含む導電ペーストを使用することも可能である。内部電極層3の厚さとしては、例えば0.5 μm ~ 5 μm程度とされるが、これに限定されるものではない。

40

【0027】

前記内部電極層3は、前記積層体4の両側面に交互に引き出され、各側面に形成された外部電極5と電氣的に接続されている。したがって、外部電極5に電圧を印加することで、内部電極層3間の各圧電セラミック層2に電圧が印加され、前記積層体4が圧電セラミック層2の積層方向に変位する。外部電極5は、例えば銀を導電材料とする導電ペーストを印刷し、これを焼き付けることにより形成される。

【0028】

前述の構成の積層型圧電素子1においては、各圧電セラミック層2の圧電特性を発揮させるために、使用前に分極処理を行う。以下、本実施形態における分極方法について説明

50

する。

【0029】

分極処理は、前記外部電極5間に所定の電圧を印加することにより行われ、前記圧電セラミック層2と内部電極層3の積層方向に電圧が印加され、圧電セラミック層2の分極ベクトルの方向が当該方向に揃うことで圧電特性が発現する。分極処理の方法としては、直流電圧を印加する直流分極やパルス電圧を印加するパルス分極が知られているが、本実施形態においては直流分極とパルス分極とを組み合わせることで、積層型圧電素子1を破壊することなく飽和分極あるいは飽和分極に近い状態とする。具体的には、直流電圧を印加する第1の直流分極、パルス電圧を印加するパルス分極、及び直流電圧を印加する第2の直流分極をこの順に行う。

10

【0030】

図2は、本実施形態の分極処理における印加電圧プロファイルを示すものである。本実施形態においては、先ず、積層型圧電素子1に対して第1の直流分極(DC分極)を行う。第1の直流分極は、前記外部電極5間に直流電圧を印加することにより行うが、このとき積層体4を加圧しないで直流分極を行う。なお、第1の直流分極においては、前述の通り積層体4に対して圧力を印加しないことが望ましいが、積層部分が剥がれるようなクラックの発生を妨げないのであれば、ある程度の圧力を印加しても構わない。

【0031】

一般的に、圧力を開放した状態で飽和分極に至るまで直流分極を行うと、素子が伸びすぎて層間を跨ぐクラックが発生し、素子破壊に至るおそれがある。そこで、積層体4を加圧することでクラックが入ることを抑制し、前記素子破壊を解消するというのが従来の考えである。これに対して、本実施形態では、前記直流分極を加圧することなく開放状態で行い、これによって素子破壊や短絡等に繋がることのないクラックを積極的に形成し、分極を促進するようにする。

20

【0032】

前記第1の直流分極では、飽和分極に必要なほどの条件は不要であり、層間剥離される形のクラックが形成される程度の条件で行えばよい。第1の直流分極を飽和分極させるような条件で行うと、積層体4を加圧していないので、簡単に素子破壊が引き起こされてしまう。そこで、第1の直流分極に際しては、通常の直流分極の場合よりも緩やかに電圧を上昇させることが重要になる。このような観点から、第1の直流分極の際の電圧印加速度は、20V/秒以下とすることが好ましい。

30

【0033】

また、前記第1の直流分極における到達電圧は、あまり低すぎるとクラックの発生が不足し、その後のパルス分極によって飽和分極に近い状態とすることが難しくなるおそれがある。実用的な観点からは、積層型圧電素子1の駆動電圧以上とすることが好ましい。第1の直流分極の際の温度については、例えば高温(150程度)とする必要はなく、室温(25程度)で行えばよい。

【0034】

前記第1の直流分極により圧電セラミック層2にはクラックが形成されるが、例えば駆動時のクラック(層間を跨ぐ形のクラック)の入り方とは異なり、形成されるクラックは層間が剥がれる形で形成され、圧電セラミック層2を厚さ方向に横切ることがなく、素子破壊や短絡等の原因となることはない。

40

【0035】

第1の直流分極の後、パルス分極を行うが、パルス分極の際に印加するパルス電圧の波形は任意である。例えば矩形波であってもよいし、サイン波であってもよい。パルス電圧(直流パルス電圧)は、急激に立ち上がり、極短い継続時間でまた急激に降下するような波形の電圧であり、直流電圧の1種である。当該パルス分極の際に印加するパルス電圧においては、立ち上がりの際の印加電圧速度が50kV/秒以上であることが好ましい。

【0036】

本実施形態においては、積層体4を加圧しながらパルス電圧を印加する。これは次のよ

50

うな理由による。通常、パルス分極においては、分極を促進するために加圧を行わずにパルス電圧の印加を行う。この場合、飽和分極に必要な条件でパルス電圧の印加を行うと、直流分極の場合と同様、素子破壊が引き起こされる可能性がある。これを解消するためには、積層体 4 を加圧しながらパルス電極の印加を行わざるを得ないが、パルス分極のみにより分極を行う場合、加圧すると結局は飽和分極に到達させることが難しくなる。これに対して、本実施形態の場合、予め第 1 の直流分極により圧電セラミック層 2 の分極が進んでいるので、加圧しながらパルス電圧を印加しても十分に飽和分極に到達させることができる。また、加圧を行うので、素子破壊も防ぐことができる。

#### 【0037】

前記パルス分極の条件としては、印加する圧力、到達電圧、周波数等を挙げることができるが、積層型圧電素子 1 の素子温度が 120 ~ 200 となる範囲でこれら条件を設定することが好ましい。さらに、積層型圧電素子 1 の素子温度が 140 ~ 200 となるように条件を設定することがより好ましい。パルス分極においては、圧力や到達電圧、印加するパルス電圧の周波数に応じて積層体 4 が発熱する。前記素子温度は、印加するパルス電圧の圧力や到達電圧、パルスの周波数が高いほど高くなるので、前記温度範囲となるように圧力や到達電圧、周波数を適宜設定すればよい。

10

#### 【0038】

以上のように、直流分極とパルス分極を併用し、第 1 の直流分極によりクラックを形成した状態でパルス分極を行うことで、素子破壊を引き起こすことなく、十分な分極（飽和分極、あるいは飽和分極に近い分極）を実現することができる。すなわち、積層型圧電素子 1 においては、積層方向とほぼ直交するクラック（圧電セラミック層 2 と内部電極層 3 の界面とほぼ平行なクラック）は、駆動時に悪影響を及ぼすことがなく、素子がフリーな状態で直流電圧を印加して前記クラックを入れ、その後圧力を加えながらパルス電圧を印加することにより、積層型圧電素子 1 を壊さずに飽和分極に近づけることができる。

20

#### 【0039】

ただし、前記第 1 の直流分極とパルス分極の組み合わせのみでは、駆動の際の印加圧力がパルス分極時の印加圧力よりも低い場合等において、層間剥離する形のクラックの入り方が不十分となり、層を跨ぐ形のクラックの発生によるショートのを発生を排除しきれない可能性がある。

#### 【0040】

そこで、前記パルス分極の後、第 2 の直流分極を行う。この第 2 の直流分極は、積層型圧電素子 1 の全長が、駆動時の最も伸張した状態での全長とほぼ等しくなるような電圧、あるいはそれ以上となるような電圧を加える。第 2 の直流分極における最適印加電圧は、積層型圧電素子 1 を構成する圧電セラミック層 2 の組成や積層型圧電素子 1 の素子形状、寸法等によって異なるが、一例として 2.0 kV/mm ~ 2.5 kV/mm とすればよい。また、第 1 の直流分極の際の印加電圧  $V_1$  との比較で言えば、第 2 の直流分極の際の印加電圧  $V_2$  は、 $V_2 < V_1$  とすることが好ましい。なお、第 2 の直流分極の際に印加する電圧が高すぎると、層間に跨るクラックが発生し易くなるので、注意を要する。

30

#### 【0041】

第 2 の直流分極では、先の第 1 の直流分極と同様、圧力を加えない無負荷圧力下で分極を行うが、積層部分が剥がれるようなクラックの発生を妨げないのであれば、ある程度の圧力を印加しても構わない。

40

#### 【0042】

前記第 2 の直流分極を行うことにより、十分に層間剥離が発生し、例えばパルス分極時の印加圧力よりも低い圧力下で駆動したとしても、駆動中に層間を跨ぐクラックが発生することがなくなる。

#### 【0043】

図 3 (a) は、前述の一連の分極処理により形成されるクラック C を模式的に示すものである。図 3 (a) に示す例の場合、圧電セラミック層 2 と内部電極層 3 の境界に沿って、あるいは内部電極層 3 が存在しない部分において圧電セラミック層 2 間の境界に沿って

50

、ほぼ水平方向（図中横方向）にクラックCが形成されている。ここで、前記クラックCについては、図3（a）に示すように圧電セラミック層2と内部電極層3の境界に沿ってほぼ水平方向に形成されていることが重要であり、例えば図3（b）に示すように圧電セラミック層2の層間を跨ぐ形でクラックCが入ると、当該クラックCが形成された圧電セラミック層2を挟む形で形成される一対の内部電極層3間の短絡等が問題になるおそれがある。

【実施例】

【0044】

以下、本発明の具体的な実施例について、実験結果に基づいて説明する。

【0045】

10

<実施例1～実施例4>

#### 積層型圧電素子の作製

6mm×6mmのPZT（チタン酸ジルコン酸鉛）圧電セラミック材料を含むグリーンシート上に内部電極層を形成し、これを300層重ねて積層体を形成した。PZT圧電セラミック材料の組成は、 $(Pb_{0.965}Sr_{0.03})[(Nb_{2/3}Zn_{1/3})_{0.10}Ti_{0.430}Zr_{0.460}]O_3 + Ta_2O_5$ （0.4質量%）である。内部電極層は、Ag/Pd（70：30）を導電材料として含む導電ペーストを所定パターンで印刷することにより形成した。層間（各圧電セラミック層の厚さ）は80μmとした。

【0046】

20

#### 分極処理

圧力を開放した状態（印加圧力なし）で第1の直流分極を行い、次いで圧力を加えながらパルス分極を行った。第1の直流分極では、層間（各圧電セラミック層の厚さ）に対する到達電圧は2.5kV/mm（積層型圧電素子に対して200V）とした。また、前記到達電圧までの昇電時間を100秒とし、前記到達電圧での保持時間は0秒とした。すなわち、昇圧後、直ちに降圧した。この第1の直流分極によって、積層型圧電素子の圧電セラミック層と内部電極層の界面に沿ってクラック（層間剥離）が形成されたのが観察された。

【0047】

パルス分極は、20MPa（実施例1）～50MPa（実施例4）の圧力を加えながら、2.5kV/mmのパルス電圧を印加した。パルス波形の形状は、0.2-1-0.2msecの台形波とした。

30

【0048】

その後、さらに圧力を開放した状態（印加圧力なし）で第2の直流分極を行った。第2の直流分極の条件としては、到達電圧2.3kV/mm（積層型圧電素子に対して184V）とした以外は第1の直流分極と同様に行った。

【0049】

#### 積層型圧電素子の温度測定

パルス分極中の積層型圧電素子の温度を測定した。測定には、横河メータ&インスツルメンツ社製のデジタル放射温度計を使用した。

【0050】

40

#### 駆動試験

15MPaの圧力を加えながら、2.5kV/mm（積層型圧電素子に対して200V）のパルス電圧を印加し、パルス駆動を $10^8$ 回まで行った。

【0051】

#### 駆動前後の変位の大きさ（d33）における変化率

分極後の積層型圧電素子の変位の大きさ（d33）と、パルス駆動を行った後の積層型圧電素子の変位の大きさ（d33）を測定し、駆動前の変位と駆動後の変位の変化率を計算した。変化率は、（駆動後d33 - 駆動前d33）/ 駆動前d33により算出した。結果を表1に示す。

【0052】

50

【表 1】

	DC分極		パルス分極		DC分極		変位(d33)				駆動試験	
	電圧 (kV/mm)	圧力 (MPa)	電圧 (kV/mm)	圧力 (MPa)	電圧 (kV/mm)	圧力 (MPa)	圧力 (MPa)	駆動前 (pC/N)	駆動後 (pC/N)	変化率 (%)	回数 (回)	
実施例1	2.5	-	2.5	20	2.3	-	15	729	738	1.2	10 <sup>8</sup>	
実施例2	2.5	-	2.5	30	2.3	-	15	741	737	-0.5	10 <sup>8</sup>	
実施例3	2.5	-	2.5	40	2.3	-	15	748	750	0.3	10 <sup>8</sup>	
実施例4	2.5	-	2.5	50	2.3	-	15	742	748	0.8	10 <sup>8</sup>	

10

20

30

40

## 【0053】

実施例1では、駆動時の印加圧力を15MPaとした場合にも、駆動試験で10<sup>8</sup>回の間、問題なく動作し、層間を跨ぐクラックが発生していないことが確認された。これは、パルス分極後、第2の直流分極により積層型圧電素子をゆっくりと伸ばすことで、十分な層間剥離を発生させたためと考えられる。実施例1では、パルス分極の際の素子温度が120に到達したが、駆動前後の変化率は1.2%であり、第1の直流分極、パルス分極

50

、及び第2の直流分極を順次行うことで、十分な分極が行われたことがわかる。なお、駆動試験後に変位の大きさ  $d_{33}$  が大きくなるのは、分極が不十分であることを意味する。ここでは、変化率が 3.0% を越えた場合に、分極が不十分と判断した。

【0054】

実施例2～実施例4では、パルス分極の際の圧力を表1に示す通り変更したが、いずれの場合にも駆動試験で  $10^8$  回の間、問題なく動作し、層間を跨ぐクラックが発生していないことが確認された。また、実施例1に比べて実施例2～実施例4では駆動試験前の変位の大きさ  $d_{33}$  が大きくなっていった。これは、パルス分極の際の素子温度が影響しているものと考えられ、前記結果に鑑みると、パルス分極の際の素子温度は 140 ～ 200 とすることがより好ましいことがわかる。

10

【0055】

< 比較例1 >

先の実施例と同様の積層型圧電素子を作製し、分極処理を行った。分極処理において、第1の直流分極は先の実施例と同様に行った。パルス分極は、圧力 40 MPa とし、他は実施例と同様に行った。パルス分極の際の素子温度は 160 であった。第2の直流分極は行わなかった。

【0056】

分極処理後の積層型圧電素子の変位の大きさ  $d_{33}$  (駆動前) は、818 pC/N であり、圧力 40 MPa で駆動したところ、駆動後の変位の大きさ  $d_{33}$  は 819 pC/N、変化率 0.1% と良好な結果を示した。しかしながら、圧力 15 MPa で駆動を行うと、 $10^3$  回でショートしてしまい、積層型圧電素子が破壊されてしまった。破壊された積層型圧電素子を調べたところ、素子内部において層間を跨ぐクラックが形成され、ショートが発生していることがわかった。

20

【0057】

< 比較例2 >

先の実施例と同様の積層型圧電素子を作製し、分極処理を行った。分極処理において、第1の直流分極は先の実施例と同様に行った。パルス分極は、圧力 15 MPa とし、他は実施例と同様に行った。パルス分極の際の素子温度は 110 であった。第2の直流分極は行わなかった。

【0058】

本例の場合、印加圧力 15 MPa の駆動において、駆動前の変位の大きさ  $d_{33}$  が 647 pC/N、駆動後の変位の大きさ  $d_{33}$  が 728 pC/N であり、駆動可能ではあったが、分極が不十分であり、変化率が 12.5% にもなった。

30

【図面の簡単な説明】

【0059】

【図1】積層型圧電素子の概略構成を示す斜視図である。

【図2】本発明を適用した分極方法における印加電圧プロファイルを示す図である。

【図3】クラックの入る様子を示す模式図であり、(a) は圧電セラミック層と内部電極層の界面に沿って形成されるクラックの模式図、(b) は層間に跨る形で形成されたクラックの模式図である。

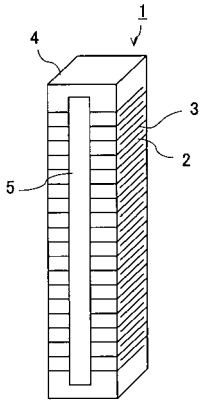
40

【符号の説明】

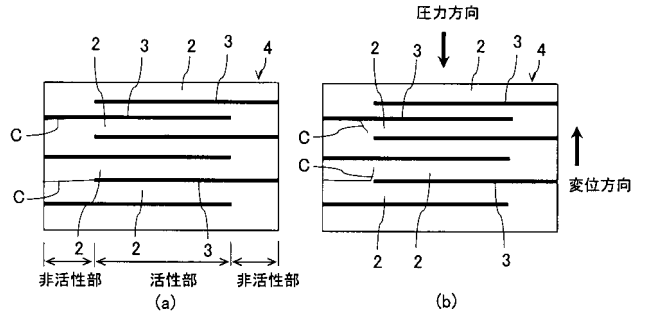
【0060】

1 積層型圧電素子、2 圧電セラミック層、3 内部電極層、4 積層体、5 外部電極

【 図 1 】



【 図 3 】



【 図 2 】

