

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】令和2年3月26日(2020.3.26)

【公開番号】特開2017-204279(P2017-204279A)

【公開日】平成29年11月16日(2017.11.16)

【年通号数】公開・登録公報2017-044

【出願番号】特願2017-93906(P2017-93906)

【国際特許分類】

G 06 F 30/331 (2020.01)

G 06 F 9/445 (2018.01)

【F I】

G 06 F 17/50 6 6 4 P

G 06 F 9/06 6 4 0 Z

【手続補正書】

【提出日】令和2年2月12日(2020.2.12)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

FPGAネットリストを作成する方法であって、

前記FPGAネットリストは、FPGAソースコード(20)と少なくとも1つのシャドーレジスタ(10)とから形成され、

前記FPGAソースコード(20)は、少なくとも1つの機能と少なくとも1つの信号(30)とを規定し、前記シャドーレジスタ(10)は、前記FPGAネットリスト内で規定されており、

前記シャドーレジスタ(10)は、前記少なくとも1つの信号(30)に割り当てられ、かつ、当該割り当てられた信号(30)の信号値を実行時間中に記憶するように調整および設定され、

記憶された前記信号値を実行時間中に読み出す手段が設定および調整され、

前記ネットリストは、FPGA上にロードされ、当該FPGAによって実行されるように設定され、

前記FPGAソースコード(20)によって記述された前記機能は、前記FPGAによって実行される方法において、

前記シャドーレジスタ(10)の機能的な分離によって、前記シャドーレジスタ(10)を前記FPGAソースコード(20)において記述された前記機能から分離し、当該分離の時点での前記シャドーレジスタ(10)内に記憶された前記信号値は、前記FPGAソースコード(20)において記述された前記機能が実行される間、変更されず、

分離時から変更されない、前記シャドーレジスタ(10)内に記憶された前記信号値を出力する、

ことを特徴とする、FPGAネットリストを作成する方法。

【請求項2】

前記FPGAソースコード(20)は、複数の信号(30)を規定し、

複数のシャドーレジスタ(10)がそれぞれ1つの信号(30)に割り当てられ、

前記機能的な分離は、前記複数のシャドーレジスタ(10)を同期して分離するように設定されている、

請求項 1 記載の方法。

【請求項 3】

前記分離のために、前記シャドーレジスタ(10)のイネーブル信号(60)または前記シャドーレジスタ(10)のクロック信号(700)が中断される、

請求項 1 または 2 記載の方法。

【請求項 4】

前記 FPGA ソースコード(20)は、グラフィックモデルまたはテキスト形式のコードとして存在する、

請求項 1 から 3 までのいずれか 1 項記載の方法。

【請求項 5】

前記シャドーレジスタ(10)は前記 FPGA ソースコード(20)または前記 FPGA ソースコード(20)のコピー内に挿入される、

請求項 1 から 4 までのいずれか 1 項記載の方法。

【請求項 6】

前記ソースコード(20)からネットリストが作成され、前記シャドーレジスタ(10)が当該ネットリスト内に挿入される、

請求項 1 から 5 までのいずれか 1 項記載の方法。

【請求項 7】

前記シャドーレジスタ(10)は自動的に挿入され、前記信号(30)に割り当てられる、

請求項 1 から 6 までのいずれか 1 項記載の方法。

【請求項 8】

前記信号(30)が既に前記ソースコード(20)の別の箇所でシャドーレジスタ(10)に割り当てられているか否かが自動的に検査され、前記信号(30)が既に前記ソースコード(20)の別の箇所でシャドーレジスタ(10)に割り当てられている場合には、当該信号(30)にさらなるシャドーレジスタ(10)は割り当てられない、

請求項 1 から 7 までのいずれか 1 項記載の方法。

【請求項 9】

少なくとも 2 つのシャドーレジスタ(10, 100)が挿入され、前記信号(30)に割り当てられ、

前記第 1 のシャドーレジスタ(100)は、実行時間中に、最新の信号値を記憶するよう設定および調整され、また、前記第 2 のシャドーレジスタ(10)は分離されている、

請求項 1 から 8 までのいずれか 1 項記載の方法。

【請求項 10】

前記ネットリストの作成時に、前記 FPGA の外部リードバックインターフェースおよび / または内部リードバックインターフェースを介した前記シャドーレジスタ(10)の読み出しが設定および調整される、請求項 1 から 9 までのいずれか 1 項記載の方法。

【請求項 11】

複数のシャドーレジスタ(10)が挿入され、

当該複数のシャドーレジスタ(10)が結合されて、1 つのシフトレジスタチェーンになり、前記 FPGA の外部インタフェースを介して読み出されるように設定および調整される、

請求項 1 から 10 までのいずれか 1 項記載の方法。

【請求項 12】

複数のシャドーレジスタ(10)が挿入され、前記 FPGA の外部インターフェースを介した当該複数のシャドーレジスタ(10)の読み出しのために、アドレスコードが設定および調整される、請求項 1 から 11 までのいずれか 1 項記載の方法。

【請求項 13】

前記シャドーレジスタに対して付加的にロジック(110, 140)が挿入され、

当該ロジック（110, 140）は、実行時間中に、前記信号値が変化すると、トリガ信号（130）を出力するように設定および調整され、

当該トリガ信号（130）は、前記シャドーレジスタの分離を引き起こす、
請求項1から12までのいずれか1項記載の方法。

【請求項14】

前記シャドーレジスタ（10）の挿入前に、

- ・最初の前記信号値（30）が依存する、前記FPGAソースコード（20）における全ての定数を求めるステップと、
 - ・前記定数の見出された値に対して最小の必要ビット幅を求めるステップと、
 - ・前記定数を、各求められた前記最小の必要ビット幅で、再構成する、または、前記定数を、各求められた前記最小の必要ビット幅で、後からキャスティングするステップと、
 - ・前記FPGAソースコードを通して、前記ビット幅を伝えるステップと、

が実行される、

請求項1から13までのいずれか1項記載の方法。

【請求項15】

前記シャドーレジスタ（10）は、前記ネットリストの作成および／またはさらなる処理の際、ルート最適化から保護される、

請求項1から14までのいずれか1項記載の方法。