



CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

一种像素电路、显示面板及显示装置，用以提高显示装置中发光器件的寿命。所述像素电路包括：充电子电路（1）、第一驱动子电路（2）和第二驱动子电路（3），第一电容（C1）和第二电容（C2）；所述第一电容（C1）的第一端（A）与第一驱动子电路（2）和第二驱动子电路（3）的第一端相连，所述第一电容（C1）的第二端（B）与所述充电子电路（1）和第二电容（C2）的第一端（C）相连；所述第一驱动子电路（2）的第二端与第一发光器件（D1）相连，所述第二驱动子电路（3）的第二端与第二发光器件（D2）相连，其中，第一驱动子电路（2）流入第一发光器件（D1）的驱动电流和第二驱动子电路（3）流入第二发光器件（D2）的驱动电流方向相反。

像素电路、显示面板及显示装置

技术领域

5 本发明涉及有机发光显示技术领域，尤其涉及一种像素电路、显示面板及显示装置。

背景技术

有机发光显示器件因其具有低功耗、高亮度、低成本、广视角，以及响应速度快等优点备受关注，在有机发光技术领域已经得到广泛应用。

10 有机电致发光二极管（Organic Light Emitting Diode, OLED）是目前有机发光领域应用较多的一种发光器件。目前，OLED 按照驱动方式可以分为无源驱动和有源驱动两大类，即直接寻址和薄膜晶体管（Thin Film Transistor, TFT）矩阵寻址两类。其中，有源驱动 OLED 也称为有源矩阵 OLED（AMOLED），每一个子像素单元中的发光器件通过像素电路和加载直流电源电压信号（ V_{DD} 或 V_{SS} ）的电源线对其进行驱动发光。

参见图 1，为现有驱动发光器件发光的像素电路结构示意图，以 n 型驱动晶体管为例，像素电路包括：驱动晶体管 T1、电容 C1、开关晶体管 T2；

20 电容 C1 的第一端与驱动晶体管 T1 的栅极相连，第二端与低电平参考电压源 V_{SS} 相连；开关晶体管 T2 的漏极与驱动晶体管 T1 的栅极相连，栅极与门信号源 V_{Scan} 相连，源极与数据信号源 V_{Data} 相连；驱动晶体管 T1 的源极与高电平参考电压源 V_{DD} 相连，漏极与发光器件 D1 的正极相连，发光器件 D1 的负极与低电平参考电压源 V_{SS} 相连。

25 在一帧图像显示阶段，驱动发光器件 D1 发光之前，门信号源输出电压信号 V_{Scan} 使开关晶体管 T2 开启，数据信号源与电容 C1 所在支路导通，数据信号源输出数据信号 V_{Data} 加载到电容 C1 的第二端，为电容 C1 充电；驱动发光器件 D1 发光阶段，电容 C1 放电，驱动发光器件 D1 发光。

30 图 1 所示的像素电路，仅能驱动一个发光器件发光，每一发光器件对应一个像素单元的发光区域，在每帧图像扫描时，信号均要写入该像素电路，每帧图像扫描时，像素单元对应的发光区域均要发光显示。AMOLED 显示器驱动 OLED 发光属于直流驱动，长时间直流驱动电压对应的电场造成 OLED 内部离

子极性化,使得 OLED 形成内建电场,从而使 OLED 阈值电压增大,大大降低了 OLED 的发光效率,缩短了 OLED 寿命。寿命是制约有机发光显示装置,尤其是大尺寸,高亮度的有机发光显示装置广泛应用的重要因素。

5 发明内容

本发明实施例提供的一种像素电路、显示面板及显示装置,用以提高显示装置中发光器件的寿命。

本发明实施例提供的一种像素电路包括:充电子电路、第一驱动子电路和第二驱动子电路,第一电容和第二电容;

10 所述第一电容的第一端与第一驱动子电路和第二驱动子电路的第一端相连,所述第一电容的第二端与所述充电子电路和第二电容的第一端相连;

所述第一驱动子电路的第二端与第一发光器件相连,所述第二驱动子电路的第二端与第二发光器件相连,其中,第一驱动子电路流入第一发光器件的驱动电流和第二驱动子电路流入第二发光器件的驱动电流方向相反;

15 所述充电子电路用于为所述第一电容充电,所述第二电容用于维持所述第一电容第二端的电压;所述第一电容放电时使得第一驱动子电路驱动第一发光器件发光,或使得第二驱动子电路驱动第二发光器件发光。

示例性地,所述第一驱动子电路包括 N 型驱动晶体管,所述第二驱动子电路包括 P 型驱动晶体管;

20 其中,所述 N 型驱动晶体管的栅极与所述第一电容的第一端相连,源极与可提供交流信号的第一参考电压源相连,漏极与第一发光器件的负极相连,第一发光器件的正极与可提供交流信号的第二参考电压源相连;所述第二电容的第二端与所述第一参考电压源相连;

所述 P 型驱动晶体管的栅极与所述第一电容的第一端相连;源极与所述第一参考电压源相连,漏极与第二发光器件的正极相连,第二发光器件的负极与所述第二参考电压源相连。

示例性地,所述充电子电路包括:

数据信号源、第一门信号源,以及与数据信号源和第一门信号源相连的第一开关晶体管;

30 第一开关晶体管的漏极与数据信号源相连,源极与第一电容的第二端相连,栅极与第一门信号源相连;

所述第一门信号源用于控制所述第一开关晶体管开启,使得所述数据信号源与所述第一电容所在支路导通,数据信号源向所述第一电容充电。

示例性地,还包括复位子电路,复位子电路包括:第二门信号源、第二开关晶体管和待复位到参考复位电压的第三参考电压源;第二开关晶体管的源极与第一电容的第二端相连,漏极与待复位到参考复位电压的第三参考电压源相连,栅极与第二门信号源相连。

所述复位子电路用于在充电子电路为第一电容充电之前,将第一电容中存储的信号复位至参考复位电压。

示例性地,还包括与所述第一驱动子电路相连的第一补偿子电路,和与所述第二驱动子电路相连的第二补偿子电路;

所述第一补偿子电路包括第三开关晶体管;

所述第二补偿子电路包括第四开关晶体管;

其中,所述第三开关晶体管的源极与所述N型驱动晶体管的栅极相连,漏极与N型驱动晶体管的漏极相连,栅极与第三门信号源相连;

所述第四开关晶体管的源极与P型驱动晶体管的栅极相连,漏极与P型驱动晶体管的漏极相连,栅极与所述第三门信号源相连。

示例性地,还包括控制所述第一发光器件和第二发光器件与第二参考电压源之间的导通的第五开关晶体管,所述第五开关晶体管的栅极与充电控制信号源相连,源极与所述第一发光器件的正极以及第二发光器件的负极相连,漏极与第二参考电压源相连,所述充电控制信号源用于控制所述第五开关晶体管的开启与关闭。

示例性地,所述第一开关晶体管、第二开关晶体管、第三开关晶体管、第四开关晶体管和第五开关晶体管为N型晶体管,或者

所述第一开关晶体管、第二开关晶体管、第三开关晶体管、第四开关晶体管和第五开关晶体管为P型晶体管;

所述第二门信号源和第三门信号源为同一门信号源。

按照本发明实施例,提供一种显示面板,包括由栅线和数据线围设而成的多个呈矩阵排列的像素单元,每一像素单元中包括一个像素电路和与该像素电路相连的发光器件;

其中,所述像素电路为上述像素电路;

位于同一行的像素电路中的充电子电路与同一条栅线相连,位于同一列的

像素电路中的充电子电路与同一条数据线相连；在一帧图像显示阶段，所述第一驱动子电路和第二驱动子电路先后分别驱动第一发光器件发光和第二发光器件发光之前，所述充电子电路通过数据线和栅线为所述第一电容充电。

示例性地，所述像素电路为上述像素电路；

5 所述第一开关晶体管的漏极通过数据线与所述数据信号源相连，栅极通过所述栅线与所述第一门信号源相连；

所述门信号源和数据信号源分别通过栅线和数据线为所述第一电容充电。

按照本发明实施例，提供一种显示装置，包括上述显示面板。

10 本发明通过在每一个像素区域设置两个相并联的第一发光器件和第二发光器件，第一发光器件和第二发光器件的工作电流方向相反，且分别通过N型驱动晶体管和P型驱动晶体管驱动发光。第一发光器件和第二发光器件交替轮流发光，可以提高每一发光器件的寿命。

附图说明

15 图1为现有像素电路结构示意图；

图2为本发明实施例的像素电路结构示意图之一；

图3为本发明实施例的像素电路结构示意图之二；

图4为本发明实施例的像素电路结构示意图之三；

图5为本发明实施例的像素电路结构示意图之四；

20 图6为本发明实施例的像素电路结构示意图之五；

图7为本发明实施例的像素电路结构示意图之六；

图8为图6所示的像素电路工作的时序图；

图9为本发明实施例的与第一驱动子电路对应的具有复位功能的像素电路结构示意图；

25 图10为本发明实施例的与第一驱动子电路对应的具有充电功能的像素电路结构示意图；

图11为本发明实施例的与第一驱动子电路对应的具有驱动发光器件发光功能的像素电路结构示意图；

30 图12为本发明实施例的与第二驱动子电路对应的具有复位功能的像素电路结构示意图；

图13为本发明实施例的与第二驱动子电路对应的具有充电功能的像素电

路结构示意图；

图 14 为本发明实施例的与第二驱动子电路对应的具有驱动发光器件发光功能的像素电路结构示意图；

图 15 为本发明实施例的有机发光显示面板结构示意图。

5

具体实施方式

在本发明实施例中提供一种像素电路、显示面板及显示装置，用以提高显示装置中发光器件的寿命，以及改善发光器件发光显示不均匀的问题。

需要说明的是，对于显示领域的晶体管来说，漏极和源极没有明确的区别，因此本发明实施例中所提到的晶体管的源极可以为晶体管的漏极，晶体管的漏极也可以为晶体管的源极。

在 AMOLED 显示面板中，包括由栅线和数据线围设而成的多个呈矩阵分布的像素单元，每一个像素单元包括一个像素电路。本发明实施例通过在每一个像素单元设置两个并联连接的第一驱动子电路和第二驱动子电路，第一驱动子电路和第二驱动子电路在不同时间段分别驱动与各自相连的第一发光器件和第二发光器件轮流发光。例如，在一帧图像显示时间 t 内，前 $(1/2)t$ 时间内第一驱动子电路驱动第一发光器件发光，后 $(1/2)t$ 时间内第二驱动子电路驱动第二发光器件发光。相比较在一个像素单元设置一个发光器件的像素电路，按照本发明实施例的发光器件的寿命至少提高一倍。

一般地，像素电路驱动发光器件发光的过程至少包括两个阶段，即数据信号的写入阶段和发光阶段。在第一驱动子电路和第二驱动子电路分别驱动第一发光器件和第二发光器件发光之前，充电电路用于为驱动子电路中的电容充电，电容充电后在发光阶段放电，驱动第一驱动子电路或第二驱动子电路中的发光器件发光。

以下将结合附图具体说明按照本发明实施例的像素电路、显示面板及显示装置。

参见图 2，本发明实施例的像素电路，包括：

充电电路 1、第一电容 C1、第二电容 C2、第一驱动子电路 2 和第二驱动子电路 3；

第一电容 C1 的第一端与第一驱动子电路 2 和第二驱动子电路 3 的第一端相连，第一电容 C1 的第二端与充电电路 1 和第二电容 C2 的第一端相连；

第一驱动子电路 2 的第二端与第一发光器件 D1 相连, 第二驱动子电路 3 的第二端与第二发光器件 D2 相连, 其中, 第一驱动子电路 2 流入第一发光器件 D1 的驱动电流和第二驱动子电路 3 流入第二发光器件 D2 的驱动电流方向相反; 图 2 中带箭头的线段表示驱动电流的方向。

5 充电子电路 1 用于为第一电容 C1 充电, 第二电容 C2 用于维持第一电容 C1 第二端的电压; 第一电容 C1 放电时使得第一驱动子电路 2 驱动第一发光器件 D1 发光, 或使得第二驱动子电路 3 驱动第二发光器件 D2 发光。

示例性地, 本发明实施例中采用的发光器件(如所述第一发光器件和第二发光器件)可以为 OLED 或其他有机电致发光元件等, 本发明不作具体限定。

10 需要说明的是, 如图 2 所示的第一驱动子电路和第二驱动子电路共用第一电容 C1。本发明实施例的第一驱动子电路和第二驱动子电路也可以分别连接一个电容, 两个电容并联连接。

以下通过举例更具体地说明图 2 提供的像素电路。

参见图 3, 本发明实施例的像素电路, 包括:

15 充电子电路 1、第一电容 C1、第二电容 C2, 第一驱动子电路 2 和第二驱动子电路 3; 第一驱动子电路 2 与第一发光器件 D1 相连; 第二驱动子电路 3 与第二发光器件 D2 相连;

第一驱动子电路 2 包括: n 型驱动晶体管 T_n;

其中, N 型驱动晶体管 T_n 的栅极与第一电容 C1 的第一端(A 端)相连, 源极与可提供交流电压信号的第一参考电压源 11 的输出端相连; 漏极与第一发光器件 D1 的负极相连; 第一电容 C1 的第二端(B 端)与第二电容 C2 的第一端(C 端)相连, 第二电容 C2 的第二端(D 端)与第一参考电压源 11 的输出端相连(即第一电容 C1 和第二电容 C2 串联连接); 第一发光器件 D1 的正极与可提供交流电压信号的第二参考电压源 12 的输出端相连;

25 第二驱动子电路 3 包括: P 型驱动晶体管 T_p;

P 型驱动晶体管 T_p 的栅极与第一电容 C1 的第一端(A 端)相连, 源极与第一参考电压源 11 的输出端相连; 漏极与第二发光器件 D2 的正极相连; 第一电容 C1 的第二端(B 端)与第二电容 C2 的第一端(C 端)相连, 第二电容 C2 的第二端(D 端)与第一参考电压源 11 的输出端相连; 第二发光器件 D2 的负极与第二参考电压源 12 的输出端相连;

充电子电路 1 与第一电容 C1 的第二端(B 端)相连;

充电子电路 1 用于在驱动第一发光器件 D1 或第二发光器件 D2 发光之前向第一电容 C1 输入数据信号, 第二电容 C2 用于维持第一电容 C1 第二端 (B 端) 的电位。

第一驱动子电路 2 和第二驱动子电路 3 用于在时序信号的控制下分别驱动
5 第一发光器件 D1 和第二发光器件 D2 发光。

按照本发明实施例的像素电路, 第一发光器件和第二发光器件交替发光, 各自的寿命至少提高一倍。

此外, 按照本发明实施例的像素电路, 第一驱动子电路和第二驱动子电路共用第一电容和第二电容, 且共用第一参考电压源和第二参考电压源; 由于第
10 一驱动子电路和第二驱动子电路在不同时间段工作, 第一电容、第二电容、第一参考电压源和第二参考电压源分时间工作, 可以简化电路的结构。

在具体实施时, 按照本发明实施例的像素电路只需要切换第一参考电压源和第二参考电压源输出电压的高低电平状态, 即可实现第一驱动子电路和第二驱动子电路交替工作。具体地, 当第一参考电压源和第二参考电压源分别输出
15 高电平和低电平电压时, 第二驱动子电路驱动第二发光器件发光; 当第一参考电压源和第二参考电压源分别输出低电平和高电平电压时, 第一驱动子电路驱动第一发光器件发光。

需要说明的是, 按照本发明实施例的像素电路, 与第一驱动子电路相连的发光器件不限于为一个, 与第二驱动子电路相连的发光器件也不限于为一个。
20 第一驱动子电路和第二驱动子电路分别可以与多个相互串联的发光器件相连, 这里不作具体限定。

设第一参考电压源输出的电压 V_{SD} 的高电平电压为 V_{DD} , 低电平电压为 V_{SS} , 第二参考电压源输出的参考电压 V_{DS} 的高电平电压为 V_{DD} , 低电平电压为 V_{SS} 。 V_{DD} 为大于零的正值, V_{SS} 的值可以为零或者为小于零的负值。

25 以下将举例说明图 3 所示的像素电路结构。

参见图 4, 图 3 所示的充电子电路 1 可包括:

数据信号源 13、第一门信号源 14, 以及与数据信号源 13 和第一门信号源 14 相连的第一开关晶体管 T1;

具体地, 第一开关晶体管 T1 的漏极与数据信号源 13 的输出端相连, 源极与第一电容 C1 的第二端 (B 端) 相连, 栅极与第一门信号源 14 的输出端相连;
30 第一门信号源 14 用于在时序信号的控制下控制第一开关晶体管 T1 的开启与关

闭, 数据信号源 13 用于在第一开关晶体管 T1 开启时向第一电容 C1 写入数据信号。

需要说明的是, 第一开关晶体管 T1 起开关作用, 其可以为 N 型晶体管或 P 型晶体管。图 4 中所示的第一开关晶体管 T1 为 P 型晶体管。

5 参见图 5, 为了保证上一帧信号对下一帧信号的影响程度最小, 按照本发明实施例的像素电路还包括复位子电路 4, 用于在充电电子电路 1 充电之前将第一电容 C1 第二端 (B 端) 的电压复位至参考复位电压 V_{INI} 。

复位子电路 4 包括:

10 第二门信号源 41、第二开关晶体管 T2 和提供参考复位电压 V_{INI} 的第三参考电压源 42;

第二开关晶体管 T2 的源极与第一电容 C1 的第二端 B 相连, 漏极与提供参考复位电压的第三参考电压源 42 相连, 栅极与第二门信号源 41 的输出端相连;

15 所述第三参考电压源 42 输出的电压可以为具有一定值的恒定电压, 输出的电压为 V_{INI} , 也可以为接地电压 GND。

本发明实施例为了实现所述驱动电流与 N 型驱动晶体管 T_n 的阈值电压 V_{th1} 或 P 型驱动晶体管 T_p 的阈值电压 V_{th2} 无关, 避免不同驱动晶体管阈值电压差异导致的各像素发光不均匀的问题, 该像素电路还包括解决上述问题的补偿子电路。

20 参见图 6, 按照本发明实施例的像素电路还包括: 与第一驱动子电路 2 相连的第一补偿子电路 5, 以及与第二驱动子电路 3 相连的第二补偿子电路 6;

第一补偿子电路 5 包括第三开关晶体管 T3; 第三开关晶体管 T3 的源极与 N 型驱动晶体管 T_n 的栅极相连, 漏极与 n 型驱动晶体管 T_n 的漏极相连, 栅极与第三门信号源 15 的输出端相连;

25 第二补偿子电路 6 包括第四开关晶体管 T4; 第四开关晶体管 T4 的源极与 P 型驱动晶体管 T_p 的栅极相连, 漏极与 P 型驱动晶体管 T_p 的漏极相连, 栅极与第三门信号源 15 的输出端相连。

示例性地, 按照本发明实施例的第一发光器件和第二发光器件可以为 OLED 或其他有机电致发光元件等, 本发明对此不作具体限定。

30 参见图 7, 为了避免在写入阶段像素电路第二参考电压源 12 对充电电子电路 1 的影响, 像素电路还包括: 第五开关晶体管 T5;

第五开关晶体管 T5 的栅极与充电控制信号源 16 的输出端相连,源极同时与第一发光器件 D1 的正极以及第二发光器件 D2 的负极相连,漏极与第二参考电压源 12 的输出端相连。充电控制信号源 16 在时序的控制下控制第五开关晶体管 T5 开启或关闭。

5 示例性地,所述第一开关晶体管、第二开关晶体管、第三开关晶体管、第四开关晶体管和第五开关晶体管的类型可以完全相同或者部分相同。例如,所述第一开关晶体管、第二开关晶体管、第三开关晶体管、第四开关晶体管和第五开关晶体管均为 N 型晶体管或者均为 N 型晶体管。

10 当第一开关晶体管、第二开关晶体管、第三开关晶体管、第四开关晶体管和第五开关晶体管的类型相同时,所述第二门信号源和第三门信号源为同一门信号源(即共用门信号源),这样可以达到简化电路结构的目的。

在具体实施过程中,第一门信号源、第二门信号源、第三门信号源通过栅线与相应的开关晶体管相连。数据信号源通过数据线与第一开关晶体管相连。

15 如图 7 所示,第一门信号源通过栅线 G_n 与第一开关晶体管 T1 相连,第一门信号源为第一开关晶体管 T1 提供栅极电压(图 7 中未体现第一门信号源);

第二门信号源通过栅线 G_(n-1) 与第二开关晶体管 T2 相连,第三门信号源通过栅线 G_(n-1) 分别与第三开关晶体管 T3 和第四开关晶体管 T4 相连(图 7 中未体现第二门信号源和第三门信号源)。

以下将举例说明本发明实施例的像素电路的工作原理:

20 在一帧图像显示的前 1/2 时间内控制所述第一驱动子电路驱动第一发光器件发光;

在后 1/2 时间内控制像素电路的第二驱动子电路驱动第二发光器件发光。

所述控制第一驱动子电路驱动第一发光器件发光的过程,具体包括:

25 复位阶段,所述第二门信号源控制第二开关晶体管开启,第三门信号源控制第三开关晶体管和第四开关晶体管开启;充电控制信号源控制第五开关晶体管开启;第一门信号源控制第一开关晶体管关闭;第一参考电压源输出低电平、第二参考电压源输出高电平,使得 N 型驱动晶体管、第一电容和第二电容所在支路导通,第三参考电压源输出的电压 V_{INI} 加载到第一电容的第二端,第二电容的第二端复位至 V_{INI} 。

30 写入阶段,第一门信号源控制第一开关晶体管开启,所述第二门信号源控制第二开关晶体管关闭,第三门信号源控制第三开关晶体管和第四开关晶体管

关闭;充电控制信号源控制第五开关晶体管关闭;第一参考电压源输出低电平、第二参考电压源输出高电平,使得N型驱动晶体管、第一电容、第二电容和数据信号源所在支路导通,数据信号源输出的电压加载到第一电容的第二端,第一电容存储数据信号。

- 5 发光阶段,第一门信号源控制第一开关晶体管关闭,所述第二门信号源控制第二开关晶体管关闭,第三门信号源控制第三开关晶体管和第四开关晶体管关闭;充电控制信号源控制第五开关晶体管开启;第一参考电压源输出低电平、第二参考电压源输出高电平,使得N型驱动晶体管、第一电容、第二电容和第一发光器件所造支路导通,第一电容放电,第一驱动子电路驱动第一发光器件
10 发光。

所述控制第二驱动子电路驱动第二发光器件发光的过程,具体包括:

- 复位阶段,所述第二门信号源控制第二开关晶体管开启,第三门信号源控制第三开关晶体管和第四开关晶体管开启;充电控制信号源控制第五开关晶体管开启;第一门信号源控制第一开关晶体管关闭;第一参考电压源输出高电平、
15 第二参考电压源输出低电平,使得N型驱动晶体管、第一电容和第二电容所在支路导通,第三参考电压源输出的电压 V_{INI} 加载到第一电容的第二端,第二电容的第二端复位至 V_{INI} 。

- 写入阶段,第一门信号源控制第一开关晶体管开启,所述第二门信号源控制第二开关晶体管关闭,第三门信号源控制第三开关晶体管和第四开关晶体管
20 关闭;充电控制信号源控制第五开关晶体管关闭;第一参考电压源输出高电平、第二参考电压源输出低电平,使得N型驱动晶体管、第一电容、第二电容和数据信号源所在支路导通,数据信号源输出的电压加载到第一电容的第二端,第一电容存储数据信号。

- 发光阶段,第一门信号源控制第一开关晶体管关闭,所述第二门信号源控制
25 第二开关晶体管关闭,第三门信号源控制第三开关晶体管和第四开关晶体管关闭;充电控制信号源控制第五开关晶体管开启;第一参考电压源输出高电平、第二参考电压源输出低电平,使得N型驱动晶体管、第一电容、第二电容和第一发光器件所造支路导通,第一电容放电,第一驱动子电路驱动第一发光器件发光。

- 30 以下将结合图6所示的像素电路和图8所示的像素电路工作过程的时序图,具体说明本发明实施例提供的像素电路工作原理。

设第一门信号源 14 输出电压信号为 V_{Scan1} , 设第二门信号源 41 输出电压信号为 V_{Scan2} , 第三门信号源 15 输出电压信号为 V_{Scan3} ;

第二门信号源 41 和第三门信号源 15 对应的时序图相同; 示例性地, 第二门信号源 41 和第三门信号源 15 为同一门信号源; 设充电控制信号源 16 输出电压信号为 V_{EM} 。设 V_{DD} 为高于 GND 的正值, V_{SS} 为低于 GND 的负值。

以第一开关晶体管 T1、第二开关晶体管 T2、第三开关晶体管 T3、第四开关晶体管 T4 和第五开关晶体管 T5 为 P 型晶体管为例说明。

N 型晶体管在栅极输入高电平电压时开启, 输入低电平电压时关闭; P 型晶体管在栅极输入低电平电压时开启, 输入高电平电压时关闭。

图 6 中, 驱动第一发光器件 D1 发光对应图 8 中的复位阶段 (a 阶段)、写入阶段 (b 阶段), 以及发光阶段 (c 阶段); 驱动第二发光器件 D2 发光对应图 8 中的复位阶段 (d 阶段)、写入阶段 (e 阶段), 以及发光阶段 (f 阶段)。

a 阶段: 复位阶段。

如图 8 所示, 图 6 中的第一门信号源 14 输出电压 V_{Scan1} 为高电平, 与第一门信号源 14 相连的第一开关晶体管 T1 关闭;

第二门信号源 41 和第三门信号源 15 输出电压 V_{Scan2} 和 V_{Scan3} 为低电平, 分别与第二门信号源 41 和第三门信号源 15 相连的第二开关晶体管 T2、第三开关晶体管 T3 和第四开关晶体管 T4 开启; 第三开关晶体管 T3 开启, 与第三开关晶体管 T3 相连的 N 型驱动晶体管 T_n 的源极和漏极接通, 此时, N 型驱动晶体管 T_n 等效为二极管的连接方式。

充电控制信号源 16 输出的电压 V_{EM} 为低电平, 与充电控制信号源 16 相连的第五开关晶体管 T5 开启;

第一参考电压源 11 输出低电平电压 V_{SS} , 第二参考电压源 12 输出高电平电压 V_{DD} 。P 型驱动晶体管 T_p 截止, P 型驱动晶体管所在支路断路。N 型驱动晶体管 T_n 导通, N 型驱动晶体管 T_n 所在支路导通。

第三参考电压源 42 输出参考复位电压 V_{INI} 。

此时, 图 6 所示的像素电路等效为图 9 所示的电路结构。

N 型驱动晶体管 T_n 、第一电容 C1、第三参考电压源 42、第一参考电压源 11 和第二参考电压源 12 所在支路导通。

第三参考电压源 42 输出的参考复位电压 V_{INI} 加载到第一电容 C1 的第二端 (B 端) 和第二电容 C2 的第一端 (C 端), $V_B = V_C = V_{INI}$ 。

N型驱动晶体管 T_n 的栅极被放电至 V_{th1} , 栅极电压 $V_g = V_{th1}$, V_{th1} 为 N 型驱动晶体管 T_n 的阈值电压, N 型驱动晶体管 T_n 的栅极与第一电容 $C1$ 的第一端 A 端相连, 因此, 第一电容 $C1$ 的第一端 A 端电压 V_A 等于 n 型驱动晶体管 T_n 的栅极电压, 即 $V_A = V_g$ 。

5 此时, 第一电容 $C1$ 两端的电压为 $V_A - V_B = V_g - V_B = V_{th1} - V_{INI}$ 。

其中, V_A 为 A 点电压, V_B 为 B 点电压, V_C 为 C 点电压。

b 阶段: 写入阶段。

如图 8 所示, 图 6 中的第一门信号源 14 输出电压 V_{Scan1} 为低电平, 与第一门信号源 14 相连的第一开关晶体管 $T1$ 开启;

10 第二门信号源 41 和第三门信号源 15 输出电压 V_{Scan2} 和 V_{Scan3} 为高电平, 分别与第二门信号源 41 和第三门信号源 15 相连的第二开关晶体管 $T2$ 、第三开关晶体管 $T3$ 和第四开关晶体管 $T4$ 关闭;

充电控制信号源 16 输出的电压 V_{EM} 为高电平, 与充电控制信号源 16 相连的第五开关晶体管 $T5$ 关闭;

15 第一参考电压源 11 输出低电平电压 V_{SS} , 第二参考电压源 12 的输出高电平电压 V_{DD} 。P 型驱动晶体管 T_p 截止, P 型驱动晶体管所在支路断路。N 型驱动晶体管 T_n 导通, N 型驱动晶体管 T_n 所在支路导通。

此时, 图 6 所示的像素电路等效为图 10 所示的电路结构。

20 第一电容 $C1$ 、第二电容 $C2$ 、数据信号源 13、N 型驱动晶体管 T_n 和第一参考电压源 11 所在支路导通;

数据信号源 13 输出数据信号 V_{Data} , 数据信号 V_{Data} 加载到第一电容 $C1$ 的第二端 (B 端), 根据电荷守恒原理, 第一电容 $C1$ 的第一端 (A 端) 也加载电压 V_{Data} , 第一电容 $C1$ 的第一端 (A 端) 的电压为存储电压 $V_{th1} - V_{INI}$ 与数据信号 V_{Data} 之和, 即 $V_A = V_{Data} + V_{th1} - V_{INI}$ 。

25 此时, 数据信号写入第一电容 $C1$ 中。

c 阶段: 发光阶段。

如图 8 所示, 图 6 所示的第一门信号源 14 输出电压 V_{Scan1} 为高电平, 与第一门信号源 14 相连的第一开关晶体管 $T1$ 关闭;

30 第二门信号源 41 输出电压 V_{Scan2} 为高电平, 与第二门信号源 42 相连的第二开关晶体管 $T2$ 关闭;

第三门信号源 15 输出电压 V_{Scan3} 为高电平, 与第三门信号源 15 相连的第三

三开关晶体管 T3、第四开关晶体管 T4 关闭，N 型驱动晶体管 Tn 的连接方式为三极管的连接方式。

充电控制信号源 16 输出的电压 V_{EM} 为低电平，与充电控制信号源 16 相连的第五开关晶体管 T5 开启；

- 5 第一参考电压源 11 的输出电压 V_{SD} 为低电平电压 V_{SS} ，第二参考电压源 12 的输出电压 V_{DS} 为高电平电压 V_{DD} 。第一电容 C1、第二电容 C2、N 型驱动晶体管、第一参考电压源 11、第二参考电压源 12 和第一发光器件 D1 所在支路导通。

此时，图 6 所示的像素电路等效为图 11 所示的电路结构。

- 10 如图 11 所示，第一电容 C1 的第一端（A 端）的电压为 $V_A = V_g = V_{Data} + V_{th1} - V_{INI}$ 。第一电容 C1 放电，n 型驱动晶体管 Tn 的栅极电压 $V_g = V_{Data} + V_{th1} - V_{INI}$ 。N 型驱动晶体管 Tn 的源极连接至 V_{SS} ，源极电压 $V_s = V_{SS}$ 。因此，N 型驱动晶体管 Tn 的栅极和源极之间的电压 $V_{gs} = V_g - V_s - V_{SS} = V_{Data} + V_{th1} - V_{INI} - V_{SS}$ 。

- 15 由于 N 型驱动晶体管 Tn 工作于饱和状态，根据饱和状态电流特性可知 N 型驱动晶体管 Tn 的漏电流满足如下公式： $i_{dn} = \frac{K}{2}(V_{gs} - V_{th1})^2$ ，其中 i_{dn} 为 N 型驱动晶体管 Tn 的漏电流，K 为结构参数，相同结构中此数值相对稳定，将 $V_{gs} = V_{Data} + V_{th1} - V_{INI} - V_{SS}$ 带入公式 $i_{dn} = \frac{K}{2}(V_{gs} - V_{th1})^2$ 得到 $i_{dn} = \frac{K}{2}(V_{Data} - V_{INI} - V_{SS})^2$ 。第一发光器件 D1 在漏电流 i_{dn} 的驱动下发光显示。

- 20 由此可知，流经 N 型驱动晶体管 Tn 的漏电流 i_{dn} 仅与数据信号源 13 提供的电压信号有关与阈值电压 V_{th1} 无关。即该像素电路具有补偿阈值电压 V_{th1} 的功能。该漏电流 i_{dn} 驱动第一发光器件 D1 发光，流经 D1 的电流不因背板制造工艺原因而造成的 N 型驱动晶体管 Tn 的阈值电压 V_{th1} 不均匀所导致的电流不同。

- 25 以下将举例说明像素电路驱动第二发光器件发光的工作原理。

驱动第二发光器件发光时，像素电路中的各信号源的时序与驱动第一发光器件发光的时序相同，不同之处在于，第一参考电压源 11 的输出电压 V_{SD} 由低电平电压 V_{SS} 切换为高电平电压 V_{DD} ，第二参考电压源 12 的输出电压 V_{DS} 由高电平电压 V_{DD} 切换为低电平电压 V_{SS} 。

- 30 d 阶段：复位阶段。

如图 8 所示, 图 6 中的第一门信号源 14 输出电压 V_{Scan1} 为高电平, 与第一门信号源 14 相连的第一开关晶体管 T1 关闭; 第二门信号源 41 和第三门信号源 15 输出电压 V_{Scan2} 为低电平, 分别与第二门信号源 41 和第三门信号源 15 相连的第二开关晶体管 T2、第三开关晶体管 T3 和第四开关晶体管 T4 开启;

5 充电控制信号源 16 输出的电压 V_{EM} 为低电平, 与充电控制信号源 16 相连的第五开关晶体管 T5 开启;

第一参考电压源 11 的输出高电平电压 V_{DD} , 第二参考电压源 12 的输出低电平电压 V_{SS} , P 型驱动晶体管 T_p 导通, P 型驱动晶体管所在支路导通。N 型驱动晶体管 T_n 截止, N 型驱动晶体管 T_n 所在支路断路。

10 第三参考电压源 42 输出参考复位电压 V_{INI} 。

此时, 图 6 所示的像素电路等效为图 12 所示的电路结构。

P 型驱动晶体管 T_p 、第一电容 C1、第三参考电压源 42、第一参考电压源 11 和第二参考电压源 12 所在支路导通。第三参考电压源 42 输出的参考复位电压 V_{INI} 和第一参考电压源输出的高电平电压 V_{DD} 加载到第二电容 C2 的两端, 15 第二电容 C 端的电压 $V_c = V_{INI}$ 。第一电容 C1 的第二端 (B 端), 即第二电容 C2 的第一端 (C 端), 第一电容 C1 的 B 端电压 $V_B = V_c = V_{INI}$ 。

由于第四开关晶体管 T4 开启, P 型驱动晶体管 T_p 的连接方式为二极管的连接方式。P 型驱动晶体管 T_p 的栅极被放电至 V_{th2} , V_{th2} 为 P 型驱动晶体管 T_p 的阈值电压。此时, 第一电容 C1 两端的电压为 $V_{th2} - V_B = V_{th2} - V_{INI}$ 。

20 e 阶段: 写入阶段。

如图 8 所示, 图 6 中的第一门信号源 14 输出电压 V_{Scan1} 为低电平, 与第一门信号源 14 相连的第一开关晶体管 T1 开启;

第二门信号源 41 和第三门信号源 15 输出电压 V_{Scan2} 为高电平, 分别与第二门信号源 41 和第三门信号源 15 相连的第二开关晶体管 T2、第三开关晶体管 T3、第四开关晶体管 T4 关闭;

25 充电控制信号源 16 输出的电压 V_{EM} 为高电平, 与充电控制信号源 16 相连的第五开关晶体管 T5 关闭;

第一参考电压源 11 的输出高电平电压 V_{DD} , 第二参考电压源 12 的输出低电平电压 V_{SS} 。

30 此时, 图 6 所示的像素电路等效为图 13 所示的电路结构。

第一电容 C1、第二电容 C2、数据信号源 13、P 型驱动晶体管 T_p 和第一

参考电压源 11 所在支路导通;

数据信号源 13 输出数据信号 V_{Data} , 数据信号 V_{Data} 加载到第一电容 $C1$ 的第二端 (B 端), 根据电荷守恒原理, 第一电容 $C1$ 的第一端 (A 端) 的电压为 $V_A = V_{Data} + V_{th2} - V_{INI}$ 。此时, 数据信号写入第一电容 $C1$ 中。

5 f 阶段: 发光阶段。

如图 8 所示, 图 6 所示的第一门信号源 14 输出电压 V_{Scan1} 为高电平, 与第一门信号源 14 相连的第一开关晶体管 $T1$ 关闭;

第二门信号源 41 输出电压 V_{Scan2} 为高电平, 与第二门信号源 41 相连的第二开关晶体管 $T2$ 关闭;

10 第三门信号源 15 输出电压 V_{Scan2} 为高电平, 与第三门信号源 15 相连的第三开关晶体管 $T3$ 和第四开关晶体管 $T4$ 关闭, 由于第四开关晶体管 $T4$ 关闭, 此时, P 型驱动晶体管 Tp 为三极管的连接方式。

充电控制信号源 16 输出的电压 V_{EM} 为低电平, 与充电控制信号源 16 相连的第四开关晶体管 $T4$ 开启;

15 第一参考电压源 11 的输出电压 V_{SD} 为高电平电压 V_{DD} , 第二参考电压源 12 的输出电压 V_{DS} 为低电平电压 V_{SS} 。第一电容 $C1$ 、第二电容 $C2$ 、P 型驱动晶体管 Tp 、第一参考电压源 11、第二参考电压源 12 和第二发光器件 $D2$ 所在支路导通。

此时, 图 6 所示的像素电路等效为图 14 所示的电路结构。

20 如图 14 所示, 第一电容 $C1$ 的第一端 (A 端) 的电压为 $V_A = V_{Data} + V_{th2} + V_{DD} - V_{INI}$, 第一电容 $C1$ 放电, P 型驱动晶体管 Tp 的栅极电压 $V_g = V_{Data} + V_{th2} - V_{INI}$ 。P 型驱动晶体管 Tp 为三极管的连接方式, P 型驱动晶体管 Tp 的源极与第一参考电压源 11 相连, 源极电压 $V_s = V_{DD}$ 。栅极和源极之间的电压 $V_{gs} = V_g - V_s = V_{Data} + V_{th2} - V_{INI} - V_{DD}$ 。

25 由于 P 型驱动晶体管 Tp 工作于饱和状态, 根据饱和状态电流特性可知 P 型驱动晶体管 Tp 的漏电流满足如下公式: $i_{dp} = \frac{K}{2} (V_{gs} - V_{th2})^2$, 其中 i_{dp} 为 P 型驱动晶体管 Tp 的漏电流, K 为结构参数, 相同结构中此数值相对稳定, 将 $V_{gs} = V_{Data} + V_{th2} - V_{INI} - V_{DD}$ 带入公式 $i_{dp} = \frac{K}{2} (V_{gs} - V_{th2})^2$ 得到 $i_{dp} = \frac{K}{2} (V_{Data} - V_{INI} - V_{DD})^2$ 。

第二发光器件 $D2$ 在漏电流 i_{dp} 的驱动下发光显示。

30 由此可知, 流经 P 型驱动晶体管 Tp 的漏电流 i_{dp} 仅与数据信号源 13 提供

的电压信号有关，与 P 型驱动晶体管 T_p 的阈值电压 V_{th2} 无关。即该像素电路具有补偿 V_{th2} 的功能。该漏电流 i_{dp} 驱动第二发光器件 D2 发光，流经 D2 的电流不因背板制造工艺原因而造成的 p 型驱动晶体管 T_p 的阈值电压 V_{th2} 不均匀所导致的电流不同。

- 5 按照本发明实施例，还提供一种显示面板，参见图 15，该显示面板包括：
多条沿行方向分布的栅线，如图 15 中所示的 G1、G2、.....、Gn；
多条沿列方向分布的数据线，如图 15 中所示的 D1、D2、.....、Dm；
相邻的两条栅线和数据线围设成的多个像素单元；
每一像素单元包括一个按照本发明实施例的像素电路 20 和与该像素电路
10 20 相连的第一发光器件 D1 和第二发光器件 D2；

位于同一行的像素电路 20 与同一条栅线相连，位于同一列的像素电路 20 与同一条数据线相连；

- 多个像素电路连接至同一个第一参考电压源(图 15 中未示出)和第二参考电压源。所述充电子电路中的第一开关晶体管的漏极通过数据线与所述数据信号源相连，栅极通过所述栅线与所述第一门信号源相连；所述门信号源和数据信号源分别通过栅线和数据线为第一电容充电。
15

按照本发明实施例，还提供一种显示装置，包括上述显示面板。该显示装置可以为有机电致发光显示 OLED 面板、OLED 显示器、OLED 电视或电子纸等显示装置。

- 20 本发明实施例的第一参考电压源和第二参考电压源、第一门信号源、数据信号源，以及充电控制信号源为交流信号，按照时序的变化而变化。

- 综上所述，本发明通过在每一个像素区域设置第一发光器件和第二发光器件，第一发光器件和第二发光器件的工作电流方向相反，且分别通过 N 型驱动晶体管和 P 型驱动晶体管驱动发光。第一发光器件和第二发光器件交替轮流发
25 光、发光器件的寿命至少提高一倍。

显然，本领域的技术人员可以对本发明进行各种改动和变型而不脱离本发明的精神和范围。这样，倘若本发明的这些修改和变型属于本发明权利要求及其等同技术的范围之内，则本发明也意图包含这些改动和变型在内。

权 利 要 求 书

1、一种像素电路，包括：充电子电路、第一驱动子电路和第二驱动子电路，第一电容和第二电容；

5 所述第一电容的第一端与第一驱动子电路和第二驱动子电路的第一端相连，所述第一电容的第二端与所述充电子电路和第二电容的第一端相连；

所述第一驱动子电路的第二端与第一发光器件相连，所述第二驱动子电路的第二端与第二发光器件相连，其中，第一驱动子电路流入第一发光器件的驱动电流和第二驱动子电路流入第二发光器件的驱动电流方向相反；

10 所述充电子电路用于为所述第一电容充电，所述第二电容用于维持所述第一电容第二端的电压；所述第一电容放电时使得第一驱动子电路驱动第一发光器件发光，或使得第二驱动子电路驱动第二发光器件发光。

2、根据权利要求1所述的像素电路，其中，所述第一驱动子电路包括N型驱动晶体管，所述第二驱动子电路包括P型驱动晶体管；

15 其中，所述N型驱动晶体管的栅极与所述第一电容的第一端相连，源极与可提供交流信号的第一参考电压源相连，漏极与第一发光器件的负极相连，第一发光器件的正极与可提供交流信号的第二参考电压源相连；所述第二电容的第二端与所述第一参考电压源相连；

20 所述P型驱动晶体管的栅极与所述第一电容的第一端相连；源极与所述第一参考电压源相连，漏极与第二发光器件的正极相连，第二发光器件的负极与所述第二参考电压源相连。

3、根据权利要求2所述的像素电路，其中，所述充电子电路包括：

数据信号源、第一门信号源，以及与数据信号源和第一门信号源相连的第一开关晶体管；

25 第一开关晶体管的漏极与数据信号源相连，源极与第一电容的第二端相连，栅极与第一门信号源相连；

所述第一门信号源用于控制所述第一开关晶体管开启，使得所述数据信号源与所述第一电容所在支路导通，数据信号源向所述第一电容充电。

30 4、根据权利要求3所述的像素电路，其中，还包括复位子电路，复位子电路包括：第二门信号源、第二开关晶体管和待复位到参考复位电压的第三参

考电压源；第二开关晶体管的源极与第一电容的第二端相连，漏极与待复位到参考复位电压的第三参考电压源相连，栅极与第二门信号源相连；

所述复位子电路用于在充电子电路为第一电容充电之前，将第一电容中存储的信号复位至参考复位电压。

5 5、根据权利要求 4 所述的像素电路，其中，还包括与所述第一驱动子电路相连的第一补偿子电路，和与所述第二驱动子电路相连的第二补偿子电路；

所述第一补偿子电路包括第三开关晶体管；

所述第二补偿子电路包括第四开关晶体管；

10 其中，所述第三开关晶体管的源极与所述 N 型驱动晶体管的栅极相连，漏极与 N 型驱动晶体管的漏极相连，栅极与第三门信号源相连；

所述第四开关晶体管的源极与 P 型驱动晶体管的栅极相连，漏极与 P 型驱动晶体管的漏极相连，栅极与所述第三门信号源相连。

15 6、根据权利要求 5 所述的像素电路，其中，还包括控制所述第一发光器件和第二发光器件与第二参考电压源之间的导通的第五开关晶体管，所述第五开关晶体管的栅极与充电控制信号源相连，源极与所述第一发光器件的正极以及第二发光器件的负极相连，漏极与所述第二参考电压源相连，所述充电控制信号源用于控制所述第五开关晶体管的开启与关闭。

20 7、根据权利要求 6 所述的像素电路，其中，所述第一开关晶体管、第二开关晶体管、第三开关晶体管、第四开关晶体管和第五开关晶体管为 N 型晶体管，或者

所述第一开关晶体管、第二开关晶体管、第三开关晶体管、第四开关晶体管和第五开关晶体管为 P 型晶体管；

所述第二门信号源和第三门信号源为同一门信号源。

25 8、一种显示面板，包括由栅线和数据线围设而成的多个呈矩阵排列的像素单元，每一像素单元中包括一个像素电路和与该像素电路相连的发光器件；

其中，所述像素电路为权利要求 1 所述的像素电路；

30 位于同一行的像素电路中的充电子电路与同一条栅线相连，位于同一列的像素电路中的充电子电路与同一条数据线相连；在一帧图像显示阶段，所述第一驱动子电路和第二驱动子电路先后分别驱动第一发光器件发光和第二发光器件发光之前，所述充电子电路通过数据线和栅线为所述第一电容充电。

9、根据权利要求 8 所述的显示面板，其中，

所述第一开关晶体管的漏极通过数据线与所述数据信号源相连，栅极通过所述栅线与所述第一门信号源相连；

所述门信号源和数据信号源分别通过栅线和数据线为所述第一电容充电。

10、根据权利要求 9 所述的显示面板，其中，所述第一驱动子电路包括 N 型驱动晶体管，所述第二驱动子电路包括 P 型驱动晶体管；

其中，所述 N 型驱动晶体管的栅极与所述第一电容的第一端相连，源极与可提供交流信号的第一参考电压源相连，漏极与第一发光器件的负极相连，第一发光器件的正极与可提供交流信号的第二参考电压源相连；所述第二电容的第二端与所述第一参考电压源相连；

10 所述 P 型驱动晶体管的栅极与所述第一电容的第一端相连；源极与所述第一参考电压源相连，漏极与第二发光器件的正极相连，第二发光器件的负极与所述第二参考电压源相连。

11、根据权利要求 10 所述的显示面板，其中，所述充电子电路包括：

15 数据信号源、第一门信号源，以及与数据信号源和第一门信号源相连的第一开关晶体管；

第一开关晶体管的漏极与数据信号源相连，源极与第一电容的第二端相连，栅极与第一门信号源相连；

所述第一门信号源用于控制所述第一开关晶体管开启，使得所述数据信号源与所述第一电容所在支路导通，数据信号源向所述第一电容充电。

20 12、根据权利要求 11 所述的显示面板，其中，还包括复位子电路，复位子电路包括：第二门信号源、第二开关晶体管和待复位到参考复位电压的第三参考电压源；第二开关晶体管的源极与第一电容的第二端相连，漏极与待复位到参考复位电压的第三参考电压源相连，栅极与第二门信号源相连；

25 所述复位子电路用于在充电子电路为第一电容充电之前，将第一电容中存储的信号复位至参考复位电压。

13、根据权利要求 12 所述的显示面板，其中，还包括与所述第一驱动子电路相连的第一补偿子电路，和与所述第二驱动子电路相连的第二补偿子电路；

所述第一补偿子电路包括第三开关晶体管；

30 所述第二补偿子电路包括第四开关晶体管；

其中，所述第三开关晶体管的源极与所述 N 型驱动晶体管的栅极相连，漏

极与 N 型驱动晶体管的漏极相连，栅极与第三门信号源相连；

所述第四开关晶体管的源极与 P 型驱动晶体管的栅极相连，漏极与 P 型驱动晶体管的漏极相连，栅极与所述第三门信号源相连。

5 14、根据权利要求 13 所述的显示面板，其中，还包括控制所述第一发光器件和第二发光器件与第二参考电压源之间的导通的第五开关晶体管，所述第五开关晶体管的栅极与充电控制信号源相连，源极与所述第一发光器件的正极以及第二发光器件的负极相连，漏极与所述第二参考电压源相连，所述充电控制信号源用于控制所述第五开关晶体管的开启与关闭。

10 15、根据权利要求 14 所述的显示面板，其中，所述第一开关晶体管、第二开关晶体管、第三开关晶体管、第四开关晶体管和第五开关晶体管为 N 型晶体管，或者

所述第一开关晶体管、第二开关晶体管、第三开关晶体管、第四开关晶体管和第五开关晶体管为 P 型晶体管；

所述第二门信号源和第三门信号源为同一门信号源。

15 16、一种显示装置，其中，包括权利要求 8 或 9 所述的显示面板。

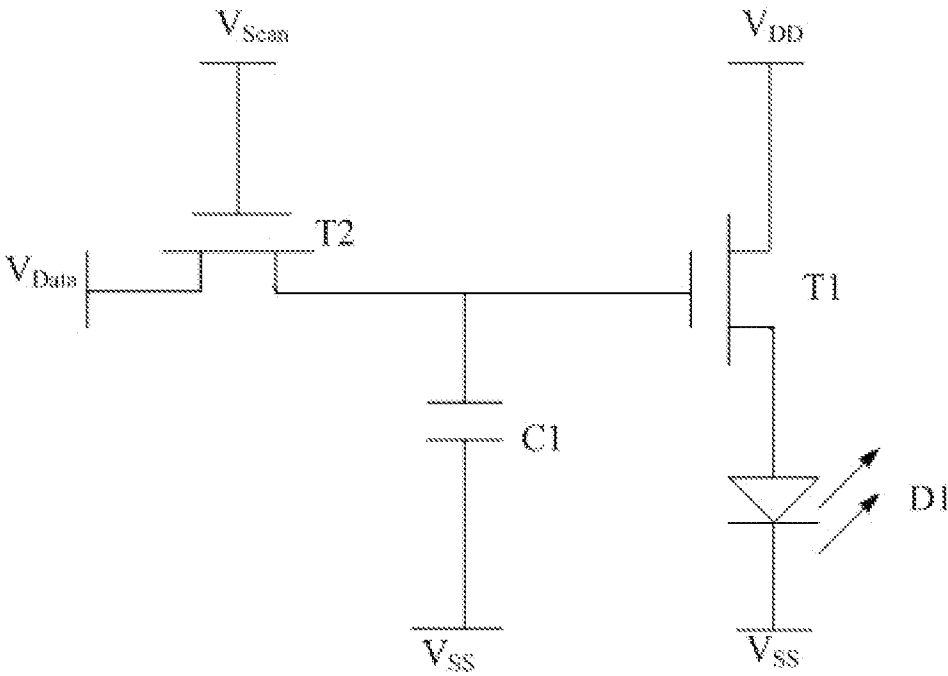


图 1

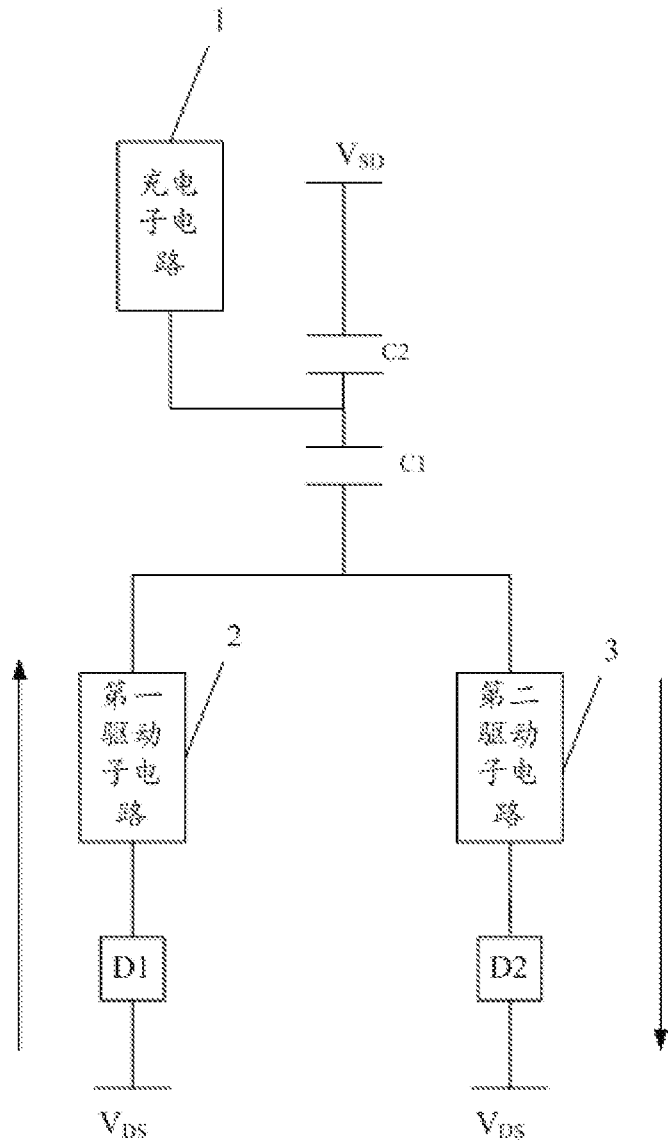


图 2

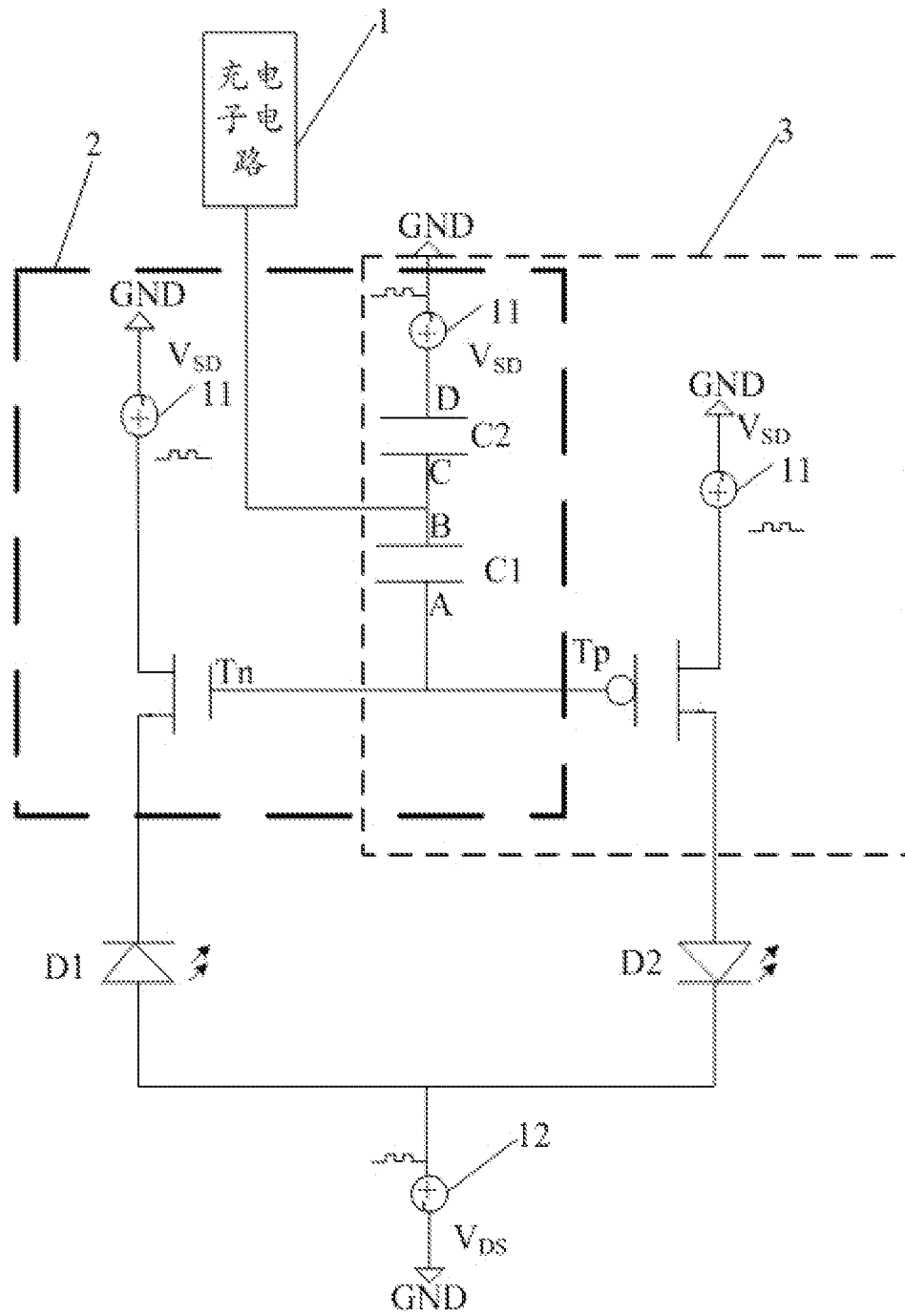


图 3

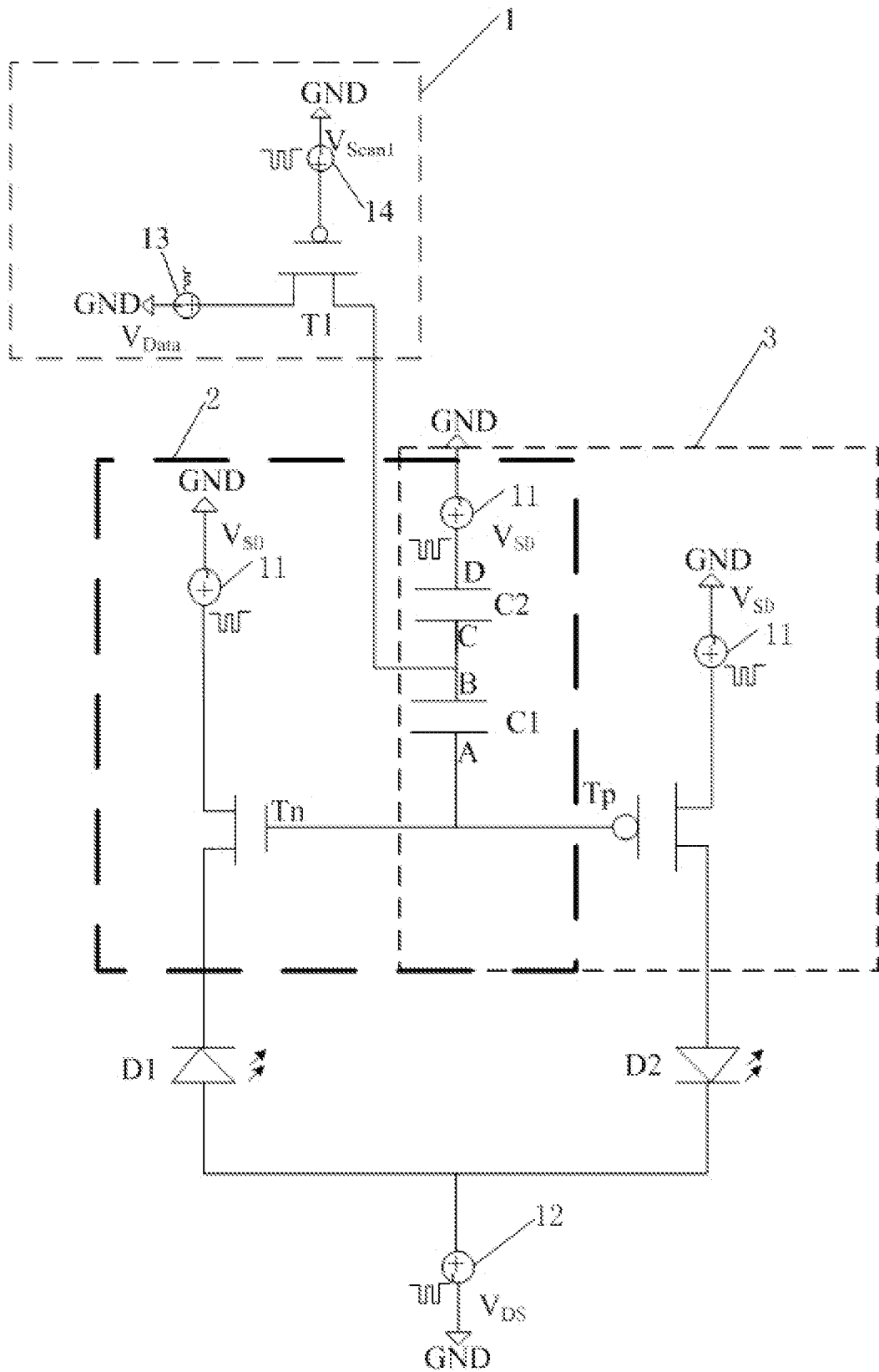


图 4

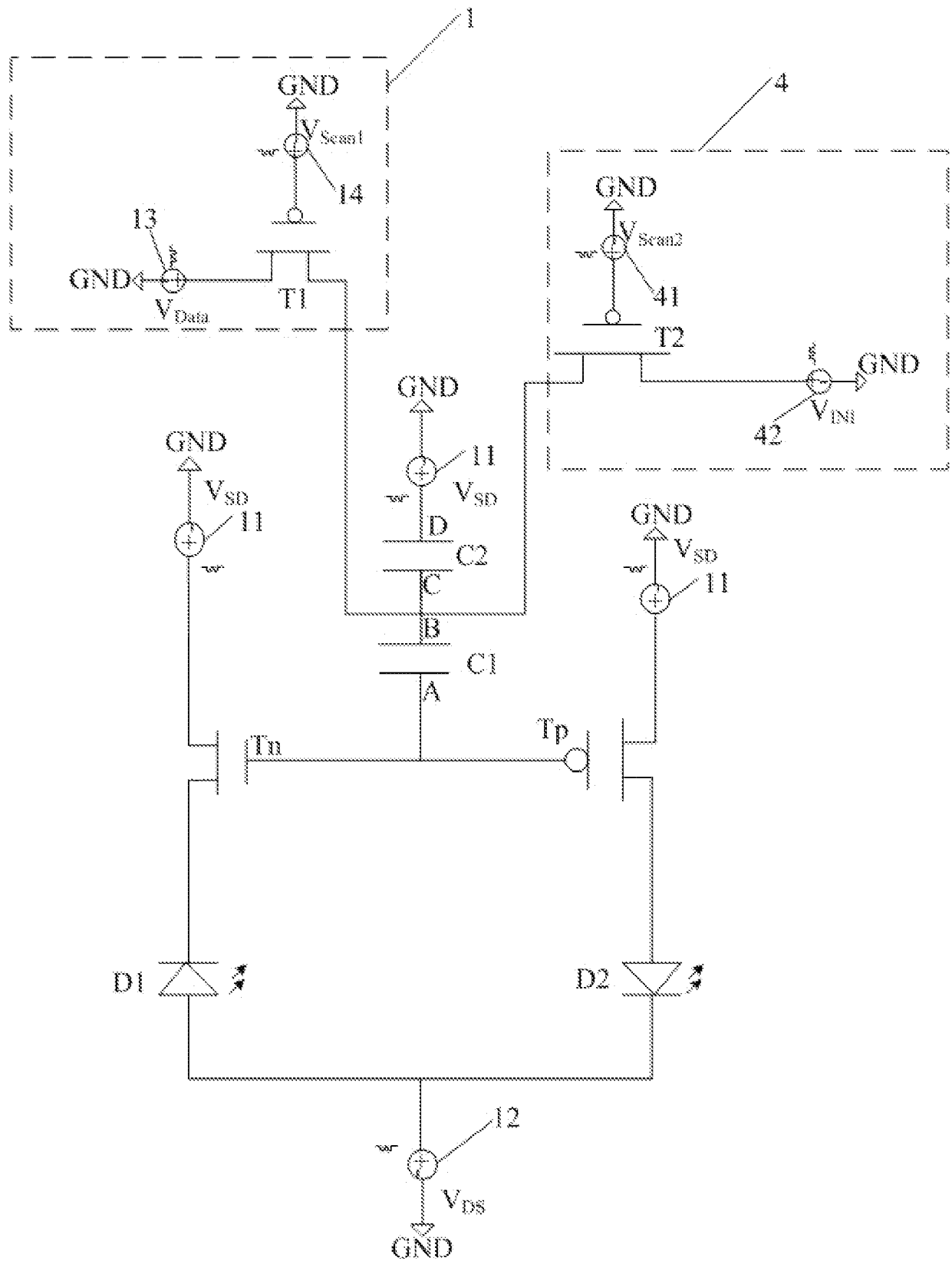


图 5

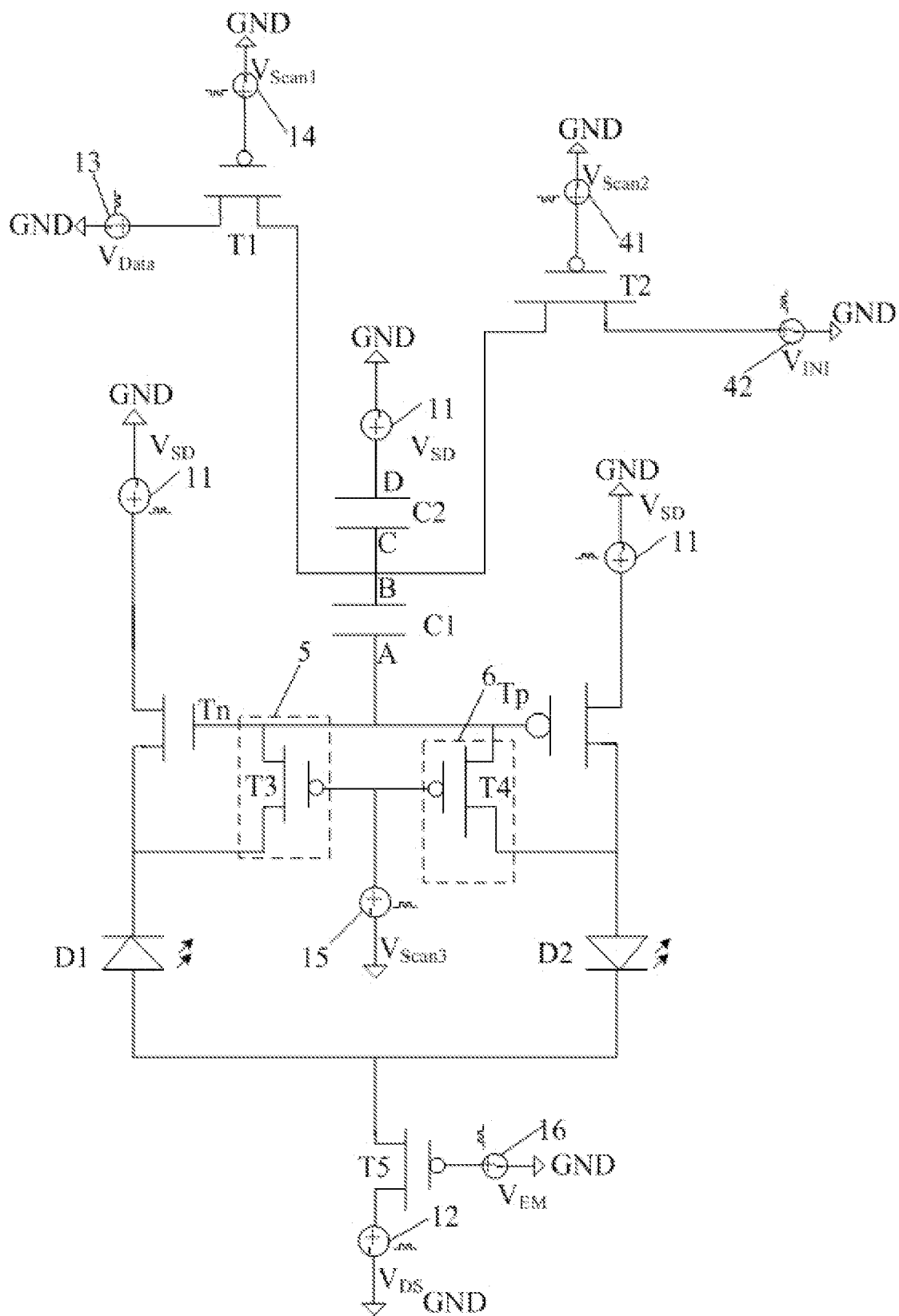


图 6

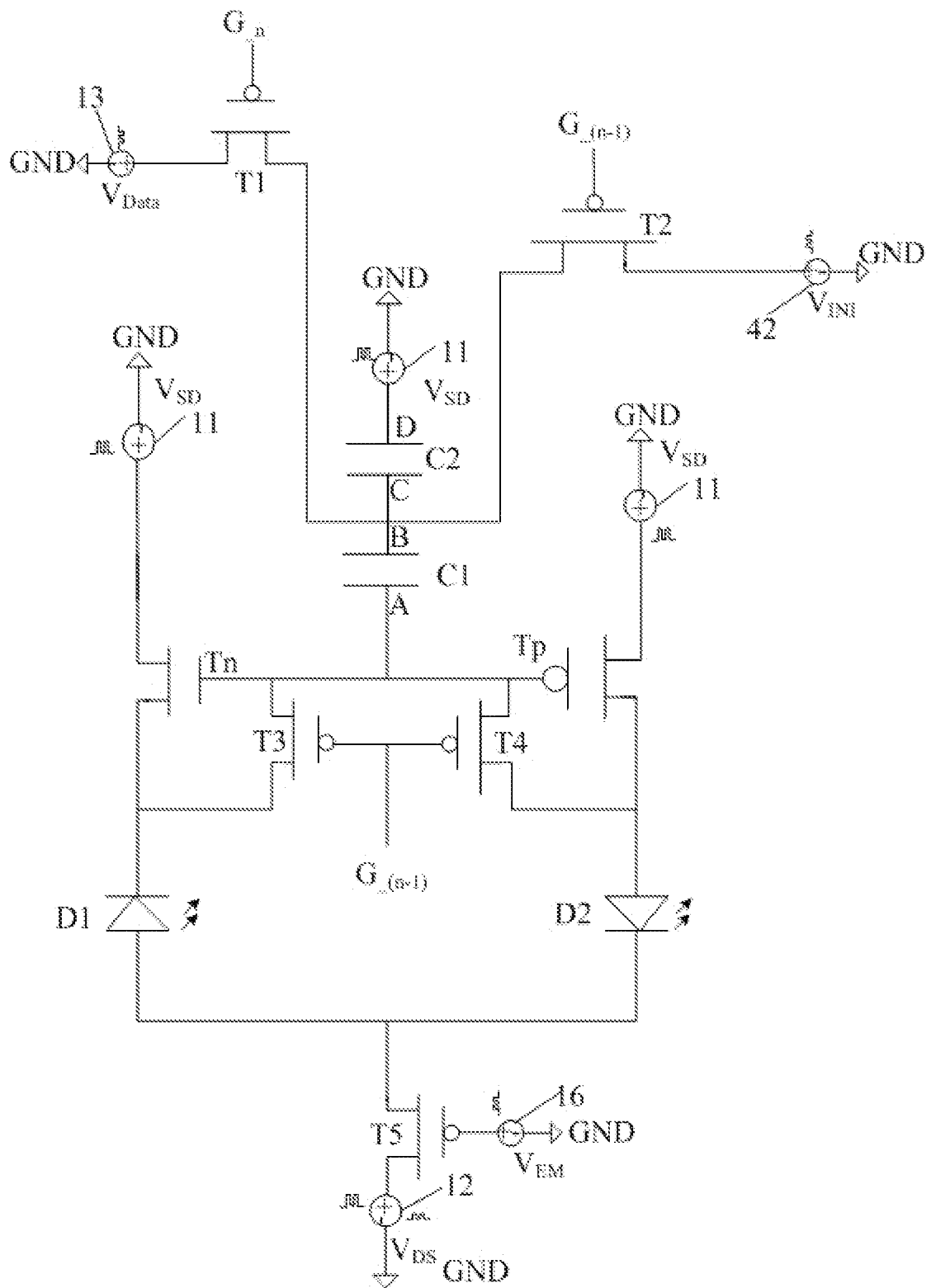


图 7

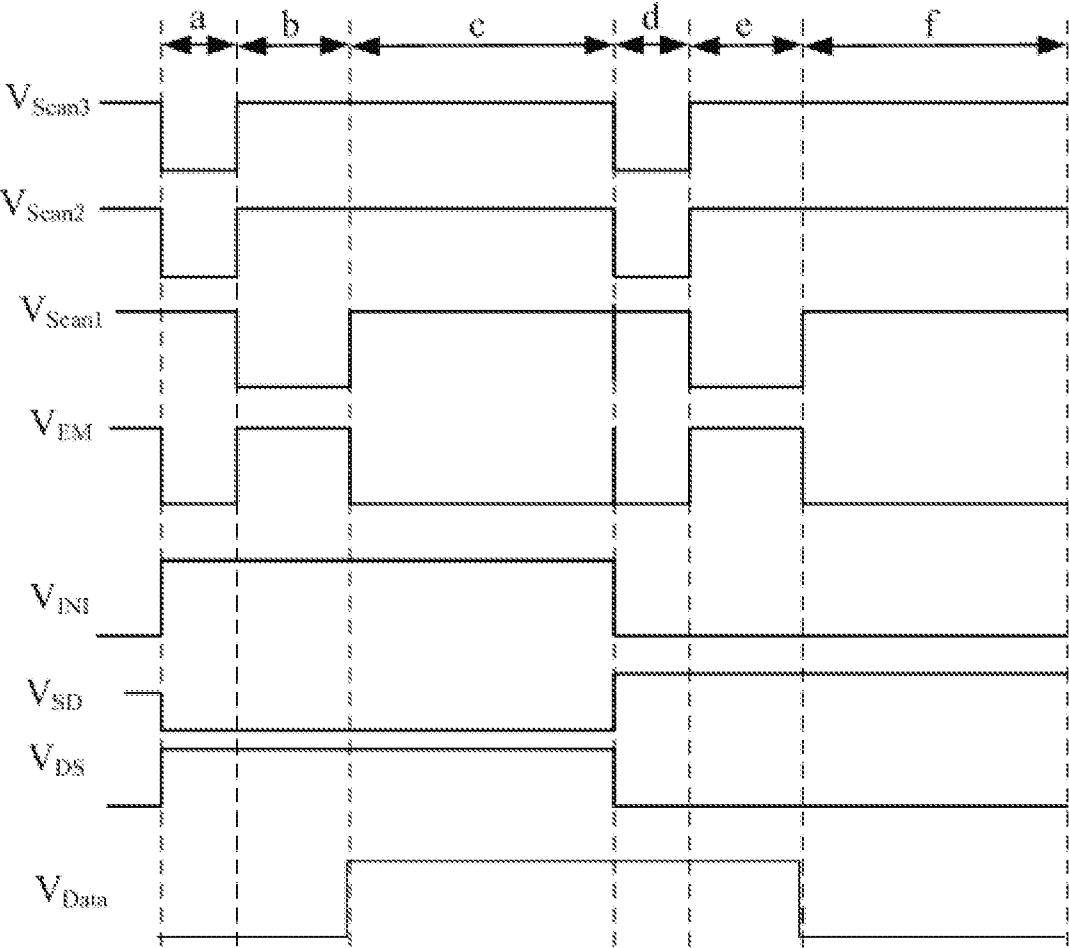


图 8

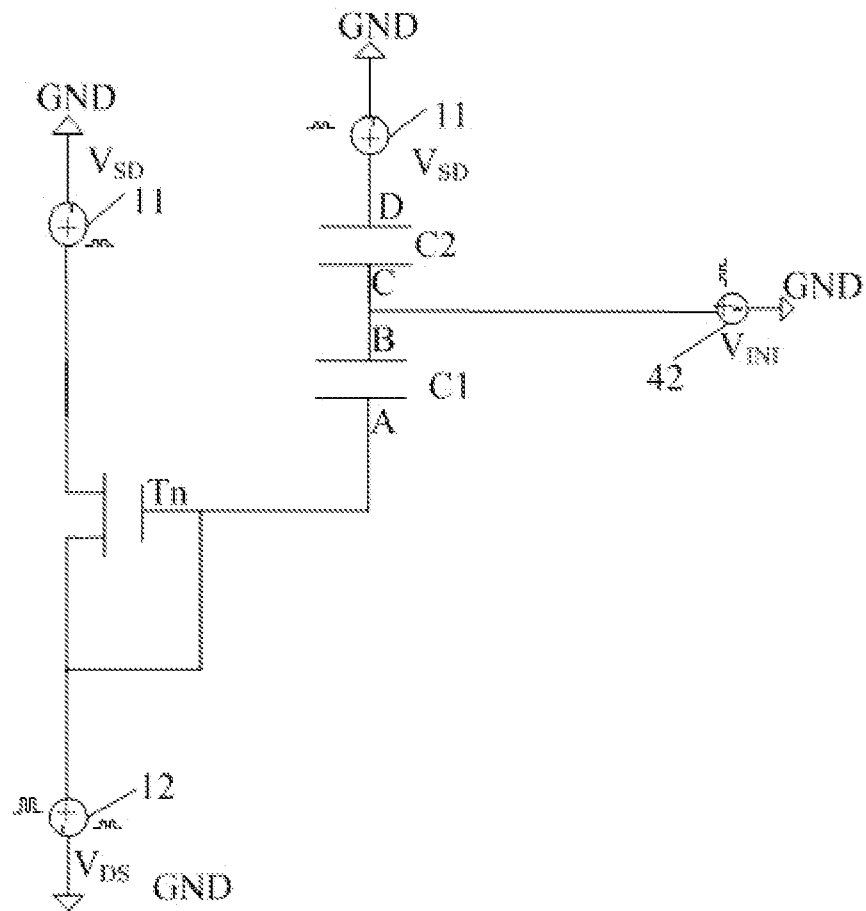


图 9

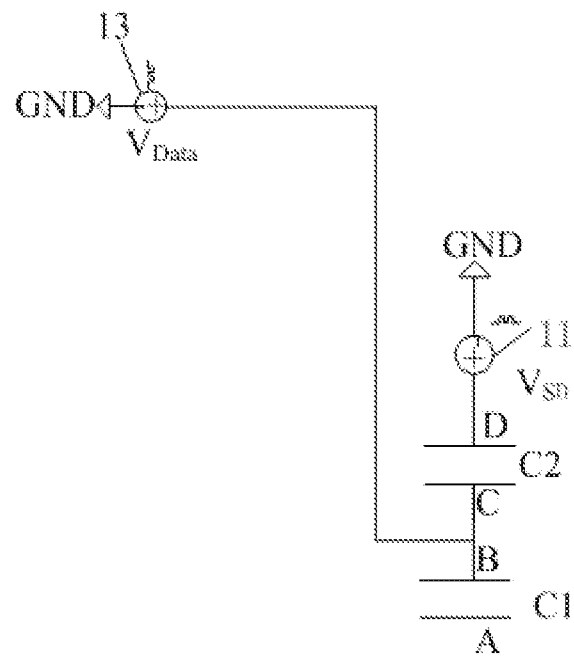


图 10

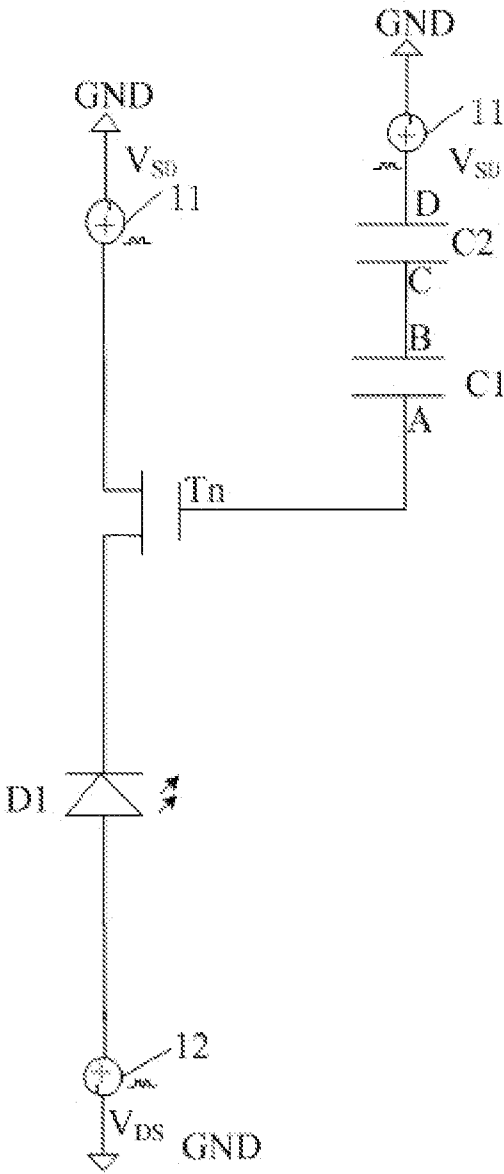


图 11

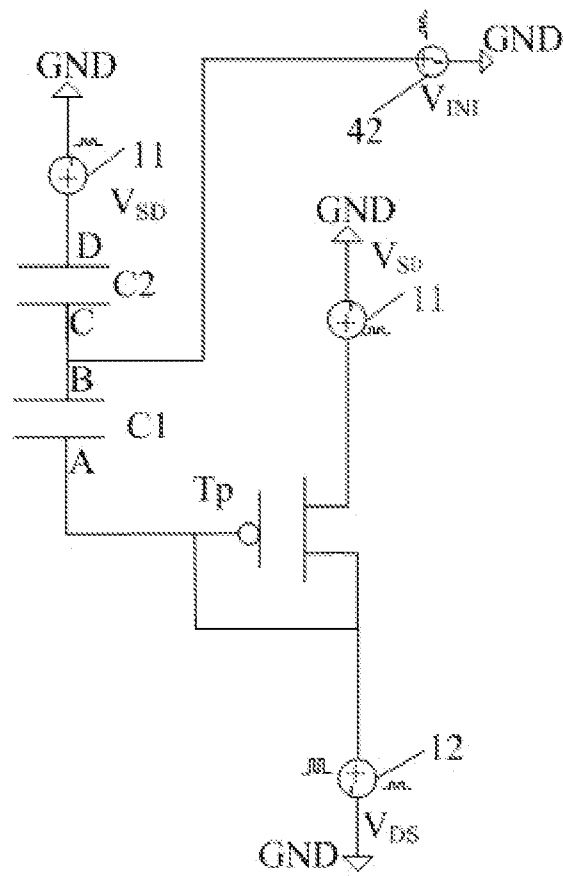


图 12

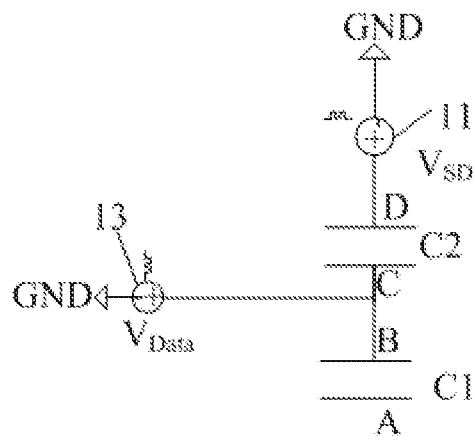


图 13

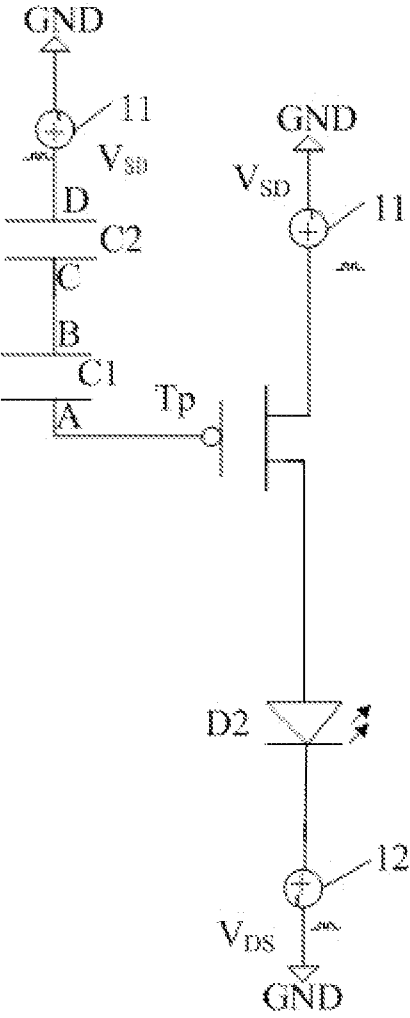


图 14

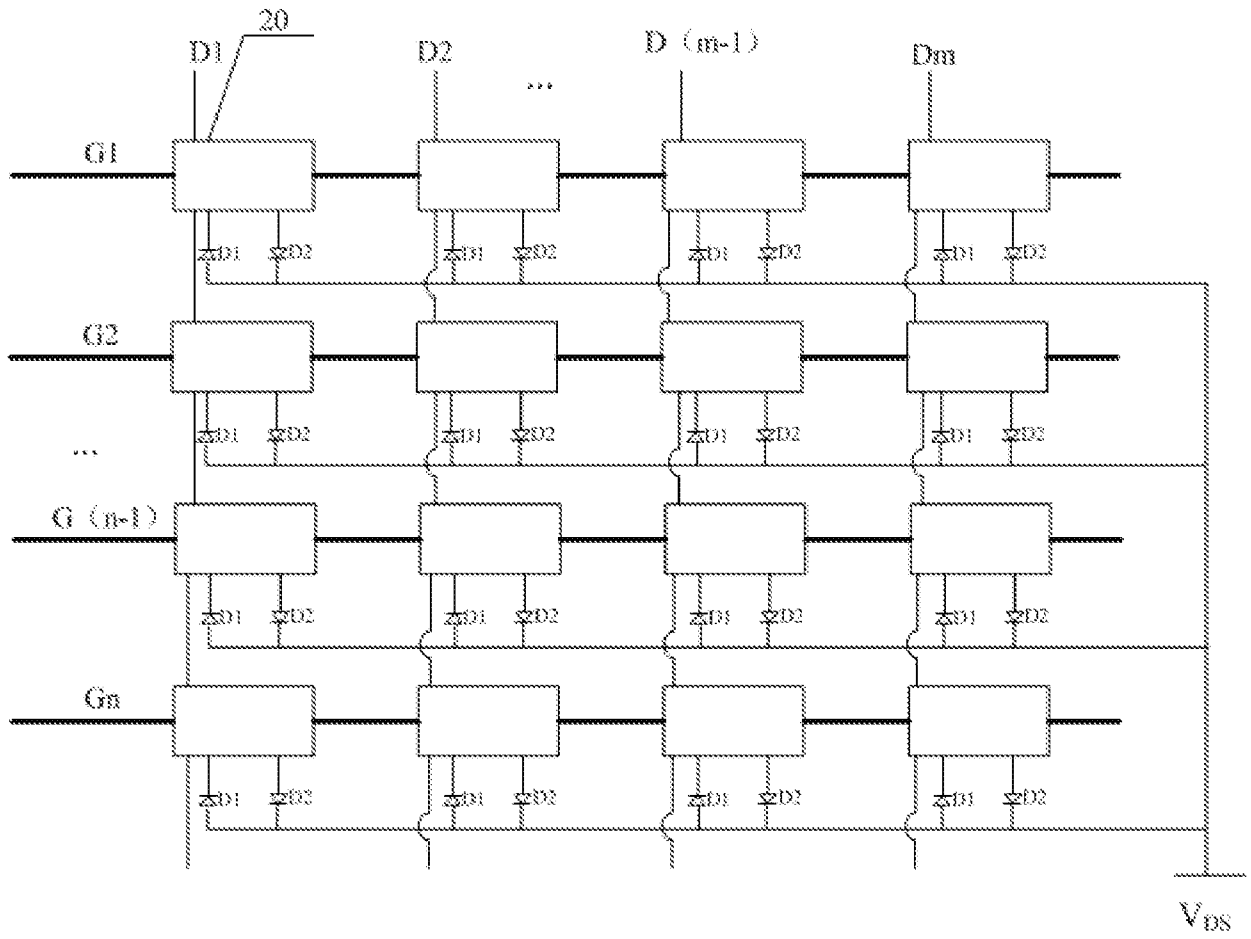


图 15

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2013/087592

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/32 (2006.01) i;G09G 3/20 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: G09G 3; H05B

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, CNTXT, VEN: ???led, light+, emit+, diode?, EL, electroch+, two, second+, another, driv+, alternat+, interspers+, parallel+, direction, current, time, shar+, turn?, rotator+, bright+, lumi+, emission+, illum+, current+, revers+, invers+, oppos+, invert+, differ+

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 103383834 A (BOE TECHNOLOGY GROUP CO LTD et al.) 06 November 2013 (06.11.2013) claims 1 to 16	1-16
A	CN 103000131 A (BOE TECHNOLOGY GROUP CO LTD) 27 March 2013 (27.03.2013) description, paragraphs [0034] to [0105] and figures 2-8	1-16
A	CN 102956199 A (BOE TECHNOLOGY GROUP CO LTD) 06 March 2013 (06.03.2013) description, paragraphs [0021] to [0029] and figures 1 and 2	1-16
A	JP 2012133165 A (JAPAN DISPLAY EAST CO LTD et al.) 12 July 2012 (12.07.2012)	1-16

☒ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 01 April 2014	Date of mailing of the international search report 22 April 2014
--	---

Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer LIU, Xue Telephone No. (86-10) 62085841
---	--

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2013/087592

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	the whole document US 2009096723 A1 (KAWABE KAZUYOSHI et al.) 16 April 2009 (16.04.2009) the whole document	1-16

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2013/087592

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 103383834 A	06 November 2013	None	
CN 103000131 A	27 March 2013	None	
CN 102956199 A	06 March 2013	None	
JP 2012133165 A	12 July 2012	None	
US 2009096723 A1	16 April 2009	JP 2009092964 A	30 April 2009
		JP 5015714 B2	29 August 2012
		US 8068074 B2	29 November 2011

国际检索报告

国际申请号

PCT/CN2013/087592

A. 主题的分类

G09G 3/32(2006.01)i; G09G 3/20(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G09G3; H05B

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNABS, CNTXT, VEN: 发光, ???led, el, 第二, 两, 另一, 驱动, 轮流, 轮换, 交替, 间隔, 分时, 并联, 点亮, 电流, 方向, 相反, 反相, 反向, 不?同, ???led, light+, emit+, diode?, EL, electroch+, two, second+, another, driv+, alternat+, interspers+, turn?, rotator+, lumi+, illum+, current+, revers+, invers+, oppos+, invert+, differ+

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
PX	CN 103383834A (京东方科技集团股份有限公司 等) 2013年 11月 06日 (2013 - 11 - 06) 权利要求1-16	1-16
A	CN 103000131A (京东方科技集团股份有限公司) 2013年 3月 27日 (2013 - 03 - 27) 说明书第[0034]段至第[0105]段、附图2-8	1-16
A	CN 102956199A (京东方科技集团股份有限公司) 2013年 3月 06日 (2013 - 03 - 06) 说明书第[0021]段至第[0029]段、附图1-2	1-16
A	JP 2012133165A (JAPAN DISPLAY EAST CO LTD等) 2012年 7月 12日 (2012 - 07 - 12) 全文	1-16
A	US 2009096723A1 (KAWABE KAZUYOSHI 等) 2009年 4月 16日 (2009 - 04 - 16) 全文	1-16

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2014年 4月 01日

国际检索报告邮寄日期

2014年 4月 22日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
中国北京市海淀区蓟门桥西土城路6号
100088 中国

授权官员

刘雪

传真号 (86-10)62019451

电话号码 (86-10)62085841

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2013/087592

检索报告引用的专利文件		公布日 (年/月/日)	同族专利	公布日 (年/月/日)
CN	103383834A	2013年 11月 06日	无	
CN	103000131A	2013年 3月 27日	无	
CN	102956199A	2013年 3月 06日	无	
JP	2012133165A	2012年 7月 12日	无	
US	2009096723A1	2009年 4月 16日	JP 2009092964A	2009年 4月 30日
			JP 5015714B2	2012年 8月 29日
			US 8068074B2	2011年 11月 29日

表 PCT/ISA/210 (同族专利附件) (2009年7月)