(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
H01L 21/76

(45) 공고일자 2001년11월02일
(11) 등록번호 10-0305026
(24) 등록일자 2001년07월25일

(21) 출원번호 10-1998-0061932
(22) 출원일자 1998년12월30일
(65) 공개번호 특2000-0045374
(43) 공개일자 2000년07월15일

(73) 특허권자 주식회사 하이닉스반도체 박종섭
경기 이천시 부발읍 아미리 산136-1
(72) 발명자 김태우
경기도 용인시 수지읍 풍덕천 보원아파트 104-1204
박정열
서울특별시 성동구 마장동 818번지 현대아파트 109동 201호
(74) 대리인 이정훈, 이후동

심사관 : 이금욱

(54) 반도체소자의 제조방법

요약

본 발명은 반도체소자의 제조방법에 관한 것으로, 반도체기판 상부에 소자분리 영역으로 예정되는 부분을 노출시키는 절연막 패턴을 식각마스크로 사용하여 상기 반도체기판을 식각하여 트렌치를 형성하고, 전체표면 상부에 상기 트렌치를 매립하는 소자분리절연막을 형성한 다음, 화학적 기계적 연마(chemical mechanical polishing, CMP)공정으로 평탄화시킨 후 상기 단차를 줄이기 위한 식각공정시 상기 트렌치의 양쪽 가장자리 부분이 함몰되어 노출된 반도체기판을 상기 소자분리절연막과의 산화율차이를 이용하여 산화시켜 소정 두께의 산화막을 형성시킴으로써 후속공정시 게이트 절연막이 상기 트렌치의 양쪽 가장자리에서 얇아지는 현상을 방지하고 그에 따른 반도체소자의 특성 및 신뢰성을 향상시키는 기술이다.

대표도

도2c

명세서

도면의 간단한 설명

<1> 도 1a 내지 도 1d 는 종래기술에 따른 반도체소자의 제조방법을 도시한 단면도.

<2> 도 1e 는 종래기술에 따른 반도체소자의 제조방법에 의한 트렌지스터의 폭방향으로 전기장의 크기를 도시한 특성곡선.

<3> 도 1f 및 도 1g 는 종래기술에서 트랜지스터 폭의 크기에 따른 핫캐리어 주입 테스트를 도시한 그래프도.

<4> 도 2a 내지 도 2e 는 본 발명에 따른 반도체소자의 제조방법을 도시한 단면도.

<5> <도면의 주요부분에 대한 부호의 설명>

<6> 11, 12 : 반도체기판 13, 14 : 제1절연막

<7> 15, 16 : 제2절연막 17, 18 : 감광막 패턴

<8> 19, 20 : 트랜치 21, 22 : 소자분리절연막

<9> 23, 24 : 게이트 절연막 25, 26 : 게이트 전극

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

<10> 본 발명은 반도체소자의 제조방법에 관한 것으로, 특히 함몰된 트렌치의 양쪽 가장자리에서 노출되는 반도체기판을 소정 두께 산화시킴으로써 후속 공정으로 형성되는 게이트 절연막이 상기 트랜치의 양쪽 가장자리에서 얇아지는 현상을 방지하여 소자의 특성 및 신뢰성을 향상시키는 방법에 관한 것이다.

<11> 고집적화라는 관점에서 소자의 집적도를 높이기 위해서는 각각의 소자 디멘젼(dimension)을 축소하는 것과, 소자간에 존재하는 분리영역의 폭과 면적을 축소하는 것이 필요하며, 이 축소정도가 셀의 크기를 좌우한다는 점에서 소자분리 기술이 메모리 셀 사이즈(memory cell size)를 결정하는 기술이라고 할 수 있다.

<12> 일반적으로 소자분리 기술에서 디자인 룰이 감소함에 따라 작은 버즈빅 길이와 큰 체적비를 요구하고 있다.

<13> 그러나, 종래의 로코스(LOCOS : LOCal Oxidation of Silicon, 이하에서 LOCOS 라 함) 공정방법은 소자분리막이 얇아지는 문제와 버즈빅현상으로 기가(Giga DRAM)급 소자에서는 적용하는데 한계가 있다.

<14> 또한, 트렌치 소자분리 공정도 공정의 복잡성뿐만 아니라 디자인 룰이 감소할수록 트렌치 영역을 매립하는 것이 어려워지므로 실제로 디자인 룰이 0.1 ㎛ 에 접근하면 트렌치 소자분리 공정도 적용하기가 어려워 질 것이다.

<15> 이하, 첨부된 도면을 참고로 하여 상세히 설명하기로 한다.

<16> 도 1a 내지 도 1d 는 종래기술에 따른 반도체소자의 제조방법을 도시하는 단면도이다.

<17> 먼저, 반도체기판(11) 상부에 제1절연막(13) 및 제2절연막(15)을 순차적으로 형성하고, 그 상부에 소자분리 영역으로 예정된 부분을 노출시키는 감광막 패턴(17)을 형성한다. 상기 제1절연막(13)은 산화막으로 형성하고, 상기 제2절연막(15)은 질화막으로 형성한다.

<18> 다음, 상기 감광막 패턴(17)을 식각마스크로 사용하여 상기 제2절연막(15), 제1절연막(13) 및 소정 두께의 반도체기판(11)을 제거하여 트렌치(19)를 형성한다. (도 1a참조)

<19> 그 다음, 상기 감광막 패턴(17)을 제거하고, 상기 트렌치(19)의 표면을 열산화시켜 희생산화막인 제3절연막(도시안됨)을 성장시킨 후 습식식각을 통해 상기 제3절연막을 제거함으로써 상기 트렌치(19) 형성공정시 발생된 상기 트렌치(19) 표면의 결함을 제거한다. 여기서, 상기 제3절연막을 제거하는 동안에 반도체기판(11) 및 제1절연막(13)이 손실된다.

<20> 그 후, 다시 열산화공정을 실시하여 상기 트렌치(19)의 표면에 제4절연막(도시안됨)을 형성한다.

<21> 다음, 전체표면 상부에 상기 트렌치(19)를 매립하는 소자분리절연막(21)을 형성하되, 고밀도플라즈마화학기상증착(high density plasma chemical vapor deposition, 이하 HDP CVD 라 함) 산화막을 이용하여 형성한다.

<22> 그리고, 후속 열처리공정을 실시하여 상기 소자분리 절연막(21)을 치밀화(densification)시킨다. (도 1b참조)

<23> 다음, 상기 소자분리절연막(21)을 상기 제2절연막(15)을 식각방지막으로 사용하여 화학적기계적 연마(chemical mechanical polishing, 이하 CMP 라함)공정을 실시하여 제거한다. 이때, 상기 CMP공정후 상기 소자분리절연막(21)과 제2절연막(15)의 식각선택비차이로 인하여 상기 소자분리절연막(21)의 손실이 발생한다.

<24> 그 다음, 소자분리영역과 반도체기판(11)과의 단차를 줄이기 위하여 상기 소자분리절연막(21)을 습식식각방법으로 제거한다. 이때, 상기 반도체기판(11)이 소정 두께 손실된다.

<25> 다음, 상기 제2절연막(15)을 과도식각하여 제거한다. 이때, 상기 반도체기판(11)의 손실이 더 발생하여 트렌치(19)의 양쪽 가장자리부분이 ⓐ 부분과 같이 함몰된다. (도 1c참조)

<26> 그 다음, 게이트 절연막(23)을 형성한 후, 게이트 전극(25)을 형성한다. 이때, 상기 소자분리절연막(21)의 양쪽 가장자리부분에서 ⓑ 부분과 같이 상기 게이트 절연막(23)의 두께가 얇아지게 된다. (도 1d참조)

<27> 참고로, 도 1e 는 종래기술에 따른 반도체소자의 제조방법에 의한 트렌지스터의 폭방향으로 전기장의 크기를 도시한 특성곡선이며, 도 1f 및 도 1g 는 종래기술에서 트랜지스터 폭의 크기에 따른 핫캐리어 주입 테스트를 도시한 그래프도로서, 트랜지스터의 폭이 클수록 드레인전류의 감소율이 작고, 반도체기판의 전류 감소율이 작은 것을 나타낸다.

<28> 상기와 같이 종래기술에 따른 반도체소자의 제조방법은, 트렌치를 매립하는 소자분리절연막 상부의 양쪽 가장자리가 함몰되어 게이트 절연막 형성공정시 상기 함몰 부분에서는 게이트 절연막이 얇게 형성되어 게이트 전극형성후 전기장이 크게 걸려 제너레이션(generation)된 핫캐리어(hot carrier)량이 증가하여 트랜지스터의 라이프타임(lifetime)을 감소시켜 소자의 특성 및 신뢰성을 저하시키는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

<29> 본 발명은 상기한 종래기술의 문제점을 해결하기 위하여, 트랜치를 매립하는 HDP-CVD 산화막과 반도체기판간에 산화율(oxidation rate)을 이용하여 함몰된 트랜치의 양쪽 가장자리의 반도체기판을 산화시킨 후 후속공정을 실시하여 상기 트렌치의 양쪽 가장자리에서 게이트 절연막이 얇아지는 현상을 방지하고 그에 따른 반도체소자의 특성 및 신뢰성을 향상시키는 반도체소자의 제조방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

<30> 이상의 목적을 달성하기 위한 본 발명에 따른 반도체소자의 제조방법은,

<31> 반도체기판 상부에 제1절연막을 형성하고, 상기 제1절연막 상부에 소자분리 영역으로 예정되어

있는 부분을 노출시키는 감광막 패턴을 형성하는 공정과,

<32> 상기 감광막 패턴을 식각마스크로 상기 제1절연막과 반도체기판을 식각하여 트렌치를 형성한 다음, 상기 감광막 패턴을 제거하는 공정과,

<33> 상기 트렌치 표면에 희생산화막을 형성하는 공정과,

<34> 상기 희생산화막을 제거하고, 상기 트렌치의 표면에 제2절연막을 형성하는 공정과,

<35> 상기 구조 상부에 상기 트렌치를 매립하는 제3절연막을 형성하는 공정과,

<36> 상기 제3절연막을 CMP 공정으로 제거하되, 상기 제1절연막을 식각방지막으로 사용하여 제거하는 공정과,

<37> 상기 제3절연막을 상기 제1절연막과의 식각선택비차이를 이용하여 소정 두께 제거하는 공정과,

<38> 상기 제3절연막과 반도체기판의 산화율 차이를 이용하여 상기 제3절연막과 제1절연막 사이에 노출된 반도체기판을 산화시키는 공정과,

<39> 상기 제1절연막을 제거한 다음, 전체표면 상부에 게이트 절연막을 형성하는 공정과,

<40> 상기 게이트 절연막 상부에 게이트 전극을 형성하는 공정을 포함하는 것을 특징으로 한다.

<41> 이하, 첨부된 도면을 참고로 하여 본 발명을 상세히 설명하기로 한다.

<42> 도 2a 내지 도 2e 는 본 발명에 따른 반도체소자의 제조방법을 도시한 단면도이다.

<43> 먼저, 반도체기판(12) 상부에 제1절연막(14) 및 제2절연막(16)을 순차적으로 형성하고, 그 상부에 소자분리 영역으로 예정된 부분을 노출시키는 감광막 패턴(18)을 형성한다. 상기 제1절연막(14)은 산화막으로 형성하고, 상기 제2절연막(16)은 질화막으로 형성한다.

<44> 다음, 상기 감광막 패턴(18)을 식각마스크로 사용하여 상기 제2절연막(16), 제1절연막(14) 및 소정 두께의 반도체기판(12)을 제거하여 트렌치(19)를 형성한다. (도 2a참조)

<45> 그 다음, 상기 감광막 패턴(18)을 제거하고, 상기 트렌치(20)의 표면을 열산화시켜 희생산화막인 제3절연막(도시안됨)을 성장시킨 후 습식식각을 통해 상기 제3절연막을 제거함으로써 상기 트렌치(20) 형성공정시 발생된 상기 트렌치(20) 표면의 결함을 제거한다. 여기서, 상기 제3절연막을 제거하는 동안에 반도체기판(12) 및 제1절연막(14)이 손실된다.

<46> 그 후, 다시 열산화공정을 실시하여 상기 트렌치(20)의 표면에 제4절연막(도시안됨)을 형성한다.

<47> 다음, 전체표면 상부에 상기 트렌치(20)를 매립하는 소자분리절연막(22)을 형성하되, HDP CVD 산화막을 이용하여 형성한다.

<48> 그리고, 후속 열처리공정을 실시하여 상기 소자분리 절연막(22)을 치밀화(densification)시킨다. (도 2b참조)

<49> 다음, 상기 소자분리절연막(22)을 상기 제2절연막(16)을 식각방지막으로 사용하여 CMP 공정을 실시하여 제거한다. 이때, 상기 CMP공정후 상기 소자분리절연막(22)과 제2절연막(16)의 식각선택비차이로 인하여 상기 소자분리절연막(22)의 손실이 발생한다.

<50> 그 다음, 소자분리영역과 반도체기판(12)과의 단차를 줄이기 위하여 상기 소자분리절연막(22)을 습식식각방법으로 제거한다. 이때, 상기 반도체기판(12)이 소정 두께 손실된다.

<51> 그 다음, 상기 소자분리절연막(22)과 반도체기판(12) 간의 산화율차이를 이용하여 상기 반도체기판(12)의 함몰된 부분에 ⓒ 부분과 같이 산화막을 50 ~ 100Å 두께로 형성한다. 이때, 상기 소자분리절연막(22)은 거의 산화되지 않는다. (도 2c참조)

<52> 다음, 상기 제2절연막(16)을 과도식각하여 제거한다. 상기 제2절연막(16) 제거후에도 상기 소자분리절연막(22)의 양쪽 가장자리 부분은 함몰되지 않는다. (도 2d참조)

<53> 그 다음, 게이트 절연막(24)을 형성한 후, 게이트 전극(26)을 형성한다. 상기 ⓒ영역에서 상기 게이트 절연막(24)이 얇아지는 현상이 발생하지 않는다. (도 2d참조)

발명의 효과

<54> 이상에서 설명한 바와같이 본 발명에 따른 반도체소자의 제조방법은, 반도체기판 상부에 소자분리 영역으로 예정되는 부분을 노출시키는 절연막 패턴을 식각마스크로 사용하여 상기 반도체기판을 식각하여 트렌치를 형성하고, 전체표면 상부에 상기 트렌치를 매립하는 소자분리절연막을 형성한 다음, CMP공정으로 평탄화시킨 후 상기 단차를 줄이기 위한 식각공정시 상기 트렌치의 양쪽 가장자리 부분이 함몰되어 노출된 반도체기판을 상기 소자분리절연막과의 산화율차이를 이용하여 산화시켜 소정 두께의 산화막을 형성시킴으로써 후속공정시 게이트 절연막이 상기 트렌치의 양쪽 가장자리에서 얇아지는 현상을 방지하고 그에 따른 반도체소자의 특성 및 신뢰성을 향상시키는 이점이 있다.

(57) 청구의 범위

청구항 1

반도체기판 상부에 제1절연막을 형성하고, 상기 제1절연막 상부에 소자분리 영역으로 예정되어 있는 부분을 노출시키는 감광막 패턴을 형성하는 공정과,

상기 감광막 패턴을 식각마스크로 상기 제1절연막과 반도체기판을 식각하여 트렌치를 형성한 다음, 상기 감광막 패턴을 제거하는 공정과,

상기 트렌치 표면에 희생산화막을 형성하는 공정과,

상기 희생산화막을 제거하고, 상기 트렌치의 표면에 제2절연막을 형성하는 공정과,

상기 구조 상부에 상기 트렌치를 매립하는 제3절연막을 형성하는 공정과,

상기 제3절연막을 CMP 공정으로 제거하되, 상기 제1절연막을 식각방지막으로 사용하여 제거하는 공정과,

상기 제3절연막을 상기 제1절연막과의 식각선택비차이를 이용하여 소정 두께 제거하는 공정과,

상기 제3절연막과 반도체기판의 산화율 차이를 이용하여 상기 제3절연막과 제1절연막 사이에 노출된 반도체기판을 산화시키는 공정과,

상기 제1절연막을 제거한 다음, 전체표면 상부에 게이트 절연막을 형성하는 공정과,

상기 게이트 절연막 상부에 게이트 전극을 형성하는 공정을 포함하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 2

제 1 항에 있어서,

상기 제1절연막은 산화막과 질화막의 적층구조인 것을 특징으로 하는 반도체소자의 제조방법.

청구항 3

제 1 항에 있어서,

상기 제3절연막은 HDP-CVD 산화막으로 형성하는 것을 특징으로 하는 반도체소자의 제조방법.

청구항 4

제 1 항에 있어서,

상기 제3절연막을 습식식각 또는 건식식각방법으로 제거하여 단차를 줄이는 것을 특징으로 하는 반도체소자의 제조방법.

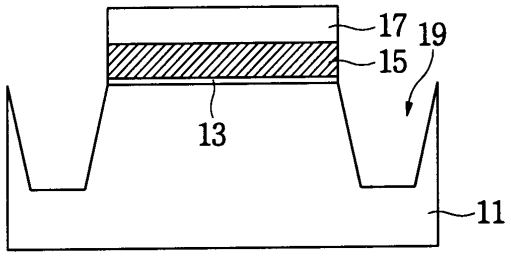
청구항 5

제 1 항에 있어서,

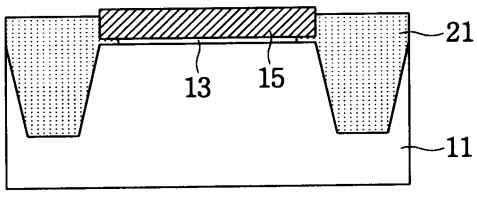
상기 반도체기판을 산화하는 공정은 습식 또는 건식산화방법을 사용하여 50 ~ 100Å의 산화막이 형성되도록 실시하는 것을 특징으로 하는 반도체소자의 제조방법.

도면

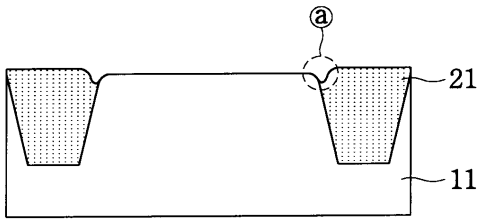
도면1a



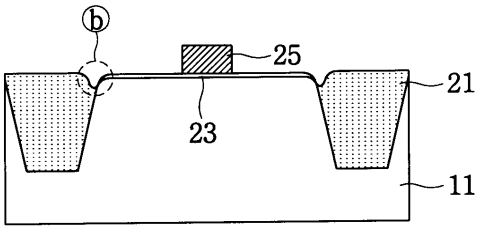
도면1b



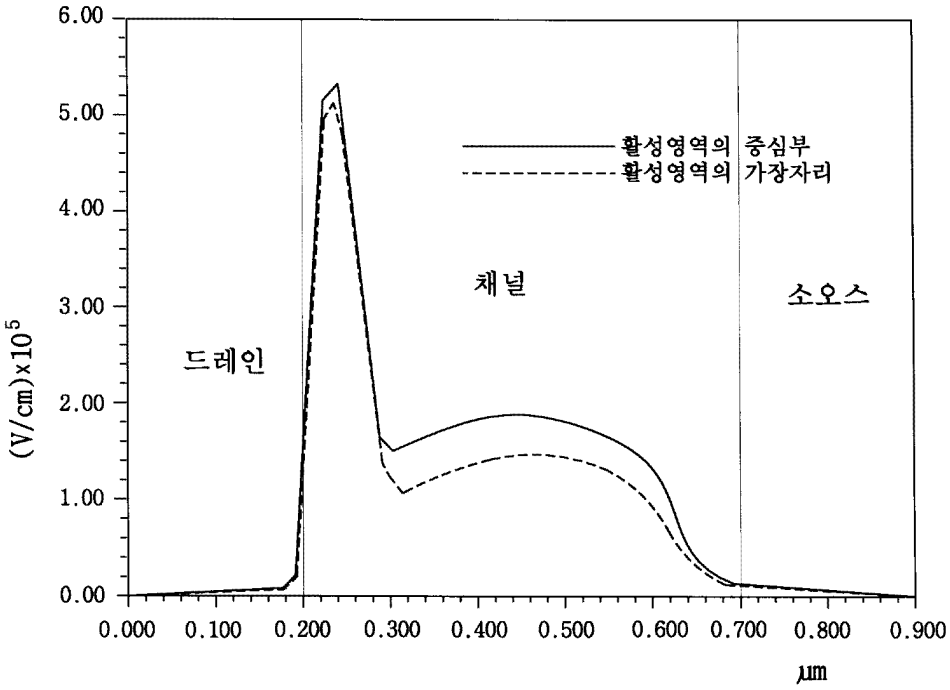
도면1c



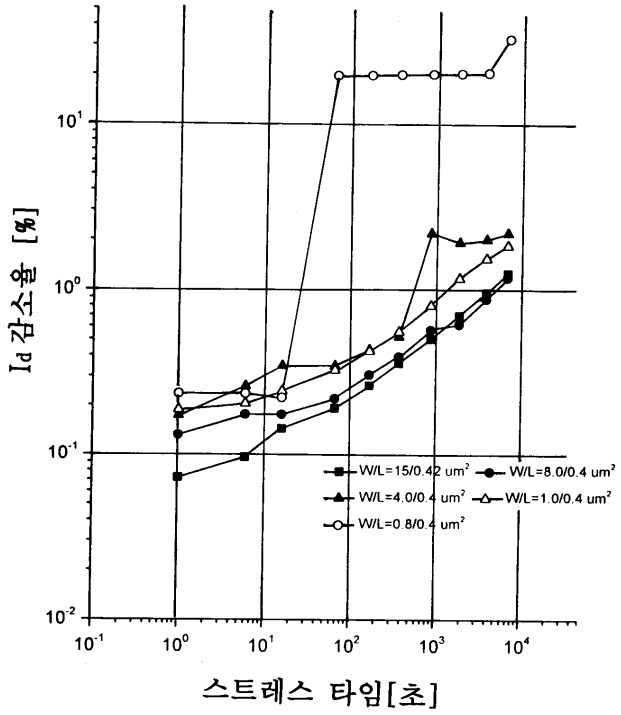
도면1d



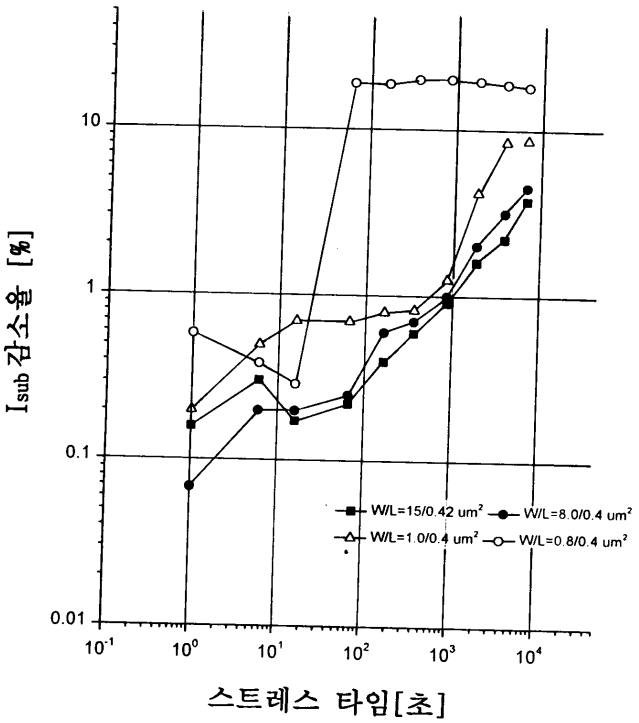
도면1e



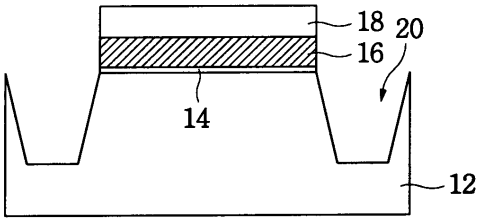
도면1f


I_d 감소율 [%]
10^1
10^0
10^{-1}
10^{-2}
10^{-1} 10^0 10^1 10^2 10^3 10^4
W/L=15/0.42 um²
W/L=8.0/0.4 um²
W/L=4.0/0.4 um²
W/L=1.0/0.4 um²
W/L=0.8/0.4 um²
스트레스 타임[초]

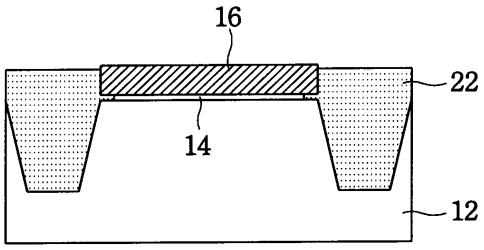
도면1g


I_{sub} 감소율 [%]
10
1
0.1
0.01
10^{-1} 10^0 10^1 10^2 10^3 10^4
W/L=15/0.42 um²
W/L=8.0/0.4 um²
W/L=1.0/0.4 um²
W/L=0.8/0.4 um²
스트레스 타임[초]

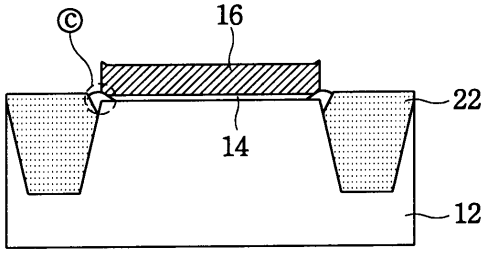
도면2a



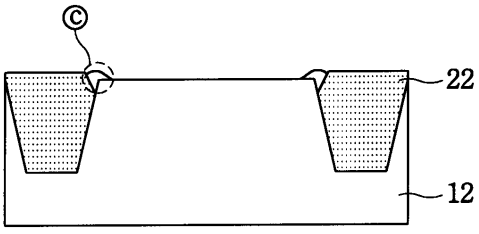
도면2b



도면2c



도면2d



도면2e

