



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K PATENTU

223870
(11) (B2)

(51) Int. Cl.³
G 05 B 11/06

(22) Přihlášeno 08 12 80
(21) (PV 5354-78)

(40) Zveřejněno 15 09 82

(45) Vydáno 15 04 86

(72) (73)
Autor vynálezu
a současně
majitel patentu

ŠPAČEK VÁCLAV ing., BÍLINA

(54) Zapojení regulátoru s nelinearitou třetího a vyššího řádu

1

Vynález se týká zapojení regulátoru s nelinearitou třetího a vyššího řádu, který má větší přesnost regulace a lepší kvalitu regulačního pochodu než dosud užívané regulátory.

Z dosud používaných typů regulátorů jsou nejznámější lineární regulátory, které se vytvářejí z dynamických členů, tvořených operačním zesilovačem se zavedenou zpětnou vazbou. Regulátory mají charakter proporcionální P, integrační I, nebo derivační D. Nejčastěji se ale používá regulátoru PID, který obsahuje všechny tři složky. Z nelineárních regulátorů se nejčastěji užívají nespojitě regulátory, jejichž výstupním členem je spínací prvek, takže odpadají složité proporcionální výkonové zesilovače. Tyto regulátory mají menší přesnost regulace a horší kvalitu regulačního pochodu, než regulátor popsáný tímto vynálezem.

Uvedené nevýhody, to je menší přesnost regulace a horší kvalita regulačního pochodu, odstraňuje zapojení regulátoru podle vynálezu zapojení regulátoru s nelinearitou třetího a vyššího řádu, jehož podstata je, že vstup regulační odchylky, zakreslený na výkresu je připojen na první proměnný odpor, jehož druhý vývod je připojen jednak přes první impedanci na zemní svorku, jednak přes pátý odpor na výstup prvního ope-

2

račního zesilovače a jednak na vstup prvního operačního zesilovače, jehož výstup je připojen dále jednak na oba vstupy první pulsní násobičky, jednak na jeden vstup druhé pulsní násobičky, přičemž na druhý vstup druhé pulsní násobičky je připojen výstup první pulsní násobičky, kde výstup druhé pulsní násobičky je připojen jednak na druhý proměnný odpor a jednak na první vývod třetího proměnného odporu, přičemž druhý vývod druhého proměnného odporu je připojen jednak přes druhou impedanci na zemní svorku, jednak na vstup druhého operačního zesilovače a jednak přes druhou kapacitu na výstup druhého operačního zesilovače, připojeného na devátý odpor, jehož druhý vývod je připojen jednak přes desátý odpor k zemní svorce a jednak na vývod čtvrtého proměnného odporu, zatímco druhý vývod třetího proměnného odporu je připojen jednak na šestý odpor, jednak na třetí operační zesilovač, a jednak přes třetí impedanci na zemní svorku, přičemž druhý vývod šestého odporu je připojen jednak přes první proměnnou kapacitu na zemní svorku, jednak přes sedmý odpor na výstup třetího operačního zesilovače, který je dále připojen přes osmý odpor na první vývod čtvrtého proměnného odporu, jehož druhý vývod je připojen

jednak na vstup čtvrtého operačního zesilovače a jednak přes jedenáctý odpor na výstup ze čtvrtého operačního zesilovače, který je spojen s výstupem akční veličiny regulátoru.

Nejvýznamnější vlastnosti tohoto regulátoru, oproti jiným dosud používaným typům, jsou lepší přesnost regulace a lepší kvalita regulačního pochodu. Regulovaná veličina se v ustáleném stavu velice blíží řídicí veličině a také přesněji sleduje změny řídicí veličiny než při použití jiného regulátoru. Regulátoru je výhodné použít k regulaci soustav s dopravním zpožděním, kde je vysoká přesnost regulace a též k regulaci adaptivních systémů, kde po vytvoření přesného modelu získáme velmi dobrou kvalitu regulačního pochodu.

Zapojení regulátoru podle vynálezu je uvedeno na výkresu.

Vstup e regulační odchylky je připojen na první proměnný odpor R_1 , jehož druhý vývod je připojen jednak přes první impedanci Z_1 na zemní svorku, jednak přes pátý odpor R_5 na výstup e_0 prvního operačního zesilovače A_1 a jednak na vstup prvního operačního zesilovače A_1 , jehož výstup je připojen dále jednak na oba vstupy první pulsní násobičky PN_1 , jednak na jeden vstup druhé pulsní násobičky PN_2 , přičemž na druhý vstup druhé pulsní násobičky PN_2 je připojen výstup první pulsní násobičky PN_1 , kde výstup e_2 druhé pulsní násobičky PN_2 je připojen jednak na druhý proměnný odpor R_2 a jednak na první vývod třetího proměnného odporu R_3 , přičemž druhý vývod druhého proměnného odporu R_2 je připojen jednak přes druhou impedanci Z_2 na zemní svorku, jednak na vstup druhého operačního zesilovače A_2 a jednak přes druhou kapacitu C_2 na výstup druhého operačního zesilovače A_2 , připojeného na devátý odpor R_9 , jehož druhý vývod je připojen jednak přes desátý odpor R_{10} k zemní svorce, zatímco druhý vývod třetího proměnného odporu R_3 je připojen jednak na šestý odpor R_6 , jednak na třetí operační zesilovač A_3 a jednak přes třetí impedanci Z_3 na zemní svorku, přičemž druhý vývod šestého odporu R_6 je připojen jednak přes první proměnnou kapacitu C_1 na zemní svorku, jednak přes sedmý odpor R_7 na výstup třetího operačního zesilovače A_3 , který je dále připojen přes osmý odpor R_8 na první vývod čtvrtého proměnného odporu R_4 , jehož druhý vývod je připojen jednak na vstup čtvrtého operačního zesilovače A_4 a jednak přes jedenáctý odpor R_{11} na výstup ze čtvrtého operačního zesilovače A_4 , který je spojen s výstupem v akční veličiny regulátoru.

Vstup e regulační odchylky do regulátoru je připojen nejprve do zesilovače tvořeného prvním proměnným odporem R_1 , pátým

odporem R_5 , první impedancí Z_1 a prvním operačním zesilovačem A_1 . Tímto zesilovačem se signál zesílí a postupuje dále na první pulsní násobičku PN_1 a druhou pulsní násobičku PN_2 , z jejíhož výstupu postupuje signál, který je třetí mocninou signálu na vstupu první pulsní násobičky PN_1 , z výstupu druhé pulsní násobičky PN_2 je připojen signál ke vstupu lineárního regulátoru PID, který je tvořen paralelním spojením regulátoru I a regulátoru PD. Regulátor I je tvořen druhým proměnným odporem R_2 , druhou impedancí Z_2 , druhou kapacitou C_2 a druhým operačním zesilovačem A_2 . Regulátor PD je tvořen třetím proměnným odporem R_3 , třetí impedancí Z_3 , šestým odporem R_6 , sedmým odporem R_7 , první proměnnou kapacitou C_1 a třetím operačním zesilovačem A_3 . Výstupní signály z regulátorů I a PD se sčítají v sečítacím obvodu tvořeném osmým odporem R_8 , devátým odporem R_9 a desátým odporem R_{10} . Dále postupuje signál na zesilovači, tvořený čtvrtým proměnným odporem R_4 , čtvrtou impedancí Z_4 , jedenáctým odporem R_{11} a čtvrtým operačním zesilovačem A_4 . Výstup z tohoto zesilovače je výstupem v akční veličiny z regulátoru. Pulsní násobičky tvořící třetí mocninu signálu do nich vstupujícího se chovají pro lineární regulátor PID jako zesilovač s proměnným zesílením, závislým na vstupu e regulační odchylky do regulátoru. Je-li regulační odchylka větší, způsobí násobička velké zesílení signálu na vstupu e regulační odchylky do regulátoru a regulátor PID vyrobí velmi velký signál na výstupu v akční veličiny regulátoru, který velmi zeslabí signál na vstupu e regulační odchylky do regulátoru. Při snížení vstupu e regulační odchylky do regulátoru vyrobí násobičky velmi malý signál pro regulátor PID, takže nemůže dojít k snadnému rozkmitání. A přitom je velmi vysoká kvalita regulačního pochodu. U daného regulátoru podle vynálezu je na vstupu i výstupu zesilovač, aby se mohla nastavit nejvhodnější pracovní oblast pulsních násobiček PN_1 , PN_2 .

Regulátor podle vynálezu může mít kromě nelinearity třetího řádu též nelinearity pátého řádu a všech vyšších lichých řádů. Potom rozdíl v zapojení od zapojení podle výkresu bude ten, že mezi výstupem prvního operačního zesilovače a výstupem druhé pulsní násobičky bude zapojeno tolik násobiček, aby se vytvořil vztah

$$e_2'' = (e_0')^x, \quad x = 5, 7, \dots$$

kde e_2' bude výstup z poslední pulsní násobičky a e_0 je výstup prvního operačního zesilovače, namísto vztahu $e_2 = e_0^3$, který platí v zapojení podle výkresu.

PŘEDMĚT VYNÁLEZU

Zapojení regulátoru s nelinearitou třetího a vyššího řádu, vyznačující se tím, že vstup (e) regulační odchylky je připojen na první proměnný odpor (R_1), jehož druhý vývod je připojen jednak přes první impedanci (Z_1) na zemní svorku, jednak přes pátý odpor (R_5) na výstup (e_0) prvního operačního zesilovače (A_1) a jednak na vstup prvního operačního zesilovače (A_1), jehož výstup je připojen dále jednak na oba vstupy první pulsní násobičky (PN_1), jednak na jeden vstup druhé pulsní násobičky (PN_2), přičemž na druhý vstup druhé pulsní násobičky (PN_2) je připojen výstup první pulsní násobičky (PN_1), kde výstup (e_2) druhé pulsní násobičky (PN_2) je připojen jednak na druhý proměnný odpor (R_2) a jednak na první vývod třetího proměnného odporu (R_3), přičemž druhý vývod druhého proměnného odporu (R_2) je připojen jednak přes druhou impedanci (Z_2) na zemní svorku, jednak na vstup druhého operačního zesilo-

vače (A_2) a jednak přes druhou kapacitu (C_2) na výstup druhého operačního zesilovače (A_2), připojeného na devátý odpor (R_9), jehož druhý vývod je připojen jednak přes desátý odpor (R_{10}) k zemní svorce, zatímco druhý vývod třetího proměnného odporu (R_3) je připojen jednak na šestý odpor (R_6), jednak na třetí operační zesilovač (A_3) a jednak přes třetí impedanci (Z_3) na zemní svorku, přičemž druhý vývod šestého odporu (R_6) je připojen jednak přes první proměnnou kapacitu (C_1) na zemní svorku, jednak přes sedmý odpor (R_7) na výstup třetího operačního zesilovače (A_3), který je dále připojen přes osmý odpor (R_8) na první vývod čtvrtého proměnného odporu (R_4), jehož druhý vývod je připojen jednak na vstup čtvrtého operačního zesilovače (A_4) a jednak přes jedenáctý odpor (R_{11}) na výstup ze čtvrtého operačního zesilovače (A_4), který je spojen s výstupem (v) akční veličiny regulátoru.

1 list výkresů

