

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2017년 10월 19일 (19.10.2017)



(10) 국제공개번호
WO 2017/179944 A1

- (51) 국제특허분류:
H01L 25/075 (2006.01) H01L 33/64 (2010.01)
H01L 27/15 (2006.01) F21Y 105/10 (2016.01)
A61N 5/06 (2006.01) F21Y 115/10 (2016.01)
H01L 33/48 (2010.01)
- (21) 국제출원번호: PCT/KR2017/004065
- (22) 국제출원일: 2017년 4월 14일 (14.04.2017)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보:
10-2016-0046356 2016년 4월 15일 (15.04.2016) KR
10-2016-0049327 2016년 4월 22일 (22.04.2016) KR
- (71) 출원인: 엘지이노텍 주식회사 (LG INNOTEK CO., LTD.) [KR/KR]; 04637 서울시 중구 후암로 98, Seoul (KR).
- (72) 발명자: 김명희 (KIM, Myung Hee); 04637 서울시 중구 후암로 98, Seoul (KR). 홍정엽 (HONG, Jung Yeop); 04637 서울시 중구 후암로 98, Seoul (KR).
- (74) 대리인: 김기문 (KIM, Ki Moon); 06252 서울시 강남구 역삼로 114 현죽빌딩 6층, Seoul (KR).

(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

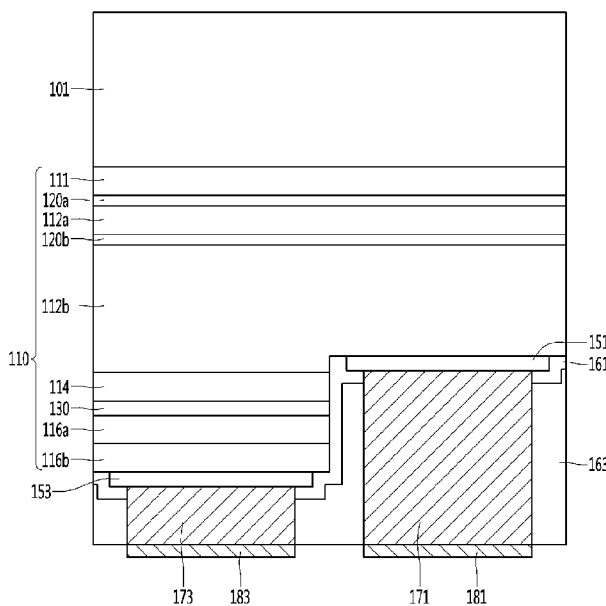
(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

공개:

— 국제조사보고서와 함께 (조약 제 21 조(3))

(54) Title: LIGHT-EMITTING DEVICE, LIGHT-EMITTING DEVICE PACKAGE, AND LIGHT-EMITTING MODULE

(54) 발명의 명칭 : 발광소자, 발광소자 패키지 및 발광모듈



(57) Abstract: Disclosed in an embodiment are a light-emitting device, and a light-emitting device package and a light-emitting module having the same. According to the embodiment, the light-emitting device has: a first superlattice layer arranged on an AlN template layer, and a first semiconductor layer, a second superlattice layer, and a first conductive semiconductor layer; an active layer having a quantum well layer and a quantum wall layer arranged on the first conductive semiconductor layer; and an electron blocking layer arranged on the active layer and a second conductive semiconductor layer. A second layer of first and second layers of the first superlattice layer, the first semiconductor layer, and third and fourth layers of the second superlattice layer include AlGaN-based semiconductors, and an aluminum composition of the third layer is higher than an aluminum composition of the fourth layer and has the same composition range as that of an aluminum composition of the first semiconductor layer. The active layer emits ultraviolet light.

(57) 요약서: 실시 예는 발광소자 및 이를 갖는 발광소자 패키지 및 발광 모듈이 개시된다. 실시 예에 따른 발광소자는 AlN 템플릿층 위에 배치된 제 1 초격자층, 제 1 반도체층, 제 2 초격자층, 제 1 도전형 반도체층이 배치되며, 상기 제 1 도전형 반도체층 위에 양자우물층 및 양자벽층을 갖는 활성층이 배치되며, 상기 활성층 위에 배치된 전자 블록킹층 및 제 2 도전형 반도체층이 배치된다. 상

기 제 1 초격자층의 제 1,2층 중 제 2층, 상기 제 1 반도체층 및 상기 제 2 초격자층의 제 3,4층은 AlGaN 계 반도체를 포함하며, 상기 제 3층의 알루미늄 조성은 상기 제 4층의 알루미늄 조성보다 높고, 상기 제 1 반도체층의 알루미늄 조성의 범위와 동일한 조성 범위를 가진다. 상기 활성층은 자외선 광을 방출한다.

WO 2017/179944 A1

명세서

발명의 명칭: 발광소자, 발광소자 패키지 및 발광모듈

기술분야

- [1] 실시 예는 자외선 광을 발광하는 발광소자에 관한 것이다.
- [2] 실시 예는 자외선 광을 발광하는 발광 소자를 갖는 발광 소자 패키지 및 발광 모듈에 관한 것이다.
- [3] 실시 예는 자외선 발광소자를 갖는 의료 기기에 관한 것이다.

배경기술

- [4] 발광 다이오드(Light Emitting Diode: LED)는 전류가 인가되면 광을 방출하는 발광 소자 중 하나이다. 발광 다이오드는 저 전압으로 고효율의 광을 방출할 수 있어 에너지 절감 효과가 뛰어나다.
- [5] 질화물 반도체는 높은 열적 안정성과 폭 넓은 밴드갭 에너지에 의해 광소자 및 고출력 전자소자 개발 분야에서 큰 관심을 받고 있다. 특히, 질화물 반도체를 이용한 자외선(UV) 발광소자, 청색(Blue) 발광소자, 녹색(Green) 발광소자, 적색(RED) 발광소자 등은 상용화되어 널리 사용되고 있다.
- [6] 상기 자외선 발광소자(UV LED)는 200nm 내지 400nm 파장대의 빛을 발광하는 발광소자이다. 상기 자외선 발광소자는 용도에 따라 단파장 및 장파장으로 구성된다. 상기 단파장은 살균 또는 정화 등에 사용되고, 장파장은 노광기 또는 경화기 등에 사용될 수 있다. 특히, 280nm 내지 315nm의 UVB는 의료 기기 등에서 사용될 수 있다.
- [7] 최근 들어 정밀한 의료 기기 등에 사용되는 UVB의 자외선 발광소자는 280nm 내지 315nm 내에서 타겟 파장을 구현함과 동시에 고정류 구동이 가능한 고효율의 자외선 발광소자가 요구되고 있다. 더욱이 의료기기용 발광모듈은 발광소자의 개수를 줄이고, 70% 이상의 빛의 균일도(Uniformity)를 구현함과 동시에 치료용 파장대를 구현할 수 있는 자외선 발광소자가 요구되고 있다.

발명의 상세한 설명

기술적 과제

- [8] 실시 예는 고전류 예컨대, 수백mA 이상의 고전류 구동을 구현할 수 있는 자외선 발광소자를 제공할 수 있다.
- [9] 실시 예는 고전류 및 UVB의 광을 구현할 수 있는 자외선 발광소자를 제공할 수 있다.
- [10] 실시 예는 결함을 개선할 수 있는 자외선 발광소자를 제공할 수 있다.
- [11] 실시 예는 발광 효율을 향상시킬 수 있는 자외선 발광소자를 제공할 수 있다.
- [12] 실시 예는 광의 파워를 향상시킬 수 있는 자외선 발광소자를 제공할 수 있다.
- [13] 실시 예는 17nm 이하의 반치 폭(FWHM: Full Width at Half Maximum)을 갖고 295nm 내지 315nm의 UVB를 발광하는 자외선 발광 소자 및 이를 갖는 발광 소자

패키지를 제공할 수 있다. 실시 예는 신뢰성을 향상시킬 수 있는 자외선 발광소자 및 그 제조방법을 제공할 수 있다.

- [14] 실시 예는 자외선 발광 소자를 갖는 발광 소자 패키지 및 조명 장치를 제공할 수 있다.
- [15] 실시 예는 타겟 영역의 빛의 균일도를 향상시킬 수 있는 발광모듈 및 의료기기를 제공할 수 있다.
- [16] 실시 예는 17nm이하의 반치폭을 갖는 치료용 자외선 파장의 신뢰성을 향상시킬 수 있는 발광모듈 및 의료기기를 제공할 수 있다.
- [17] 실시 예는 200mA이상의 고전류 구동의 300 내지 320nm의 UVB를 구현하고, 17nm이하의 반치폭(FWHM)을 갖고, 70% 이상의 빛의 균일도를 갖는 발광모듈 및 의료기기를 제공할 수 있다.

과제 해결 수단

- [18] 실시 예에 따른 발광 소자는, AIN 템플릿층; 상기 AIN 템플릿층 위에 배치된 제1 초격자층; 상기 제1 초격자층 위에 배치된 제2 초격자층; 상기 제1 및 제2 초격자층 사이에 배치된 제1 반도체층; 상기 제1 초격자층 위에 배치된 제1 도전형 반도체층; 상기 제1 도전형 반도체층 위에 배치되며 양자우물층 및 양자벽층을 갖는 활성층; 상기 활성층 위에 배치된 전자 블록킹층; 및 상기 전자 블록킹층 위에 배치된 제2 도전형 반도체층을 포함하며, 상기 제1 초격자층은 AIN 반도체를 갖는 제1층 및 AlGa_N계 반도체를 갖는 제2층을 포함하며, 상기 제1 반도체층은 AlGa_N계 반도체를 포함하며, 상기 제2 초격자층은 AlGa_N계 반도체를 갖는 제3층 및 AlGa_N계 반도체를 갖는 제4층을 포함하며, 상기 제1 초격자층은 상기 제1층 및 제2층이 교번하여 배치되며, 상기 제2 초격자층은 상기 제3층 및 제4층이 교번하여 배치되며, 상기 제1 반도체층, 상기 제2층 및 제3층의 화합물 조성식에서 알루미늄(Al)의 조성은 갈륨(Ga)의 조성 이상이고 상기 갈륨과의 조성비의 차이가 10% 이하이며, 상기 제1 반도체층은 상기 제1 초격자층의 제1층 및 제2층을 갖는 단일 페어의 두께보다 두꺼운 두께를 가지며, 상기 활성층은 자외선 광을 방출한다.
- [19] 실시 예에 따른 자외선 발광소자는 기판; 상기 기판 상에 배치된 AIN 템플릿; 상기 AIN 템플릿 위에 배치된 제1 초격자층; 상기 제1 초격자층 위에 배치된 제2 초격자층; 및 상기 제1 및 제2 초격자층 사이에 배치된 제1 도전형 제1 반도체층을 포함하고, 상기 제1 도전형 제1 반도체층은 상기 제1 및 제2 초격자층과 중첩되는 Al 조성을 포함하여 결함을 개선하고, 발광효율, 광의 파워 및 신뢰성을 향상시킬 수 있고, 고전류 구동의 295 내지 315nm의 UVB를 구현할 수 있다.
- [20] 실시 예에 의하면, 상기 제1 반도체층, 상기 제1층 및 제3층은 알루미늄의 조성이 50% 이상일 수 있다.
- [21] 실시 예에 의하면, 상기 제1 반도체층, 상기 제1층 및 제3층은 Al_xGa_{1-x}N

- ($0.5 \leq x \leq 0.6$)의 조성식을 가지며, 상기 제4층은 $\text{Al}_b\text{Ga}_{1-b}\text{N}$ ($0.45 \leq b \leq 0.55$)의 조성식을 가질 수 있다.
- [22] 실시 예에 의하면, 상기 제1도전형 반도체층은 $\text{Al}_z\text{Ga}_{1-z}\text{N}$ ($0.45 \leq z \leq 0.55$)의 조성식을 가지며, 상기 활성층의 양자우물층은 AlGaIn 계 반도체로 형성되며, 상기 양자벽층은 AlGaIn 계 반도체로 형성되며, 상기 양자벽층의 알루미늄 조성은 상기 양자우물층의 알루미늄 조성보다 20% 이상 높을 수 있다.
- [23] 실시 예에 의하면, 상기 양자우물층의 두께는 상기 양자벽층의 두께의 25% 이하의 두께를 가지며, 상기 활성층은 295nm 내지 315nm의 광을 발생한다.
- [24] 실시 예에 의하면, 상기 전자 블록킹층은 복수의 배리어층 및 상기 복수의 웰층을 포함하고, 상기 복수의 배리어층은 AlGaIn 계 반도체를 포함하며, 상기 복수의 웰층은 AlGaIn 계 반도체를 포함하며, 상기 복수의 배리어층 각각은 상기 복수의 웰층 각각의 알루미늄 조성보다 높은 알루미늄 조성을 가지며, 상기 복수의 배리어층 각각은 상기 활성층의 양자벽층의 알루미늄 조성보다 높은 알루미늄 조성을 가지며, 상기 복수의 웰층 각각은 상기 활성층의 양자벽층의 알루미늄 조성보다 낮은 알루미늄 조성을 가지며, 상기 복수의 배리어층은 상기 활성층 위에 제1배리어층 및 상기 제2도전형 반도체층 아래에 제2배리어층을 포함할 수 있다.
- [25] 실시 예에 의하면, 상기 복수의 웰층은 상기 제1,2배리어층 사이에 배치되며, 상기 복수의 배리어층은 상기 제1,2배리어층과 상기 웰층 사이에 배치된 복수의 중간 배리어층을 포함하며, 상기 중간 배리어층 각각의 알루미늄 조성은 상기 제1,2배리어층의 알루미늄 조성보다 높을 수 있다.
- [26] 실시 예에 의하면, 상기 제1 배리어층은 $\text{Al}_p\text{Ga}_{1-p}\text{N}$ ($0.50 \leq p \leq 0.74$)의 조성식을 갖고, 상기 제2 배리어층은 $\text{Al}_q\text{Ga}_{1-q}\text{N}$ ($0.50 \leq q \leq 0.74$)의 조성식을 갖고, 상기 중간 배리어층은 $\text{Al}_r\text{Ga}_{1-r}\text{N}$ ($0.55 \leq r \leq 0.74$)의 조성식을 가질 수 있다.
- [27] 실시 예에 의하면, 상기 제1 배리어층, 상기 제2배리어층 및 상기 중간 배리어층 각각은 상기 웰층의 두께보다 두껍고 3nm 내지 10nm의 두께를 가지며, 상기 제2도전형 반도체층의 표면 거칠기는 1nm 이하일 수 있다.
- [28] 실시 예에 의하면, 상기 복수의 웰층은 상기 제1 배리어층과 상기 중간 배리어층 사이에 배치된 제1 웰층, 상기 중간 배리어층들 사이에 배치된 제2 웰층 및 상기 중간 배리어층과 상기 제2 배리어층 사이의 제3 웰층을 포함하고, 상기 제1 웰층은 $\text{Al}_e\text{Ga}_{1-e}\text{N}$ ($0.24 \leq e \leq 0.45$)의 조성식을 갖고, 상기 제2 웰층은 $\text{Al}_f\text{Ga}_{1-f}\text{N}$ ($0.24 \leq f \leq 0.48$)의 조성식을 갖고, 상기 제3 웰층은 $\text{Al}_g\text{Ga}_{1-g}\text{N}$ ($0.24 \leq g \leq 0.48$)의 조성식을 가지며, 상기 제2 도전형 반도체층은 상기 전자 블록킹층 위에 제1전도성 반도체층 및 상기 제1전도성 반도체층 위에 제2전도성 반도체층을 포함하며, 상기 제1전도성 반도체층은 $\text{Al}_s\text{Ga}_{1-s}\text{N}$ ($0.20 \leq s \leq 0.45$)의 조성식을 가질 수 있다.
- [29] 실시 예에 따른 발광소자 패키지는 패키지 몸체; 상기 패키지 몸체와 결합되는 방열 프레임; 및 상기 방열 프레임 상에 실장되는 제1 내지 제19 중 어느 하나를

포함하는 자외선 발광소자를 포함할 수 있다.

- [30] 실시 예에 따른 발광모듈은 회로기판과, 상기 회로기판 상에 배치된 17nm 이하의 반치폭(FWHM)을 갖는 복수의 발광소자 패키지를 포함하는 발광부; 및 상기 발광부 후면에 배치된 방열부를 포함하고, 상기 복수의 발광소자 패키지는 제1 방향으로 제1 피치를 갖고, 상기 제1 방향과 직교하는 제2 방향으로 제2 피치를 갖고, 상기 제1 및 제2 피치는 상기 발광부로부터 빛이 조사되는 타겟 영역의 너비 또는 직경의 30% 내지 50%일 수 있다. 따라서 실시 예는 고효율의 UVB 파장의 신뢰성 높은 의료 치료용 발광모듈을 구현할 수 있다. 또한, 실시 예는 타겟 영역 균일도(Uniformity)를 70%이상 구현함과 동시에 발광소자 패키지의 개수를 줄여 발광모듈의 사이즈 및 제조비용을 줄일 수 있다.
- [31] 실시 예에 따른 의료기기는 상기 발광모듈 및 광 보상부를 포함하여 고효율의 신뢰성 높은 유효 파장(300nm 내지 320nm)을 구현함과 동시에 타겟 영역 균일도(Uniformity)를 70%이상 구현하고, 발광소자 패키지의 개수를 줄여 의료기기의 사이즈 및 제조비용을 줄일 수 있다.
- [32] 실시 예의 자외선 발광소자 제조방법은 기판 상에 제1 도전형 반도체층을 형성하는 단계; 상기 제1 도전형 반도체층 상에 활성층을 형성하는 단계; 상기 활성층 상에 EBL을 형성하는 단계; 상기 EBL 상에 제2 도전형 반도체층을 형성하는 단계를 포함하고, 상기 제1 도전형 반도체층을 형성하는 단계는 상기 기판 상에 AIN 템플릿을 형성하는 단계; 상기 AIN 템플릿 위에 제1 초격자층을 형성하는 단계; 상기 제1 초격자층 상에 제1 도전형 제1 반도체층을 형성하는 단계; 및 상기 제1 초격자층 위에 제2 초격자층을 형성하는 단계를 포함하고, 상기 제1 도전형 제1 반도체층은 상기 제1 및 제2 초격자층과 중첩되는 AI 조성을 포함할 수 있다.

발명의 효과

- [33] 실시 예는 17nm 이하의 반치폭을 갖는 UV LED를 구현하여 의료장치에 적용되는 UV LED의 신뢰성을 향상시킬 수 있다.
- [34] 실시 예는 활성층상에 배치된 EBL에 의해 캐리어 주입 효율을 향상시켜 100mA이상의 고전류 구동의 295nm 내지 315nm의 UVB를 구현할 수 있다.
- [35] 실시 예는 기판과 활성층 사이에 제1 반도체층, 제1 초격자층, 제1 도전형 반도체층, 및 제2 초격자층을 배치하여 결함을 개선하고 발광 효율을 향상시킬 수 있다.
- [36] 실시 예는 양자벽층의 두께의 10% 내지 25%의 두께를 갖는 양자우물층을 포함하는 활성층에 의해 광의 파워를 향상시킬 수 있다.
- [37] 실시 예는 40nm이상의 두께를 갖는 제2 도전형 제1 반도체층에 의해 신뢰성을 향상시킬 수 있다.
- [38] 실시 예는 광의 파워를 향상시킬 수 있고, 광 효율을 향상시킬 수 있다.
- [39] 실시 예는 실시 예는 타겟 영역(TA)으로 조사되는 자외선 파장의 광

균일도(Uniformity)를 70%이상을 갖는 발광 모듈을 구현하여 광 치료용 발광모듈의 신뢰성을 향상시킬 수 있다.

[40] 실시 예는 200mA이상의 고전류 구동 및 유효과장(예: 300nm 내지 320nm)의 자외선 파장을 갖는 발광 모듈을 구현하여 발광모듈의 신뢰성을 향상시킬 수 있다.

[41] 실시 예는 17nm이하의 반치폭(FWHM)을 갖는 의료용 또는 치료용 자외선 파장의 신뢰성을 향상시킬 수 있는 발광모듈 및 의료기기를 제공할 수 있다.

[42] 실시 예는 상기의 자외선 발광 소자를 갖는 발광 소자 패키지들 간의 피치를 줄여 발광소자 패키지의 개수를 줄이고 발광 모듈의 사이즈를 감소시켜 줄 수 있다.

도면의 간단한 설명

[43] 도 1은 실시 예에 따른 발광소자를 도시한 평면도이다.

[44] 도 2는 도 1의 발광 소자의 -I'라인의 측 단면도이다.

[45] 도 3은 도 2의 활성층 및 제2 도전형 반도체층 사이의 전자 블록킹층을 도시한 단면도이다.

[46] 도 4는 실시 예에 따른 전자 블록킹층의 에너지 밴드 갭 다이어그램을 나타낸 도면이다.

[47] 도 5는 도 2의 AlN 템플릿층, 제1 초격자층, 제1 반도체층, 제2 초격자층 및 제1 도전형 반도체층을 도시한 단면도이다.

[48] 도 6은 실시 예에 따른 활성층의 양자벽층의 두께에 따른 광의 파워를 도시한 그래프이다.

[49] 도 7은 실시 예의 제2 도전형 반도체층의 제1전도성 반도체층의 두께에 따른 신뢰성을 도시한 그래프이다.

[50] 도 8은 실시 예의 제2 도전형 반도체층의 표면을 도시한 도면이다.

[51] 도 9 내지 도 13은 실시 예에 따른 발광소자의 제조방법을 도시한 단면도이다.

[52] 도 14는 실시 예에 따른 발광 소자를 갖는 발광소자 패키지를 도시한 평면도이다.

[53] 도 15는 실시 예에 따른 발광 소자 패키지를 갖는 발광모듈을 도시한 사시도이다.

[54] 도 16은 도 15의 발광모듈의 발광부를 도시한 평면도이다.

[55] 도 17은 도 16의 발광모듈의 광 균일도를 도시한 도면이다.

[56] 도 18은 도 15의 발광모듈을 포함하는 의료기기 또는 UV 램프를 도시한 단면도이다.

[57] 도 19는 도 18의 발광모듈의 광 균일도를 도시한 도면이다.

발명의 실시를 위한 최선의 형태

[58] 실시 예의 설명에 있어서, 각 층(막), 영역, 패턴 또는 구조물들이 기판, 각 층(막), 영역, 패드 또는 패턴들의 "상/위(on/over)"에 또는 "아래(under)"에

형성되는 것으로 기재되는 경우에 있어, "상/위(on/over)"와 "아래(under)"는 "직접(directly)" 또는 "다른 층을 개재하여 (indirectly)" 형성되는 것을 모두 포함한다. 또한 각 층의 상/위 또는 아래에 대한 기준은 도면을 기준으로 설명한다.

- [59] 도 1은 실시 예에 따른 발광소자를 도시한 평면도이고, 도 2는 도 1의 발광 소자의 -I라인을 따라 절단한 단면도이고, 도 3은 도 2의 활성층 및 제2 도전형 반도체층 사이의 전자 블록킹층을 상세하게 나타낸 도면이고, 도 4는 실시 예에 따른 전자 블록킹층의 에너지 밴드갭 다이어그램을 나타낸 도면이고, 도 5는 도 2의 AlN 템플릿층, 제1 초격자층, 제1 반도체층, 제2 초격자층 및 제1 도전형 반도체층을 도시한 단면도이다.
- [60] 도 1 내지 도 5에 도시된 바와 같이, 실시 예에 따른 발광소자(100)는 발광구조물(110)을 포함할 수 있다. 실시 예에 따른 발광 소자(100)는 기관(101) 및 상기 기관(101) 위에 발광 구조물(110)을 포함할 수 있다. 실시 예의 발광 소자(100)는 100mA 이상의 고전류에 견딜 수 있다. 실시 예에 따른 발광 소자(100)는 100mA 이상의 고전류에 의해 광을 발생하는 발광 구조물(110)을 포함한다. 상기 발광구조물(110)은 100mA 이상의 고전류로 구동될 수 있고 UVB의 파장을 발광할 수 있다. 실시 예의 발광 소자(100)는 295nm 내지 315nm의 UVB 파장을 발광할 수 있다. 실시 예의 발광구조물(110)은 결함을 개선할 수 있고, 발광 효율을 향상시킬 수 있고, 광의 파워를 향상시킬 수 있고, 신뢰성을 향상시킬 수 있다. 실시 예에 따른 발광 소자(100)는 UVB의 광을 발광하는 자외선 발광 소자를 포함할 수 있다.
- [61] 도 1과 같이, 발광 소자(100)는 탐부 형상이 다각형 형상 예컨대, 사각형 형상일 수 있다. 다른 예로서, 발광 소자(100)의 탐부 형상이 원 형상이거나 사각형 이상의 형상을 포함할 수 있다. 발광 구조물(110) 상에는 제1전극(151) 및 제2전극(153)이 배치될 수 있다. 상기 제1전극(151) 및 제2전극(153)은 도 2와 같이 서로 다른 높이로 배치될 수 있으며, 이에 대해 한정하지는 않는다. 이러한 발광 소자(100)가 다각형인 경우, 복수의 측면(S1,S2,S3,S4)을 포함할 수 있다.
- [62] 상기 제1전극(151)이 배치된 영역(A1,A2)은 제1도전형 반도체층(112b)의 일부가 노출된 영역으로서, 상기 제2전극(153)이 배치된 영역(A3,A4)의 외측에 배치될 수 있다. 예컨대, 상기 제1전극(151)의 일부가 배치된 제1영역(A1)은 상기 제2전극(153)의 일부가 배치된 제3영역(A3)의 둘레에 배치된다. 제2영역(A2)은 상기 제1영역(A1)으로부터 제3측면(S3) 방향으로 하나 또는 복수개가 연장될 수 있고, 상기 제4영역(A4)은 제3영역(A3)으로부터 상기 제3측면(S3)의 반대측 제4측면(S4) 방향으로 하나 또는 복수로 연장될 수 있다. 상기 제2영역(A2) 및 제4영역(A4)은 교대로 배치될 수 있다. 상기 제1전극(151)은 제2영역(A2)을 따라 분기된 가지 전극이 배치될 수 있다. 상기 제2전극(153)은 상기 제4영역(A4)을 따라 분기된 가지 전극이 배치될 수 있다.
- [63] 도 2를 참조하면, 실시 예의 발광구조물(110)은 AlN 템플릿 (Template)층(111),

제1 초격자층(120a), 제1 반도체층(112a), 제2 초격자층(120b), 제1도전형 반도체층(112b), 활성층(114), 전자 블록킹층(EBL: electron blocking layer, 130), 제2 도전형 반도체층(116a,116b), 제1전극(151) 및 제2 전극(153)을 포함할 수 있다.

- [64] 상기 기판(101)은 열전도성이 뛰어난 물질로 형성될 수 있으며, 전도성 기판 또는 절연성 기판일 수 있다. 예를 들어, 상기 기판(101)은 사파이어(Al_2O_3), SiC, Si, GaAs, GaN, ZnO, GaP, InP, Ge, and Ga_2O_3 중 적어도 하나를 사용할 수 있다. 상기 기판(101)의 상면에는 요철 구조가 형성될 수 있으며, 이에 대해 한정되는 것은 아니다. 상기 기판(101)은 제거될 수 있다.
- [65] 상기 AlN 템플릿층(111)은 상기 기판(101) 위에 형성될 수 있다. 상기 AlN 템플릿층(111)은 버퍼 기능을 포함할 수 있다. 상기 AlN 템플릿층(111)은 상기 AlN 템플릿층(111) 위에 형성되는 발광구조물(110)의 재료와 기판(101)의 격자 부정합을 완화시켜 줄 수 있다. 상기 AlN 템플릿층(111)은 AlN 외에 III족-V족 또는 II-VI족 화합물 반도체 예컨대, GaN, InN, InGaN, AlGaN, InAlGaN, AlInN 중 적어도 하나로 형성될 수 있다. 상기 AlN 템플릿층(111)은 기판(101)상에서 성장되는 AlGaN 계열 반도체층들의 격자 상수 차이에 의한 결함을 개선할 수 있다. 상기 AlN 템플릿층(111)은 fully-strain 에피 구조를 가질 수 있고, 이로 인해 자외선 파장의 반도체층 성장에서 발광 효율을 향상시킬 수 있다. 즉, 상기 AlN 템플릿층(111)은 이후 성장되는 AlGaN 계열 반도체층들의 결정성을 향상시켜 자외선 발광소자(100)의 발광 효율을 향상시킬 수 있다. 상기 AlN 템플릿층(111)은 제거될 수 있다.
- [66] 상기 제1 초격자층(120a)은 상기 AlN 템플릿층(111) 상에 배치될 수 있다. 상기 제1반도체층(112a)은 상기 제1 초격자층(120a) 상에 배치될 수 있다. 상기 제2 초격자층(120b)은 상기 제1반도체층(112a) 상에 배치될 수 있다. 제1도전형 반도체층(112b)은 상기 제2 초격자층(120b) 상에 배치될 수 있다. 상기 제1 초격자층(120a), 제1반도체층(112a), 제2 초격자층(120b) 및 제1도전형 반도체층(112b)은 알루미늄의 조성을 가질 수 있다. 상기 제1 초격자층(120a)의 어느 한 층, 제1반도체층(112a), 제2 초격자층(120b) 및 제1도전형 반도체층(112b)은 AlGaN 또는 AlGaN계 반도체를 포함할 수 있다.
- [67] 상기 제1 초격자층(120a), 제1반도체층(112a), 제2 초격자층(120b) 및 제1도전형 반도체층(112b)은 상기 활성층(114)에 인접할수록 알루미늄(Al)의 조성이 점차 낮아질 수 있다. 이에 따라 상기 AlN 템플릿층(111)과 활성층(114) 사이의 격자불일치 및 결함은 개선할 수 있다.
- [68] 상기 제1 초격자층(120a)은 상기 AlN 템플릿층(111) 상에 형성될 수 있다. 상기 제1 초격자층(120a)은 상기 AlN 템플릿층(111) 상에 배치되어 AlN 템플릿층(111)과 상기 제1 초격자층(120a) 위에 형성되는 발광구조물(110)의 재료 사이의 격자불일치 및 결함을 개선할 수 있다. 상기 제1 초격자층(120a)은 상기 AlN 템플릿층(111)의 알루미늄 조성보다 상기 제1반도체층(112a)의

- 알루미늄 조성에 가까운 Al 조성을 가질 수 있다. 이러한 제1초격자층(120a)은 상기 AlN 템플릿층(111) 위에 성장된 층들 간의 결함을 개선시켜 줄 수 있다.
- [69] 도 2 및 도 5와 같이, 상기 제1 초격자층(120a)은 적어도 두 층이 한 페어를 이루고 2페어 이상으로 배치될 수 있다. 상기 제1 초격자층(120a)은 예컨대, 제1층(121a) 및 제2층(121b)을 포함할 수 있다. 상기 제1,2층(121a,121b)의 페어는 10 페어 내지 20 페어를 포함하며, 서로 교번되게 배치될 수 있다. 상기 제1층(121a)은 AlN 반도체를 포함하며, 상기 제2층(121b)은 AlGa_xN 또는 AlGa_xN계 반도체를 포함할 수 있다. 상기 제1층(121a) 및 제2층(121b) 중 제1층(121a)이 상기 AlN 템플릿층(111)에 더 인접하거나 접촉되게 배치될 수 있다. 상기 제2층(121b)은 Al_xGa_{1-x}N (0.5 ≤ x ≤ 0.6)의 조성식을 갖는 반도체 물질을 포함할 수 있다. 상기 제1층(121a)은 알루미늄의 조성이 100%이며, 상기 제2층(121b)은 알루미늄 조성이 50% 내지 60%을 포함할 수 있다. 상기 제1,2층(121a,121b)에서 알루미늄의 조성은 질화물 반도체를 제외한 조성일 수 있다. 실시 예의 상기 제1층(121a) 및 상기 제2층(121b) 각각의 두께는 5nm 이하 예컨대, 1nm 내지 5nm일 수 있다. 상기 제1층(121a) 및 상기 제2층(121b)이 하나의 페어일 때, 두 층의 개수가 동일하거나 어느 한 층이 더 많을 수 있다.
- [70] 상기 제1 초격자층(120a)은 제1층(121a) 및 제2층(121b)이 10 페어 미만일 경우, 결함 개선 효과가 저하될 수 있다. 상기 제1 초격자층(120a)은 제1층(121a) 및 제2층(121b)이 20 페어 초과일 경우, 격자상수 차이에 의해 결정성이 저하될 수 있다. 상기 제2층(121b)은 제1 도전형 도펀트를 갖는 AlGa_xN일 수 있다. 상기 제2층(121b)은 의도하지 않게 도핑된(Unintentionally Doped, 이하 UID로 약칭함) 질화물 반도체일 수 있다. 예컨대 상기 제2층(121b)은 성장공정 중에 의도하지 않게 제1 도전형을 갖는 AlGa_xN일 수 있다. 상기 제1,2층(121a,121b)은 상기 제1도전형 반도체층(112b)에 첨가된 제1도전형의 도펀트의 농도보다 낮은 농도를 가질 수 있다. 상기 제1,2층(121a,121b)은 어느 하나 또는 모두는 UID 층일 수 있다.
- [71] 상기 제1반도체층(112a)은 상기 제1 초격자층(120a) 상에 형성될 수 있다. 상기 제1반도체층(112a)은 III족-V족 또는 II족-VI족 등의 화합물 반도체로 구현될 수 있다. 상기 제1반도체층(112a)은 GaN, InN, AlN, InGa_xN, AlGa_xN, InAlGa_xN, AlInN, AlGaAs, InGaAs, AlInGaAs, GaP, AlGaP, InGaP, AlInGaP, InP 중 어느 하나 이상으로 형성될 수 있다. 상기 제1반도체층(112a)은 상기 제1 초격자층(120a) 및 제2 초격자층(120b) 사이에 배치될 수 있다. 상기 제1반도체층(112a)은 상기 제1 초격자층(120a) 및 제2 초격자층(120b)에 접촉될 수 있다. 상기 제1반도체층(112a)은 상기 제1 초격자층(120a)의 제1층(121a)과 다른 반도체일 수 있다. 상기 제1반도체층(112a)은 상기 제1 초격자층(120a)의 제2층(121b)과 동일한 반도체일 수 있다. 상기 제1반도체층(112a)은 알루미늄 조성을 갖는 반도체를 포함할 수 있다. 상기 제1반도체층(112a)의 알루미늄 조성은 상기 제1 초격자층(120a)의 제2층(121b)의 알루미늄 조성 범위와 같을 수 있다. 상기

제1반도체층(112a)이 상기 제1 초격자층(120a)의 제2층(121b)의 Al 조성 범위와 동일한 범위를 가짐으로써, 상기 제1 초격자층(120a)으로부터의 결함은 흡수 및 제거할 수 있다. 상기 제1반도체층(112a)은 상기 제1 초격자층(120a) 및 제2 초격자층(120b) 사이의 격자불일치 및 결함을 개선하는 기능을 포함할 수 있다. 상기 제1반도체층(112a)의 알루미늄 조성은 50% 이상이거나 60% 이하일 수 있다.

- [72] 실시 예의 상기 제1반도체층(112a)은 $Al_yGa_{1-y}N$ ($0.5 \leq y \leq 0.6$)의 조성식을 갖는 반도체 물질을 포함할 수 있다. 실시 예의 제1반도체층(112a)은 50% 내지 60%의 Al 조성을 포함할 수 있다. 실시 예의 제1반도체층(112a)의 두께는 10nm 내지 1000nm 또는 100nm 내지 1000nm의 범위일 수 있다. 상기 제1반도체층(112a)의 두께는 상기 제1초격자층(120a)의 단일 페어가 가지는 두께보다 두껍게 배치될 수 있다. 상기 제1반도체층(112a)의 두께는 상기 제1초격자층(120a)의 두께보다 두껍게 배치될 수 있다. 이러한 상기 제1반도체층(112a)은 비초격자 구조를 상기 제1초격자층(120a,120b)의 두께보다 두꺼운 두께를 갖고 있어, 제1,2초격자층(112a,112b) 사이에서 버퍼 역할을 수행할 수 있다. 실시 예에서는 200nm의 두께를 갖는 제1반도체층(112a)을 일예로 설명하도록 하며, 이에 대해 한정하지는 않는다. 상기 제1반도체층(112a)은 제1 도전형 도펀트가 도핑될 수 있다. 상기 제1 도전형 도펀트가 n형 반도체층인 경우, n형 도펀트로서, Si, Ge, Sn, Se, Te를 포함할 수 있으나 이에 한정되는 것은 아니다. 다른 예로서, 상기 제1반도체층(112a)은 UID 반도체일 수 있다. 상기 제1반도체층(112a)은 단층 또는 다층일 수 있다.

- [73] 도 2 및 도 5와 같이, 상기 제2 초격자층(120b)은 상기 제1반도체층(112a) 상에 형성될 수 있다. 상기 제2 초격자층(120b)은 적어도 두 층이 한 페어를 이루고 2페어 이상으로 배치될 수 있다. 상기 제2초격자층(120b)은 제3층(123a) 및 제4층(123b)을 포함하며, 상기 제3층(123a) 및 제4층(123b) 각각은 복수로 배치될 수 있다. 상기 제3,4층(123a,123b)은 서로 교번되게 배치될 수 있다. 상기 제3,4층(123a,123b) 중 어느 하나 또는 모두는 상기 제1반도체층(112a)과 동일한 반도체 예컨대, AlGaN일 수 있다. 상기 제3,4층(123a,123b) 중 어느 한 층은 상기 제1반도체층(112a)의 알루미늄 조성 범위와 동일한 Al 조성 범위를 가질 수 있다. 여기서, 상기 동일한 Al 조성은 상기 제1반도체층(112a)의 알루미늄 조성 범위를 포함할 수 있다. 상기 제3,4층(123a,123b) 중 다른 하나는 상기 제1반도체층(112a)와 알루미늄 조성이 다른 조성을 갖는 반도체일 수 있다. 상기 제2 초격자층(120b)은 상기 제1반도체층(112a) 상에 배치되어 상기 제1반도체층(112a)과 상기 제2 초격자층(120a) 위에 형성되는 상기 발광구조물(110)의 재료 사이의 격자불일치 및 결함을 개선하는 기능을 포함할 수 있다. 상기 제2 초격자층(120b)은 10 페어 내지 20 페어 교번되게 형성된 제3층(123a) 및 제4층(123b)을 포함할 수 있다. 상기 제3,4층(123a,123b)이 한 페어일 때, 두 층의 개수가 서로 동일하거나 어느 한 층이 더 많을 수 있다.

- [74] 상기 제3층(123a)은 $\text{Al}_a\text{Ga}_{1-a}\text{N}$ ($0.5 \leq a \leq 0.6$)의 조성식을 갖는 반도체 물질을 포함할 수 있다. 상기 제3층(123a)은 50% 내지 60%의 Al 조성을 포함할 수 있고, 실시 예의 상기 제3층(123a) 각각의 두께는 5nm 이하 예컨대, 1nm 내지 5nm일 수 있다. 여기서, 상기 제1초격자층(120a)의 제2층(121b), 제1반도체층(112a), 상기 제2초격자층(120b)의 제3층(123a)은 동일한 Al 조성 범위를 가질 수 있다. 상기 제1초격자층(120a)의 제2층(121b), 제1반도체층(112a), 상기 제2초격자층(120b)의 제3층(123a)은 상기 제1층(121a)의 Al조성보다 낮고, 상기 활성층(114)의 양자벽층의 Al조성보다 높을 수 있다.
- [75] 상기 제3,4층(123a,123b)과 상기 제1반도체층(112a)이 AlGaN계 반도체의 조성식에서, Al 조성 비율이 Al_x 이고, Ga의 조성 비율이 Ga_y 인 경우, 조성 비율 $\text{Al}_x \geq \text{Ga}_y$ 의 관계를 가지며, 상기 Al_x 와 Ga_y 의 조성 비율의 차이는 10% 이하일 수 있다. 만약, 상기 제3,4층(123a,123b)과 상기 제1반도체층(112a)의 AlGaN계 반도체의 조성식에서 조성 비율이 $\text{Al}_x < \text{Ga}_y$ 의 관계를 갖는 경우, 반도체 결정은 개선될 수 있으나 광 흡수 손실이 증가될 수 있다. 상기 Al_x 와 Ga_y 의 조성 차이가 10% 초과할 경우 자외선 파장의 광 흡수 손실이나 반도체 결정에 영향을 줄 수 있다. 실시 예는 상기 제3,4층(123a,123b)과 상기 제1반도체층(112a)이 AlGaN계 반도체 조성식에서 조성 비율을 최적화하여 반도체 결정을 개선시키고 자외선 파장의 광 흡수 손실을 줄여줄 수 있다. 또한 상기 제3,4층(123a,123b)과 상기 제1반도체층(112a)의 Al 조성 범위 및 그 차이에 의해 상기 제1초격자층(120a)으로부터 전달되는 결합은 흡수 및 제거될 수 있다. 또한 상기 제1초격자층(120a)의 제1,2층(121a,121b), 상기 제2초격자층(120b)의 제3,4층(123a,123b) 및 상기 제1반도체층(112a) 사이의 계면에서의 격자불일치 및 결함을 개선하는 기능을 포함할 수 있다. AlGaN 계열 반도체층들의 결정성을 향상시켜 자외선 광의 발광 효율을 향상시킬 수 있다. 상기 활성층(114)이 UVB 파장 또는 295nm 내지 315nm의 파장을 발광할 때, 상기 제3,4층(123a,123b)과 상기 제1반도체층(112a)의 AlGaN계 반도체들이 40% 이상의 Al조성에서 상기의 차이로 제공됨으로써, 반도체층의 성장 시의 결정 성을 향상시켜 줄 수 있다.
- [76] 상기 제2초격자층(120b)의 제4층(123b)은 $\text{Al}_b\text{Ga}_{1-b}\text{N}$ ($0.45 \leq b \leq 0.55$)의 조성식을 갖는 반도체 물질을 포함할 수 있다. 상기 제4층(123b)은 45% 내지 55%의 Al 조성을 포함할 수 있다. 실시 예의 상기 제2초격자층(120b)에서 제4층(123b) 각각의 두께는 5nm 이하, 예컨대 1nm 내지 5nm일 수 있다. 상기 제2초격자층(120b)의 단일(single) 페어는 상기 제1반도체층(112a)의 두께보다 작을 수 있다. 상기 제2초격자층(120b)의 두께는 상기 제1반도체층(112a)의 두께보다 작을 수 있다. 상기 제4층(123b)은 상기 제3층(123a)의 알루미늄 조성보다 낮은 알루미늄 조성을 가질 수 있다. 상기 제4층(123b)은 상기 제3층(123a)의 알루미늄 조성보다 5% 이상 낮은 알루미늄 조성을 가질 수 있다. 상기 제4층(123b)은 제1 도전형 도펀트가 도핑될 수 있다. 상기 제1 도전형 도펀트가 n형 반도체층인 경우, n형 도펀트로서, Si, Ge, Sn, Se, Te를 포함할 수

있으나 이에 한정되는 것은 아니다. 상기 제1반도체층(112a)은 의도하지 않게 도핑된 질화물 반도체일 수 있다. 여기서, 상기 제1 도전형 도펀트가 n형 반도체층인 경우, n형 도펀트로서, Si, Ge, Sn, Se, Te를 포함할 수 있으나 이에 한정되는 것은 아니다. 실시 예는 상기 AlN 템플릿층(111)으로부터 활성층(114)으로 갈수록 Al 조성이 점차 낮아져 결정성을 개선할 수 있다. 상기 제3,4층(123a,123b) 중 어느 하나 또는 모두는 UID 반도체일 수 있다.

[77] 상기 제1도전형 반도체층(112b)은 상기 제2 초격자층(120b) 상에 형성될 수 있다. 상기 제1도전형 반도체층(112b)은 III족-V족 또는 II족-VI족 등의 화합물 반도체로 구현될 수 있다. 예컨대 상기 제1도전형 반도체층(112b)은 GaN, InN, AlN, InGaN, AlGaN, InAlGaN, AlInN, AlGaAs, InGaAs, AlInGaAs, GaP, AlGaP, InGaP, AlInGaP, InP 중 어느 하나 이상으로 형성될 수 있다. 실시 예의 제1도전형 반도체층(112b)은 $Al_zGa_{1-z}N$ ($0.45 \leq z \leq 0.55$)의 조성식을 갖는 반도체 물질을 포함할 수 있다. 상기 제1도전형 반도체층(112b)은 상기 제2초격자층(120b) 상에 접촉된 경우, 상기 제1도전형 반도체층(112b)의 알루미늄 농 조성은 상기 4층(123b)의 알루미늄 농 조성과 같거나 낮을 수 있다. 이에 따라 상기 제1도전형 반도체층(112b)은 알루미늄 농의 조성 차이로 인해 활성층(114)의 결정 품질 저하를 방지할 있다.

[78] 실시 예의 제1도전형 반도체층(112b)은 45% 내지 55%의 Al 조성을 포함할 수 있고, 실시 예의 제1도전형 반도체층(112b) 두께는 500nm 내지 1000nm일 수 있다. 상기 제1도전형 반도체층(112b)의 두께는 상기 제1초격자층(120a), 제1반도체층(112a), 및 상기 제2초격자층(120b)의 두께보다 두꺼울 수 있다. 상기 제1도전형 반도체층(112b)은 일부 영역 예컨대, 도 1과 같이 제1,2영역(A1,A2)이 상기 활성층(114)의 위치보다 낮게 배치될 수 있다. 실시 예에서는 1000nm의 두께를 갖는 제1도전형 반도체층(112b)을 일예로 설명하도록 하며, 이에 대해 한정하지는 않는다. 상기 제1도전형 반도체층(112b)은 제1 도전형 도펀트가 도핑될 수 있다. 상기 제1도전형 반도체층(112b) 상에는 도 2와 같이 제1전극(151)이 배치될 수 있다. 이러한 제1도전형 반도체층(112b)은 전극 접촉층일 수 있다. 상기 제1전극(151)은 상기 제1도전형 반도체층(112b) 상에 배치된 예로 설명하였으나, 상기 제1도전형 반도체층(112b)에 기판(101)을 통해 관통되는 비아 구조로 연결되거나, 제2도전형 반도체층(116a,116b)을 통해 관통되는 비아 구조로 연결될 수 있다. 상기 제1전극(151)은 상기 제1도전형 반도체층(112b)이 아닌 제2초격자층(120b)에 연결될 수 있으며, 이에 대해 한정하지는 않는다. 상기 활성층(114)은 단일 양자 우물 구조, 다중 양자 우물 구조(MQW: Multi Quantum Well), 양자 선(Quantum-Wire) 구조, 또는 양자 점(Quantum Dot) 구조 중 적어도 어느 하나로 형성될 수 있다. 상기 활성층(114)은 상기 제1도전형 반도체층(112b)을 통해서 주입되는 전자(또는 정공)와 상기 제2 도전형 반도체층(116a,116b)을 통해서 주입되는 정공(또는 전자)이 서로 만나서, 상기 활성층(114)의 형성 물질에 따른 에너지 밴드(Energy

Band)의 밴드갭(Band Gap) 차이에 의해서 빛을 방출하는 층이다.

- [79] 상기 활성층(114)은 화합물 반도체로 구성될 수 있다. 상기 활성층(114)은 예로서 III족-V족 또는 II족-VI족 등의 화합물 반도체중에서 적어도 하나로 구현될 수 있다. 상기 활성층(114)은 양자우물층과 양자벽층을 포함할 수 있다. 상기 양자우물층은 복수로 배치되며, 상기 양자벽층은 복수로 배치될 수 있다. 상기 활성층(114)이 다중 양자 우물 구조로 구현된 경우, 양자우물층과 양자벽층이 교대로 배치될 수 있다. 상기 양자우물층과 양자벽층은 AlGa_n/Ga_n, AlGa_n/AlGa_n, InGa_n/Ga_n, InGa_n/InGa_n, InAlGa_n/Ga_n, GaAs/AlGaAs, InGaAs/AlGaAs, GaP/AlGaP, InGaP AlGaP 중 어느 하나 이상의 페어 구조로 형성될 수 있으나 이에 한정되지 않는다.
- [80] 상기 활성층(114)은 자외선 파장을 발광하기 위해 AlGa_n 또는 AlGa_n계 반도체를 포함할 수 있다. 상기 활성층(114)은 양자우물층이 AlGa_n계 반도체를 포함하며, 양자벽층이 AlGa_n계 반도체를 포함할 수 있다. 상기 양자우물층의 알루미늄 조성은 상기 양자벽층의 알루미늄 조성보다 낮을 수 있으며, 예컨대 상기 양자벽층의 알루미늄 조성을 기준으로 20% 이상의 작을 수 있다. 상기 양자우물층의 알루미늄 조성은 30% 이하 예컨대, 15% 내지 30%의 범위일 수 있으며, 상기 양자벽층의 알루미늄 조성은 45% 내지 52%의 범위일 수 있다. 상기 양자벽층의 알루미늄 조성은 상기 양자우물층의 알루미늄 조성보다 20%이상 예컨대, 20% 내지 30%의 범위로 차이를 가질 수 있다. 이러한 활성층(114)은 상기 양자우물층과 양자벽층의 알루미늄 조성비 차이에 의해 자외선 광을 발광할 수 있다. 상기 활성층(114)은 UVB 파장의 광을 방출할 수 있다. 상기 활성층(114)은 295nm 내지 315nm의 UVB를 발광할 수 있다. 상기 자외선B(UVB)는 자외선A(UVA)보다 짧은 파장이고 에너지 광선의 세기가 자외선 A(UVA)보다 훨씬 강한 특성을 가지고 있다. 이러한 자외선 B는 의료용 광원으로 사용될 수 있다. 실시 예의 활성층(114)로부터 방출된 자외선 광은 17nm 이하의 FWHM(Full Width at Half Maximum)을 가질 수 있다.
- [81] 상기 활성층(114)은 양자우물층의 두께가 양자벽층의 두께보다 얇을 수 있다. 상기 양자우물층의 두께는 양자벽층의 두께의 25% 이하 예컨대, 10% 내지 25%의 범위일 수 있다. 즉, 상기 양자벽층의 두께는 상기 양자우물층의 두께의 4배 이상 예컨대, 4배 내지 10배일 수 있다. 도 6을 참조하면, 실시 예의 활성층(114)은 양자벽층의 10% 내지 25%의 두께를 갖는 양자우물층들에 의해 광의 파워가 향상될 수 있다. 예컨대 상기 양자우물층 각각은 2.5nm 이하 예컨대, 1.5nm 내지 2.5nm일 수 있다. 도 6은 10.9nm의 양자벽층을 갖는 활성층(114)의 양자우물층의 두께에 따라 광의 파워를 나타낸 그래프로써, 2.1nm 두께를 갖는 양자우물층에서 가장 높은 광의 파워를 나타낸다. 상기 양자우물층 각각의 두께가 상기 양자벽층 각각의 두께의 10% 미만이거나, 25%를 초과하는 경우, 결정성이 저하되거나, 캐리어 이동이 저하될 수 있다. 상기 양자우물층 각각의 두께가 양자벽층 각각의 두께의 10% 내지 25%을 벗어나는 경우,

활성층(114)으로부터의 전자 및 정공의 재 결합율이 저하되어 광의 파워가 저하될 수 있다.

- [82] 도 3 및 도 4를 참조하면, 상기 전자 블록킹층(EBL, 130)은 상기 활성층(114) 상에 형성될 수 있다. 상기 전자 블록킹층(130)은 상기 활성층(114)과 상기 제2도전형 반도체층(116a,116b) 사이에 배치될 수 있다. 상기 EBL(130)은 다층 구조를 포함하며, 상기 다층 중 적어도 하나 또는 모두는 제2도전형 도펀트를 포함할 수 있다. 상기 전자 블록킹층(130)은 자외선 파장의 흡수를 줄이고 전자 블록킹을 위해 AlGaIn 또는 AlGaIn계 반도체를 포함할 수 있다.
- [83] 실시 예의 EBL(130)은 복수의 배리어층(131, 133, 135, 137) 및 복수의 웰층(132, 134, 136)을 포함할 수 있다. 상기 배리어층(131, 133, 135, 137) 및 웰층(132, 134, 136) 중 어느 하나는 서로 동일하거나 어느 한 층이 더 많을 수 있다. 상기 EBL(130)은 III족-V족 또는 II족-VI족 화합물 반도체 예컨대, 상기 EBL(130)은 AlGaIn/AlGaIn이 3페어 이상 형성될 수 있으나 이에 한정되지 않는다. 상기 EBL(130)은 적어도 한 층 또는 모두는 제2 도전형 도펀트가 도핑될 수 있다. 예컨대 상기 EBL(130)이 p형 반도체층인 경우, 상기 제2 도전형 도펀트는 p형 도펀트로서, Mg, Zn, Ca, Sr, Ba 등을 포함할 수 있다. 실시 예의 EBL(130)은 100mA 이상의 고전류 구동의 295 내지 315nm의 UVB를 구현하기 위해 활성층(114)에 제공되는 캐리어를 증가시키기 위한 기능을 포함할 수 있다. 또한, 상기 EBL(130)은 전자를 차단하는 전자 차단 기능을 포함하여 발광 효율을 향상시킬 수 있다. 상기 EBL(130)은 복수의 배리어층(131, 133, 135, 137) 및 복수의 웰층(132, 134, 136)이 3페어 이상으로 교번될 수 있다. 상기 복수의 배리어층(131, 133, 135, 137) 및 복수의 웰층(132, 134, 136)은 제2 도전형 도펀트를 포함할 수 있다. 상기 웰층(132,134,136)은 상대적으로 배리어층(131,133,135,137)의 두께보다 얇을 수 있어, 제2 도전형 도펀트가 도핑되지 않을 수 있다. 실시 예의 복수의 배리어층(131, 133, 135, 137) 및 복수의 웰층(132, 134, 136)은 Al 조성 및 두께에 의해 발광 효율을 향상시킬 수 있다.
- [84] 상기 EBL(130)은 상기 활성층(114)을 거친 전자의 오버 플로우(overflow)를 방지하여 내부 양자 효율을 개선시켜 줄 수 있다. 도 4와 같이, 상기 EBL(130)은 활성층(114)의 양자벽층(도 4의 114a)의 에너지 레벨을 기준(REF)으로 더 높은 에너지 레벨을 갖는 배리어층(131,133,135,137)과 더 낮은 에너지 레벨을 갖는 웰층(132,134,136)을 포함할 수 있다. 상기 양자벽층은 상기 활성층(114)의 양자벽층들 중 마지막 층일 수 있다. 상기 활성층(114)의 마지막 양자벽층은 다른 양자벽층과 동일한 알루미늄 조성을 가질 수 있다.
- [85] 상기 EBL(130)의 배리어층(131,133,135,137)은 활성층(114)의 마지막 양자벽층(도 4의 114a)의 알루미늄 조성보다 더 높은 알루미늄 조성을 갖고, 웰층(132,134,136)은 상기 활성층(114)의 마지막 양자벽층(도 4의 114a)의 알루미늄 조성보다 더 낮은 알루미늄 조성을 가질 수 있다. 상기 활성층(114)의 마지막 양자벽층(도 4의 114a)은 45% 내지 52%의 Al 조성을 포함할 수 있고,

복수의 배리어층(131, 133, 135, 137)은 50% 이상의 Al 조성을 포함할 수 있다. 상기 활성층(114)의 마지막 양자벽층(114a)은 상기 배리어층(131, 133, 135, 137)들의 알루미늄 조성보다 낮은 알루미늄의 조성을 가질 수 있다. 상기 배리어층(131, 133, 135, 137)은 상기 활성층(114)의 마지막 양자벽층(114a)의 알루미늄 조성보다 3% 이상의 높은 알루미늄의 조성을 가질 수 있다.

- [86] 상기 EBL(130)의 Al 조성은 전자를 차단하고, 정공을 가두어 상기 활성층(114)의 캐리어 주입 증가에 의해 발광효율을 향상시킬 수 있다.
- [87] 상기 복수의 배리어층(131, 133, 135, 137)은 상기 활성층(114)과 인접하는 제1 배리어층(131), 상기 제2 도전형 반도체층(116a, 116b)과 인접하는 제2 제2배리어층(137) 및 상기 제1 배리어층(131)와 상기 제2배리어층(137) 사이에 중간 배리어층(133, 135)을 포함할 수 있다. 여기서 상기 중간 배리어층(133, 135)은 하나 또는 복수로 배치될 수 있다. 상기 복수의 배리어층(133, 135)인 경우, 상기 제1배리어층(131)과 제2배리어층(137) 사이에 제1중간 배리어층(133)과, 상기 제1중간 배리어층(133)과 제2배리어층(137) 사이에 제2중간 배리어층(135)을 포함할 수 있다.
- [88] 상기 제1배리어층(131)은 상기 활성층(114)의 마지막 양자벽층(114a)과 접촉될 수 있다. 상기 제2배리어층(137)은 상기 제2도전형 반도체층(116a, 116b)의 하면과 접촉될 수 있다.
- [89] 상기 복수의 웰층(132, 134, 136)은 상기 제1 배리어층(131)와 제1 중간 배리어층(133) 사이의 제1 웰층(132), 상기 제1 및 제2 중간 배리어층(133, 135) 사이의 제2 웰층(134), 상기 제2 중간 배리어층(135)와 제2배리어층(137) 사이의 제3 웰층(136)을 포함할 수 있다. 실시 예의 EBL(130)은 3페어 구조의 복수의 배리어층(131, 133, 135, 137) 및 복수의 웰층(132, 134, 136)을 포함하고 있으나, 이에 한정되는 것은 아니다. 상기 제1 배리어층(131)은 활성층(114)의 마지막 양자벽층(114a)의 Al 조성보다 높은 Al 조성을 가질 수 있다. 예컨대 상기 제1 배리어층(131)은 $Al_pGa_{1-p}N$ ($0.50 \leq p \leq 0.74$)의 조성식을 갖는 반도체 물질을 포함할 수 있다. 실시 예의 상기 제1 배리어층(131)은 50% 내지 74%의 Al 조성을 포함할 수 있고, 실시 예의 상기 제1 배리어층(131)의 두께(W1)는 상기 제1 웰층(132)의 두께(W2)보다 두꺼울 수 있다. 실시 예의 상기 제1 배리어층(131)의 두께(W1)는 10nm 이하 예컨대, 3nm 내지 10nm일 수 있다.
- [90] 상기 제2배리어층(137)은 제2도전형 반도체층(116a, 116b)의 Al 조성 보다 높은 Al 조성을 가질 수 있다. 예컨대 상기 제2 배리어층(137)은 $Al_qGa_{1-q}N$ ($0.50 \leq q \leq 0.74$)의 조성식을 갖는 반도체 물질을 포함할 수 있다. 실시 예의 상기 제2배리어층(137)은 50% 내지 74%의 Al 조성을 포함할 수 있고, 실시 예의 상기 제2배리어층(137)의 두께(W7)는 상기 제3 웰층(136)의 두께(W6)보다 두꺼울 수 있다. 실시 예의 상기 제2배리어층(137)의 두께(W7)는 10nm 이하 예컨대, 3nm 내지 10nm일 수 있다. 상기 제2배리어층(137)은 50% 내지 74%의 Al 조성과 10nm

이하의 두께를 갖게 됨으로써, 전자를 차단시키고 캐리어 주입 효율을 개선시키고, 자외선 파장의 광 흡수 손실을 줄여줄 수 있다.

- [91] 상기 제1 및 제2 중간 배리어층(133, 135)의 Al 조성은 서로 동일하거나 1% 이하의 차이를 가질 수 있으며, 상기 제1 배리어층(131) 및 제2 배리어층(137)의 Al 조성보다 높을 수 있다. 이러한 Al 조성을 갖는 EBL(130)은 정공 주입을 향상시킬 수 있다. 예컨대 EBL(130)은 상기 제1 및 제2 중간 배리어층(133, 135)에 정공을 가두어 활성층(114)의 캐리어 주입 증가에 의해 발광 효율을 향상시킬 수 있다. 상기 제1 및 제2 중간 배리어층(133, 135)은 $\text{Al}_r\text{Ga}_{1-r}\text{N}$ ($0.55 \leq r \leq 0.74$)의 조성식을 갖는 반도체 물질을 포함할 수 있다. 실시 예의 상기 제1 및 제2 중간 배리어층(133, 135)은 55% 내지 74%의 Al 조성을 포함할 수 있다. 실시 예의 상기 제1 및 제2 중간 배리어층(133, 135)의 두께(W3, W5)는 상기 제2 웰층(134)의 두께(W4)보다 두꺼울 수 있다. 실시 예의 상기 제1 및 제2 중간 배리어층(133, 135)의 두께(W3, W5)는 10nm 이하 예컨대, 3nm 내지 10nm일 수 있다. 일 예로 EBL(130)은 54%의 Al 조성을 갖는 제1 배리어층(131) 및 제2 배리어층(137)과, 64%의 조성을 갖는 제1 및 제2 중간 배리어층(133, 135)를 포함하는 경우, 상기의 Al 조성보다 낮은 조성을 갖는 비교 예의 자외선 발광소자의 출력 전압보다 30% 이상 향상될 수 있다.
- [92] 상기 복수의 웰층(132, 134, 136)은 제1 배리어층(131)과 제1 중간 배리어층(133) 사이의 제1 웰층(132), 제1 및 제2 중간 배리어층(133, 135) 사이의 제2 웰층(134) 및 상기 제2 중간 배리어층(135)과 제2 배리어층(137) 사이의 제3 웰층(136)을 포함할 수 있다.
- [93] 상기 제1 웰층(132)은 활성층(114)의 마지막 양자벽층(114a)의 Al 조성보다 낮은 Al 조성을 포함할 수 있다. 상기 제1 웰층(132)은 $\text{Al}_c\text{Ga}_{1-c}\text{N}$ ($0.24 \leq c \leq 0.45$)의 조성식을 갖는 반도체 물질을 포함할 수 있다. 실시 예의 상기 제1 웰층(132)의 두께(W2)는 제1 배리어층(131)의 두께(W1) 및 제1 중간 배리어층(133)의 두께(W3)보다 얇을 수 있다. 실시 예의 제1 웰층(132)의 두께(W2)는 5nm 이하 예컨대, 1nm 내지 5nm일 수 있다.
- [94] 상기 제2 웰층(134)은 활성층(114)의 마지막 양자벽층(114a)의 Al 조성 보다 낮은 Al 조성을 포함할 수 있다. 상기 제2 웰층(134)은 $\text{Al}_f\text{Ga}_{1-f}\text{N}$ ($0.24 \leq f \leq 0.48$)의 조성식을 갖는 반도체 물질을 포함할 수 있다. 실시 예의 상기 제2 웰층(132)의 두께(W4)는 제1 및 제2 중간 배리어층(133, 135)의 두께(W3, W5)보다 얇을 수 있다. 실시 예의 제2 웰층(134)의 두께(W4)는 5nm 이하 예컨대, 1nm 내지 5nm일 수 있다.
- [95] 상기 제3 웰층(136)은 활성층(114)의 마지막 양자벽층(114a)의 Al 조성 보다 낮은 Al 조성을 포함할 수 있다. 상기 제3 웰층(136)은 $\text{Al}_g\text{Ga}_{1-g}\text{N}$ ($0.24 \leq g \leq 0.48$)의 조성식을 갖는 반도체 물질을 포함할 수 있다. 실시 예의 상기 제3 웰층(136)의 두께(W6)는 제2 중간 배리어층(135)의 두께(W5) 및 제2 배리어층(137)의 두께(W7)보다 얇을 수 있다. 실시 예의 제3 웰층(136)의 두께(W6)는 5nm 이하

- 예컨대, 1nm 내지 5nm일 수 있다. 상기 제2 및 제3 웰층(134, 136)은 서로 같은 Al 조성 및 두께를 가질 수 있으나, 이에 한정되는 것은 아니다. 상기 제2 및 제3 웰층(134, 136)의 Al 조성은 상기 제1웰층(132)의 Al 조성보다 높을 수 있다.
- [96] 상기 EBL(130)은 상기 복수의 배리어층(131,133,135,137)과 상기 웰층(132,134,136) 사이의 Al 조성 차이 또는 장벽 차이에 의해 전자의 오버플로우를 방지할 수 있어, 내부 양자 효율을 개선시켜 줄 수 있다.
- [97] 도 4와 같이, 상기 복수의 배리어층(131,133,135,137)의 에너지 밴드 갭(G1,G3,G5,G7)은 상기 활성층(114)의 마지막 양장벽층(114a)의 에너지 밴드 갭(G0)보다 클 수 있다. 상기 제1배리어층(131)은 에너지 밴드 갭이 G1이고, 제1 및 제2중간 배리어층(133,135)의 에너지 밴드 갭이 G3 및 G5이고, 제2배리어층(137)의 에너지 밴드 갭이 G7인 경우, $G3, G5 > G1, G7 > G0$ 의 관계를 가질 수 있다.
- [98] 상기 복수의 웰층(132,134,136)의 에너지 밴드 갭(G2,G4,G6)은 상기 활성층(114)의 마지막 장벽층(114a)의 에너지 밴드 갭(G0)보다 작을 수 있다. 상기 제1웰층(132)은 에너지 밴드 갭이 G2이고, 제2웰층(134)의 에너지 밴드 갭이 G4이고, 제3웰층(136)의 에너지 밴드 갭이 G6인 경우, $G0 > G2 > G4, G6$ 의 관계를 가질 수 있다.
- [99] 실시 예는 상기 활성층(114) 상에 EBL(130)이 배치되어 캐리어 주입 효율을 향상시켜 발광 효율을 향상시킬 수 있다. 실시 예는 100mA 이상의 고전류 구동의 295 내지 315nm의 UVB를 구현할 수 있다.
- [100] 상기 제2 도전형 반도체층(116a,116b)은 상기 EBL(130) 상에 배치될 수 있다. 상기 제2 도전형 반도체층(116a,116b)은 단층 또는 다층으로 형성될 수 있으며 다층인 경우 제1전도성 반도체층(116a) 및 제2전도성 반도체층(116b)을 포함할 수 있다. 상기 제1전도성 반도체층(116a)은 상기 EBL(130) 상에 배치되며 상기 EBL(130)과 제2전도성 반도체층(116b) 사이에 배치될 수 있다. 상기 제1,2전도성 반도체층(116a,116b)은 제2도전형의 도펀트를 갖는 반도체일 수 있다.
- [101] 상기 제1전도성 반도체층(116a)은 III족-V족 또는 II족-VI족 등의 화합물 반도체로 구현될 수 있다. 예컨대 상기 제1전도성 반도체층(116a)은 GaN, InN, AlN, InGaN, AlGaIn, InAlGaIn, AlInN, AlGaAs, InGaAs, AlInGaAs, GaP, AlGaP, InGaP, AlInGaP, InP 중 어느 하나 이상으로 형성될 수 있다. 상기 제1전도성 반도체층(116a)은 자외선 파장의 흡수를 줄이기 위해 AlGaIn 또는 AlGaIn계 반도체를 포함할 수 있다. 실시 예의 제1전도성 반도체층(116a)은 $Al_sGa_{1-s}N$ ($0.20 \leq s \leq 0.45$)의 조성식을 갖는 반도체 물질을 포함할 수 있다. 상기 제1전도성 반도체층(116a)은 20% 내지 45%의 Al 조성을 포함할 수 있다.
- [102] 상기 제1전도성 반도체층(116a)의 두께는 40nm 이상일 수 있다. 도 7은 실시 예의 제1전도성 반도체층의 두께에 따른 신뢰성을 도시한 그래프이다. 도 7을 참조하면, 실시 예의 제1전도성 반도체층(116a)은 40nm이상의 두께를 가질 경우, 시간에 따른 출력전압의 변화가 일정하여 신뢰성을 향상시킬 수 있다. 실시 예의

제1전도성 반도체층(116a)의 두께는 40nm 이상 예컨대, 40nm 내지 300nm일 수 있다. 상기 제1전도성 반도체층(116a)은 제2 도전형 도펀트가 도핑될 수 있다. 상기 제1전도성 반도체층(116a)이 p형 반도체층인 경우, 상기 제2 도전형 도펀트는 p형 도펀트로서, Mg, Zn, Ca, Sr, Ba 등을 포함할 수 있다. 실시 예의 제1전도성 반도체층(116a)의 두께가 40nm미만일 경우, 자외선 발광소자(100)의 구동 시간에 따라 점차 낮아지는 출력전압으로 인해 신뢰성이 저하될 수 있다.

[103] 여기서, 상기 제1도전형 반도체층(112b) n형 반도체층, 상기 제2도전형 반도체층(116a,116b)은 p형 반도체층으로 설명하고 있지만, 상기 제1도전형 반도체층(112b)은 p형 반도체층, 상기 제2도전형 반도체층(116a,116b)은 n형 반도체층으로 형성할 수도 있으며, 이에 한정되는 것은 아니다. 기 제1전도성 반도체층(116a) 및 제2전도성 반도체층(116b) 위에는 상기 제2 도전형과 반대의 극성을 갖는 반도체 예컨대 n형 반도체층(미도시)을 형성할 수 있다. 이에 따라 발광구조물(110)은 n-p 접합 구조, p-n 접합 구조, n-p-n 접합 구조, p-n-p 접합 구조 중 어느 한 구조로 구현할 수 있다.

[104] 상기 제2전도성 반도체층(116b)은 상기 제1전도성 반도체층(116a) 상에 형성될 수 있다. 상기 제2전도성 반도체층(116b)은 제2전극(153)이 접촉되는 전극 접촉층일 수 있다. 상기 제2전도성 반도체층(116b)은 상기 제1전도성 반도체층(116a)와 다른 반도체로 형성될 수 있으며, 예컨대 상기 제1전도성 반도체층(116a)의 Al조성보다 낮은 Al 조성을 갖거나, Al 조성이 없는 GaN계 반도체일 수 있다. 상기 제2전도성 반도체층(116b)은 상기 제1전도성 반도체층(116a)과 제2 전극(153) 오믹 콘택을 위해 상기 제1전도성 반도체층(116a)과 제2 전극(153) 사이에 배치될 수 있다. 상기 제2전도성 반도체층(116b)은 상기 제1전도성 반도체층(116a)과 제2 전극(153) 오믹 콘택을 위해 제2 도전형 또는 제2도전형 도펀트를 포함하는 GaN일 수 있으나, 이에 한정되는 것은 아니다. 상기 제2전도성 반도체층(116b)은 상기 제2 전극(153)과 직접 접하는 표면에 평평할 수 있다. 이를 위해 상기 제2전도성 반도체층(116b)은 2D(Dimension) 성장 방법으로 형성될 수 있다. 제2전도성 반도체층(116b)의 표면은 러프한 면으로 형성될 수 있다. 도 8은 실시 예의 제2전도성 반도체층(116b)의 표면을 도시한 도면이다. 실시 예의 상기 제2전도성 반도체층(116b)은 상기 제1전도성 반도체층(116a)과 제2 전극(153) 사이의 오믹 콘택을 위해 50nm 이하의 두께를 가지며, 표면 거칠기(RMS)를 1nm이하, 예컨대 0.1nm 내지 1.0nm일 수 있다. 실시 예의 상기 제2전도성 반도체층(116b)은 1nm이하의 표면 거칠기(RMS)를 포함하여 이후 형성되는 제2 전극(153)과의 접촉 신뢰도를 향상시킬 수 있다.

[105] 상기 제1 전극(151)은 상기 제1도전형 반도체층(112b) 상에 배치될 수 있다. 상기 제1 전극(151)은 상기 제1도전형 반도체층(112b)과 전기적으로 연결될 수 있다. 상기 제1 전극(151)은 상기 제2 전극(153)과 전기적으로 절연될 수 있다. 상기 제1 전극(151)은 전도성 산화물, 전도성 질화물 또는 금속일 수 있다. 상기

제1전극(151)은 접촉층을 포함할 수 있으며, 상기 접촉층은 예컨대, ITO(Indium Tin Oxide), ITON(ITO Nitride), IZO(Indium Zinc Oxide), IZON(IZO Nitride), AZO(Aluminum Zinc Oxide), AGZO(Aluminum Gallium Zinc Oxide), IZTO(Indium Zinc Tin Oxide), IAZO(Indium Aluminum Zinc Oxide), IGZO(Indium Gallium Zinc Oxide), IGTO(Indium Gallium Tin Oxide), ATO(Antimony Tin Oxide), GZO(Gallium Zinc Oxide), IZON(IZO Nitride), ZnO, IrOx, RuOx, NiO, Au, Cu, Ni, Ti, Ti-W, Cr, W, Pt, V, Fe, Mo 물질 중에서 적어도 하나를 포함할 수 있으며, 단층 또는 다층으로 형성될 수 있다.

- [106] 상기 제2 전극(153)은 상기 제2전도성 반도체층(116b) 상에 배치될 수 있다. 상기 제2 전극(153)은 상기 제2전도성 반도체층(116b)와 전기적으로 연결될 수 있다. 상기 제2 전극(153)은 전도성 산화물, 전도성 질화물 또는 금속일 수 있다. 상기 제2전극(153)은 접촉층을 포함할 수 있으며, 예컨대 상기 접촉층은 ITO(Indium Tin Oxide), ITON(ITO Nitride), IZO(Indium Zinc Oxide), IZON(IZO Nitride), AZO(Aluminum Zinc Oxide), AGZO(Aluminum Gallium Zinc Oxide), IZTO(Indium Zinc Tin Oxide), IAZO(Indium Aluminum Zinc Oxide), IGZO(Indium Gallium Zinc Oxide), IGTO(Indium Gallium Tin Oxide), ATO(Antimony Tin Oxide), GZO(Gallium Zinc Oxide), IZON(IZO Nitride), ZnO, IrOx, RuOx, NiO, Au, Cu, Ni, Ti, Ti-W, Cr, W, Pt, V, Fe, Mo 물질 중에서 적어도 하나를 포함할 수 있으며, 단층 또는 다층으로 형성될 수 있다.
- [107] 실시 예의 자외선 발광소자(100)는 17nm 이하의 FWHM(Full Width at Half Maximum)을 가질 수 있다. 일반적으로 20nm 이상의 FWHM를 갖는 자외선 발광소자는 300nm 이하, 특히 298nm 이하에서 DNA, 단백질 등을 파괴하여 아토피 치료 등의 의료장치에 적용이 어렵다. 실시 예는 활성층(114)의 양자우물층 각각이 양자벽층 각각의 10% 내지 25% 두께를 포함하여 17nm 이하의 FWHM를 구현하여 의료장치에 적용되는 자외선 발광소자의 신뢰성을 향상시킬 수 있다.
- [108] 실시 예의 자외선 발광소자(100)는 활성층(114) 상에 EBL(130)이 배치되어 캐리어 주입 효율을 향상시켜 100mA 이상의 고전류 구동을 구현할 수 있다. 구체적으로 실시 예는 제1 및 제2 중간 배리어층(133, 135)가 제1 배리어층(131) 및 제2 배리어층(137)보다 높은 Al 조성을 갖는 EBL(130)의 구조에 의해 100mA 이상의 고전류 구동의 295 내지 315nm의 UVB를 구현할 수 있다.
- [109] 실시 예는 기판(101)과 활성층(114) 사이에 제1반도체층(112a), 제1 초격자층(120a), 제1도전형 반도체층(112b), 제2 초격자층(120b)을 포함하여 결합을 개선하여 발광 효율을 향상시킬 수 있다.
- [110] 실시 예는 양자벽층의 두께의 10% 내지 25%의 두께를 갖는 양자우물층을 포함하는 활성층(114)에 의해 광의 파워를 향상시킬 수 있다.
- [111] 실시 예는 40nm 이상의 두께를 갖는 제1전도성 반도체층(116a)에 의해 신뢰성을 향상시킬 수 있다.

- [112] 실시 예는 100mA 이상의 295 내지 315nm의 파장의 자외선 발광소자(100)를 구현하여 아토피 치료 등의 의료장치에 적용될 수 있다.
- [113]
- [114] 도 9 내지 도 13은 실시 예에 따른 자외선 발광소자의 제조방법을 도시한 단면도이다.
- [115] 도 9를 참조하면, 실시 예의 자외선 발광소자의 제조방법은 먼저, 기판(101) 상에 기판(101) 상에 AlN 템플릿층(Template, 111), 제1 초격자층(120a), 제1반도체층(112a), 제2 초격자층(120b), 제1도전형 반도체층(112b)이 형성될 수 있다.
- [116] 상기 기판(101)은 열전도성이 뛰어난 물질로 형성될 수 있으며, 전도성 기판 또는 절연성 기판일 수 있다. 예컨대 상기 기판(101)은 사파이어(Al_2O_3), SiC, Si, GaAs, GaN, ZnO, GaP, InP, Ge, and Ga_2O_3 중 적어도 하나를 사용할 수 있다. 상기 기판(101) 상에는 요철 구조가 형성될 수 있으며, 이에 대해 한정하지는 않는다.
- [117] 상기 AlN 템플릿층(111), 제1 초격자층(120a), 제1반도체층(112a), 제2 초격자층(120b) 및 제1도전형 반도체층(112b)은 유기금속 화학 증착법(MOCVD; Metal Organic Chemical Vapor Deposition), 화학 증착법(CVD; Chemical Vapor Deposition), 플라즈마 화학 증착법(PECVD; Plasma-Enhanced Chemical Vapor Deposition), 분자선 성장법(MBE; Molecular Beam Epitaxy), 수소화물 기상 성장법(HVPE; Hydride Vapor Phase Epitaxy) 등의 방법으로 형성될 수 있으나, 이에 한정되는 것은 아니다.
- [118] 상기 AlN 템플릿층(111), 제1 초격자층(120a), 제1반도체층(112a), 제2 초격자층(120b) 및 제1도전형 반도체층(112b)은 100mbar 이하의 압력에서 성장될 수 있다.
- [119] 상기 AlN 템플릿층(111)은 상기 기판(101) 위에 형성될 수 있다. 상기 AlN 템플릿층(111)은 버퍼 기능을 포함할 수 있다. 상기 AlN 템플릿층(111)은 상기 AlN 템플릿층(111) 위에 형성되는 발광구조물(110)의 재료와 기판(101)의 격자 부정합을 완화시켜 줄 수 있으며, 상기 AlN 템플릿층(111)은 AlN 외에 III족-V족 또는 II족-VI족 화합물 반도체 예컨대, GaN, InN, InGaN, AlGaIn, InAlGaIn, AlInN 중 적어도 하나로 형성될 수 있다.
- [120] 상기 제1 초격자층(120a)은 상기 AlN 템플릿층(111) 상에 배치될 수 있다. 상기 제1반도체층(112a)은 상기 제1 초격자층(120a) 상에 배치될 수 있다. 상기 제2 초격자층(120b)은 상기 제1반도체층(112a) 상에 배치될 수 있다. 제1도전형 반도체층(112b)은 상기 제2 초격자층(120b) 상에 배치될 수 있다. 상기 제1 초격자층(120a), 제1반도체층(112a), 제2 초격자층(120b) 및 제1도전형 반도체층(112b)은 점차 Al 조성이 낮아져 상기 AlN 템플릿층(111)과 활성층(114) 사이의 격자불일치 및 결함을 개선할 수 있다.
- [121] 상기 제1 초격자층(120a)은 상기 AlN 템플릿층(111) 상에 형성될 수 있다. 상기 제1 초격자층(120a)은 상기 AlN 템플릿층(111) 상에 배치되어 AlN

템플릿층(111)과 상기 제1 초격자층(120a) 위에 형성되는 발광구조물(110)의 재료 사이의 격자불일치 및 결함을 개선하는 기능을 포함할 수 있다. 상기 제1 초격자층(120a)은 10 페어 내지 20 페어 교번되게 형성된 제1층(121a) 및 제2층(121b)을 포함할 수 있다. 상기 제2층(121b)은 $Al_xGa_{1-x}N$ ($0.5 \leq x \leq 0.6$)의 조성식을 갖는 반도체 물질을 포함할 수 있다. 상기 제2층(121b)은 50% 내지 60%의 Al 조성을 포함할 수 있고, 실시 예의 상기 제1층(121a) 및 상기 제2층(121b) 각각의 두께는 1nm 내지 5nm일 수 있다. 상기 제1 초격자층(120a)은 제1층(121a) 및 제2층(121b)이 10 페어 미만일 경우, 결함 개선 효과가 저하될 수 있다. 상기 제1 초격자층(120a)은 제1층(121a) 및 제2층(121b)이 20 페어 초과일 경우, 격자상수 차이에 의해 결정성이 저하될 수 있다. 상기 제2층(121b)은 제1 도전형 AlGa_N일 수 있다. 상기 제2층(121b)은 의도하지 않게 도핑된 질화물 반도체(Unintentionally Doped GaN)일 수 있다. 예컨대 상기 제2층(121b)은 성장공정 중에 의도하지 않게 제1 도전형을 갖는 AlGa_N일 수 있다.

[122] 상기 제1반도체층(112a)은 상기 제1 초격자층(120a) 상에 형성될 수 있다. 상기 제1반도체층(112a)은 III족-V족 또는 II족-VI족 등의 화합물 반도체로 구현될 수 있다. 예컨대 상기 제1반도체층(112a)은 GaN, InN, AlN, InGa_N, AlGa_N, InAlGa_N, AlInN, AlGaAs, InGaAs, AlInGaAs, GaP, AlGaP, InGaP, AlInGaP, InP 중 어느 하나 이상으로 형성될 수 있다. 실시 예의 제1반도체층(112a)은 $Al_yGa_{1-y}N$ ($0.5 \leq y \leq 0.6$)의 조성식을 갖는 반도체 물질을 포함할 수 있다. 실시 예의 제1반도체층(112a)은 50% 내지 60%의 Al 조성을 포함할 수 있고, 실시 예의 제1반도체층(112a) 두께는 10nm 내지 1000nm일 수 있다. 실시 예에서는 200nm의 두께를 갖는 제1반도체층(112a)을 일례로 설명하도록 한다. 상기 제1반도체층(112a)은 제1 도전형 도펀트가 도핑될 수 있다. 상기 제1 도전형 도펀트가 n형 도펀트인 경우, n형 도펀트로서, Si, Ge, Sn, Se, Te를 포함할 수 있으나 이에 한정되는 것은 아니다.

[123] 상기 제2 초격자층(120b)은 상기 제1반도체층(112a) 상에 형성될 수 있다. 상기 제2 초격자층(120b)은 상기 제1반도체층(112a) 상에 배치되어 상기 제1반도체층(112a)과 상기 제2 초격자층(120a) 위에 형성되는 상기 발광구조물(110)의 재료 사이의 격자불일치 및 결함을 개선하는 기능을 포함할 수 있다. 상기 제2 초격자층(120b)은 10 페어 내지 20 페어 교번되게 형성된 제3층(123a) 및 제4층(123b)을 포함할 수 있다.

[124] 상기 제3층(123a)은 $Al_aGa_{1-a}N$ ($0.5 \leq a \leq 0.6$)의 조성식을 갖는 반도체 물질을 포함할 수 있다. 상기 제3층(123a)은 50% 내지 60%의 Al 조성을 포함할 수 있다. 실시 예의 상기 제3층(123a) 각각의 두께는 1nm 내지 5nm일 수 있다. 상기 제3층(123a)의 알루미늄 조성은 상기 제1반도체층(112a)의 알루미늄 조성 범위 내에서 배치될 수 있다. 이에 따라 제1반도체층(112a) 상에서의 격자 불일치 및 결함은 개선될 수 있다.

[125] 상기 제4층(123b)은 $Al_bGa_{1-b}N$ ($0.45 \leq b \leq 0.55$)의 조성식을 갖는 반도체 물질을

포함할 수 있다. 상기 제4층(123b)은 45% 내지 55%의 Al 조성을 포함할 수 있다. 실시 예의 상기 제4층(123b) 각각의 두께는 1nm 내지 5nm일 수 있다. 상기 제4층(123b)은 상기 제3층(123a)의 알루미늄 조성보다 낮은 알루미늄 조성을 가질 수 있다. 상기 제3,4층(123a, 123b) 중 적어도 하나 또는 모두는 제1도전형 도펀트를 포함할 수 있다. 여기서, 상기 제1도전형 도펀트가 n형 도펀트인인 경우, n형 도펀트로서, Si, Ge, Sn, Se, Te를 포함할 수 있으나 이에 한정되는 것은 아니다. 실시 예는 상기 AlN 템플릿층(111)으로부터 활성층(114)으로 갈수록 Al 조성이 점차 낮아져 결정성을 개선할 수 있다.

[126] 상기 제1도전형 반도체층(112b)은 상기 제2 초격자층(120b) 상에 형성될 수 있다. 상기 제1도전형 반도체층(112b)은 III족-V족 또는 II족-VI족 등의 화합물 반도체로 구현될 수 있다. 예컨대 상기 제1도전형 반도체층(112b)은 GaN, InN, AlN, InGaN, AlGaN, InAlGaN, AlInN, AlGaAs, InGaAs, AlInGaAs, GaP, AlGaP, InGaP, AlInGaP, InP 중 어느 하나 이상으로 형성될 수 있다. 상기 제1도전형 반도체층(112b)은 상기 제1반도체층(112a), 상기 제2층(121b) 및 상기 제3층(121a)의 Al 조성보다 낮은 Al 조성을 가질 수 있다. 상기 제1도전형 반도체층(112b)의 Al 조성은 상기 제4층(121b)의 Al 조성 범위와 같을 수 있다.

[127] 실시 예의 제1도전형 반도체층(112b)은 $Al_zGa_{1-z}N$ ($0.45 \leq z \leq 0.55$)의 조성식을 갖는 반도체 물질을 포함할 수 있다. 실시 예의 제1도전형 반도체층(112b)은 45% 내지 55%의 Al 조성을 포함할 수 있고, 실시 예의 제1도전형 반도체층(112b) 두께는 500nm 내지 1000nm일 수 있다. 실시 예에서는 1000nm의 두께를 갖는 제1도전형 반도체층(112b)을 일예로 설명하도록 한다. 상기 제1도전형 반도체층(112b)은 제1도전형 도펀트가 도핑될 수 있다. 상기 제1도전형 도펀트가 n형 도펀트인 경우, n형 도펀트로서, Si, Ge, Sn, Se, Te를 포함할 수 있으나 이에 한정되는 것은 아니다.

[128]

[129] 도 10을 참조하면, 상기 활성층(114)은 제1도전형 반도체층(112b) 상에 배치되며, 상기 및 EBL(130)은 상기 활성층(114) 위에 배치될 수 있다. 상기 활성층(114) 및 EBL(130)은 유기금속 화학 증착법(MOCVD), 화학 증착법(CVD), 플라즈마 화학 증착법(PECVD), 분자선 성장법(MBE), 수소화물 기상 성장법(HVPE) 등의 방법으로 형성될 수 있으나, 이에 한정되는 것은 아니다.

[130] 상기 활성층(114) 및 EBL(130)의 형성조건은 광의 파워를 향상시킬 수 있고, 광 효율을 향상시킬 수 있다.

[131] 상기 활성층(114)은 단일 양자 우물 구조, 다중 양자 우물 구조(MQW: Multi Quantum Well), 양자 선(Quantum-Wire) 구조, 또는 양자 점(Quantum Dot) 구조 중 적어도 어느 하나로 형성될 수 있다. 상기 활성층(114)은 상기 제1도전형 반도체층(112b)을 통해서 주입되는 전자(또는 정공)와 상기 제1전도성 반도체층(116a)을 통해서 주입되는 정공(또는 전자)이 서로 만나서, 상기 활성층(114)의 형성 물질에 따른 에너지 밴드(Energy Band)의 밴드갭(Band Gap)

차이에 의해서 빛을 방출하는 층이다.

- [132] 상기 활성층(114)는 화합물 반도체로 구성될 수 있다. 상기 활성층(114)는 예로서 III족-V족 또는 II족-VI족 등의 화합물 반도체중에서 적어도 하나로 구현될 수 있다. 상기 활성층(114)은 양자우물층과 양자벽층을 포함할 수 있다. 상기 활성층(114)이 다중 양자 우물 구조로 구현된 경우, 양자우물층과 양자벽층이 교대로 배치될 수 있다. 상기 양자우물층과 양자벽층은 AlGaIn/GaN, AlGaIn/AlGaIn, InGaIn/GaN, InGaIn/InGaIn, InAlGaIn/GaN, GaAs/AlGaAs, InGaAs/AlGaAs, GaP/AlGaP, InGaP AlGaP 중 어느 하나 이상의 페어 구조로 형성될 수 있으나 이에 한정되지 않는다.
- [133] 실시 예의 활성층(114)은 양자우물층 각각의 두께는 양자벽층 각각의 두께의 10% 내지 25%일 수 있다. 도 6을 참조하면, 실시 예의 활성층(114)은 양자벽층의 10% 내지 25%의 두께를 갖는 양자우물층 구조에 의해 광의 파워가 향상될 수 있다. 예컨대 상기 양자우물층 각각은 1.5nm 내지 2.5nm일 수 있다. 도 6은 10.9nm의 양자벽층을 갖는 활성층(114)의 양자우물층의 두께에 따라 광의 파워를 나타낸 그래프로써, 2.1nm 두께를 갖는 양자우물층에서 가장 높은 광의 파워를 나타낸다.
- [134] 상기 EBL(130)은 상기 활성층(114) 상에 형성될 수 있다. 상기 EBL(130)은 제2 도펀트를 포함할 수 있다. 실시 예의 EBL(130)은 복수의 배리어층(131, 133, 135, 137) 및 복수의 웰층(132, 134, 136)을 포함할 수 있다. 상기 EBL(130)은 III족-V족 또는 II족-VI족 화합물 반도체 예컨대, 상기 EBL(130)은 AlGaIn/AlGaIn이 3페어 이상 형성될 수 있으나 이에 한정되지 않는다. 상기 EBL(130)은 제2 도전형 도펀트가 도핑될 수 있다. 예컨대 상기 EBL(130)이 p형 반도체층인 경우, 상기 제2 도전형 도펀트는 p형 도펀트로서, Mg, Zn, Ca, Sr, Ba 등을 포함할 수 있다. 실시 예의 EBL(130)은 100mA 이상의 고전류 구동의 295 내지 315nm의 UVB를 구현하기 위해 활성층(114)에 제공되는 캐리어를 증가시키기 위한 기능을 포함할 수 있다. 또한, 상기 EBL(130)은 전자를 차단하는 전자 차단 기능을 포함하여 발광효율을 향상시킬 수 있다. 이를 위해 실시 예의 제2 도전형 도펀트를 포함하는 EBL(130)은 복수의 배리어층(131, 133, 135, 137) 및 복수의 웰층(132, 134, 136)은 3페어 교번될 수 있다. 실시 예의 복수의 배리어층(131, 133, 135, 137) 및 복수의 웰층(132, 134, 136)은 Al 조성 및 두께에 의해 발광 효율을 향상시킬 수 있다.
- [135] 상기 EBL(130)의 일부 층들은 활성층(114)의 마지막 양자벽층을 에너지 레벨을 기준(REF)으로 높은 Al 조성을 포함할 수 있다. 예컨대 상기 활성층(114)의 마지막 양자벽층은 50%의 Al 조성을 포함할 수 있고, 복수의 배리어층(131, 133, 135, 137)는 적어도 45% 이상의 Al 조성을 포함할 수 있다. 여기서, 상기 복수의 배리어층(131, 133, 135, 137)는 상기 복수의 웰층(132, 134, 136)보다 높은 Al 조성을 포함하여 상기 활성층(114)의 마지막 양자벽층보다 높은 Al 조성을 포함할 수 있다. 상기 EBL(130)의 Al 조성은 전자를 차단하고, 정공을 가두어

- 상기 활성층(114)의 캐리어 주입 증가에 의해 발광효율을 향상시킬 수 있다.
- [136] 상기 복수의 배리어층(131, 133, 135, 137)은 상기 활성층(114)과 접하는 제1 배리어층(131), 상기 제1전도성 반도체층(116a)과 접하는 제2 배리어층(137) 및 상기 제1 배리어층(131)와 상기 제2 배리어층(137) 사이에 제1 및 제2 중간 배리어층들(133, 135)을 포함할 수 있다. 여기서 상기 제1 및 제2 중간 배리어층들(133, 135)은 어느 하나가 생략될 수 있고, 3개 이상의 복수일 수도 있다. 상기 복수의 웰층(132, 134, 136)은 상기 제1 배리어층(131)와 제1 중간 배리어층(133) 사이의 제1 웰층(132), 상기 제1 및 제2 중간 배리어층(133, 135) 사이의 제2 웰층(134), 상기 제2 중간 배리어층(135)와 제2 배리어층(137) 사이의 제3 웰층(136)을 포함할 수 있다.
- [137] 상기 제1 배리어층(131)은 활성층(114)의 마지막 양자벽층의 Al 조성보다 높은 Al 조성을 가질 수 있다. 예컨대 상기 제1 배리어층(131)은 $\text{Al}_p\text{Ga}_{1-p}\text{N}$ ($0.50 \leq p \leq 0.74$)의 조성식을 갖는 반도체 물질을 포함할 수 있다. 실시 예의 상기 제1 배리어층(131)은 50% 내지 74%의 Al 조성을 포함할 수 있고, 실시 예의 상기 제1 배리어층(131)의 두께(W1)는 상기 제1 웰층(132)의 두께(W2)보다 두꺼울 수 있다. 실시 예의 상기 제1 배리어층(131)의 두께(W1)는 3nm 내지 10nm일 수 있다.
- [138] 상기 제2 배리어층(137)은 제1전도성 반도체층(116a) 보다 높은 Al 조성을 가질 수 있다. 예컨대 상기 제2 배리어층(137)은 $\text{Al}_q\text{Ga}_{1-q}\text{N}$ ($0.50 \leq q \leq 0.74$)의 조성식을 갖는 반도체 물질을 포함할 수 있다. 실시 예의 상기 제2 배리어층(137)은 50% 내지 74%의 Al 조성을 포함할 수 있고, 실시 예의 상기 제2 배리어층(137)의 두께(W7)는 상기 제3 웰층(136)의 두께(W6)보다 두꺼울 수 있다. 실시 예의 상기 제2배리어층(137)의 두께(W7)는 3nm 내지 10nm일 수 있다.
- [139] 상기 제1 및 제2 중간 배리어층(133, 135)은 상기 제1 배리어층(131) 및 제2 배리어층(137)보다 높은 Al 조성을 가질 수 있다. 실시 예의 EBL(130)은 정공 주입을 향상시킬 수 있다. 예컨대 EBL(130)은 상기 제1 및 제2 중간 배리어층(133, 135)에 정공을 가두어 활성층(114)의 캐리어 주입 증가에 의해 발광효율을 향상시킬 수 있다. 상기 제1 및 제2 중간 배리어층(133, 135)은 $\text{Al}_r\text{Ga}_{1-r}\text{N}$ ($0.55 \leq r \leq 0.74$)의 조성식을 갖는 반도체 물질을 포함할 수 있다. 실시 예의 상기 제1 및 제2 중간 배리어층(133, 135)은 55% 내지 74%의 Al 조성을 포함할 수 있다. 실시 예의 상기 제1 및 제2 중간 배리어층(133, 135)의 두께(W3, W5)는 상기 제2 웰층(134)의 두께(W4)보다 두꺼울 수 있다. 실시 예의 상기 제1 및 제2 중간 배리어층(133, 135)의 두께(W3, W5)는 3nm 내지 10nm일 수 있다. 구체적으로 54%의 Al 조성을 갖는 제1 배리어층(131) 및 제2 배리어층(137)와, 64%의 조성을 갖는 제1 및 제2 중간 배리어층(133, 135)를 포함하는 EBL(130)은 일반적인 자외선 발광소자보다 30% 이상 출력전압이 향상될 수 있다.
- [140] 상기 복수의 웰층(132, 134, 136)은 제1 배리어층(131)와 제1 중간 배리어층(133) 사이의 제1 웰층(132), 제1 및 제2 중간 배리어층(133, 135) 사이의 제2 웰층(134) 및 상기 제2 중간 배리어층(135)와 제2 배리어층(137) 사이의 제3 웰층(136)을

포함할 수 있다.

- [141] 상기 제1 웰층(132)은 활성층(114)의 마지막 양자벽층(도 4의 114a)의 Al 조성보다 낮은 Al 조성을 포함할 수 있다. 상기 제1 웰층(132)은 $Al_eGa_{1-e}N$ ($0.24 \leq e \leq 0.45$)의 조성식을 갖는 반도체 물질을 포함할 수 있다. 실시 예의 상기 제1 웰층(132)의 두께(W2)는 제1 배리어층(131)의 두께(W2) 및 제1 중간 배리어층(133)의 두께(W3)보다 얇을 수 있다. 실시 예의 제1 웰층(132)의 두께(W2)는 1nm 내지 5nm일 수 있다.
- [142] 상기 제2 웰층(134)은 활성층(114)의 마지막 양자벽층의 Al 조성보다 낮은 Al 조성을 포함할 수 있다. 상기 제2 웰층(134)은 $Al_fGa_{1-f}N$ ($0.24 \leq f \leq 0.48$)의 조성식을 갖는 반도체 물질을 포함할 수 있다. 실시 예의 상기 제2 웰층(132)의 두께(W4)는 제1 및 제2 중간 배리어층(133, 135)의 두께(W3, W5)보다 얇을 수 있다. 실시 예의 제2 웰층(134)의 두께(W4)는 1nm 내지 5nm일 수 있다.
- [143] 상기 제3 웰층(136)은 활성층(114)의 마지막 양자벽층의 Al 조성보다 낮은 Al 조성을 포함할 수 있다. 상기 제3 웰층(136)은 $Al_gGa_{1-g}N$ ($0.24 \leq g \leq 0.48$)의 조성식을 갖는 반도체 물질을 포함할 수 있다. 실시 예의 상기 제3 웰층(136)의 두께(W6)는 제2 중간 배리어층(135)의 두께(W5) 및 제2 배리어층(137)의 두께(W7)보다 얇을 수 있다. 실시 예의 제3 웰층(136)의 두께(W6)는 1nm 내지 5nm일 수 있다. 제2 및 제3 웰층(134, 136)은 서로 같은 Al 조성 및 두께를 가질 수 있으나, 이에 한정되는 것은 아니다.
- [144] 실시 예는 상기 활성층(114) 상에 EBL(130)이 배치되어 캐리어 주입 효율을 향상시켜 발광 효율을 향상시킬 수 있다. 실시 예는 100mA 이상의 고전류 구동의 295 내지 315nm의 UVB를 구현할 수 있다.
- [145]
- [146] 도 11을 참조하면, 제1전도성 반도체층(116a) 및 제2전도성 반도체층(116b)은 상기 EBL(130) 상에 형성될 수 있다. 상기 제1전도성 반도체층(116a) 및 제2전도성 반도체층(116b)은 유기금속 화학 증착법(MOCVD), 화학 증착법(CVD), 플라즈마 화학 증착법(PECVD), 분자선 성장법(MBE), 수소화물 기상 성장법(HVPE) 등의 방법으로 형성될 수 있으나, 이에 한정되는 것은 아니다.
- [147] 상기 제1전도성 반도체층(116a) 및 제2전도성 반도체층(116b)은 상기 제1도전형 반도체층(112b)과 EBL(130) 사이의 압력에서 성장될 수 있다. 예컨대 상기 제1전도성 반도체층(116a) 및 제2전도성 반도체층(116b)은 450mbar의 압력으로 성장될 수 있으나, 이에 한정되는 것은 아니다.
- [148] 상기 제1전도성 반도체층(116a)은 상기 EBL(130) 상에 형성될 수 있다. 상기 제1전도성 반도체층(116a)은 III족-V족 또는 II족-VI족 등의 화합물 반도체로 구현될 수 있다. 예컨대 상기 제1전도성 반도체층(116a)은 GaN, InN, AlN, InGaN, AlGaN, InAlGaN, AlInN, AlGaAs, InGaAs, AlInGaAs, GaP, AlGaP, InGaP, AlInGaP, InP 중 어느 하나 이상으로 형성될 수 있다. 실시 예의 제1전도성

반도체층(116a)은 $\text{Al}_s\text{Ga}_{1-s}\text{N}$ ($0.20 \leq s \leq 0.45$)의 조성식을 갖는 반도체 물질을 포함할 수 있다. 상기 제1전도성 반도체층(116a)은 20% 내지 45%의 Al 조성을 포함할 수 있다. 상기 제1전도성 반도체층(116a)의 두께는 40nm 이상일 수 있다. 도 7은 실시 예의 제1전도성 반도체층의 두께에 따른 신뢰성을 도시한 그래프이다. 도 7을 참조하면, 실시 예의 제1전도성 반도체층(116a)은 40nm 이상의 두께를 가질 경우, 시간에 따른 출력전압의 변화가 일정하여 신뢰성을 향상시킬 수 있다. 실시 예의 제1전도성 반도체층(116a)의 두께는 40nm 내지 300nm일 수 있다. 상기 제1전도성 반도체층(116a)은 제2 도전형 도펀트가 도핑될 수 있다. 상기 제1전도성 반도체층(116a)이 p형 반도체층인 경우, 상기 제2 도전형 도펀트는 p형 도펀트로서, Mg, Zn, Ca, Sr, Ba 등을 포함할 수 있다.

[149] 상기 제2전도성 반도체층(116b)은 상기 제1전도성 반도체층(116a) 상에 형성될 수 있다. 상기 제2전도성 반도체층(116b)은 상기 제1전도성 반도체층(116a)과 제2 전극(도2의153) 오믹 콘택을 위해 상기 제1전도성 반도체층(116a)과 제2 전극(도2의153) 사이에 배치될 수 있다. 상기 제2전도성 반도체층(116b)은 상기 제1전도성 반도체층(116a)과 제2 전극(도2의153) 오믹 콘택을 위해 제1 도전형 도펀트를 포함하는 GaN일 수 있으나, 이에 한정되는 것은 아니다. 상기 제2전도성 반도체층(116b)은 상기 제2 전극(도2의153)과 직접 접하는 표면에 평평할 수 있다. 이를 위해 상기 제2전도성 반도체층(116b)은 2D 성장 방법으로 형성될 수 있다. 도 8은 실시 예의 제2전도성 반도체층의 표면을 도시한 도면이다. 실시 예의 상기 제2전도성 반도체층(116b)은 2D 성장으로 평평한 표면을 구현하여 제2 전극(도2의153)과의 접촉 신뢰도를 향상시킬 수 있다.

[150]

[151] 도 12를 참조하면, 제1 및 제2 전극(151, 153)은 발광구조물(110) 상에 형성될 수 있다. 상기 발광구조물(110)은 메사 에칭을 통해서 제1도전형 반도체층(112b)의 일부가 상기 활성층(114), EBL(130), 제1전도성 반도체층(116a) 및 제2전도성 반도체층(116b)으로부터 노출될 수 있다.

[152] 상기 제1 전극(151)은 노출된 상기 제1도전형 반도체층(112b) 상에 형성될 수 있다. 상기 제1 전극(151)은 상기 제1도전형 반도체층(112b)와 전기적으로 연결될 수 있다. 상기 제1 전극(151)은 상기 제2 전극(153)과 전기적으로 절연될 수 있다.

[153] 상기 제2 전극(153)은 상기 제2전도성 반도체층(116b) 상에 형성될 수 있다. 상기 제2 전극(153)은 상기 제2전도성 반도체층(116b)와 전기적으로 연결될 수 있다.

[154] 상기 제1 및 제2 전극(151, 153)은 전도성 산화물, 전도성 질화물 또는 금속일 수 있다. 예컨대 상기 제1 및 제2 전극(151, 153)은 ITO(Indium Tin Oxide), ITON(ITO Nitride), IZO(Indium Zinc Oxide), IZON(IZO Nitride), AZO(Aluminum Zinc Oxide), AGZO(Aluminum Gallium Zinc Oxide), IZTO(Indium Zinc Tin Oxide), IAZO(Indium Aluminum Zinc Oxide), IGZO(Indium Gallium Zinc Oxide), IGTO(Indium Gallium

Tin Oxide), ATO(Antimony Tin Oxide), GZO(Gallium Zinc Oxide), IZON(IZO Nitride), ZnO, IrOx, RuOx, NiO, Au, Cu, Ni, Ti, Ti-W, Cr, W, Pt, V, Fe, Mo 물질 중에서 적어도 하나를 포함할 수 있으며, 단층 또는 다층으로 형성될 수 있다.

[155]

[156] 도 13을 참조하면, 실시 예는 제1 및 제2 전극(151, 153)이 하부에 배치되는 플립칩 구조일 수 있다. 제1 절연층(161)은 상기 제1 및 제2 전극(151, 153)의 하부면 일부를 노출시키고, 발광구조물(110)과 상에 형성될 수 있다. 상기 제1 절연층(161)은 상기 제1 및 제2 전극(151, 153)이 배치된 상기 발광구조물(110)의 아래와 접할 수 있다.

[157] 상기 제1 절연층(161)으로부터 노출된 상기 제1 및 제2 전극(151, 153)의 하부면 상에 제1 및 제2 연결전극(171, 173)이 형성될 수 있다. 상기 제1 및 제2 연결전극(171, 173)은 도금공정으로 형성될 수 있으나, 이에 한정되는 것은 아니다. 상기 제1 절연층(161)은 산화물 또는 질화물일 수 있다. 예컨대 상기 제1 절연층(161)은 SiO₂, Si_xO_y, Si₃N₄, Si_xN_y, SiO_xN_y, Al₂O₃, TiO₂, AlN 등으로 이루어진 군에서 적어도 하나가 선택될 수 있다.

[158] 상기 제1 및 제2 연결전극(171, 173)은 Ag, Ni, Al, Rh, Pd, Ir, Ru, Mg, Zn, Pt, Cu, Au, Hf 중 적어도 하나를 포함하는 금속 또는 합금일 수 있다. 상기 제1 및 제2 연결전극(171, 173)은 상기 금속 또는 합금과 ITO(Indium-Tin-Oxide), IZO(Indium-Zinc-Oxide), IZTO(Indium-Zinc-Tin-Oxide), IAZO(Indium-Aluminum-Zinc-Oxide), IGZO(Indium-Gallium-Zinc-Oxide), IGTO(Indium-Gallium-Tin-Oxide), AZO(Aluminum-Zinc-Oxide), ATO(Antimony-Tin-Oxide) 등의 투명 전도성 물질의 단층 또는 다층일 수 있다.

[159] 제2 절연층(163)은 상기 제1 절연층(161) 아래에 형성될 수 있고, 상기 제1 절연층(161)과 직접 접할 수 있다. 상기 제2 절연층(163)은 상기 제1 및 제2 연결전극(171, 173)의 하부를 노출시키고, 상기 제1 및 제2 연결전극(171, 173)의 측부 상에 형성될 수 있다. 상기 제2 절연층(163)은 실리콘 또는 에폭시와 같은 수지물 내에 열 확산제를 첨가하여 형성될 수 있다. 상기 열 확산제는 Al, Cr, Si, Ti, Zn, Zr과 같은 물질을 갖는 산화물, 질화물, 불화물, 황화물 중 적어도 하나의 물질 예컨대, 세라믹 재질을 포함할 수 있다. 상기 열 확산제는 소정 크기의 분말 입자, 알갱이, 필러(filler), 첨가제로 정의될 수 있다. 상기 제2 절연층(163)은 생략될 수도 있다.

[160] 제1 및 제2 패드(181, 183)은 상기 제2 절연층(163)으로부터 노출된 제1 및 제2 연결전극(171, 173) 상에 형성될 수 있다. 상기 제1 및 제2 패드(181, 183)은 Ag, Ni, Al, Rh, Pd, Ir, Ru, Mg, Zn, Pt, Cu, Au, Hf 중 적어도 하나를 포함하는 금속 또는 합금일 수 있다. 상기 제1 및 제2 패드(181, 183)은 상기 금속 또는 합금과 ITO(Indium-Tin-Oxide), IZO(Indium-Zinc-Oxide), IZTO(Indium-Zinc-Tin-Oxide), IAZO(Indium-Aluminum-Zinc-Oxide), IGZO(Indium-Gallium-Zinc-Oxide), IGTO(Indium-Gallium-Tin-Oxide), AZO(Aluminum-Zinc-Oxide),

- ATO(Antimony-Tin-Oxide) 등의 투명 전도성 물질의 단층 또는 다층일 수 있다.
- [161] 실시 예는 제1도전형 반도체층(112b) 위에 배치된 기판(101)을 포함하고 있지만, 이에 한정되는 것은 아니다. 예컨대 상기 기판(101)은 레이저 리프트 오프(LLO: Laser Lift Off) 공정에 의해 제거될 수 있다. 여기서, 상기 레이저 리프트 오프 공정(LLO)은 상기 기판(101)의 하부면에 레이저를 조사하여, 상기 기판(101)과 상기 발광구조물(110)을 서로 박리시키는 공정이다. 실시 예에 따른 발광 소자(100)는 기판(101) 및 AlN 템플릿층(111)이 제거될 수 있으며, 이에 대해 한정하지는 않는다.
- [162] 실시 예의 자외선 발광소자(100)는 17nm 이하의 FWHM(Full Width at Half Maximum)을 가질 수 있다. 일반적으로 20nm 이상의 FWHM를 갖는 자외선 발광소자는 300nm 이하, 특히 298nm 이하에서 DNA, 단백질 등을 파괴하여 아토피 치료 등의 의료장치에 적용이 어렵다. 실시 예는 활성층(114)의 양자우물층 각각이 양자벽 각각의 10% 내지 25% 두께를 포함하여 17nm 이하의 FWHM를 구현하여 의료장치에 적용되는 자외선 발광소자의 신뢰성을 향상시킬 수 있다.
- [163] 실시 예의 상기 활성층(114) 및 EBL(130)은 광의 파워를 향상시킬 수 있고, 광 효율을 향상시킬 수 있다.
- [164] 실시 예는 활성층(114) 상에 EBL(130)이 배치되어 캐리어 주입 효율을 향상시켜 100mA이상의 고전류 구동을 구현할 수 있다. 구체적으로 실시 예는 제1 및 제2 중간 배리어층(133, 135)가 제1 배리어층(131) 및 제2 배리어층(137)보다 높은 Al 조성을 갖는 EBL(130)의 구조에 의해 100mA이상의 고전류 구동의 295 내지 315nm의 UVB를 구현할 수 있다.
- [165] 실시 예는 기판(101)과 활성층(114) 사이에 제1반도체층(112a), 제1 초격자층(120a), 제1도전형 반도체층(112b), 제2 초격자층(120b)을 포함하여 결합을 개선하여 발광 효율을 향상시킬 수 있다.
- [166] 실시 예는 양자벽의 두께의 10% 내지 25%의 두께를 갖는 양자우물층을 포함하는 활성층(114)에 의해 광의 파워를 향상시킬 수 있다.
- [167] 실시 예는 40nm이상의 두께를 갖는 제1전도성 반도체층(116a)에 의해 신뢰성을 향상시킬 수 있다.
- [168]
- [169] 도 14는 실시 예에 따른 발광소자 패키지를 도시한 평면도이다.
- [170] 도 14에 도시된 바와 같이, 실시 예의 발광소자 패키지(200)는 발광소자(100), 패키지 몸체(201), 방열 프레임(210), 보호소자(260), 제1 및 제2 리드프레임(220, 230)을 포함할 수 있다.
- [171] 상기 패키지 몸체(201)는 투광성 재질, 반사성 재질, 절연성 재질 중 적어도 하나를 포함할 수 있다. 상기 패키지 몸체(201)는 상기 발광소자(100)로부터 방출된 광에 대해, 반사율이 투과율보다 더 높은 물질을 포함할 수 있다. 상기 패키지 몸체(201)는 절연 재질 예컨대, 세라믹 소재를 포함한다. 상기 세라믹

소재는 동시 소성되는 저온 소성 세라믹(LTCC: low temperature co-fired ceramic) 또는 고온 소성 세라믹(HTCC: high temperature co-fired ceramic)을 포함한다. 상기 패키지 몸체(201)의 재질은 예를 들면, AlN일 수 있으며, 열 전도도가 140 W/mK 이상인 금속 질화물로 형성할 수 있다. 상기 패키지 몸체(201)는 수지 계열의 절연 물질일 수 있다. 예컨대 상기 패키지 몸체(201)는 폴리프탈아미드(PPA: Polyphthalamide), 에폭시 또는 실리콘 재질과 같은 수지 재질, 실리콘(Si), 금속 재질, PSG(photo sensitive glass), 사파이어(Al_2O_3), 인쇄회로기판(PCB) 중 적어도 하나로 형성될 수 있다. 상기 패키지 몸체(201)는 예컨대 탑뷰 형상이 정사각형 일 수 있으나, 이에 한정하는 것은 아니다. 상기 패키지 몸체(201)의 탑뷰형상은 원형 또는 다각형 형상일 수 있다.

- [172] 상기 패키지 몸체(201)는 제1 및 제2 리드 프레임(220, 230)과 결합될 수 있다. 상기 패키지 몸체(201)는 상기 제1 및 제2 리드 프레임(220, 230)의 상부면 일부를 노출시키는 캐비티(203)를 포함할 수 있다. 상기 캐비티(203)는 상기 패키지 몸체(201)의 상부가 오목하거나 함몰된 리세스로 형성될 수 있다. 상기 캐비티(203)는 상기 제1 리드 프레임(220)의 상부면 일부를 노출시킬 수 있고, 상기 제2 리드 프레임(230)의 상부면 일부를 노출시킬 수 있다. 상기 제1 및 제2 리드프레임(220, 230)은 상기 캐비티(203)의 바닥에 배치될 수 있다. 제1 및 제2 리드프레임(220, 230)은 상기 캐비티(203)의 바닥에서 서로 이격되어 배치될 수 있으며, 적어도 일부가 상기 패키지 몸체(201)의 내부로 연장되거나 비아 구조를 통해 패키지 몸체(201)의 바닥까지 연장될 수 있다. 상기 제1리드 프레임(220)은 캐비티(203)의 적어도 2측면에 인접하고 인접한 2측면을 따라 연장되는 절곡된 형상을 포함할 수 있다. 상기 제2리드 프레임(230)은 상기 발광 소자(100)가 배치된 제1리드부(231a), 상기 제1리드부(231a)의 외측에 배치된 제2리드부(231b) 및 제3리드부(231c)를 포함한다. 상기 제1리드부(231a)의 상면 면적은 상기 제1리드 프레임(220)의 상면 면적보다 클 수 있어, 방열 효율을 개선시켜 줄 수 있다. 상기 제1리드부(231a)는 제2리드부(231b)와 제1리드 프레임(220) 사이에 배치될 수 있다. 상기 제1리드부(231a)는 상기 캐비티(203)의 바닥 센터에 배치될 수 있다. 상기 제1리드부(231a)는 와이어(100W2)를 통해 발광 소자(100)과 전기적으로 연결될 수 있다. 상기 제2리드부(231b)는 발광 소자(100)를 기준으로 상기 제1리드 프레임(220)의 반대측에 배치되며, 다른 2측면을 따라 절곡된 형상을 가질 수 있다. 상기 제2리드부(231b)와 상기 제1리드 프레임(220) 중 적어도 하나는 상기 발광 소자(100)와 와이어로 연결될 수 있다.

- [173] 상기 캐비티(203)의 바닥에는 실시 예에 따른 발광 소자(100)가 배치될 수 있다. 상기 캐비티(203) 내에는 상기 발광 소자(100)를 보호하기 위한 보호 소자(260)가 배치될 수 있다.

- [174] 상기 제1리드부(231a)는 상기 캐비티(203)의 중심영역에 노출되며, 상기 제2리드부(231b)는 상기 제1 리드 프레임(220)과 대각선으로 대칭되어 상기 제1 리드 프레임(220)의 형상과 대응되며, 상기 제3리드부(231c)는 보호소자(260)가

실장되는 캐비티(203)의 모서리 영역 및 대각선 모서리 영역에 배치될 수 있다. 상기 제1 내지 제3 리드부(231a, 231b, 131c)는 상기 캐비티(203) 바닥면에 노출되는 상기 제2 리드 프레임(230)의 상부면으로 면적 및 너비를 포함하는 형상은 다양하게 변경될 수 있다.

[175] 상기 제1 및 제2 리드 프레임(220, 230)은 일정 간격 이격되어 상기 패키지 몸체(201)와 결합될 수 있다. 상기 제2 리드 프레임(230) 상에는 실시 예에 따른 발광 소자(100)가 배치될 수 있다. 상기 제1 리드 프레임(220)은 상기 발광소자(100)에 연결된 제1 와이어(100W1)가 연결될 수 있다. 상기 보호 소자(260)은 제2리드 프레임(230)의 제3리드부(231c) 상에 배치되고 상기 제1리드 프레임(220)과 와이어(260W)로 연결될 수 있다. 상기 제3리드부(231c)는 하나 또는 복수로 배치될 수 있으며, 상기 제1리드 프레임(220)의 양 단부와 소정 거리를 두고 배치될 수 있다. 상기 제3리드부(231c)는 상기 캐비티(203)의 바닥보다 더 낮은 깊이로 배치되어, 상기 보호 소자(260)가 배치될 때, 상기 보호 소자(260)에 의해 광 손실을 줄여줄 수 있다. 상기 제1 리드 프레임(220)은 상기 제2 리드부(231b)와 대칭되는 대각선에 굴곡구조를 가질 수 있으나, 이에 한정되는 것은 아니다.

[176]

[177] 상기 제1 및 제2 리드 프레임(220, 230)은 도전성 물질을 포함할 수 있다. 예컨대 상기 제1 및 제2 리드 프레임(220, 230)은 티타늄(Ti), 구리(Cu), 니켈(Ni), 금(Au), 크롬(Cr), 탄탈륨(Ta), 백금(Pt), 주석(Sn), 은(Ag), 인(P), 철(Fe), 주석(Sn), 아연(Zn), 알루미늄(Al) 중 적어도 하나를 포함할 수 있으며, 복수의 층으로 형성될 수 있다. 예컨대 실시 예의 제1 및 제2 리드 프레임(220, 230)은 구리(Cu)를 포함하는 베이스층과 상기 베이스층을 덮는 은(Ag)을 포함하는 산화 방지층으로 구성될 수 있으나, 이에 한정되는 것은 아니다.

[178] 상기 방열 프레임(210)은 제1 및 제2 리드전극(211, 213)을 포함하고, 상기 제1 리드전극(211)은 제1 와이어(100W1)와 연결되는 제1 패드부(211a)를 포함하고, 상기 제2 리드전극(213)은 제2 와이어(100W2)와 연결되는 제2 패드부(213a)를 포함할 수 있다. 상기 방열 프레임(210)은 세라믹 몸체 또는 절연 재질의 몸체 상에 제1,2리드 전극(211,213)이 배치되며, 상기 제1,2리드 전극(211,213) 상에 실시 예에 따른 발광 소자(100)가 배치된다. 상기 발광 소자(100)는 상기 제1,2리드 전극(211,213)에 플립 칩 본딩되거나, 하나 또는 복수의 와이어로 연결될 수 있다. 상기 제1,2리드 전극(211,213)은 상기 방열 프레임(210)의 몸체 상에 상기 발광 소자(100)의 면적보다 큰 면적을 갖고 있어, 방열 효율을 개선시켜 줄 수 있고, 패키지 몸체(201)을 통해 열 전도될 수 있다. 상기 방열 프레임(210)은 상기 캐비티(203)의 바닥에 접착제로 접착될 수 있으며, 이에 대해 한정하지는 않는다.

[179] 상기 발광소자(100)는 상기 방열 프레임(210) 상에 실장될 수 있다. 상기 발광소자(100)는 도 1 내지 도 13의 기술적 특징을 포함할 수 있다.

- [180] 상기 보호소자(260)는 상기 제3 리드부(231c) 상에 배치될 수 있다. 상기 보호소자(260)는 상기 패키지 몸체(201)로부터 노출된 상기 제2 리드 프레임(230)의 상부면 상에 배치될 수 있다. 상기 보호소자(260)는 제너 다이오드, 사이리스터(Thyristor), TVS(Transient Voltage Suppression) 등일 수 있으나, 이에 한정되는 것은 아니다. 실시 예의 보호소자(160)는 ESD(Electro Static Discharge)로부터 상기 발광소자(100)를 보호하는 제너 다이오드를 일 예로 설명하도록 한다. 상기 보호소자(260)는 와이어를 통해서 상기 제1 리드 프레임(130)과 연결될 수 있다.
- [181]
- [182]
- [183] 도 15는 실시 예에 따른 도 1의 발광 소자 또는 도 14의 발광 소자 패키지를 갖는 발광모듈을 도시한 사시도이고, 도 16은 도 15의 발광 모듈의 발광부를 도시한 평면도이고, 도 17은 실시 예의 발광모듈의 광 균일도를 도시한 도면이다.
- [184] 도 15 및 도 16과 같이, 실시 예의 발광모듈(10)은 발광부(20), 제1 및 제2 방열부(30, 40)를 포함할 수 있다. 실시 예는 제1 및 제2 방열부(30, 40)의 구성을 한정하고 있지만, 이에 한정되는 것은 아니다. 실시 예는 고효율의 UVB 파장의 신뢰성 높은 의료 치료용 발광모듈(10)이 요구된다. 또한, 실시 예는 도 17과 같이, 타겟 영역(TA)의 광 균일도(Uniformity)를 70% 이상 구현함과 동시에 발광소자 패키지(200)의 개수를 줄여 전체 사이즈를 줄이고, 제조비용을 줄일 수 있는 발광모듈(10)이 요구된다. 이를 위해 실시 예는 200mA 이상의 고전류 구동 및 17nm 이하의 반치폭(FWHM)을 갖고, 발광부(20)로부터 발광된 빛이 타겟 영역(TA)에서 70% 이상의 균일도(Uniformity)를 가질 수 있다. 여기서, 상기 균일도(Uniformity)는 타겟 영역에서 조도가 최대가 되는 중심영역과 조도가 최소가 되는 모서리 영역에 대한 것으로 최소 조도(Min)/최대 조도(Max)정의할 수 있다.
- [185] 도 15 및 도 16과 같이, 상기 제1 방열부(30)는 상기 발광부(20) 후면에 배치될 수 있다. 상기 제1 방열부(30)는 상기 발광부(20)와 직접 접할 수 있고, 상기 발광부(20)로부터 발생된 열을 방출할 수 있다. 상기 제1 방열부(30)는 예컨대 히트 싱크(Heat sink)일 수 있으나, 이에 한정되는 것은 아니다. 상기 제1 방열부(30)는 다수의 방열 핀을 포함할 수 있다. 여기서, 상기 다수의 방열 핀은 방열 면적을 넓혀 방열 효율을 향상시킬 수 있다.
- [186] 상기 제2 방열부(40)는 상기 제1 방열부(30) 후면에 배치될 수 있다. 상기 제2 방열부(40)는 상기 제1 방열부(30)와 직접 접할 수 있다. 상기 제2 방열부(40)는 상기 제1 방열부(30)에 전도된 열을 외부로 방출시키는 기능을 포함할 수 있다. 예컨대 상기 제2 방열부(40)는 공기의 대류를 이용하는 냉각 팬을 포함할 수 있으나, 이에 한정되는 것은 아니다.
- [187] 실시 예의 발광부(20)는 회로기판(21) 및 복수의 발광소자 패키지(200)를 포함할 수 있다. 상기 회로기판(21)은 전면에 상기 복수의 발광소자

패키지(200)가 실장될 수 있다. 여기서, 상기 회로기판(21)은 후면에 상기 제1 방열부(30)가 접촉될 수 있다. 상기 회로기판(21)의 사이즈는 제1방향의 길이(C1)과 제2방향의 길이(C2)가 동일하거나 다를 수 있다. 상기 회로기판(21)의 길이(C1,C2)는 발광소자 패키지(200)의 길이(200W)의 4배 또는 5배 이상일 수 있다. 상기 회로기판(21)은 수지 계열의 인쇄회로기판(PCB: Printed Circuit Board), 메탈 코어(Metal Core) PCB, 연성(Flexible) PCB, 세라믹 PCB, FR-4 기판을 포함할 수 있다.

- [188] 상기 복수의 발광소자 패키지(200)는 100mA 이상의 고전류 구동의 300nm 내지 320nm의 UVB의 파장을 발광할 수 있다. 구체적으로 상기 복수의 발광소자 패키지(200)는 17nm 이하의 반치폭(FWHM)을 갖는 광 치료용 유효 파장(300nm 내지 320nm)을 구현할 수 있다. 일반적으로 20nm 이상의 반치폭(FWHM)을 갖는 자외선 발광소자는 300nm 이하, 특히 298nm 이하에서 DNA, 단백질 등을 파괴하여 아토피 치료 등의 의료기기에 적용이 어렵다. 실시 예의 발광소자 패키지(200)는 17nm 이하의 반치폭(FWHM)을 구현하여 광 치료용 발광모듈(200)의 신뢰성을 향상시킬 수 있다.
- [189] 도 16 및 도 17과 같이, 실시 예의 발광모듈(10)은 발광소자 패키지(200)로부터 방출된 자외선 파장의 빛이 투사되는 타겟 영역(TA)내에서 70%이상의 광 균일도(Uniformity)를 구현할 수 있다. 상기 광 균일도(Uniformity)는 타겟 영역(TA)에서 조도가 최대가 되는 중심영역과 조도가 최소가 되는 모서리 영역에 대한 것으로 최소 조도(Min)/최대 조도(Max)정의할 수 있다. 예컨대 타겟 영역(TA)은 발광모듈(100)의 발광부(20)로부터 20mm 이격되어 30mm의 너비(Y1, X1)를 가질 수 있으나, 이에 한정되는 것은 아니다. 상기 타겟 영역(TA)은 10mm 내지 30mm의 너비(Y1, X1)를 가질 수 있다. 구체적으로 상기 타겟 영역(TA)은 광 치료 대상으로 최소 조도(Min)/최대 조도(Max)로 정의되는 균일도(Uniformity)는 70%이상이고, 최소 조도(Min)는 10mW/cm² 이상일 수 있다. 상기 광 균일도(Uniformity)가 70% 미만일 경우, 타겟 영역(TA)의 중심부와 가장자리 영역의 조도 차이에 의해 광 치료의 신뢰성이 저하될 수 있다.
- [190] 상기 복수의 발광소자 패키지(200)는 제1 방향(X-X')으로 제1 피치(P1)를 갖고, 상기 제1 방향(X-X')과 직교하는 제2 방향(Y-Y')으로 제2 피치(P2)를 가질 수 있다. 상기 제1 및 제2 피치(P1, P2)는 상기 타겟 영역(TA)의 너비(Y1, X1)의 30% 내지 50%일 수 있다. 상기 제1 및 제2 피치(P1, P2)는 10mm 이상일 수 있다. 상기 제1 및 제2 피치(P1, P2)는 10mm 내지 15mm일 수 있다. 상기 제1 및 제2 피치(P1, P2)는 서로 동일할 수 있으나, 이에 한정되는 것은 아니다. 예컨대 상기 제1 및 제2 피치(P1, P2)는 서로 다를 수 있다. 예컨대 실시 예는 20mm 이격된 30mm의 너비(Y1, X1)를 갖는 타겟 영역(TA)에 70% 이상의 균일도(Uniformity)를 구현하기 위해 10mm의 제1 및 제2 피치(P1, P2)를 갖는 25개의 발광소자 패키지(200)는 포함할 수 있다. 여기서, 각각의 발광소자 패키지(200)는 10mW 이상의 광도(Po)를 가질 수 있다. 상기 발광소자 패키지(200)의 구체적인 설명은

도 6 내지 도 19를 참조하여 상세히 설명하도록 한다.

- [191] 실시 예는 타겟 영역(TA)으로 제공되는 자외선 파장의 균일도(Uniformity)를 70%이상으로 구현하여 광 치료용 발광모듈(10)의 신뢰성을 향상시킬 수 있다.
- [192] 실시 예는 200mA이상의 고전류 구동의 광 치료용 유효파장(300nm 내지 320nm)의 자외선 파장을 구현하여 광 치료용 발광모듈(10)의 신뢰성을 향상시킬 수 있다.
- [193] 실시 예는 17nm이하의 반치폭(FWHM)을 갖는 치료용 자외선 파장의 신뢰성을 향상시킬 수 있는 발광모듈 및 의료기기를 제공할 수 있다.
- [194] 실시 예는 70%이상의 빛의 균일도(Uniformity)를 갖고, 타겟 영역(TA) 너비(Y1, X1)의 30% 내지 50%의 피치를 갖는 복수의 발광소자 패키지(200)에 전체 발광소자 패키지(200)의 개수를 줄여 발광모듈(10)의 사이즈를 줄이고, 제조비용을 줄일 수 있다.
- [195]
- [196] 도 18는 다른 실시 예로서, 상기 발광모듈을 갖는 의료기기를 도시한 단면도이고, 도 19는 다른 실시 예의 발광모듈 균일도를 도시한 도면이다.
- [197] 도 16, 도 18 및 도 19에 도시된 바와 같이, 상기 발광모듈(10)을 포함한 의료기기(70)는 원형 타겟 영역(TA)에 발광부(20)로부터 발광된 빛이 70% 이상의 균일도(Uniformity)를 가질 수 있다. 여기서, 다른 실시 예의 발광모듈 가장자리 영역의 최소 조도(Min)가 일정하여 도 16 내지 도 17의 실시 예의 발광모듈보다 높은 균일도(Uniformity)를 가질 수 있다. 여기서, 도 17의 실시 예의 발광모듈의 최소 조도는 사각 형상의 타겟 영역의 모서리 영역에 국부적으로 나타난다. 따라서, 다른 실시 예의 발광모듈은 타겟 영역(TA)의 균일도(Uniformity) 신뢰도를 향상시킬 수 있다. 다른 실시 예의 발광부(20), 제1 및 제2 방열부(30, 40)의 구성은 도 17 내지 도 19의 발광모듈(20)의 기술적 특징을 채용할 수 있다.
- [198] 상기 의료기기(70)는 UV 램프로써, 고효율의 UVB 파장의 신뢰성 높은 의료 치료용 발광모듈이 요구된다. 또한, 다른 실시 예는 타겟 영역의 균일도(Uniformity)를 70%이상 구현함과 동시에 발광모듈 내에 포함된 발광소자 패키지의 개수를 줄여 의료기기(70) 사이즈를 줄이고, 제조비용을 줄일 수 과제가 요구된다. 이를 위해 실시 예는 200mA 이상의 고전류 구동 및 17nm 이하의 반치폭(FWHM)을 갖고, 발광부(20)로부터 발광된 빛이 원형 타겟 영역(TA)에서 70% 이상의 균일도(Uniformity)를 가질 수 있다. 여기서, 상기 균일도는 타겟 영역에서 조도가 최대가 되는 중심영역과 조도가 최소가 되는 모서리 영역에 대한 것으로 최소 조도(Min)/최대 조도(Max)정의할 수 있다.
- [199] 상기 의료기기(70)는 광 보상부(60)를 포함할 수 있다. 상기 광 보상부(60)는 상기 발광부(20) 상에 배치될 수 있다. 상기 광 보상부(60)는 상기 의료기기(70)의 광 출사영역에 배치될 수 있다. 상기 광 보상부(60)는 제1 내지 제3 보상부(61, 63, 65)를 포함할 수 있다. 상기 제1 보상부(61)는 상기 제2 보상부(63) 위에 배치될 수

- 있다. 상기 제1 보상부(61)는 광을 확산시키는 기능을 포함할 수 있다. 상기 제1 보상부(61)는 테프론(Teflon)을 포함할 수 있으나, 이에 한정되는 것은 아니다. 상기 제1 보상부(61)는 광의 투과율이 높고 방습 효율이 좋은 재질일 수 있다.
- [200] 상기 제2 보상부(63)는 상기 제1 보상부(61) 아래에 배치되고, 상기 발광부(20) 상에 배치될 수 있다. 상기 제2 보상부(63)는 상기 발광부(20)로부터 발광된 광이 직접 조사될 수 있다. 상기 제2 보상부(63)는 광 투과율일 우수한 물질을 포함할 수 있다. 또한, 상기 제2 보상부(63)는 광을 확산시키는 기능을 포함할 수 있다. 예컨대 상기 제2 보상부(63)는 유리계열 재질을 포함할 수 있다. 상기 제2 보상부(63)는 예컨대, LiF, MgF₂, CaF₂, BaF₂, Al₂O₃, SiO₂ 또는 광학유리(N-BK7)의 투명한 물질로 형성될 수 있으며, SiO₂의 경우, 퀴즈 결정 또는 UV Fused Silica일 수 있다. 또한, 상기 제2 보상부(63)는 저철분 글라스(low iron glass)일 수 있다.
- [201] 상기 제3 보상부(65)는 상기 제1 및 제2 보상부(63)의 외측 가장자리를 감싸고, 확산시키는 기능을 포함할 수 있다. 상기 제3 보상부(65)는 링 타입으로 광을 확산시키는 기능을 포함할 수 있다. 상기 제3 보상부(65)는 내부의 오픈 영역(65a)에 제1 보상부(61) 및 제2 보상부(63)이 배치될 수 있다. 즉, 제1,2 보상부(61,63)의 둘레에 제3 보상부(65)가 결합될 수 있다. 상기 제2 보상부(63)의 면적 또는 제1 방향의 너비는 상기 제1 보상부(61)의 면적 또는 제1 방향의 너비보다 더 넓을 수 있다.
- [202] 다른 실시 예는 발광모듈 상에 제1 내지 제3 보상부(61, 63, 65)를 포함하는 광 보상부(60)가 배치되어 상기 발광부(20)로부터 발광된 광을 타겟 영역(TA)으로 확산시켜 균일도(Uniformity)를 향상시킬 수 있다.
- [203] 상기 광 보상부(60)는 케이스(69)의 상부 오픈 영역(69a)에 결합되고, 적어도 일부가 돌출될 수 있다. 상기 케이스(69)의 내부에는 내부 지지부(67,68)를 구비하며, 상기 발광부(10)의 외측을 지지하는 하부 지지부(68)와 상부에서 광을 반사시켜 주는 상부 지지부(67)를 포함할 수 있다. 상기 상부 지지부(67)는 상기 광 보상부(60)의 제3 보상부(65)의 외측 아래에 배치되어, 상기 제3 보상부(65)가 케이스(69)에 밀착되도록 결합될 수 있다. 여기서, 상기 발광부(10)은 탐부 형상이 원 형상이거나, 도 16과 같이 다각형 형상일 수 있으며, 이러한 형상에 따라 상기 내부 지지부(67,68)의 내부 홀의 형상도 달라질 수 있다.
- [204] 상기 발광부(20)는 복수의 발광소자 패키지(200)를 포함한다. 상기 복수의 발광소자 패키지(200)는 300nm 내지 320nm의 UVB 파장을 발광할 수 있다. 상기 복수의 발광소자 패키지(200)는 300nm 내지 320nm 내에서 다양한 파장을 가질 수 있다. 상기 복수의 발광소자 패키지(200)는 광 치료, 실험 등 다양한 파장을 선택적으로 이용할 수 있다. 이를 위해 상기 복수의 발광소자 패키지(200)는 적어도 2 이상 서로 상이한 파장을 가질 수 있다. 예컨대 발광소자 패키지(200)의 일부는 300nm 내지 315nm의 파장을 발광할 수 있고, 발광소자 패키지의 다른 일부는 315nm 내지 320nm의 파장을 발광할 수 있다. 상기 복수의 발광소자 패키지(200)는 100mA 이상의 고전류 구동의 300nm 내지 320nm의 UVB의 파장을

발광할 수 있다. 구체적으로 상기 복수의 발광소자 패키지(200)는 17nm 이하의 반치폭(FWHM)을 갖는 광 치료용 유효 파장(300nm 내지 320nm)을 구현할 수 있다. 일반적으로 20nm 이상의 반치폭(FWHM)을 갖는 자외선 발광소자는 300nm 이하, 특히 298nm 이하에서 DNA, 단백질 등을 파괴하여 아토피 치료 등의 의료기기에 적용이 어렵다. 실시 예의 발광소자 패키지(200)는 17nm 이하의 반치폭(FWHM)을 구현하여 광 치료용 발광모듈(200)의 신뢰성을 향상시킬 수 있다.

- [205] 도 19와 같이, 다른 실시 예의 발광모듈은 발광된 자외선 파장의 빛이 투사되는 원형 타겟 영역(TA)내에서 70%이상의 균일도(Uniformity)를 구현할 수 있다. 상기 균일도(Uniformity)는 원형 타겟 영역(TA)에서 조도가 최대가 되는 중심영역과 조도가 최소가 되는 모서리 영역에 대한 것으로 최소 조도(Min)/최대 조도(Max)정의할 수 있다. 예컨대 원형 타겟 영역(TA)은 발광모듈(100)의 발광부(20)로부터 20mm 이격되고, 30mm의 직경(Y2)를 가질 수 있으나 이에 한정되는 것은 아니다. 상기 원형 타겟 영역(TA)은 10mm 내지 40mm의 직경(Y2)를 가질 수 있다. 구체적으로 상기 원형 타겟 영역(TA)은 광 치료 대상으로 최소 조도(Min)/최대 조도(Max)로 정의되는 균일도(Uniformity)는 70%이상이고, 최소 조도(Min)는 10mW/cm² 이상일 수 있다.
- [206] 상기 균일도(Uniformity)가 70% 미만일 경우, 원형 타겟 영역(TA)의 중심부와 가장자리 영역의 조도 차이에 의해 광 치료의 신뢰성이 저하될 수 있다.
- [207] 도 16을 참조하면, 상기 복수의 발광소자 패키지(200)의 제1 방향(X-X')으로 제1 피치(P1)를 갖고, 상기 제1 방향(X-X')과 직교하는 제2 방향(Y-Y')으로 제2 피치(P2)를 가질 수 있다. 상기 제1 및 제2 피치(P1, P2)는 상기 원형 타겟 영역(TA)의 직경(Y2)의 30% 내지 50%일 수 있다. 상기 제1 및 제2 피치(P1, P2)는 10mm 이상일 수 있다. 상기 제1 및 제2 피치(P1, P2)는 10mm 내지 15mm일 수 있다. 상기 제1 및 제2 피치(P1, P2)는 서로 동일할 수 있으나, 이에 한정되는 것은 아니다. 예컨대 상기 제1 및 제2 피치(P1, P2)는 서로 다를 수 있다. 예컨대 실시 예는 의료기기(70)로부터 20mm 이격되고, 30mm의 직경(Y2)을 갖는 원형 타겟 영역(TA)에 70% 이상의 균일도(Uniformity)를 구현하기 위해 10mm의 제1 및 제2 피치(P1, P2)를 갖는 25개의 발광소자 패키지(200)는 포함할 수 있다. 여기서, 각각의 발광소자 패키지(200)는 10mW 이상의 광도(Po)를 가질 수 있다.
- [208] 다른 실시 예는 타겟 영역(TA)으로 제공되는 자외선 파장의 균일도(Uniformity)를 70%이상으로 구현하여 광 치료용 의료기기(70)의 신뢰성을 향상시킬 수 있다.
- [209] 다른 실시 예는 200mA 이상의 고전류 구동의 광 치료용 유효파장(300nm 내지 320nm)의 자외선 파장을 구현하여 광 치료용 의료기기(70)의 신뢰성을 향상시킬 수 있다.
- [210] 다른 실시 예는 17nm 이하의 반치폭(FWHM)을 갖는 치료용 자외선 파장의 신뢰성을 향상시킬 수 있는 의료기기(70)를 제공할 수 있다.

- [211] 다른 실시 예는 70%이상의 빛의 균일도(Uniformity)를 갖고, 원형 타겟 영역(TA) 직경(Y2)의 30% 내지 50%의 피치를 갖는 복수의 발광소자 패키지(200)에 전체 발광소자 패키지(200)의 개수를 줄여 발광모듈의 사이즈를 줄이고, 제조비용을 줄일 수 있다. 따라서, 다른 실시 예는 의료기기(70)의 사이즈 및 제조비용을 줄일 수 있다.
- [212] 실시 예에 따른 발광소자, 패키지 및 이를 갖는 발광 모듈은 의료기기, 조명 유닛, 지시 장치, 램프, 가로등, 차량용 조명장치, 차량용 표시장치, 스마트 시계 등에 적용될 수 있으나 이에 한정되는 것은 아니다.
- [213] 이상에서 실시 예들에 설명된 특징, 구조, 효과 등은 적어도 하나의 실시 예에 포함되며, 반드시 하나의 실시 예에만 한정되는 것은 아니다. 나아가, 각 실시 예에서 예시된 특징, 구조, 효과 등은 실시 예들이 속하는 분야의 통상의 지식을 가지는 자에 의해 다른 실시 예들에 대해서도 조합 또는 변형되어 실시 가능하다. 따라서 이러한 조합과 변형에 관계된 내용들은 실시예의 범위에 포함되는 것으로 해석되어야 할 것이다.
- [214] 이상에서 실시 예를 중심으로 설명하였으나 이는 단지 예시일 뿐 실시 예를 한정하는 것이 아니며, 실시예가 속하는 분야의 통상의 지식을 가진 자라면 본 실시예의 본질적인 특성을 벗어나지 않는 범위에서 이상에 예시되지 않은 여러 가지의 변형과 응용이 가능함을 알 수 있을 것이다. 예를 들어, 실시예에 구체적으로 나타난 각 구성 요소는 변형하여 실시할 수 있는 것이다. 그리고 이러한 변형과 응용에 관계된 차이점들은 첨부된 청구 범위에서 설정하는 실시예의 범위에 포함되는 것으로 해석되어야 할 것이다.

산업상 이용가능성

- [215] 본 발명에 따른 자외선 발광소자는 다양한 의료 및 치료분야에 이용할 수 있다.
- [216] 본 발명에 따른 UVB 발광 소자는 의료용 기기에 이용할 수 있다.
- [217] 본 발명에 따른 발광소자는 바이오 메디컬(bio-medical)용 광 치료기기에 이용할 수 있다.
- [218]

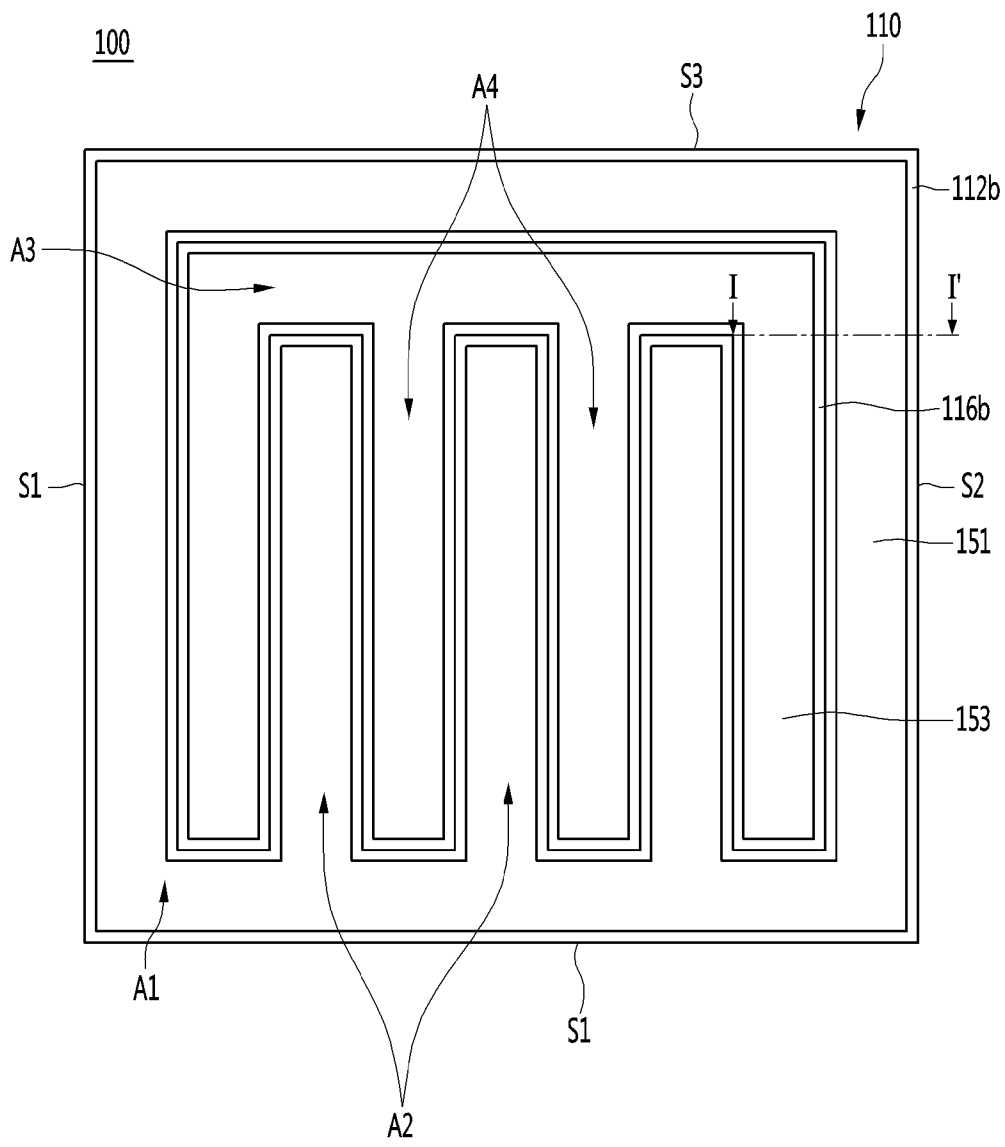
청구범위

- [청구항 1] AIN 템플릿층;
 상기 AIN 템플릿층 위에 배치된 제1 초격자층;
 상기 제1 초격자층 위에 배치된 제2 초격자층;
 상기 제1초격자층과 상기 제2초격자층 사이에 배치된 제1반도체층;
 상기 제2초격자층 위에 배치된 제1도전형 반도체층;
 상기 제1도전형 반도체층 위에 배치되며 양자우물층 및 양자벽층을 갖는 활성층;
 상기 활성층 위에 배치된 전자 블록킹층; 및
 상기 전자 블록킹층 위에 배치된 제2도전형 반도체층을 포함하며,
 상기 제1초격자층은 AIN 반도체를 갖는 제1층 및 AlGaN계 반도체를 갖는 제2층을 포함하며,
 상기 제1반도체층은 AlGaN계 반도체를 포함하며,
 상기 제2초격자층은 AlGaN계 반도체를 갖는 제3층 및 AlGaN계 반도체를 갖는 제4층을 포함하며,
 상기 제1초격자층은 상기 제1과 상기 제2층이 교번하여 배치되며,
 상기 제2초격자층은 상기 제3과 상기 제4층이 교번하여 배치되며,
 상기 제3층의 알루미늄 조성은 상기 제4층의 알루미늄 조성보다 높고,
 상기 제1반도체층, 상기 제2층 및 제3층의 화합물 반도체의 조성식에서 상기 알루미늄(Al)의 조성은 갈륨(Ga)의 조성 이상이고 상기 갈륨의 조성과의 차이가 10% 이하이며,
 상기 제1반도체층은 상기 제1초격자층의 제1층 및 제2층을 갖는 단일 패어의 두께보다 두꺼운 두께를 가지며,
 상기 활성층은 자외선 광을 방출하는 발광 소자.
- [청구항 2] 제1 항에 있어서, 상기 제1반도체층, 상기 제2층 및 제3층은 알루미늄의 조성이 50% 이상인 발광 소자.
- [청구항 3] 제2항에 있어서, 상기 제1반도체층, 상기 제2층 및 제3층은 $Al_xGa_{1-x}N$ ($0.5 \leq x \leq 0.6$)의 조성식을 가지며,
 상기 제4층은 $Al_bGa_{1-b}N$ ($0.45 \leq b \leq 0.55$)의 조성식을 갖는 발광 소자.
- [청구항 4] 제3항에 있어서, 상기 제1도전형 반도체층은 $Al_zGa_{1-z}N$ ($0.45 \leq z \leq 0.55$)의 조성식을 가지며,
 상기 활성층의 양자우물층은 AlGaN계 반도체로 형성되며,
 상기 양자벽층은 AlGaN계 반도체로 형성되며,
 상기 양자벽층의 알루미늄 조성은 상기 양자우물층의 알루미늄 조성보다 20% 이상 높은 발광 소자.
- [청구항 5] 제1항 내지 제4항 중 어느 한 항에 있어서, 상기 양자우물층의 두께는 상기 양자벽층의 두께의 25% 이하의 두께를 가지며,

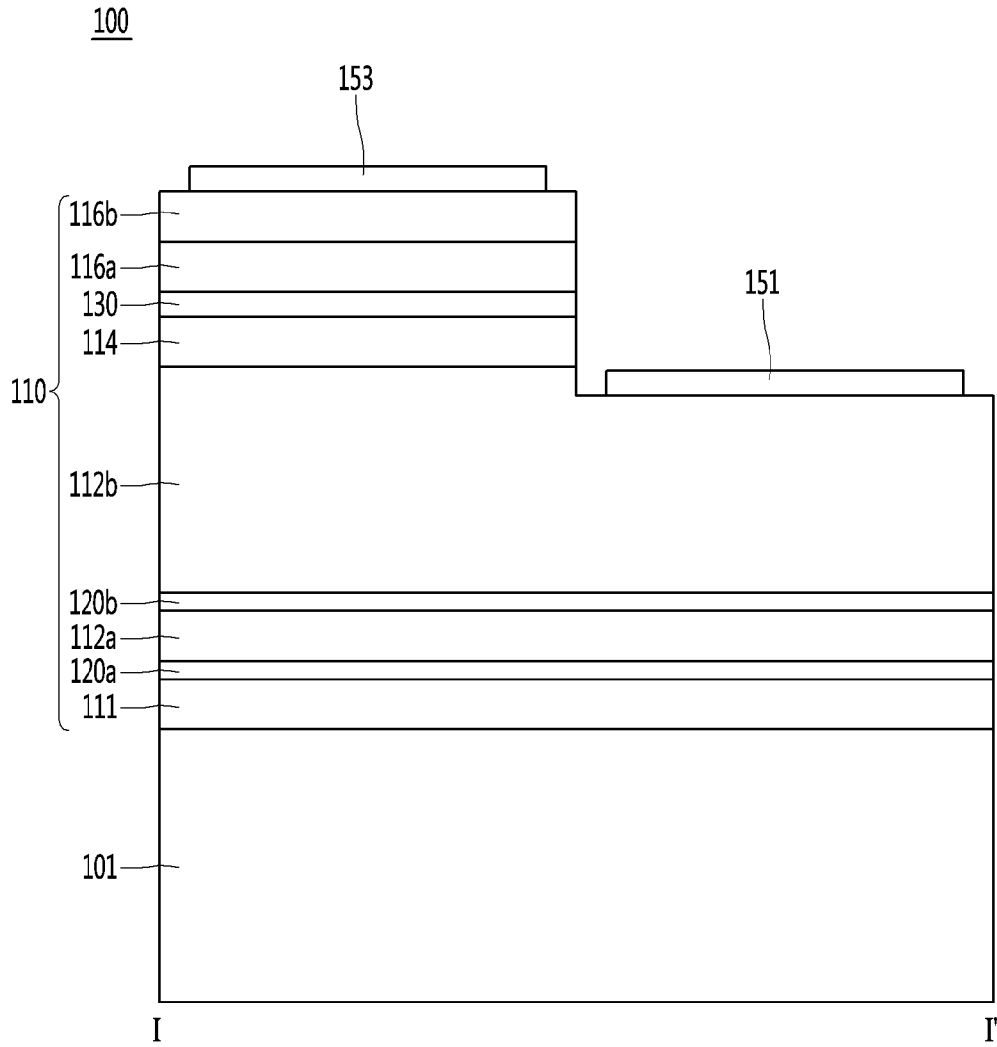
- 상기 활성층은 295nm 내지 315nm의 광을 발생하는 발광 소자.
- [청구항 6] 제5항에 있어서, 상기 전자 블록킹층은 복수의 배리어층 및 상기 복수의 웰층을 포함하고,
상기 복수의 배리어층은 AlGa_N계 반도체를 포함하며,
상기 복수의 웰층은 AlGa_N계 반도체를 포함하며,
상기 복수의 배리어층 각각은 상기 복수의 웰층 각각의 알루미늄 조성보다 높은 알루미늄 조성을 가지며,
상기 복수의 배리어층 각각은 상기 활성층의 양자벽층의 알루미늄 조성보다 높은 알루미늄 조성을 가지며,
상기 복수의 웰층 각각은 상기 활성층의 양자벽층의 알루미늄 조성보다 낮은 알루미늄 조성을 가지며,
상기 복수의 배리어층은 상기 활성층 위에 제1배리어층 및 상기 제2도전형 반도체층 아래에 제2배리어층을 포함하는 발광 소자.
- [청구항 7] 제6항에 있어서, 상기 복수의 웰층은 상기 제1,2배리어층 사이에 배치되며,
상기 복수의 배리어층은 상기 제1,2배리어층과 상기 웰층 사이에 배치된 복수의 중간 배리어층을 포함하며,
상기 중간 배리어층 각각의 알루미늄 조성은 상기 제1,2배리어층의 알루미늄 조성보다 높은 발광소자.
- [청구항 8] 제7항에 있어서, 상기 제1 배리어층은 Al_pGa_{1-p}N (0.50 ≤ p ≤ 0.74)의 조성식을 갖고,
상기 제2 배리어층은 Al_qGa_{1-q}N (0.50 ≤ q ≤ 0.74)의 조성식을 갖고,
상기 중간 배리어층은 Al_rGa_{1-r}N (0.55 ≤ r ≤ 0.74)의 조성식을 갖는 발광소자.
- [청구항 9] 제7항에 있어서, 상기 제1 배리어층, 상기 제2배리어층 및 상기 중간 배리어층 각각은 상기 웰층의 두께보다 두껍고 3nm 내지 10nm의 두께를 가지며,
상기 제2도전형 반도체층의 표면 거칠기는 1nm 이하인 발광소자.
- [청구항 10] 제7항에 있어서, 상기 복수의 웰층은 상기 제1 배리어층과 상기 중간 배리어층 사이에 배치된 제1 웰층, 상기 중간 배리어층들 사이에 배치된 제2 웰층 및 상기 중간 배리어층과 상기 제2 배리어층 사이의 제3 웰층을 포함하고,
상기 제1 웰층은 Al_eGa_{1-e}N (0.24 ≤ e ≤ 0.45)의 조성식을 갖고,
상기 제2 웰층은 Al_fGa_{1-f}N (0.24 ≤ f ≤ 0.48)의 조성식을 갖고,
상기 제3 웰층은 Al_gGa_{1-g}N (0.24 ≤ g ≤ 0.48)의 조성식을 가지며,
상기 제2 도전형 반도체층은 상기 전자 블록킹층 위에 제1전도성 반도체층 및 상기 제1전도성 반도체층 위에 제2전도성 반도체층을 포함하며,
상기 제1전도성 반도체층은 Al_sGa_{1-s}N (0.20 ≤ s ≤ 0.45)의 조성식을 갖는

발광소자.

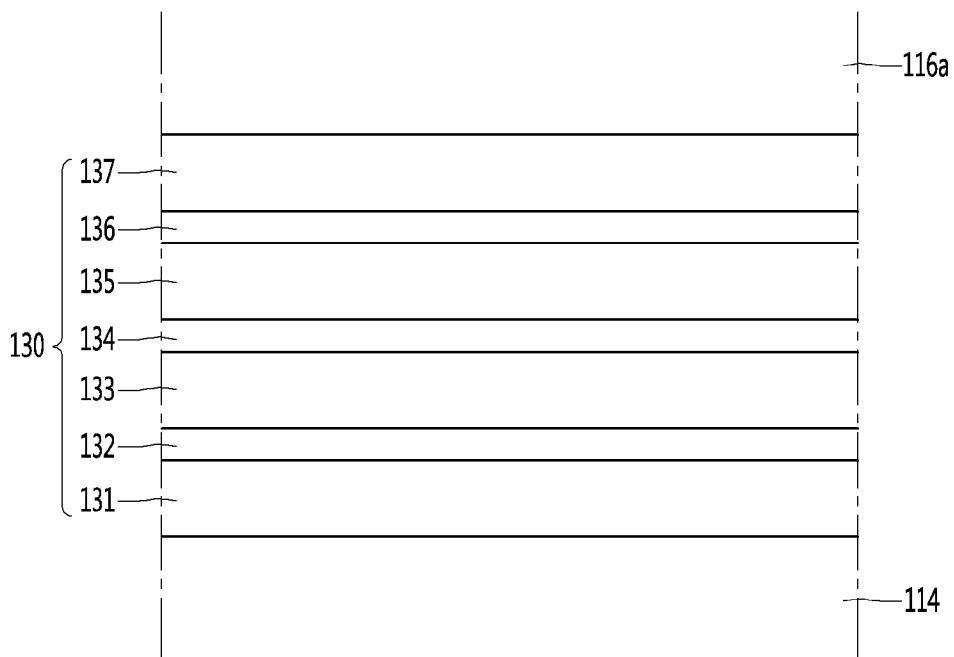
[도 1]



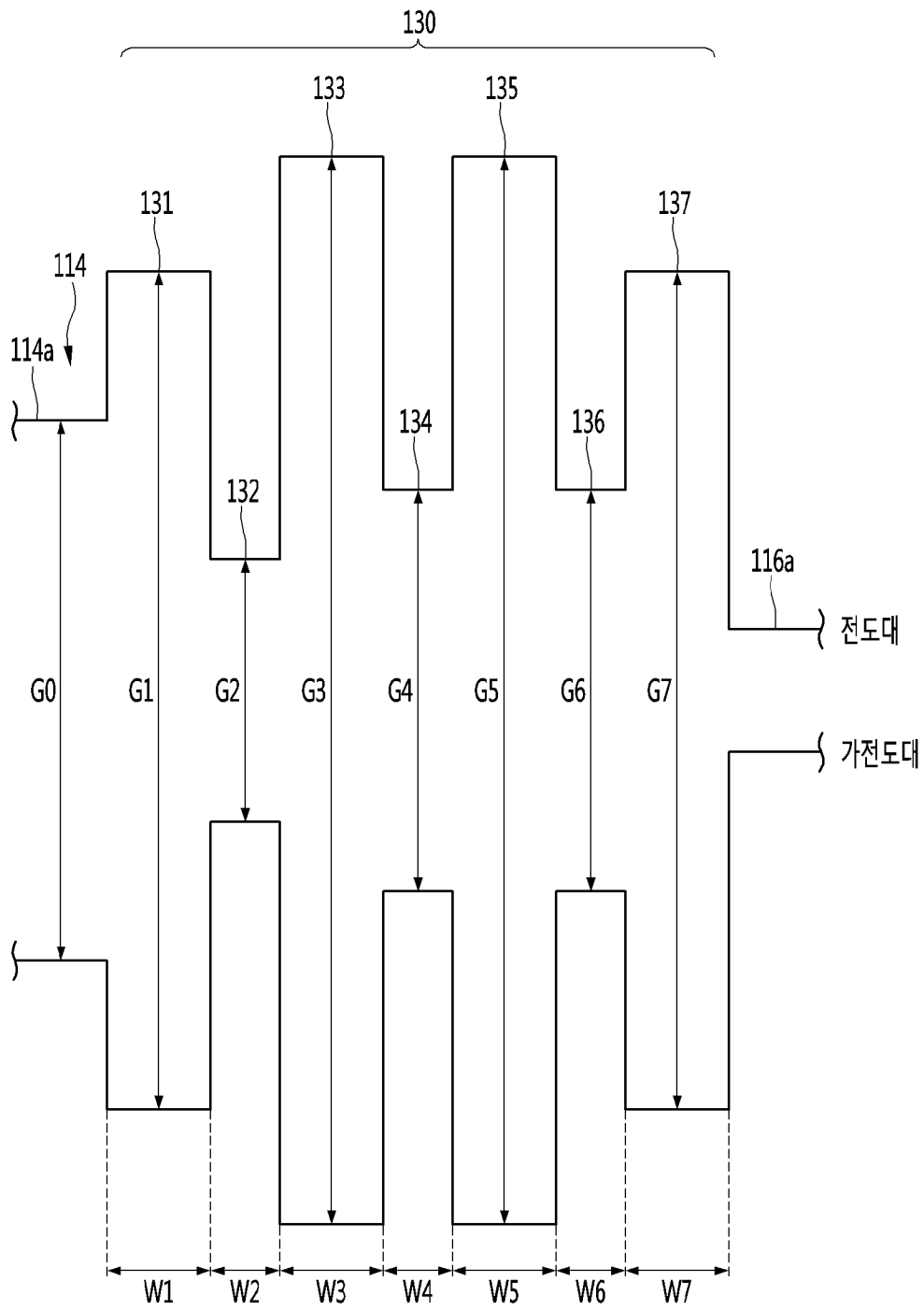
[도2]



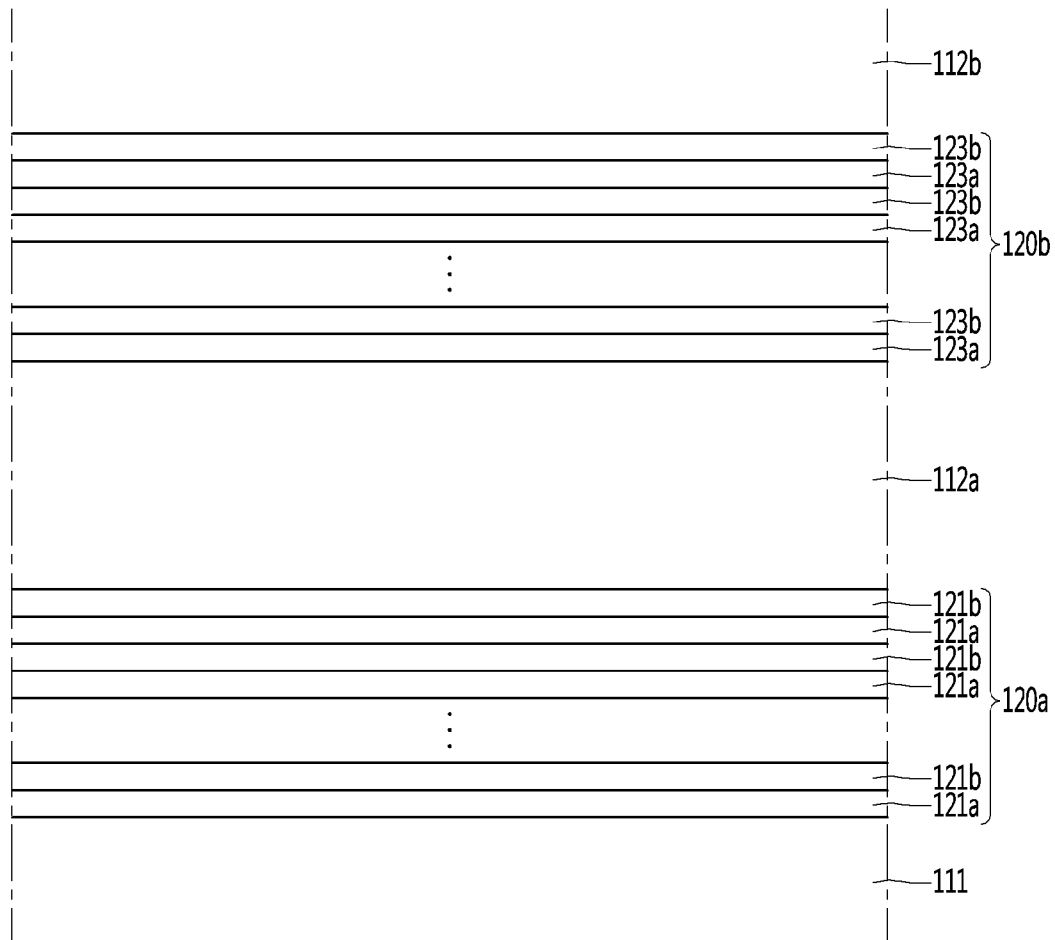
[도3]



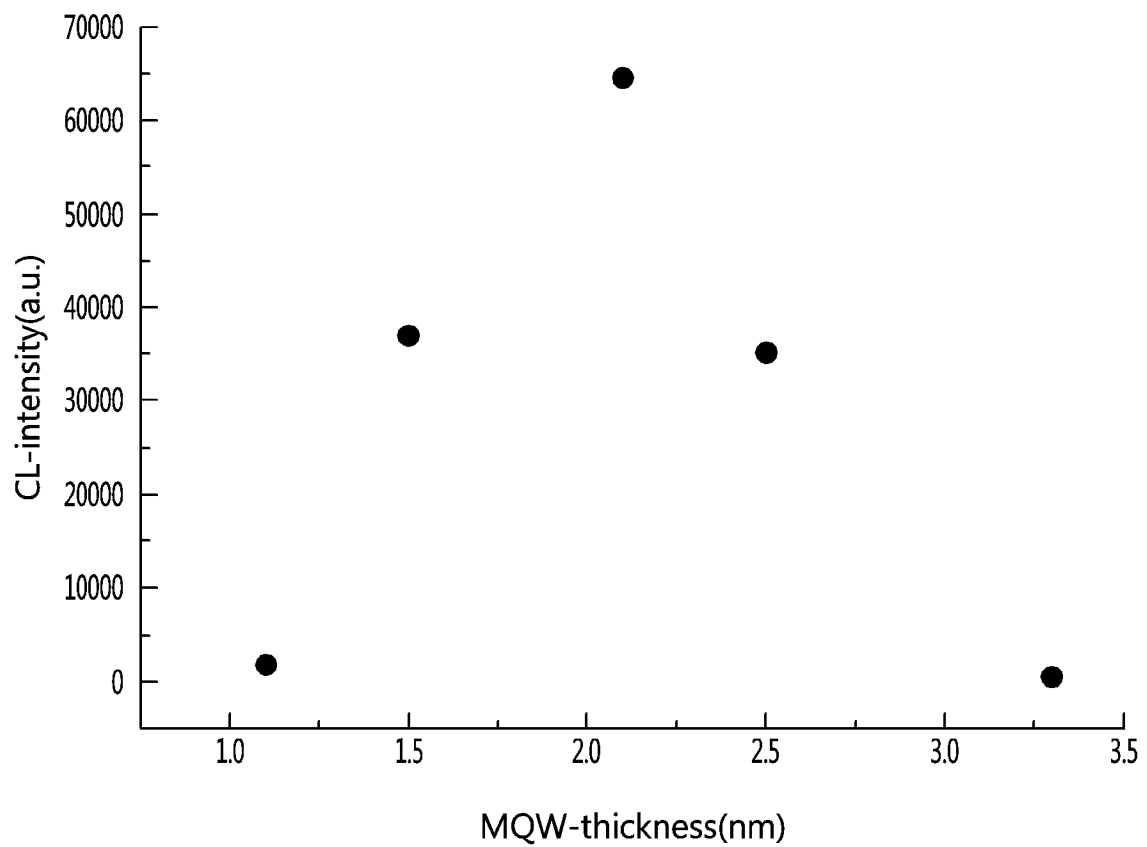
[도4]



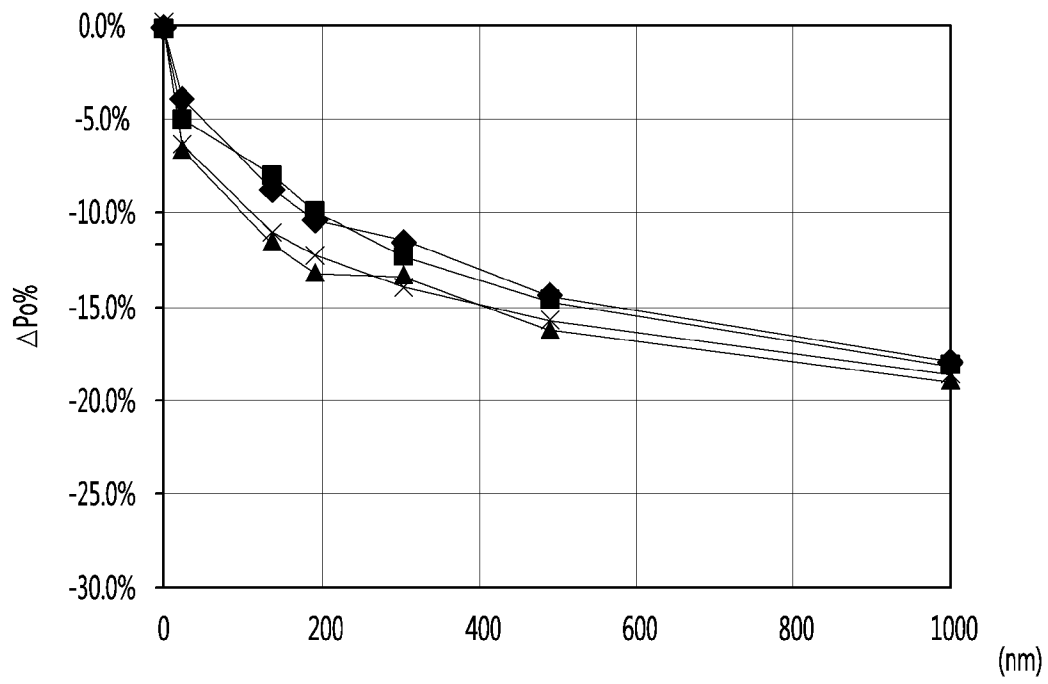
[도5]



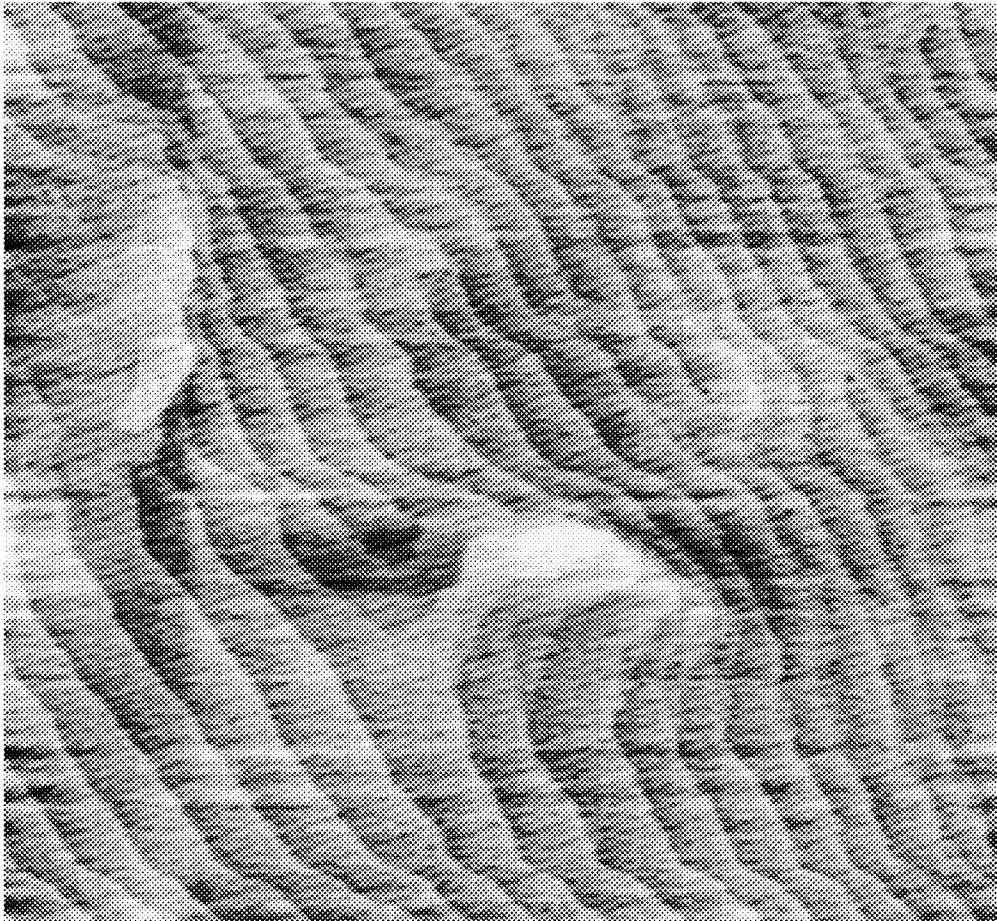
[도6]



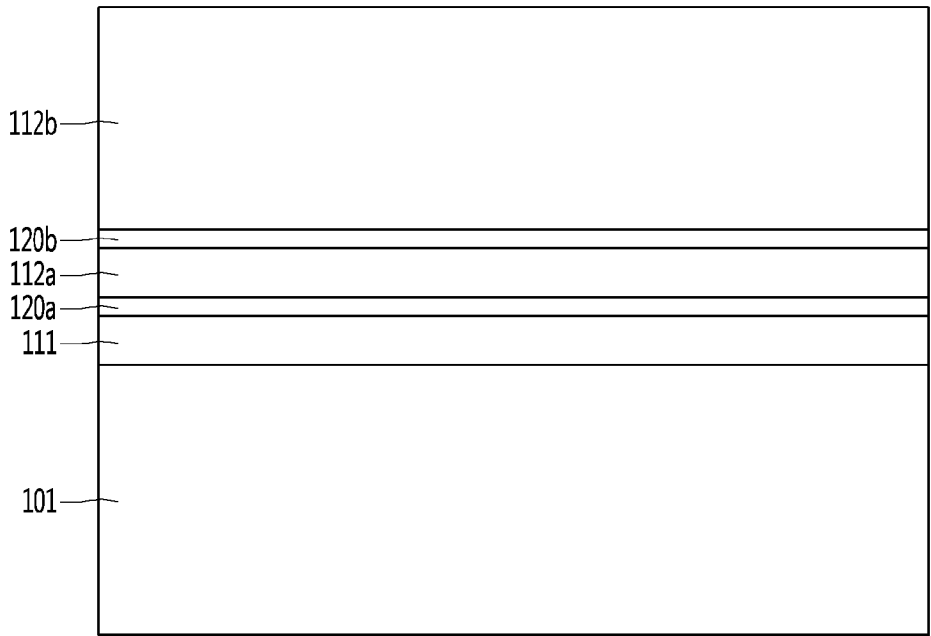
[도7]



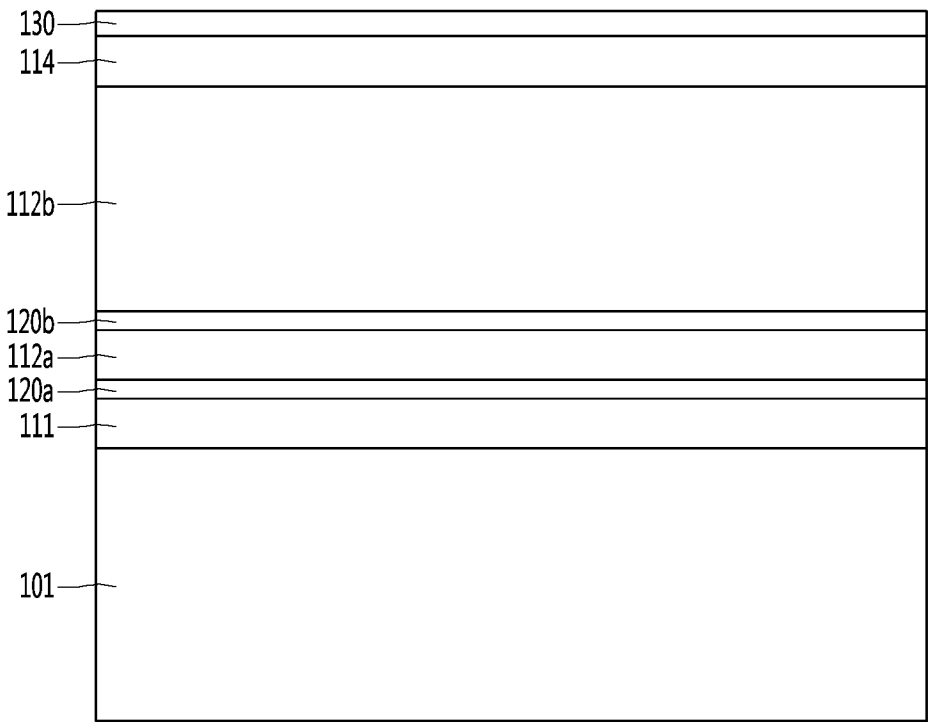
[도8]



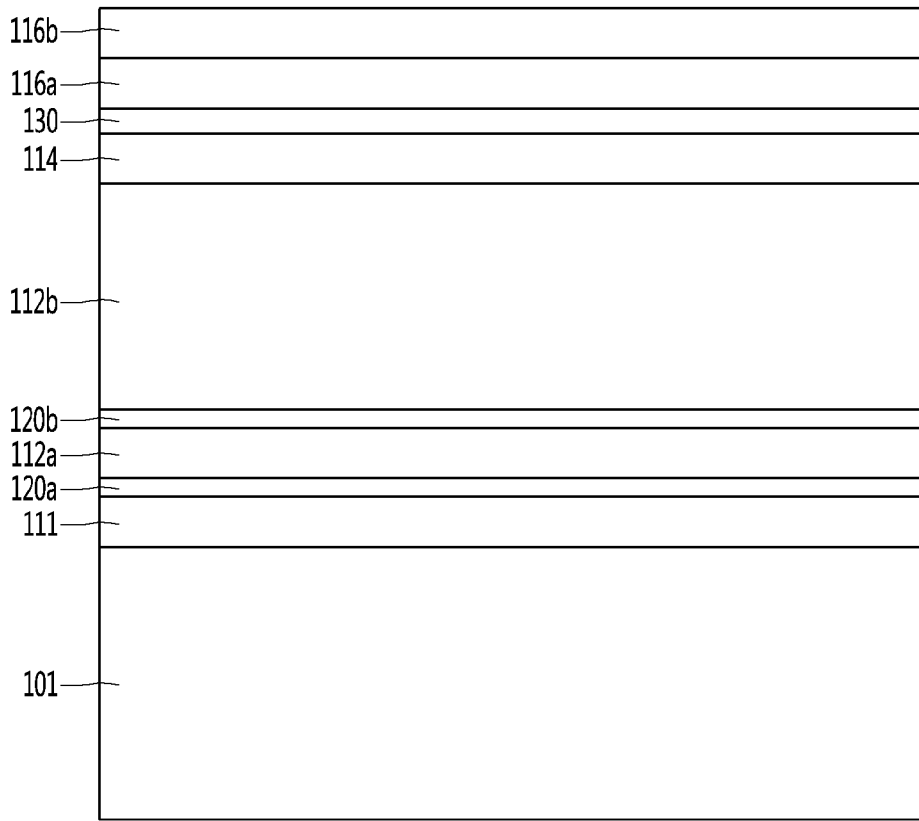
[도9]



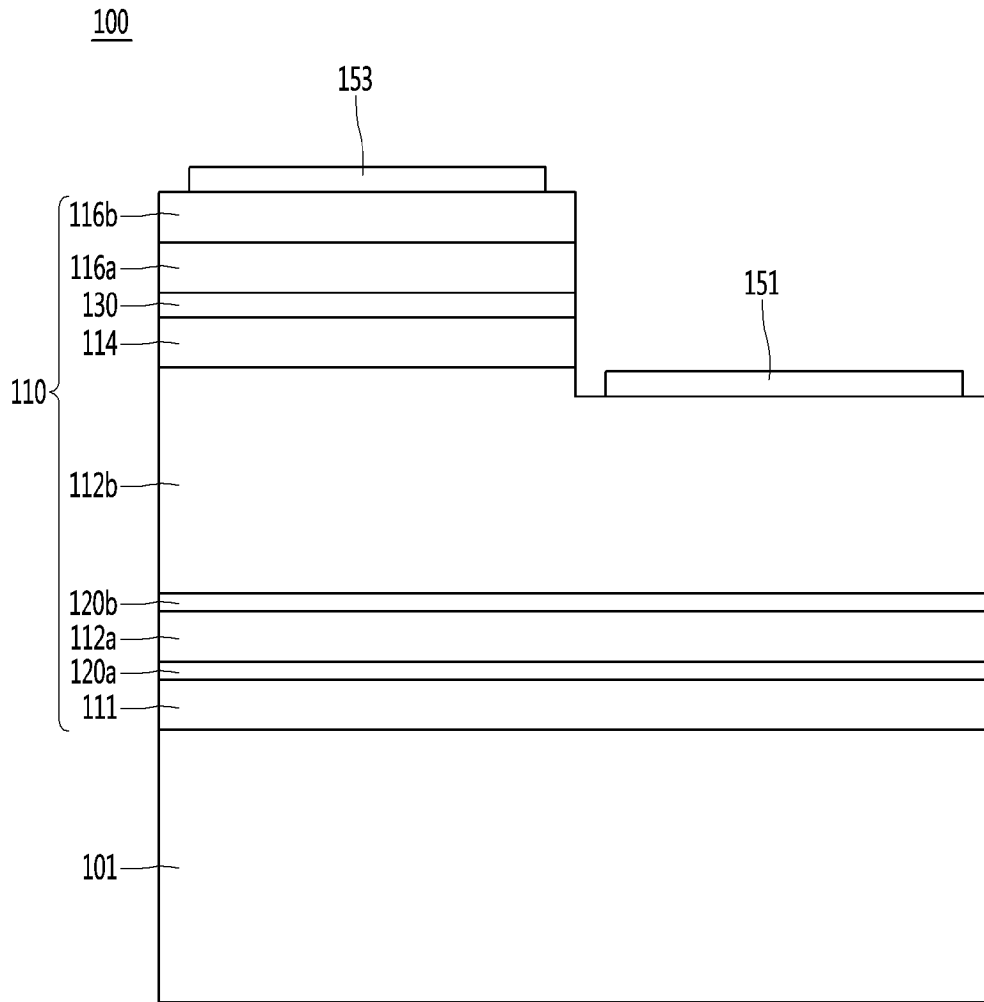
[도10]



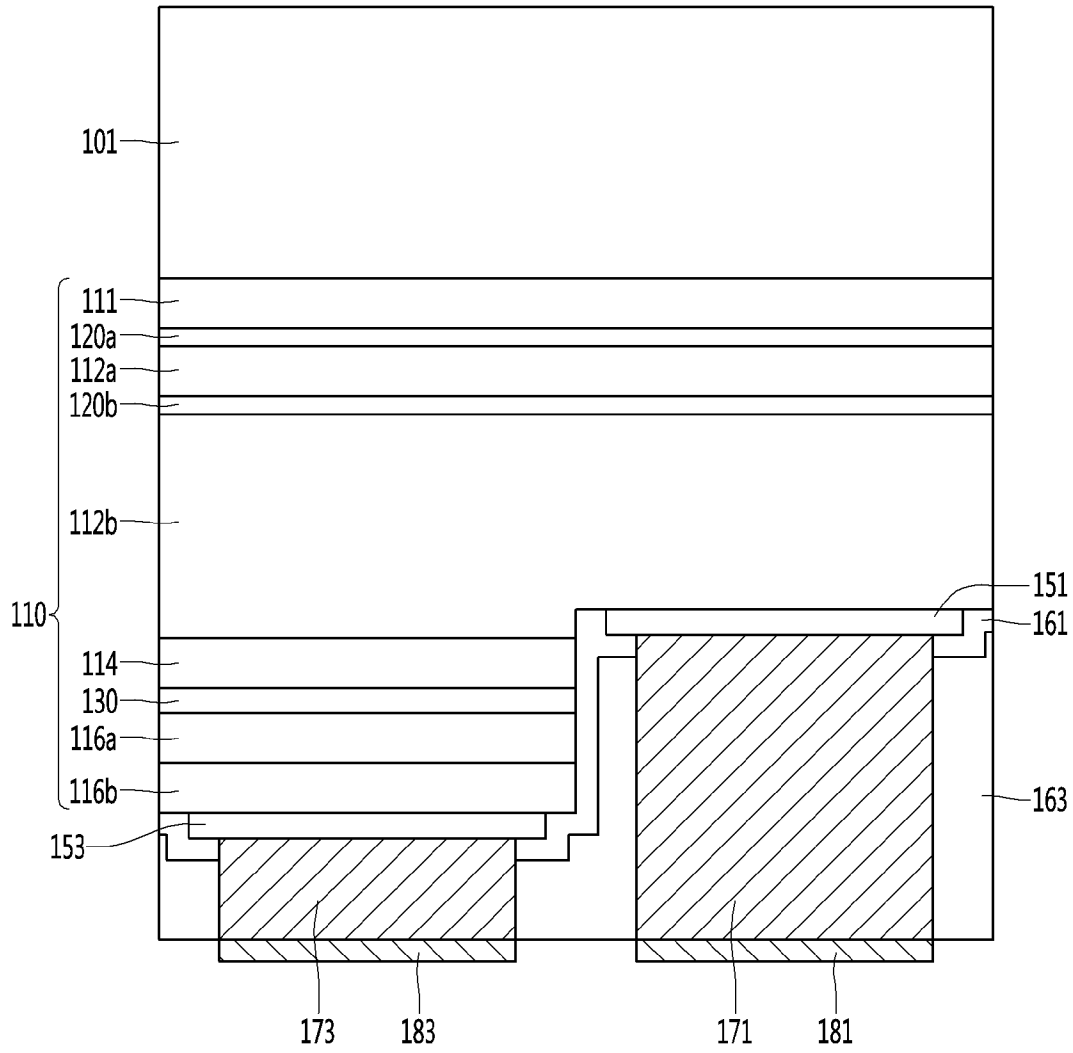
[도 11]



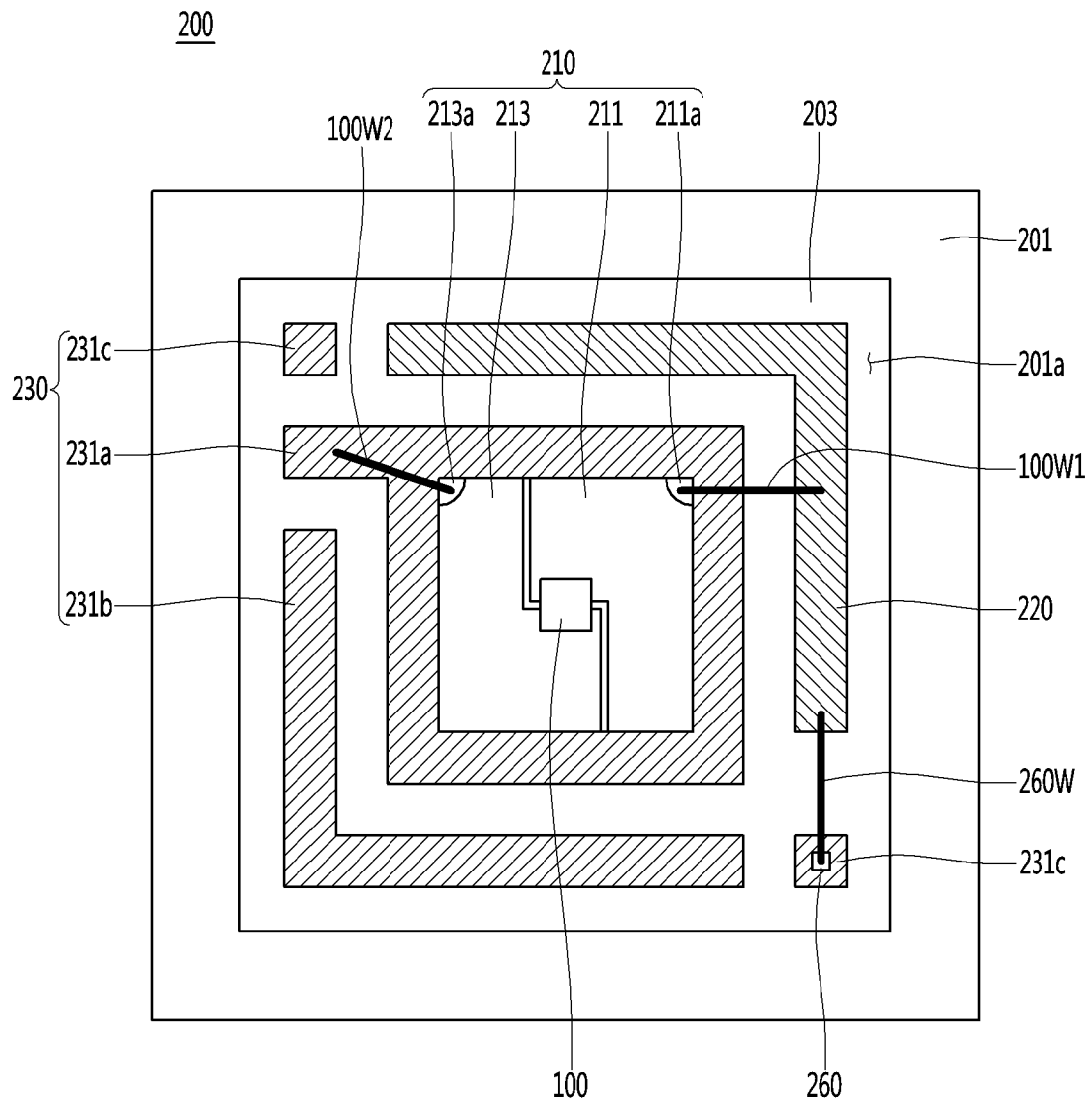
[도 12]



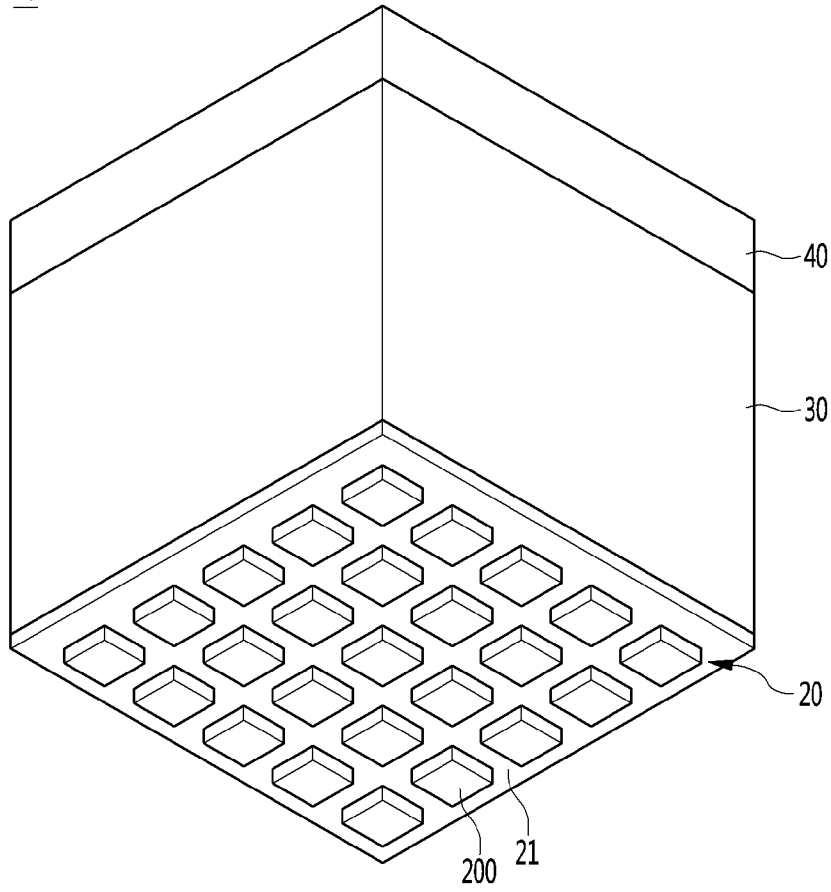
[도 13]



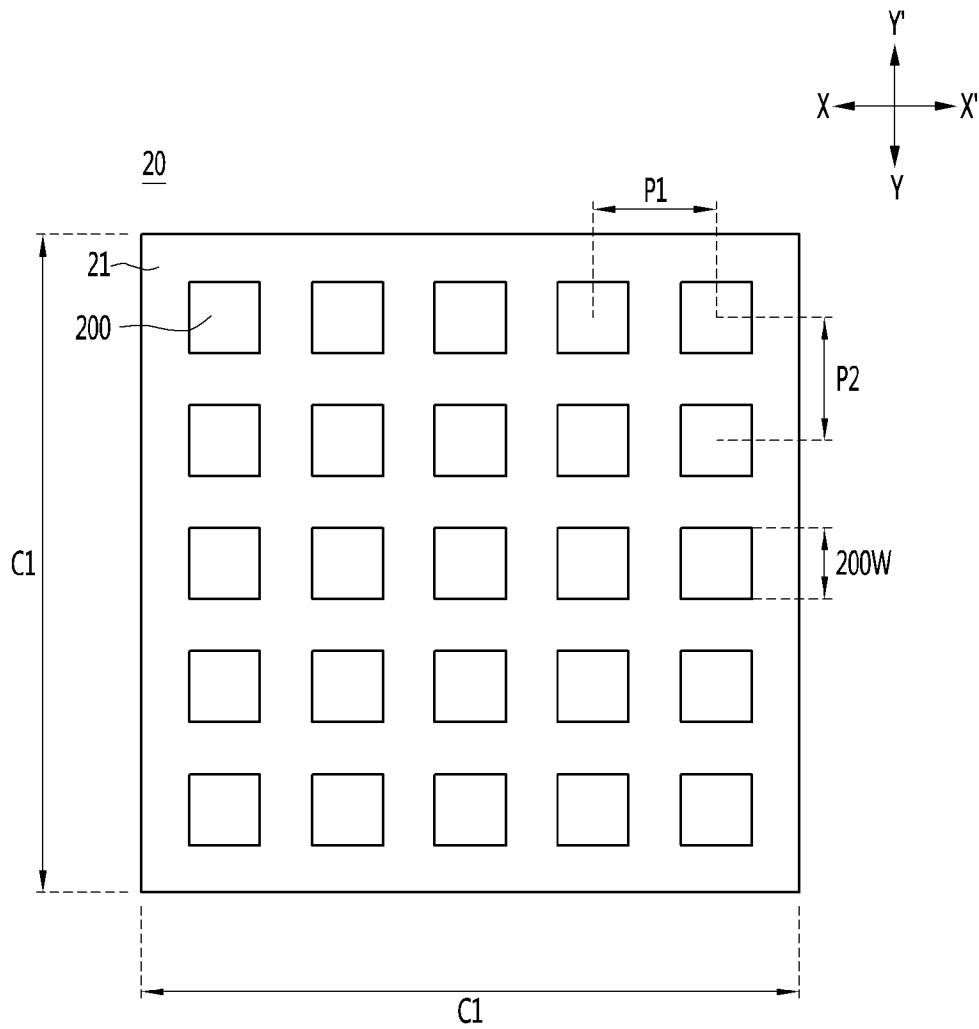
[도 14]



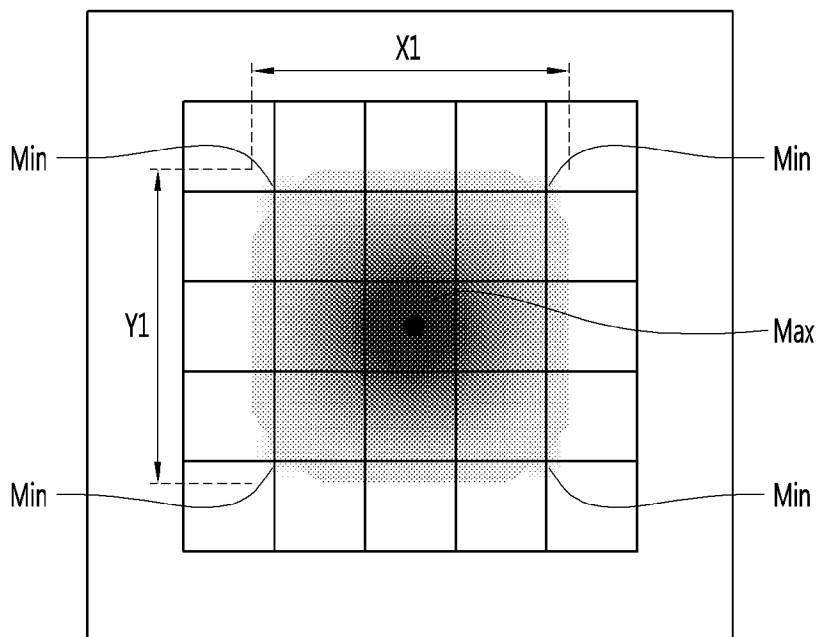
[도 15]

10

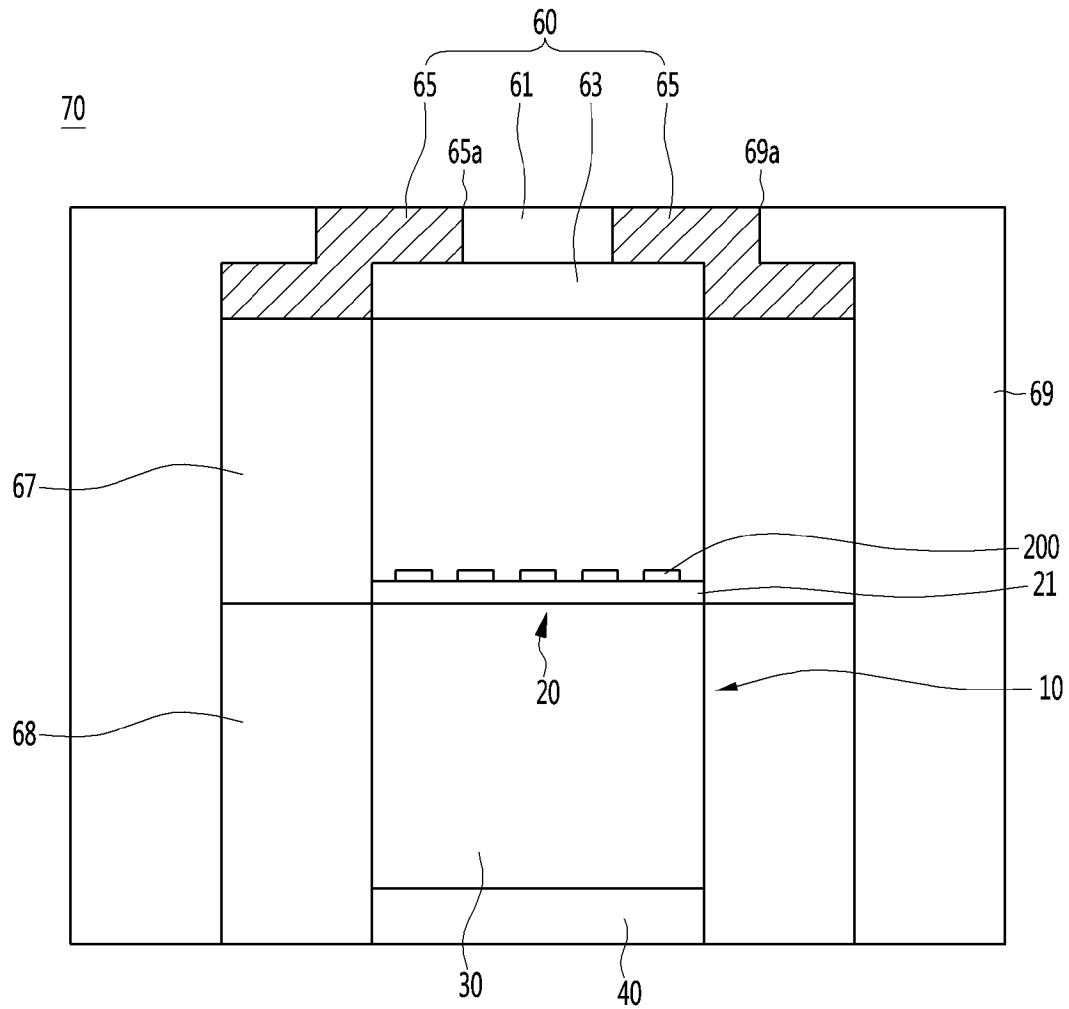
[도16]



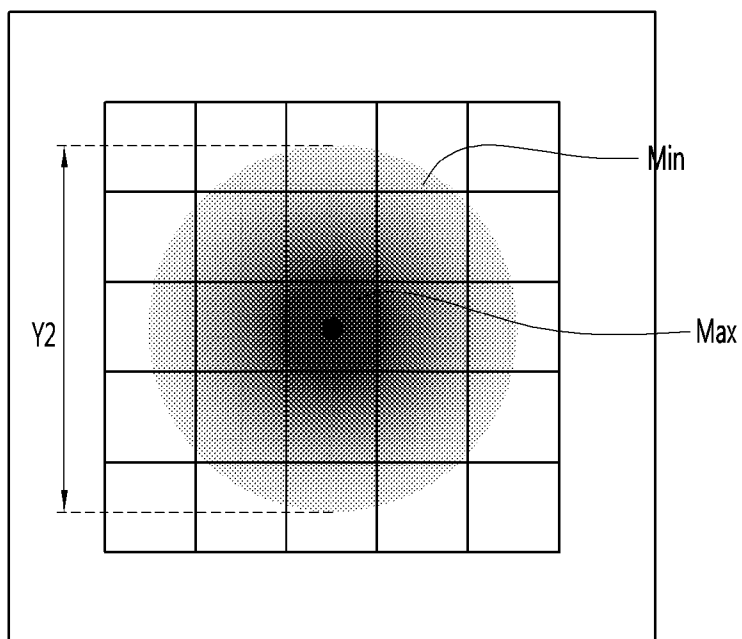
[도17]



[도18]



[도19]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2017/004065

A. CLASSIFICATION OF SUBJECT MATTER

H01L 25/075(2006.01)i, H01L 27/15(2006.01)i, A61N 5/06(2006.01)i, H01L 33/48(2010.01)i, H01L 33/64(2010.01)i, F21Y 105/10(2016.01)i, F21Y 115/10(2016.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 25/075; H01L 29/778; H01L 21/205; H01L 21/338; H01L 33/12; H01L 33/00; H01L 33/04; H01L 33/06; H01L 33/14; H01L 27/15; A61N 5/06; H01L 33/48; H01L 33/64; F21Y 105/10; F21Y 115/10

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean Utility models and applications for Utility models: IPC as above
Japanese Utility models and applications for Utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: ultraviolet rays, light emitting, super lattice layer, AlGaIn

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	KR 10-2015-0015760 A (SEOUL VIOSYS CO., LTD.) 11 February 2015 See paragraphs [0033]-[0078] and figures 1-11.	1-10
A	US 2015-0083994 A1 (SENSOR ELECTRONIC TECHNOLOGY, INC.) 26 March 2015 See paragraphs [0036]-[0074] and figures 5-10.	1-10
A	JP 2001-274096 A (SANYO ELECTRIC CO., LTD.) 05 October 2001 See paragraphs [0048]-[0096] and figures 1-6.	1-10
A	JP 2013-021124 A (DOWA ELECTRONICS MATERIALS CO., LTD.) 31 January 2013 See paragraphs [0023]-[0048] and figures 1-2.	1-10
A	KR 10-2016-0014416 A (SEOUL VIOSYS CO., LTD.) 11 February 2016 See paragraphs [0039]-[0065] and figures 3-5.	1-10



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family


Date of the actual completion of the international search

31 JULY 2017 (31.07.2017)

Date of mailing of the international search report

31 JULY 2017 (31.07.2017)

Name and mailing address of the ISA/KR

 Korean Intellectual Property Office
Government Complex-Daejeon, 189 Seonsa-ro, Daejeon 302-701,
Republic of Korea

Facsimile No. +82-42-481-8578

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2017/004065

Patent document cited in search report	Publication date	Patent family member	Publication date
KR 10-2015-0015760 A	11/02/2015	WO 2015-016507 A1	05/02/2015
US 2015-0083994 A1	26/03/2015	CN 105580146 A	11/05/2016
		DE 212014000187 U1	25/07/2016
		KR 10-2016-0060749 A	30/05/2016
		US 9660133 B2	23/05/2017
		WO 2015-042552 A1	26/03/2015
JP 2001-274096 A	05/10/2001	JP 3778765 B2	24/05/2006
		US 2001-0035531 A1	01/11/2001
		US 2003-0173560 A1	18/09/2003
		US 6566677 B2	20/05/2003
		US 6872967 B2	29/03/2005
JP 2013-021124 A	31/01/2013	CN 103782375 A	07/05/2014
		JP 5665676 B2	04/02/2015
		TW 201318202 A	01/05/2013
		TW 1528581 B	01/04/2016
		US 2014-0209862 A1	31/07/2014
		WO 2013-008461 A1	17/01/2013
KR 10-2016-0014416 A	11/02/2016	CN 104205367 A	10/12/2014
		CN 104576855 A	29/04/2015
		CN 105322064 A	10/02/2016
		CN 205004348 U	27/01/2016
		JP 2015-511776 A	20/04/2015
		KR 10-2013-0111294 A	10/10/2013
		KR 10-2015-0048337 A	07/05/2015
		US 2013-0256630 A1	03/10/2013
		US 2015-0041760 A1	12/02/2015
		US 2015-0333218 A1	19/11/2015
		US 2016-0225950 A1	04/08/2016
		US 9224913 B2	29/12/2015
		US 9312447 B2	12/04/2016
		WO 2013-147552 A1	03/10/2013

A. 발명이 속하는 기술분류(국제특허분류(IPC))
H01L 25/075(2006.01)i, H01L 27/15(2006.01)i, A61N 5/06(2006.01)i, H01L 33/48(2010.01)i, H01L 33/64(2010.01)i, F21Y 105/10(2016.01)i, F21Y 115/10(2016.01)i

B. 조사된 분야
 조사된 최소문헌(국제특허분류를 기재)
 H01L 25/075; H01L 29/778; H01L 21/205; H01L 21/338; H01L 33/12; H01L 33/00; H01L 33/04; H01L 33/06; H01L 33/14; H01L 27/15; A61N 5/06; H01L 33/48; H01L 33/64; F21Y 105/10; F21Y 115/10

조사된 기술분야에 속하는 최소문헌 이외의 문헌
 한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC
 일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))
 eKOMPASS(특허청 내부 검색시스템) & 키워드: 자외선, 발광, 초격자층, AlGaIn

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
A	KR 10-2015-0015760 A (서울바이오시스 주식회사) 2015.02.11 단락 [0033]-[0078] 및 도면 1-11 참조.	1-10
A	US 2015-0083994 A1 (SENSOR ELECTRONIC TECHNOLOGY, INC.) 2015.03.26 단락 [0036]-[0074] 및 도면 5-10 참조.	1-10
A	JP 2001-274096 A (SANYO ELECTRIC CO., LTD.) 2001.10.05 단락 [0048]-[0096] 및 도면 1-6 참조.	1-10
A	JP 2013-021124 A (DOWA ELECTRONICS MATERIALS CO., LTD.) 2013.01.31 단락 [0023]-[0048] 및 도면 1-2 참조.	1-10
A	KR 10-2016-0014416 A (서울바이오시스 주식회사) 2016.02.11 단락 [0039]-[0065] 및 도면 3-5 참조.	1-10

추가 문헌이 C(계속)에 기재되어 있습니다. 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:
 “A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌
 “E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌
 “L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌
 “O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌
 “P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌
 “T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌
 “X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.
 “Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.
 “&” 동일한 대응특허문헌에 속하는 문헌

국제조사의 실제 완료일 2017년 07월 31일 (31.07.2017)	국제조사보고서 발송일 2017년 07월 31일 (31.07.2017)
--	---

ISA/KR의 명칭 및 우편주소 대한민국 특허청 (35208) 대전광역시 서구 청사로 189, 4동 (둔산동, 정부대전청사) 팩스 번호 +82-42-481-8578	심사관 최상원 전화번호 +82-42-481-8291
---	------------------------------------



국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-2015-0015760 A	2015/02/11	WO 2015-016507 A1	2015/02/05
US 2015-0083994 A1	2015/03/26	CN 105580146 A DE 212014000187 U1 KR 10-2016-0060749 A US 9660133 B2 WO 2015-042552 A1	2016/05/11 2016/07/25 2016/05/30 2017/05/23 2015/03/26
JP 2001-274096 A	2001/10/05	JP 3778765 B2 US 2001-0035531 A1 US 2003-0173560 A1 US 6566677 B2 US 6872967 B2	2006/05/24 2001/11/01 2003/09/18 2003/05/20 2005/03/29
JP 2013-021124 A	2013/01/31	CN 103782375 A JP 5665676 B2 TW 201318202 A TW I528581 B US 2014-0209862 A1 WO 2013-008461 A1	2014/05/07 2015/02/04 2013/05/01 2016/04/01 2014/07/31 2013/01/17
KR 10-2016-0014416 A	2016/02/11	CN 104205367 A CN 104576855 A CN 105322064 A CN 205004348 U JP 2015-511776 A KR 10-2013-0111294 A KR 10-2015-0048337 A US 2013-0256630 A1 US 2015-0041760 A1 US 2015-0333218 A1 US 2016-0225950 A1 US 9224913 B2 US 9312447 B2 WO 2013-147552 A1	2014/12/10 2015/04/29 2016/02/10 2016/01/27 2015/04/20 2013/10/10 2015/05/07 2013/10/03 2015/02/12 2015/11/19 2016/08/04 2015/12/29 2016/04/12 2013/10/03