

WO 2022/262017 A1

CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告 (条约第21条(3))。

corresponding to the logic value Q. According to the present invention, a complete Boolean logic function can be achieved by means of two steps of operation of state setting of the memristors and pressurization of the memristors and the resistor, the number of devices is small, the circuit area is small, the number of operation steps is small, and the calculation efficiency is high.

(57) 摘要: 本发明公开了一种基于忆阻器的完备非易失布尔逻辑电路及操作方法, 用于对输入的逻辑值P和/或输入的逻辑值Q进行逻辑运算; 其中, 电路包括控制器、忆阻器 M_1 、忆阻器 M_2 和电阻; 控制器用于在逻辑运算之前, 将忆阻器 M_2 置为高阻态; 进行逻辑运算时, 对忆阻器 M_1 施加电压A, 对忆阻器 M_2 施加电压B, 对电阻施加电压C, 并读取忆阻器 M_2 的阻态, 即逻辑运算结果; 且当对逻辑值P和逻辑值Q进行逻辑运算或仅对逻辑值Q进行逻辑运算时, 控制器还用于在逻辑运算之前, 将忆阻器 M_1 置为逻辑值Q所对应的阻态; 本发明通过对忆阻器进行置态以及对忆阻器和电阻进行加压两步操作即可实现完备的布尔逻辑功能, 且器件数较少、电路面积小、操作步数少、计算效率高。

一种基于忆阻器的完备非易失布尔逻辑电路及操作方法

【技术领域】

本发明属于微电子器件技术领域，更具体地，涉及一种基于忆阻器的完备非易失布尔逻辑电路及操作方法。

【背景技术】

现代计算机主要基于冯·诺依曼体系结构。在这种体系结构中，数据从内存单元中获取，传输到处理单元，计算完成后再将数据传输到要存储的内存单元。如今，处理器和存储器的运行速度均已达到了相当高的水平，但连接这两部分的总线传输速度还有很大差距，频繁的数据传输消耗了数据处理过程中大部分的时间和功耗。这一速率不匹配问题限制了现代计算机的发展，我们将其称为存储墙。内存计算是一种非常有潜力的解决方法。与人脑相类似，内存计算中存储与计算共存，具有高计算并行性、低延时、低功耗等优点。

忆阻器作为一种新型的存储器件，因其在撤电后仍能保持电阻状态这一天然的非易失性，成为存内计算架构的有力候选器件。基于忆阻器的逻辑实现主要分为三类，第一类实现方法中输入和输出均以忆阻器的阻态的形式表示，这类方案有利于进行逻辑级联但使用的器件数较多，并且随着逻辑计算复杂度的增加所使用的器件数与操作复杂度都在增加；第二类实现方法中输入以电压形式加在忆阻器两端，输出以阻态形式表示，这类方案所使用的器件数大大减少，操作步数也较少，但逻辑级联必须引入数模转换的过程，降低了计算效率；第三类实现方法中，输入分别为忆阻器一端所加电压和忆阻器的初始阻值，输出以忆阻器阻态形式表示，这类方法所用器件数少，操作步数较少，逻辑级联容易，但这类逻辑计算为破坏式

计算，不利于保护输入信息的完整性。因此，有需要提出一种逻辑完备的实现方案，在使用尽可能少器件数和操作步数的同时，易实现逻辑级联且不破坏输入数据的完整性。

【发明内容】

针对现有技术的以上缺陷或改进需求，本发明提供了一种基于忆阻器的完备非易失布尔逻辑电路及操作方法，用于解决现有技术无法在较少的器件和操作步数的条件下以较高的计算效率实现完备的布尔逻辑运算的技术问题。

为了实现上述目的，第一方面，本发明提供了一种基于忆阻器的完备非易失布尔逻辑电路，用于对输入的逻辑值 P 和/或输入的逻辑值 Q 进行逻辑运算；

上述逻辑电路包括：控制器、忆阻器 M_1 、忆阻器 M_2 和电阻；

控制器分别与忆阻器 M_1 的正极、忆阻器 M_2 的正极以及电阻的一端相连；忆阻器 M_1 和忆阻器 M_2 的负极连接在同一条字线上；电阻的另一端与该字线相连；忆阻器 M_1 和忆阻器 M_2 相同；

控制器用于在进行逻辑运算之前，将忆阻器 M_2 置为高阻态；进行逻辑运算时，对忆阻器 M_1 施加电压 A ，对忆阻器 M_2 施加电压 B ，对电阻施加电压 C ，并读取忆阻器 M_2 的阻态，即为逻辑运算结果；

其中，当上述逻辑电路执行与逻辑值 Q 有关的操作时，控制器还用于在进行逻辑运算之前，将忆阻器 M_1 置为逻辑值 Q 所对应的阻态；与逻辑值 Q 有关的操作包括对逻辑值 P 和逻辑值 Q 进行逻辑运算的操作和仅对逻辑值 Q 进行逻辑运算的操作；

电压 A 和电压 C 的取值由逻辑值 P 以及逻辑运算的类型决定；电压 B 取值为 V_p ； V_p 满足 $V_{set}/2 < V_p < V_{set}$ 且 $V_p < 2|V_{reset}|$ ； V_{set} 为忆阻器 M_1 或忆阻器 M_2 由高阻态转变为低阻态的阈值； V_{reset} 为忆阻器 M_1 或忆阻器 M_2 由低阻态

转变为高阻态的阈值。

进一步优选地，上述忆阻器 M_1 和忆阻器 M_2 均包括高阻态和低阻态；高阻态对应逻辑值“0”，低阻态对应逻辑值“1”。

进一步优选地，电阻的阻值大小介于忆阻器 M_1 或忆阻器 M_2 的高阻态阻值与低阻态阻值之间；电阻的阻值为 $R = \sqrt{R_H \cdot R_L}$ ，其中 R_H 为忆阻器 M_1 或忆阻器 M_2 的高阻态电阻值， R_L 为忆阻器 M_1 或忆阻器 M_2 的低阻态电阻值。

进一步优选地，控制器包括控制端 T_1 、控制端 T_2 和控制端 T_3 ；控制端 T_1 与忆阻器 M_1 的正极相连，控制端 T_2 与忆阻器 M_2 的正极相连，控制端 T_3 与电阻的一端相连；

控制器在进行逻辑运算时，通过控制端 T_1 给忆阻器 M_1 施加电压 A ，通过控制端 T_2 给忆阻器 M_2 施加电压 B ，通过控制端 T_3 给电阻施加电压 C ，读取忆阻器 M_2 的阻态，即为逻辑运算结果。

进一步优选地，逻辑运算的类型包括：真逻辑运算、假逻辑运算、P 逻辑运算、Q 逻辑运算、非 P 逻辑运算、非 Q 逻辑运算、与逻辑运算、与非逻辑运算、或逻辑运算、或非逻辑运算、实质蕴涵逻辑运算、反实质蕴涵逻辑运算、负实质蕴涵逻辑运算、反负实质蕴涵逻辑运算、异或逻辑运算和同或逻辑运算。

进一步优选地，当逻辑运算的类型为真逻辑运算时，电压 A 取值为 $-V_p$ ，电压 C 取值为 $-V_p$ ；

当逻辑运算的类型为假逻辑运算时，电压 A 取值为 0，电压 C 取值为 0；

当逻辑运算的类型为 P 逻辑运算时，电压 A 取值为 $-V$ ，电压 C 取值为 $-V$ ；

当逻辑运算的类型为 Q 逻辑运算时，电压 A 取值为 $-V_p$ ，电压 C 取值为 0；

当逻辑运算的类型为非 P 逻辑运算时, 电压 A 取值为 $V-V_p$, 电压 C 取值为 $V-V_p$;

当逻辑运算的类型为非 Q 逻辑运算时, 电压 A 取值为 0, 电压 C 取值为 $-V_p$;

当逻辑运算的类型为与逻辑运算时, 电压 A 取值为 $-V$, 电压 C 取值为 0;

当逻辑运算的类型为与非逻辑运算时, 电压 A 取值为 $V-V_p$, 电压 C 取值为 $-V_p$;

当逻辑运算的类型为或逻辑运算时, 电压 A 取值为 $-V_p$, 电压 C 取值为 $-V$;

当逻辑运算的类型为或非逻辑运算时, 电压 A 取值为 0, 电压 C 取值为 $V-V_p$;

当逻辑运算的类型为实质蕴涵逻辑运算时, 电压 A 取值为 $-V_p$, 电压 C 取值为 $V-V_p$;

当逻辑运算的类型为反实质蕴涵逻辑运算时, 电压 A 取值为 $-V$, 电压 C 取值为 $-V_p$;

当逻辑运算的类型为负实质蕴涵逻辑运算时, 电压 A 取值为 0, 电压 C 取值为 $-V$;

当逻辑运算的类型为反负实质蕴涵逻辑运算时, 电压 A 取值为 $V-V_p$, 电压 C 取值为 0;

当逻辑运算的类型为异或逻辑运算时, 电压 A 取值为 $V-V_p$, 电压 C 取值为 $-V$;

当逻辑运算的类型为同或逻辑运算时, 电压 A 取值为 $-V$, 电压 C 取值为 $V-V_p$;

其中, 当逻辑值 P 为 0 时, V 取值为 0; 当逻辑值 P 为 1 时, V 取值为 V_p 。

第二方面，一种基于上述完备非易失布尔逻辑电路的操作方法，包括以下步骤：

S1、将忆阻器 M_2 置为高阻态；

S2、判断当前操作是否为与逻辑值 Q 有关的操作，若是，则将忆阻器 M_1 置为逻辑值 Q 所对应的阻态；其中，与逻辑值 Q 有关的操作包括对逻辑值 P 和逻辑值 Q 进行逻辑运算的操作和仅对逻辑值 Q 进行逻辑运算的操作；

S3、对忆阻器 M_1 施加电压 A ，对忆阻器 M_2 施加电压 B ，对电阻施加电压 C ，并读取忆阻器 M_2 的阻态，即为逻辑运算结果；

其中，电压 A 和电压 C 的取值由逻辑值 P 以及逻辑运算的类型决定；电压 B 取值为 V_p ； V_p 满足 $V_{set}/2 < V_p < V_{set}$ 且 $V_p < 2|V_{reset}|$ ； V_{set} 为忆阻器 M_1 或忆阻器 M_2 由高阻态转变为低阻态的阈值； V_{reset} 为忆阻器 M_1 或忆阻器 M_2 由低阻态转变为高阻态的阈值。

进一步优选地，当逻辑运算的类型为真逻辑运算时，电压 A 取值为 $-V_p$ ，电压 C 取值为 $-V_p$ ；

当逻辑运算的类型为假逻辑运算时，电压 A 取值为 0 ，电压 C 取值为 0 ；

当逻辑运算的类型为 P 逻辑运算时，电压 A 取值为 $-V$ ，电压 C 取值为 $-V$ ；

当逻辑运算的类型为 Q 逻辑运算时，电压 A 取值为 $-V_p$ ，电压 C 取值为 0 ；

当逻辑运算的类型为非 P 逻辑运算时，电压 A 取值为 $V-V_p$ ，电压 C 取值为 $V-V_p$ ；

当逻辑运算的类型为非 Q 逻辑运算时，电压 A 取值为 0 ，电压 C 取值为 $-V_p$ ；

当逻辑运算的类型为与逻辑运算时，电压 A 取值为 $-V$ ，电压 C 取值为 0 ；

当逻辑运算的类型为与非逻辑运算时，电压 A 取值为 $V-V_p$ ，电压 C 取

值为 $-V_p$;

当逻辑运算的类型为或逻辑运算时, 电压 A 取值为 $-V_p$, 电压 C 取值为 $-V$;

当逻辑运算的类型为或非逻辑运算时, 电压 A 取值为 0, 电压 C 取值为 $V-V_p$;

当逻辑运算的类型为实质蕴涵逻辑运算时, 电压 A 取值为 $-V_p$, 电压 C 取值为 $V-V_p$;

当逻辑运算的类型为反实质蕴涵逻辑运算时, 电压 A 取值为 $-V$, 电压 C 取值为 $-V_p$;

当逻辑运算的类型为负实质蕴涵逻辑运算时, 电压 A 取值为 0, 电压 C 取值为 $-V$;

当逻辑运算的类型为反负实质蕴涵逻辑运算时, 电压 A 取值为 $V-V_p$, 电压 C 取值为 0;

当逻辑运算的类型为异或逻辑运算时, 电压 A 取值为 $V-V_p$, 电压 C 取值为 $-V$;

当逻辑运算的类型为同或逻辑运算时, 电压 A 取值为 $-V$, 电压 C 取值为 $V-V_p$;

其中, 当逻辑值 P 为 0 时, V 取值为 0; 当逻辑值 P 为 1 时, V 取值为 V_p 。

第三方面, 一种基于上述完备非易失布尔逻辑电路的逻辑级联方法, 包括:

将按照第二方面所述操作方法操作所得的前一步逻辑运算结果作为新的输入逻辑值 Q, 重新按照第二方面所述操作方法进行操作, 从而实现逻辑级联。

总体而言, 通过本发明所构思的以上技术方案, 能够取得以下有益效果:

1、本发明提供了一种基于忆阻器的完备非易失布尔逻辑电路及操作方法，用于对输入的逻辑值 P 和/或输入的逻辑值 Q 进行逻辑运算；该逻辑电路主要由忆阻器和电阻构成，结构简单，电路的复杂度低，电路面积小；其中，逻辑值 P 以电压的形式定义在忆阻器 M_1 和电阻的电压输入端，逻辑值 Q 定义为忆阻器 M_1 的阻态，忆阻器 M_2 的阻态作为输出；只需对忆阻器进行置态以及对忆阻器和电阻进行加压两步操作即可实现完备的布尔逻辑功能，能够在较少的器件和操作步数的条件下以较高的计算效率实现完备的布尔逻辑运算。

2、本发明所提供的完备非易失布尔逻辑电路及操作方法，在逻辑计算的操作过程中，忆阻器 M_1 的阻态不发生改变，整个操作过程为非破坏式，有利于保护输入信息的完整性。

3、本发明提供了一种基于忆阻器的完备非易失布尔逻辑电路的逻辑级联方法，可以将前一步逻辑计算得到的结果直接作为后一步逻辑操作的输入，即将前一步保存计算结果的忆阻器 M_2 直接看作后一步逻辑计算的输入忆阻器 M_1 ，逻辑级联简单易行，有助于实现更加复杂的逻辑功能。

【附图说明】

图 1 为本发明实施例 1 所提供的基于忆阻器的完备非易失布尔逻辑电路的结构示意图；

图 2 为本发明实施例 1 所提供的忆阻器的阻变 $I-V$ 特性测试图；

图 3 为本发明实施例 1 所提供的进行 16 种逻辑运算时控制端的配置图；

图 4 为本发明实施例 2 所提供的基于实施例 1 所述完备非易失布尔逻辑电路的操作方法流程图；

图 5 为本发明实施例 2 所提供的异或逻辑计算电路图；

图 6 为本发明实施例 2 所提供的异或逻辑运算真值表；

图 7 为本发明实施例 2 所提供的对异或逻辑计算电路图进行异或逻辑

运算操作前和操作后所测得的阻态变化对比结果示意图。

【具体实施方式】

为了使本发明的目的、技术方案及优点更加清楚明白，以下结合附图及实施例，对本发明进行进一步详细说明。应当理解，此处所描述的具体实施例仅仅用以解释本发明，并不用于限定本发明。此外，下面所描述的本发明各个实施方式中所涉及到的技术特征只要彼此之间未构成冲突就可以相互组合。

实施例 1、

一种基于忆阻器的完备非易失布尔逻辑电路，用于对输入的逻辑值 P 和/或输入的逻辑值 Q 进行逻辑运算；

如图 1 所示，上述逻辑电路包括：控制器、忆阻器 M_1 、忆阻器 M_2 和电阻（本实施例采用定值电阻）；

控制器分别与忆阻器 M_1 的正极、忆阻器 M_2 的正极以及电阻的一端相连；忆阻器 M_1 和忆阻器 M_2 的正极分别连接在不同的位线上，负极连接在同一条字线 WL 上；电阻的另一端与该字线 WL 相连；忆阻器 M_1 和忆阻器 M_2 相同；具体地，控制器包括控制端 T_1 、控制端 T_2 和控制端 T_3 ；控制端 T_1 通过位线 BL_1 与忆阻器 M_1 的正极相连，控制端 T_2 通过位线 BL_2 与忆阻器 M_2 的正极相连，控制端 T_3 与电阻的一端相连；需要说明的是，上述忆阻器 M_1 和忆阻器 M_2 相同，均包括高阻态和低阻态；高阻态对应逻辑值“0”，低阻态对应逻辑值“1”。所采用的忆阻器的阻变 $I-V$ 特性测试图如图 2 所示，具体地，当在忆阻器的两端施加大于 V_{set} 的正向电压，忆阻器由高阻态转变为低阻态，此时忆阻器的电阻被设置到低阻态；当在忆阻器的两端施加小于 V_{reset} 的负向电压时，忆阻器由低阻态转变为高阻态，此时忆阻器的电阻被设置到高阻态；通过控制忆阻器两端的电压，可以使忆阻器在高阻态与低阻态之间转换。其中，定义忆阻器的高阻态对应逻辑值“0”，忆阻

器的低阻态对应逻辑值“1”；其中， V_{set} 为忆阻器 M_1 或忆阻器 M_2 由高阻态转变为低阻态的阈值； V_{reset} 为忆阻器 M_1 或忆阻器 M_2 由低阻态转变为高阻态的阈值。需要说明的是，为防止施加的正向电压过大而导致忆阻器被击穿，被击穿的器件将无法通过施加负向的 reset 电压回到高阻态，在忆阻器的两端施加大于 V_{set} 的正向电压以使忆阻器由高阻态转变为低阻态时，对忆阻器进行限流，限流大小为 I_{cc} ；具体地，如图 2 所示，本实施例将所使用的忆阻器的限流大小设置为 1 mA，即 I_{cc} 为 1 mA。

控制器用于在进行逻辑运算之前，将忆阻器 M_2 置为高阻态；进行逻辑运算时，对忆阻器 M_1 施加电压 A，对忆阻器 M_2 施加电压 B，对电阻施加电压 C，并读取忆阻器 M_2 的阻态，即为逻辑运算结果；

其中，当上述逻辑电路执行与逻辑值 Q 有关的操作时，控制器还用于在进行逻辑运算之前，将忆阻器 M_1 置为逻辑值 Q 所对应的阻态；与逻辑值 Q 有关的操作包括对逻辑值 P 和逻辑值 Q 进行逻辑运算的操作和仅对逻辑值 Q 进行逻辑运算的操作

电压 A 和电压 C 的取值由逻辑值 P 以及逻辑运算的类型决定；电压 B 取值为 V_p ；由于逻辑运算过程中采用的电信号均为电压脉冲信号，为满足逻辑运算要求， V_p 电压幅值应介于 $V_{set}/2$ 与 V_{set} 之间，使得不进行运算操作时，原处于高阻态的忆阻器不会向低阻态变化；同时，当忆阻器两端加上 $2V_p$ 压降时，确保忆阻器发生阻态变化；另外，还需要满足 $V_p < 2|V_{reset}|$ ，使得不进行运算操作时，原处于低阻态的忆阻器不会向高阻态变化。故 V_p 需满足 $V_{set}/2 < V_p < V_{set}$ 且 $V_p < 2|V_{reset}|$ 。

进一步地，为了使忆阻器的低阻态、高阻态和定值电阻的阻值能够明显区分，采用开关比大于或等于预设开关阈值的忆阻器，本实施例中，预设开关阈值取值为 100。电阻的阻值大小介于忆阻器 M_1 或忆阻器 M_2 的高阻态阻值与低阻态阻值之间；由于忆阻器的高阻态与低阻态之间处于不同的数量级，为了进一步将忆阻器的低阻态、高阻态和定值电阻的阻值明显

区分开，优选地，定值电阻的阻值取值为 $R = \sqrt{R_H \cdot R_L}$ ，其中， R_H 为忆阻器 M_1 或忆阻器 M_2 的高阻态电阻值， R_L 为忆阻器 M_1 或忆阻器 M_2 的低阻态电阻值。定值电阻在该逻辑电路中主要起到限流的作用；进一步地，考虑到忆阻器的高阻态与低阻态都存在一定的波动范围，定值电阻阻值 R 的选取可以略大于 $\sqrt{R_H \cdot R_L}$ ，为该电路可靠性提供更好的保障。

需要说明的是，逻辑运算的类型包括：真逻辑运算、假逻辑运算、P逻辑运算、Q逻辑运算、非P逻辑运算、非Q逻辑运算、与逻辑运算、与非逻辑运算、或逻辑运算、或非逻辑运算、实质蕴涵逻辑运算、反实质蕴涵逻辑运算、负实质蕴涵逻辑运算、反负实质蕴涵逻辑运算、异或逻辑运算和同或逻辑运算。如图3所示，当逻辑运算的类型为真逻辑运算时，电压A取值为 $-V_p$ ，电压C取值为 $-V_p$ ；当逻辑运算的类型为假逻辑运算时，电压A取值为0，电压C取值为0；当逻辑运算的类型为P逻辑运算时，电压A取值为 $-V$ ，电压C取值为 $-V$ ；当逻辑运算的类型为Q逻辑运算时，电压A取值为 $-V_p$ ，电压C取值为0；当逻辑运算的类型为非P逻辑运算时，电压A取值为 $V-V_p$ ，电压C取值为 $V-V_p$ ；当逻辑运算的类型为非Q逻辑运算时，电压A取值为0，电压C取值为 $-V_p$ ；当逻辑运算的类型为与逻辑运算时，电压A取值为 $-V$ ，电压C取值为0；当逻辑运算的类型为与非逻辑运算时，电压A取值为 $V-V_p$ ，电压C取值为 $-V_p$ ；当逻辑运算的类型为或逻辑运算时，电压A取值为 $-V_p$ ，电压C取值为 $-V$ ；当逻辑运算的类型为或非逻辑运算时，电压A取值为0，电压C取值为 $V-V_p$ ；当逻辑运算的类型为实质蕴涵逻辑运算时，电压A取值为 $-V_p$ ，电压C取值为 $V-V_p$ ；当逻辑运算的类型为反实质蕴涵逻辑运算时，电压A取值为 $-V$ ，电压C取值为 $-V_p$ ；当逻辑运算的类型为负实质蕴涵逻辑运算时，电压A取值为0，电压C取值为 $-V$ ；当逻辑运算的类型为反负实质蕴涵逻辑运算时，电压A取值为 $V-V_p$ ，电压C取值为0；当逻辑运算的类型为异或逻辑运算时，电压A

取值为 $V-V_p$ ，电压 C 取值为 $-V$ ；当逻辑运算的类型为同或逻辑运算时，电压 A 取值为 $-V$ ，电压 C 取值为 $V-V_p$ ；其中，当逻辑值 P 为 0 时， V 取值为 0；当逻辑值 P 为 1 时， V 取值为 V_p 。

本发明提供了一种完备的非易失布尔逻辑电路，逻辑计算中输入的逻辑值 P 以电压的形式定义在控制端 T_1 和控制端 T_3 ，输入的逻辑值 Q 定义为忆阻器 M_1 的阻态，忆阻器 M_2 的阻态作为输出。只需对忆阻器进行置态以及对忆阻器和电阻进行加压两步操作即可实现完备的 16 种布尔逻辑功能。操作简单、电路中所需的器件较少、电路面积较小、计算效率高。

实施例 2、

一种基于实施例 1 所述完备非易失布尔逻辑电路的操作方法，如图 4 所示，包括以下步骤：

S1、将忆阻器 M_2 置为高阻态；

S2、判断当前操作是否为与逻辑值 Q 有关的操作，若是，则将忆阻器 M_1 置为逻辑值 Q 所对应的阻态；其中，与逻辑值 Q 有关的操作包括对逻辑值 P 和逻辑值 Q 进行逻辑运算的操作和仅对逻辑值 Q 进行逻辑运算的操作；

S3、对忆阻器 M_1 施加电压 A ，对忆阻器 M_2 施加电压 B ，对电阻施加电压 C ，并读取忆阻器 M_2 的阻态，即为逻辑运算结果；

其中，电压 A 和电压 C 的取值由逻辑值 P 以及逻辑运算的类型决定；电压 B 取值为 V_p ； V_p 满足 $V_{set}/2 < V_p < V_{set}$ 且 $V_p < 2|V_{reset}|$ ； V_{set} 为忆阻器 M_1 或忆阻器 M_2 由高阻态转变为低阻态的阈值； V_{reset} 为忆阻器 M_1 或忆阻器 M_2 由低阻态转变为高阻态的阈值。

上述操作方法可以基于两个双极性忆阻器实现 16 种布尔逻辑功能，对不同的逻辑运算类型（本实施例中，对忆阻器 M_1 施加电压 A 即在控制端 T_1 施加电压 A ，对电阻施加电压 C ，即在控制端 T_3 施加电压 C ），具体操作如下：

真逻辑（TRUE）：电压 A 取值为 $-V_p$ ，电压 C 取值为 $-V_p$ ；此时，在控

制端 T_1 和 T_3 施加 $-V_p$, 忆阻器 M_1 的阻态作为输入 Q ;

假逻辑 (FALSE): 电压 A 取值为 0, 电压 C 取值为 0; 此时, 控制端 T_1 和 T_3 接地, 忆阻器 M_1 的阻态作为输入 Q ;

P 逻辑 (COPY P): 电压 A 取值为 $-V$, 电压 C 取值为 $-V$; 此时, 输入 P 以电压 $-V$ 的形式施加在 T_1 和 T_3 端, 忆阻器 M_1 的阻态作为输入 Q ;

Q 逻辑 (COPY Q): 电压 A 取值为 $-V_p$, 电压 C 取值为 0; 此时, 在控制端 T_1 施加 $-V_p$, 控制端 T_3 接地, 忆阻器 M_1 的阻态作为输入 Q ;

非 P 逻辑 (NOT P): 电压 A 取值为 $V-V_p$, 电压 C 取值为 $V-V_p$; 此时, 输入 P 以电压 $V-V_p$ 的形式施加在 T_1 和 T_3 端, 忆阻器 M_1 的阻态作为输入 Q ;

非 Q 逻辑 (NOT Q): 电压 A 取值为 0, 电压 C 取值为 $-V_p$; 此时, 控制端 T_1 接地, 在控制端 T_3 施加 $-V_p$, 忆阻器 M_1 的阻态作为输入 Q ;

与逻辑 (AND): 电压 A 取值为 $-V$, 电压 C 取值为 0; 此时, 输入 P 以电压 $-V$ 的形式施加在 T_1 端, 控制端 T_3 接地, 忆阻器 M_1 的阻态作为输入 Q ;

与非逻辑 (NAND): 电压 A 取值为 $V-V_p$, 电压 C 取值为 $-V_p$; 此时, 输入 P 以电压 $V-V_p$ 的形式施加在 T_1 端, 在控制端 T_3 施加 $-V_p$, 忆阻器 M_1 的阻态作为输入 Q ;

或逻辑 (OR): 电压 A 取值为 $-V_p$, 电压 C 取值为 $-V$; 此时, 在控制端 T_1 施加 $-V_p$, 输入 P 以电压 $-V$ 的形式施加在 T_3 端, 忆阻器 M_1 的阻态作为输入 Q ;

或非逻辑 (NOR): 电压 A 取值为 0, 电压 C 取值为 $V-V_p$; 此时, 控制端 T_1 接地, 输入 P 以电压 $V-V_p$ 的形式施加在 T_3 端, 忆阻器 M_1 的阻态作为输入 Q ;

实质蕴涵逻辑 (IMP): 电压 A 取值为 $-V_p$, 电压 C 取值为 $V-V_p$; 此时, 在控制端 T_1 施加 $-V_p$, 输入 P 以电压 $V-V_p$ 的形式施加在 T_3 端, 忆阻器 M_1 的阻态作为输入 Q ;

反实质蕴涵逻辑 (RIMP) : 电压 A 取值为 $-V$, 电压 C 取值为 $-V_p$; 此时, 输入 P 以电压 $-V$ 的形式施加在 T_1 端, 在控制端 T_3 施加 $-V_p$, 忆阻器 M_1 的阻态作为输入 Q;

负实质蕴涵逻辑 (NIMP) : 电压 A 取值为 0, 电压 C 取值为 $-V$; 此时, 控制端 T_1 接地, 输入 P 以电压 $-V$ 的形式施加在 T_3 端, 忆阻器 M_1 的阻态作为输入 Q;

反负实质蕴涵逻辑 (RNIMP) : 电压 A 取值为 $V-V_p$, 电压 C 取值为 0; 此时, 输入 P 以电压 $V-V_p$ 的形式施加在 T_1 端, 控制端 T_3 接地, 忆阻器 M_1 的阻态作为输入 Q;

异或逻辑 (XOR) : 电压 A 取值为 $V-V_p$, 电压 C 取值为 $-V$; 此时, 输入 P 以电压 $V-V_p$ 的形式施加在 T_1 端, 输入 P 以电压 $-V$ 的形式施加在 T_3 端, 忆阻器 M_1 的阻态作为输入 Q;

同或逻辑 (XNOR) : 电压 A 取值为 $-V$, 电压 C 取值为 $V-V_p$; 此时, 输入 P 以电压 $-V$ 的形式施加在 T_1 端, 输入 P 以电压 $V-V_p$ 的形式施加在 T_3 端, 忆阻器 M_1 的阻态作为输入 Q;

其中, 当逻辑值 P 为 0 时, V 取值为 0; 当逻辑值 P 为 1 时, V 取值为 V_p 。

需要说明的是, 对于如 P 逻辑运算、真逻辑运算的逻辑运算, 虽然运算结果与输入 Q 无关, 但 Q 也参与了运算 (参见具体逻辑运算的真值表), 故其同样属于对逻辑值 P 和逻辑值 Q 进行逻辑运算的操作。

为了进一步说明本发明所提供的操作方法, 下面以异或逻辑运算为例进行详述; 具体操作如下:

忆阻器 M_2 初始化状态为高阻态;

当输入 $P=0$, $Q=0$ 时, $V=0$, 忆阻器 M_1 设置为高阻态, 此时忆阻器 M_1 两端的电压 V_{M1} 约为 $-V_p$, 忆阻器 M_2 两端的电压 V_{M2} 约为 V_p , 由于 $V_{set}/2 < V_p < V_{set}$ 且 $V_p < 2|V_{reset}|$, 故此时忆阻器 M_2 保持高阻态不变, 输出逻辑

值 0，即逻辑运算结果为 0；

当输入 $P=0$ ， $Q=1$ 时， $V=0$ ，忆阻器 M_1 设置为低阻态，此时忆阻器 M_1 两端的电压 V_{M1} 约为 0，忆阻器 M_2 两端的电压 V_{M2} 约为 $2V_p$ ，此时，忆阻器 M_2 转变为低阻态，输出逻辑值 1，即逻辑运算结果为 1；

当输入 $P=1$ ， $Q=0$ 时， $V=V_p$ ，忆阻器 M_1 设置为高阻态，此时忆阻器 M_1 两端的电压 V_{M1} 约为 V_p ，忆阻器 M_2 两端的电压 V_{M2} 约为 $2V_p$ ，忆阻器 M_2 转变为低阻态，输出逻辑值 1，即逻辑运算结果为 1；

当输入 $P=1$ ， $Q=1$ 时， $V=V_p$ ，忆阻器 M_1 设置为低阻态，此时忆阻器 M_1 两端的电压 V_{M1} 约为 0，忆阻器 M_2 两端的电压 V_{M2} 约为 V_p ，忆阻器 M_2 保持高阻态不变，输出逻辑值 0。

本实施例提供了异或逻辑运算的四种输入情况在实际电路中测得的电阻变化情况，其中每一种输入情况都进行了 10 次测试。其中，本实施例中电阻 R 取值为 $10\text{ K}\Omega$ ，忆阻器的开关比大于 100，使得忆阻器的低阻态、高阻态和定值电阻 R 的阻值能够明显区分。具体地，如图 5 所示为异或逻辑计算电路图，如图 6 所示为异或逻辑运算真值表，如图 7 所示为对异或逻辑计算电路图进行异或逻辑运算操作前和操作后所测得的阻态变化对比结果；其中， M_1 和 M_2 所对应的纵坐标表示操作前忆阻器 M_1 和忆阻器 M_2 的阻态， M_1' 和 M_2' 所对应的纵坐标表示操作后忆阻器 M_1 和忆阻器 M_2 的阻态。从图中可以看出，本发明所提供的异或逻辑运算操作方法能够按照异或逻辑运算真值表有效的控制逻辑输入和输出。

需要说明的是，其它布尔逻辑运算的操作过程与异或逻辑运算的操作过程类似，这里不做赘述。

本发明对由忆阻器和定值电阻组成的逻辑电路进行操作，通过对忆阻器进行置态以及在控制端配置不同的操作电压两步操作即可实现 16 种完备逻辑计算。本发明具有使用器件数少、操作步数少、逻辑级联简单且不对输入信息造成破坏等优势，可以作为一种通用逻辑运算实现方法。

实施例 3、

一种基于实施例 1 所述完备非易失布尔逻辑电路的逻辑级联方法，包括：

将按照实施例 2 所述操作方法操作所得的前一步逻辑运算结果作为新的输入逻辑值 Q ，重新按照实施例 2 所述操作方法进行操作，从而实现逻辑级联。

本实施例中，前一步逻辑操作的输出以阻态的形式保存在忆阻器 M_2 中，将前一步逻辑计算得到的结果直接作为后一步逻辑操作的输入，即将前一步保存计算结果的忆阻器 M_2 直接看作后一步逻辑计算的输入忆阻器 M_1 。

综上所述，本发明公开了一种基于忆阻器的完备非易失布尔逻辑电路及操作方法，该逻辑电路包括两个忆阻器与一个定值电阻，通过对忆阻器进行置态，以及对该电路的两个控制端（ $T1$ 、 $T3$ ）进行配置两步操作即可实现完备的 16 种布尔逻辑功能。其中，忆阻器 M_1 和忆阻器 M_2 的正极与不同的位线(BL1、BL2)相连，忆阻器 M_1 和忆阻器 M_2 的负极与同一条字线(WL)相连；定值电阻的一端与字线相连，另一端与控制端 $T3$ 相连。逻辑计算中一个输入逻辑值 P 以电压的形式定义在控制端 $T1$ 和 $T3$ ，另一个输入逻辑值 Q 定义为忆阻器 M_1 的阻态，忆阻器 M_2 的阻态作为输出。与现有的逻辑方法相比，本方案采用的操作步数少，器件数较少，提高了计算效率并且节省了电路面积。且所采用的逻辑实现方法为非破坏式，有利于保护输入信息的完整性。另外，本方案逻辑级联简单易行，有助于实现更加复杂的逻辑功能。

本领域的技术人员容易理解，以上所述仅为本发明的较佳实施例而已，并不用以限制本发明，凡在本发明的精神和原则之内所作的任何修改、等同替换和改进等，均应包含在本发明的保护范围之内。

权 利 要 求

1、一种基于忆阻器的完备非易失布尔逻辑电路，其特征在于，用于对输入的逻辑值 P 和/或输入的逻辑值 Q 进行逻辑运算；

所述逻辑电路包括：控制器、忆阻器 M_1 、忆阻器 M_2 和电阻；

所述控制器分别与所述忆阻器 M_1 的正极、所述忆阻器 M_2 的正极以及所述电阻的一端相连；所述忆阻器 M_1 和所述忆阻器 M_2 的负极连接在同一条字线上；所述电阻的另一端与所述字线相连；所述忆阻器 M_1 和所述忆阻器 M_2 相同；

所述控制器用于在进行逻辑运算之前，将所述忆阻器 M_2 置为高阻态；进行逻辑运算时，对所述忆阻器 M_1 施加电压 A，对所述忆阻器 M_2 施加电压 B，对所述电阻施加电压 C，并读取所述忆阻器 M_2 的阻态，即为逻辑运算结果；

其中，当所述逻辑电路执行与所述逻辑值 Q 有关的操作时，所述控制器还用于在进行逻辑运算之前，将所述忆阻器 M_1 置为所述逻辑值 Q 所对应的阻态；与所述逻辑值 Q 有关的操作包括对所述逻辑值 P 和所述逻辑值 Q 进行逻辑运算的操作和仅对所述逻辑值 Q 进行逻辑运算的操作；

所述电压 A 和所述电压 C 的取值由所述逻辑值 P 以及逻辑运算的类型决定；所述电压 B 取值为 V_p ；所述 V_p 满足 $V_{set}/2 < V_p < V_{set}$ 且 $V_p < 2|V_{reset}|$ ； V_{set} 为所述忆阻器 M_1 或所述忆阻器 M_2 由高阻态转变为低阻态的阈值； V_{reset} 为所述忆阻器 M_1 或所述忆阻器 M_2 由低阻态转变为高阻态的阈值。

2、根据权利要求 1 所述的逻辑电路，其特征在于，所述忆阻器 M_1 和所述忆阻器 M_2 均包括高阻态和低阻态；所述高阻态对应逻辑值“0”，所述低阻态对应逻辑值“1”。

3、根据权利要求 2 所述的逻辑电路，其特征在于，所述电阻的阻值大小介于所述忆阻器 M_1 或所述忆阻器 M_2 的高阻态阻值与低阻态阻值之间；

所述电阻的阻值为 $R = \sqrt{R_H \cdot R_L}$ ，其中， R_H 为所述忆阻器 M_1 或所述忆阻器 M_2 的高阻态电阻值， R_L 为所述忆阻器 M_1 或所述忆阻器 M_2 的低阻态电阻值。

4、根据权利要求 2 所述的逻辑电路，其特征在于，所述控制器包括控制端 T_1 、控制端 T_2 和控制端 T_3 ；所述控制端 T_1 与所述忆阻器 M_1 的正极相连，所述控制端 T_2 与所述忆阻器 M_2 的正极相连，所述控制端 T_3 与所述电阻的一端相连；

所述控制器在进行逻辑运算时，通过所述控制端 T_1 给所述忆阻器 M_1 施加电压 A，通过所述控制端 T_2 给所述忆阻器 M_2 施加电压 B，通过所述控制端 T_3 给所述电阻施加电压 C，读取所述忆阻器 M_2 的阻态，即为逻辑运算结果。

5、根据权利要求 1-4 任意一项所述的逻辑电路，其特征在于，所述逻辑运算的类型包括：真逻辑运算、假逻辑运算、P 逻辑运算、Q 逻辑运算、非 P 逻辑运算、非 Q 逻辑运算、与逻辑运算、与非逻辑运算、或逻辑运算、或非逻辑运算、实质蕴涵逻辑运算、反实质蕴涵逻辑运算、负实质蕴涵逻辑运算、反负实质蕴涵逻辑运算、异或逻辑运算和同或逻辑运算。

6、根据权利要求 5 所述的逻辑电路，其特征在于，当所述逻辑运算的类型为真逻辑运算时，所述电压 A 取值为 $-V_p$ ，所述电压 C 取值为 $-V_p$ ；

当所述逻辑运算的类型为假逻辑运算时，所述电压 A 取值为 0，所述电压 C 取值为 0；

当所述逻辑运算的类型为 P 逻辑运算时，所述电压 A 取值为 $-V$ ，所述电压 C 取值为 $-V$ ；

当所述逻辑运算的类型为 Q 逻辑运算时，所述电压 A 取值为 $-V_p$ ，所述电压 C 取值为 0；

当所述逻辑运算的类型为非 P 逻辑运算时，所述电压 A 取值为 $V-V_p$ ，所述电压 C 取值为 $V-V_p$ ；

当所述逻辑运算的类型为非 Q 逻辑运算时, 所述电压 A 取值为 0, 所述电压 C 取值为 $-V_p$;

当所述逻辑运算的类型为与逻辑运算时, 所述电压 A 取值为 $-V$, 所述电压 C 取值为 0;

当所述逻辑运算的类型为与非逻辑运算时, 所述电压 A 取值为 $V-V_p$, 所述电压 C 取值为 $-V_p$;

当所述逻辑运算的类型为或逻辑运算时, 所述电压 A 取值为 $-V_p$, 所述电压 C 取值为 $-V$;

当所述逻辑运算的类型为或非逻辑运算时, 所述电压 A 取值为 0, 所述电压 C 取值为 $V-V_p$;

当所述逻辑运算的类型为实质蕴涵逻辑运算时, 所述电压 A 取值为 $-V_p$, 所述电压 C 取值为 $V-V_p$;

当所述逻辑运算的类型为反实质蕴涵逻辑运算时, 所述电压 A 取值为 $-V$, 所述电压 C 取值为 $-V_p$;

当所述逻辑运算的类型为负实质蕴涵逻辑运算时, 所述电压 A 取值为 0, 所述电压 C 取值为 $-V$;

当所述逻辑运算的类型为反负实质蕴涵逻辑运算时, 所述电压 A 取值为 $V-V_p$, 所述电压 C 取值为 0;

当所述逻辑运算的类型为异或逻辑运算时, 所述电压 A 取值为 $V-V_p$, 所述电压 C 取值为 $-V$;

当所述逻辑运算的类型为同或逻辑运算时, 所述电压 A 取值为 $-V$, 所述电压 C 取值为 $V-V_p$;

其中, 当所述逻辑值 P 为 0 时, V 取值为 0; 当所述逻辑值 P 为 1 时, V 取值为 V_p 。

7、一种基于权利要求 1-6 任意一项所述逻辑电路的操作方法, 其特征在于, 包括以下步骤:

S1、将忆阻器 M_2 置为高阻态；

S2、判断当前操作是否为与逻辑值 Q 有关的操作，若是，则将忆阻器 M_1 置为逻辑值 Q 所对应的阻态；所述与逻辑值 Q 有关的操作包括对逻辑值 P 和逻辑值 Q 进行逻辑运算的操作和仅对逻辑值 Q 进行逻辑运算的操作；

S3、对忆阻器 M_1 施加电压 A ，对忆阻器 M_2 施加电压 B ，对电阻施加电压 C ，并读取忆阻器 M_2 的阻态，即为逻辑运算结果；

其中，所述电压 A 和所述电压 C 的取值由所述逻辑值 P 以及所述逻辑运算的类型决定；所述电压 B 取值为 V_p ； V_p 满足 $V_{set}/2 < V_p < V_{set}$ 且 $V_p < 2|V_{reset}|$ ；所述 V_{set} 为忆阻器 M_1 或忆阻器 M_2 由高阻态转变为低阻态的阈值；所述 V_{reset} 为忆阻器 M_1 或忆阻器 M_2 由低阻态转变为高阻态的阈值。

8、根据权利要求 7 所述的操作方法，其特征在于，当所述逻辑运算的类型为真逻辑运算时，所述电压 A 取值为 $-V_p$ ，所述电压 C 取值为 $-V_p$ ；

当所述逻辑运算的类型为假逻辑运算时，所述电压 A 取值为 0，所述电压 C 取值为 0；

当所述逻辑运算的类型为 P 逻辑运算时，所述电压 A 取值为 $-V$ ，所述电压 C 取值为 $-V$ ；

当所述逻辑运算的类型为 Q 逻辑运算时，所述电压 A 取值为 $-V_p$ ，所述电压 C 取值为 0；

当所述逻辑运算的类型为非 P 逻辑运算时，所述电压 A 取值为 $V-V_p$ ，所述电压 C 取值为 $V-V_p$ ；

当所述逻辑运算的类型为非 Q 逻辑运算时，所述电压 A 取值为 0，所述电压 C 取值为 $-V_p$ ；

当所述逻辑运算的类型为与逻辑运算时，所述电压 A 取值为 $-V$ ，所述电压 C 取值为 0；

当所述逻辑运算的类型为与非逻辑运算时，所述电压 A 取值为 $V-V_p$ ，所述电压 C 取值为 $-V_p$ ；

当所述逻辑运算的类型为或逻辑运算时,所述电压 A 取值为 $-V_p$,所述电压 C 取值为 $-V$;

当所述逻辑运算的类型为或非逻辑运算时,所述电压 A 取值为 0,所述电压 C 取值为 $V-V_p$;

当所述逻辑运算的类型为实质蕴涵逻辑运算时,所述电压 A 取值为 $-V_p$,所述电压 C 取值为 $V-V_p$;

当所述逻辑运算的类型为反实质蕴涵逻辑运算时,所述电压 A 取值为 $-V$,所述电压 C 取值为 $-V_p$;

当所述逻辑运算的类型为负实质蕴涵逻辑运算时,所述电压 A 取值为 0,所述电压 C 取值为 $-V$;

当所述逻辑运算的类型为反负实质蕴涵逻辑运算时,所述电压 A 取值为 $V-V_p$,所述电压 C 取值为 0;

当所述逻辑运算的类型为异或逻辑运算时,所述电压 A 取值为 $V-V_p$,所述电压 C 取值为 $-V$;

当所述逻辑运算的类型为同或逻辑运算时,所述电压 A 取值为 $-V$,所述电压 C 取值为 $V-V_p$;

其中,当所述逻辑值 P 为 0 时, V 取值为 0;当所述逻辑值 P 为 1 时, V 取值为 V_p 。

9、一种基于权利要求 1-6 任意一项所述逻辑电路的逻辑级联方法,其特征在于,包括:

将按照权利要求 7 或 8 所述操作方法操作所得的前一步逻辑运算结果作为新的输入逻辑值 Q,重新按照权利要求 7 或 8 所述操作方法进行操作,从而实现逻辑级联。

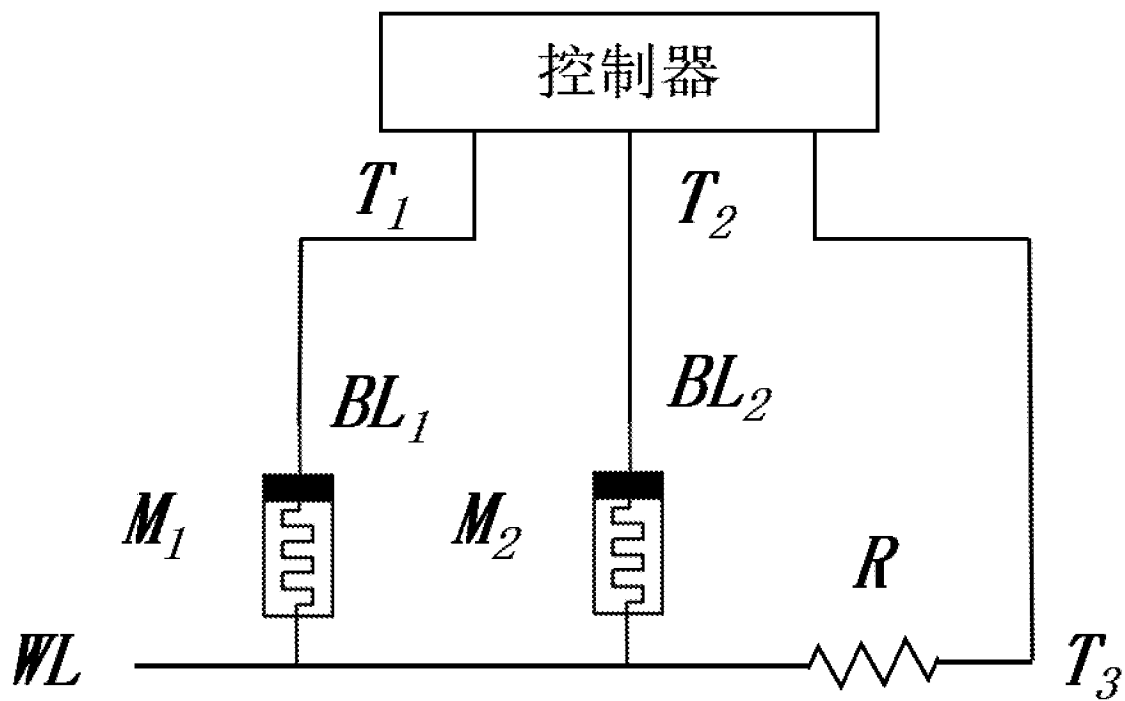


图 1

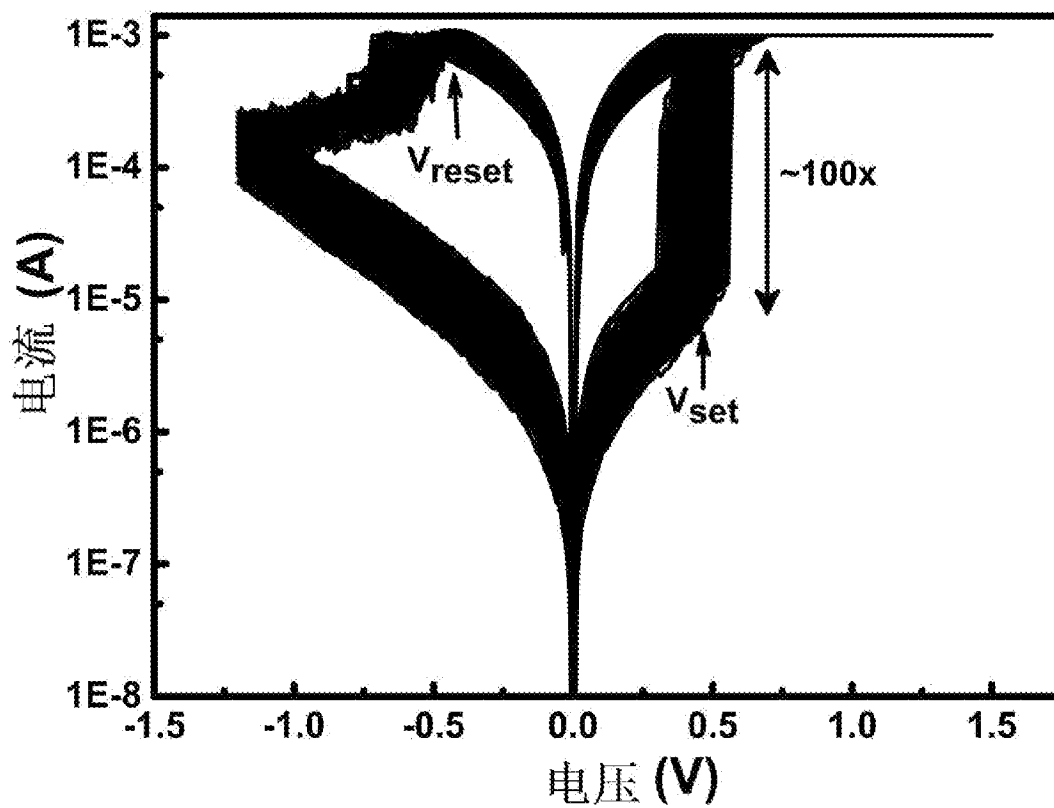


图 2

逻辑功能	T_1 (A)	T_3 (C)
真逻辑 (TURE)	$-V_p$	$-V_p$
假逻辑 (FALSE)	0	0
P 逻辑 (COPY P)	$-V$	$-V$
Q 逻辑 (COPY Q)	$-V_p$	0
非 P (NOT P)	$V-V_p$	$V-V_p$
非 Q (NOT Q)	0	$-V_p$
与 (AND)	$-V$	0
与非 (NAND)	$V-V_p$	$-V_p$
或 (OR)	$-V_p$	$-V$
或非 (NOR)	0	$V-V_p$
实质蕴涵 (IMP)	$-V_p$	$V-V_p$
反实质蕴涵 (RIMP)	$-V$	$-V_p$
负实质蕴涵 (NIMP)	0	$-V$
反负实质蕴涵 (RNIMP)	$V-V_p$	0
异或 (XOR)	$V-V_p$	$-V$
同或 (NXOR)	$-V$	$V-V_p$

图 3

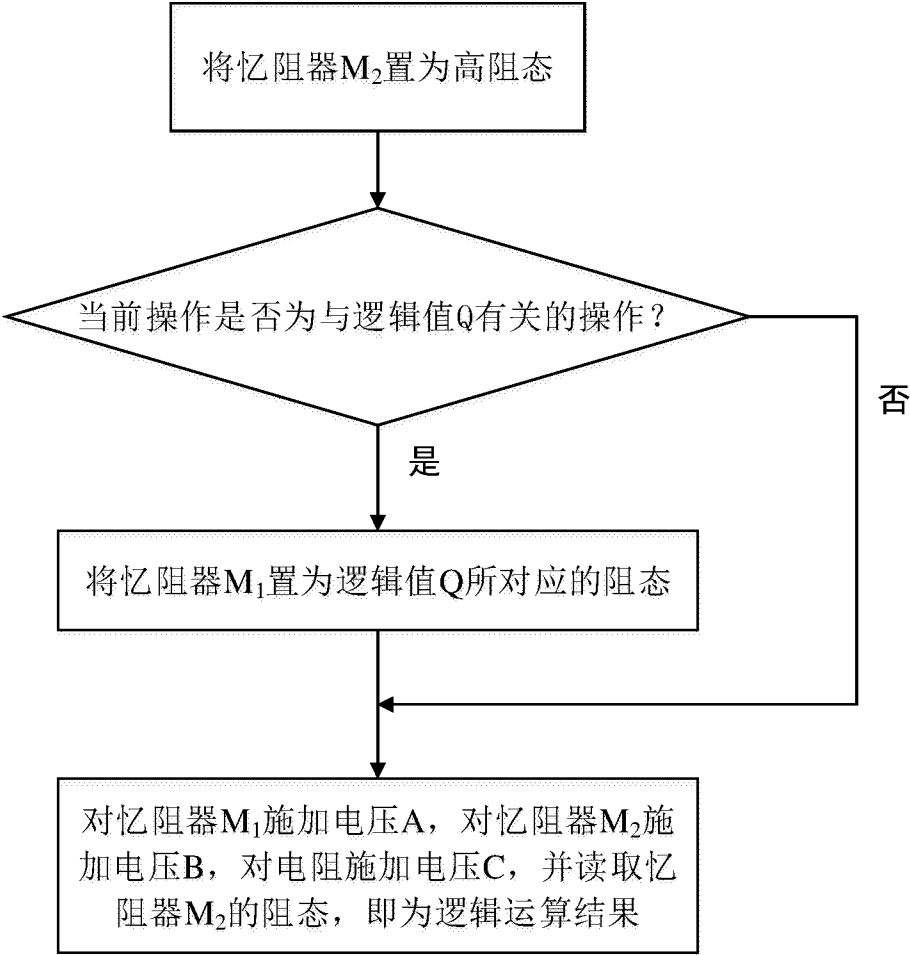


图 4

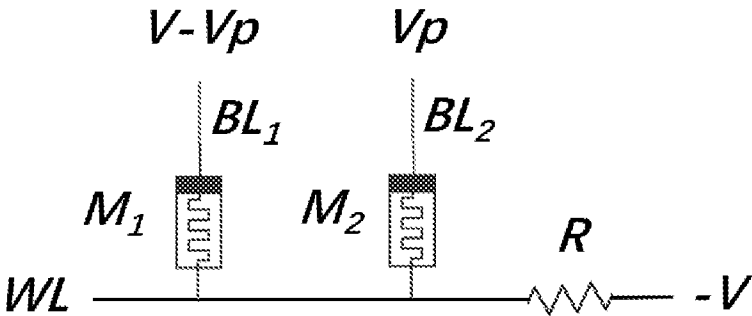


图 5

P	Q	Result
0	0	0
0	1	1
1	0	1
1	1	0

图 6

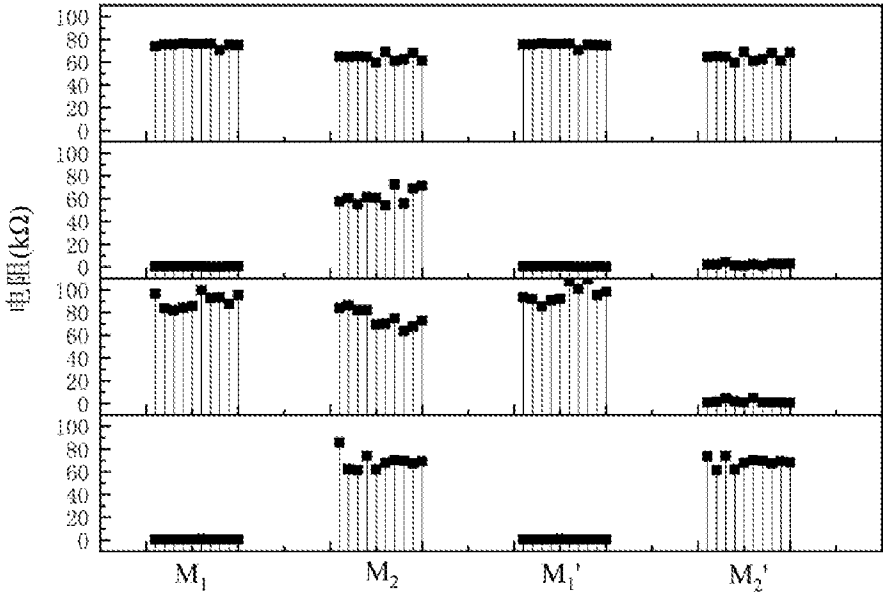


图 7

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2021/104578

A. CLASSIFICATION OF SUBJECT MATTER

G11C 13/00(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G11C; G06F; H03K

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT; WPI; EPODOC; CNKI; IEEE: 忆阻器, 布尔, 逻辑, 运算, 阻态, 非易失, 电压, memristor, logic, computation, nonvolatile, resistance, state, voltage

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 111061454 A (PEKING UNIVERSITY) 24 April 2020 (2020-04-24) description, paragraphs [0048]-[0051]	1-9
A	CN 109994139 A (PEKING UNIVERSITY) 09 July 2019 (2019-07-09) entire document	1-9
A	US 2020194066 A1 (KING ABDULLAH UNIVERSITY OF SCIENCE AND TECHNOLOGY) 18 June 2020 (2020-06-18) entire document	1-9
A	CN 110362291 A (PEKING UNIVERSITY) 22 October 2019 (2019-10-22) entire document	1-9
A	CN 104124960 A (HUAZHONG UNIVERSITY OF SCIENCE AND TECHNOLOGY) 29 October 2014 (2014-10-29) entire document	1-9
A	BORGHETTI, J. et al. "‘Memristive’ switches Enable ‘stateful’ logic Operations via Material Implication" <i>Nature</i> , Vol. 464, 08 April 2010 (2010-04-08), pp. 873-876	1-9



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

02 March 2022

Date of mailing of the international search report

16 March 2022

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088, China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2021/104578

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	111061454	A	24 April 2020	None			
CN	109994139	A	09 July 2019	None			
US	2020194066	A1	18 June 2020	WO	2018193338	A1	25 October 2018
				EP	3613048	A1	26 February 2020
				US	2020335162	A1	22 October 2020
CN	110362291	A	22 October 2019	None			
CN	104124960	A	29 October 2014	US	2016020766	A1	21 January 2016
				WO	2015192414	A1	23 December 2015

国际检索报告

国际申请号

PCT/CN2021/104578

A. 主题的分类 G11C 13/00 (2006.01) i 按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类																							
B. 检索领域 检索的最低限度文献 (标明分类系统和分类号) G11C; G06F; H03K 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用)) CNPAT; WPI; EPDOC; CNKI; IEEE: 忆阻器, 布尔, 逻辑, 运算, 阻态, 非易失, 电压, memristor, logic, computation, nonvolatile, resistance, state, voltage																							
C. 相关文件 <table border="1"> <thead> <tr> <th>类 型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>CN 111061454 A (北京大学) 2020年4月24日 (2020 - 04 - 24) 说明书第[0048]-[0051]段</td> <td>1-9</td> </tr> <tr> <td>A</td> <td>CN 109994139 A (北京大学) 2019年7月9日 (2019 - 07 - 09) 全文</td> <td>1-9</td> </tr> <tr> <td>A</td> <td>US 2020194066 A1 (KING ABDULLAH UNIVERSITY OF SCIENCE AND TECHNOLOGY) 2020年6月18日 (2020 - 06 - 18) 全文</td> <td>1-9</td> </tr> <tr> <td>A</td> <td>CN 110362291 A (北京大学) 2019年10月22日 (2019 - 10 - 22) 全文</td> <td>1-9</td> </tr> <tr> <td>A</td> <td>CN 104124960 A (华中科技大学) 2014年10月29日 (2014 - 10 - 29) 全文</td> <td>1-9</td> </tr> <tr> <td>A</td> <td>BORGHETTI, Julien 等. " 'Memristive' switches enable 'stateful' logic operations via material implication" Nature, 第464卷, 2010年4月8日 (2010 - 04 - 08), 第873-876页</td> <td>1-9</td> </tr> </tbody> </table>			类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	A	CN 111061454 A (北京大学) 2020年4月24日 (2020 - 04 - 24) 说明书第[0048]-[0051]段	1-9	A	CN 109994139 A (北京大学) 2019年7月9日 (2019 - 07 - 09) 全文	1-9	A	US 2020194066 A1 (KING ABDULLAH UNIVERSITY OF SCIENCE AND TECHNOLOGY) 2020年6月18日 (2020 - 06 - 18) 全文	1-9	A	CN 110362291 A (北京大学) 2019年10月22日 (2019 - 10 - 22) 全文	1-9	A	CN 104124960 A (华中科技大学) 2014年10月29日 (2014 - 10 - 29) 全文	1-9	A	BORGHETTI, Julien 等. " 'Memristive' switches enable 'stateful' logic operations via material implication" Nature, 第464卷, 2010年4月8日 (2010 - 04 - 08), 第873-876页	1-9
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求																					
A	CN 111061454 A (北京大学) 2020年4月24日 (2020 - 04 - 24) 说明书第[0048]-[0051]段	1-9																					
A	CN 109994139 A (北京大学) 2019年7月9日 (2019 - 07 - 09) 全文	1-9																					
A	US 2020194066 A1 (KING ABDULLAH UNIVERSITY OF SCIENCE AND TECHNOLOGY) 2020年6月18日 (2020 - 06 - 18) 全文	1-9																					
A	CN 110362291 A (北京大学) 2019年10月22日 (2019 - 10 - 22) 全文	1-9																					
A	CN 104124960 A (华中科技大学) 2014年10月29日 (2014 - 10 - 29) 全文	1-9																					
A	BORGHETTI, Julien 等. " 'Memristive' switches enable 'stateful' logic operations via material implication" Nature, 第464卷, 2010年4月8日 (2010 - 04 - 08), 第873-876页	1-9																					
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。																							
<table border="0"> <tr> <td> * 引用文件的具体类型: "A" 认为不特别相关的表示了现有技术一般状态的文件 "E" 在国际申请日的当天或之后公布的在先申请或专利 "L" 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) "O" 涉及口头公开、使用、展览或其他方式公开的文件 "P" 公布日先于国际申请日但迟于所要求的优先权日的文件 </td> <td> "T" 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 "X" 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 "Y" 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 "&" 同族专利的文件 </td> </tr> </table>			* 引用文件的具体类型: "A" 认为不特别相关的表示了现有技术一般状态的文件 "E" 在国际申请日的当天或之后公布的在先申请或专利 "L" 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) "O" 涉及口头公开、使用、展览或其他方式公开的文件 "P" 公布日先于国际申请日但迟于所要求的优先权日的文件	"T" 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 "X" 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 "Y" 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 "&" 同族专利的文件																			
* 引用文件的具体类型: "A" 认为不特别相关的表示了现有技术一般状态的文件 "E" 在国际申请日的当天或之后公布的在先申请或专利 "L" 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) "O" 涉及口头公开、使用、展览或其他方式公开的文件 "P" 公布日先于国际申请日但迟于所要求的优先权日的文件	"T" 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 "X" 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 "Y" 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 "&" 同族专利的文件																						
国际检索实际完成的日期 2022年3月2日		国际检索报告邮寄日期 2022年3月16日																					
ISA/CN的名称和邮寄地址 中国国家知识产权局 (ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		受权官员 金霞 电话号码 86-(10)-53961524																					

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2021/104578

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	111061454	A	2020年4月24日	无			
CN	109994139	A	2019年7月9日	无			
US	2020194066	A1	2020年6月18日	WO	2018193338	A1	2018年10月25日
				EP	3613048	A1	2020年2月26日
				US	2020335162	A1	2020年10月22日
CN	110362291	A	2019年10月22日	无			
CN	104124960	A	2014年10月29日	US	2016020766	A1	2016年1月21日
				WO	2015192414	A1	2015年12月23日