



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2015년11월20일

(11) 등록번호 10-1569049

(24) 등록일자 2015년11월09일

(51) 국제특허분류(Int. Cl.)

G06F 12/00 (2006.01) G06F 13/14 (2006.01)

(21) 출원번호 10-2014-0026611

(22) 출원일자 2014년03월06일

심사청구일자 2014년03월06일

(65) 공개번호 10-2014-0113370

(43) 공개일자 2014년09월24일

(30) 우선권주장

14/028,528 2013년09월16일 미국(US)

61/790,978 2013년03월15일 미국(US)

(56) 선행기술조사문헌

WO2011005249 A1

KR1020110097319 A

(73) 특허권자

시게이트 테크놀로지 엘엘씨

미국 캘리포니아 95104 쿠퍼티노 사우스 디 엔자
블러바드 10200

(72) 발명자

머피, 로버트 데일

미국 80503 콜로라도 롱몬트 베니스 레인 1635

문, 존 에드워드

미국 80027 콜로라도 슈퍼리어 사우스 유니온 코
트 1408

(뒷면에 계속)

(74) 대리인

특허법인 남앤드남

전체 청구항 수 : 총 20 항

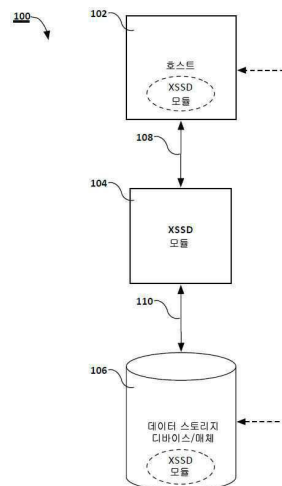
심사관 : 황철규

(54) 발명의 명칭 패스 스루 스토리지 디바이스들

(57) 요약

본 발명은 변환하는 패스 스루 스토리지 아키텍처를 구현하기 위한 장치 및 방법들에 관한 것이다. 실시예들은 일반적으로 적어도 제 1 메모리 티어 및 제 2 메모리 티어 간에 데이터를 할당하도록 구성된 제어 회로를 포함한다. 제 1 메모리 티어는 고체 상태 메모리를 포함할 수 있고 제 2 메모리 티어는 비휘발성 메모리를 포함할 수 있다. 일부 실시예들에서, 패스 스루 스토리지 디바이스가 구현될 수 있다. 실시예들은 추가로 제어 회로 및 하나 이상의 메모리들, 디바이스들, 시스템들, 또는 그것의 임의의 조합 사이에서 통신을 허용하도록 구성된 하나 이상의 인터페이스들을 포함할 수 있다.

대표도 - 도1



(72) 발명자

킬러, 스탠턴

미국 80503 콜로라도 롱몬트 컬럼비아 드라이브
1156

본, 리차드 이스턴

미국 55379 미네소타 새코피 핵베리 레인 2037

명세서

청구범위

청구항 1

장치에 있어서,

적어도 제 1 메모리 티어 및 제 2 메모리 티어 간에 데이터를 할당하도록 구성된 제어 회로로서, 상기 제 1 메모리 티어는 비휘발성 고체 상태 메모리를 포함하고 그리고 상기 제 2 메모리 티어는 다른 비휘발성 메모리를 포함하는, 상기 제어 회로;

상기 제어 회로 및 호스트 디바이스 사이에서 통신하도록 구성된 호스트 인터페이스;

상기 제 2 메모리 티어를 포함하는 데이터 스토리지 디바이스 및 상기 제어 회로 사이에서 통신하도록 구성된 데이터 스토리지 디바이스 인터페이스로서, 상기 데이터 스토리지 디바이스 인터페이스는 상기 호스트 인터페이스를 모조하여 상기 데이터 스토리지 디바이스는 마치 상기 데이터 스토리지 디바이스가 상기 호스트 디바이스와 직접 인터페이스하는 것처럼 상기 장치와 인터페이스하는, 상기 데이터 스토리지 디바이스 인터페이스; 및

상기 제어 회로는 상기 호스트 디바이스, 상기 제 1 메모리 티어 및 상기 제 2 메모리 티어로의 데이터 전송을 관리하도록 추가로 구성되는, 장치.

청구항 2

청구항 1에 있어서,

상기 제어 회로가 상기 호스트 디바이스상에 통합되어 데이터가 상기 호스트 디바이스, 상기 제 1 메모리 티어 및 상기 제 2 메모리 티어 간에 송신되는 것을 추가로 포함하는, 장치.

청구항 3

청구항 1에 있어서,

상기 제어 회로가 상기 제 2 메모리 티어의 상기 비휘발성 메모리를 포함하는 상기 데이터 스토리지 디바이스에 통합되어 데이터가 상기 호스트 디바이스, 상기 제 1 메모리 티어 및 상기 제 2 메모리 티어 간에 송신되는 것을 추가로 포함하는, 장치.

청구항 4

청구항 1에 있어서,

상기 장치는 상기 호스트 인터페이스 및 상기 데이터 스토리지 디바이스 인터페이스로부터 접속 해제 가능하여 개별적으로 착탈 가능한 하드웨어 디바이스이고, 상기 장치는 버퍼로서 구성된 상기 비휘발성 고체 상태 메모리를 포함하는, 장치.

청구항 5

청구항 4에 있어서,

데이터가 상기 비휘발성 고체 상태 메모리에 할당될 때, 상기 할당된 데이터를 번역하는 프로토콜 번역 계층을 구현하도록 구성된 비휘발성 고체 상태 메모리 프로토콜 프로세서를 추가로 포함하여 상기 할당된 데이터는 상기 비휘발성 고체 상태 메모리에 의해 판독가능한 포맷인, 장치.

청구항 6

청구항 5에 있어서,

상기 제어 회로와 통신하고 버퍼로서 구성된 하나 이상의 휘발성 메모리 유닛들 간에 데이터를 할당하도록 구성된 버퍼 관리기; 및

상기 버퍼 관리기로부터 수신된 데이터를 저장하고 상기 수신된 데이터를 상기 비휘발성 고체 상태 메모리 프로토콜 프로세서로 송신하도록 구성된 FIFO(first-in-first-out) 메모리 유닛;을 추가로 포함하는, 장치.

청구항 7

청구항 5에 있어서,

상기 비휘발성 고체 상태 메모리는 플래시 메모리이고 상기 비휘발성 메모리는 자기 데이터 스토리지 매체이며, 상기 장치는 버퍼로서 구성된 하나 이상의 휘발성 메모리 유닛들간에 데이터를 할당하고 상기 제어 회로와 통신하도록 구성된 버퍼 관리기를 추가로 포함하는, 장치.

청구항 8

청구항 5에 있어서,

상기 제 1 메모리 tier; 및

상기 비휘발성 고체 상태 메모리 프로토콜 프로세서로부터의 출력부로서, 상기 출력부는 상기 비휘발성 고체 상태 메모리 프로토콜 프로세서를 상기 비휘발성 고체 상태 메모리에 결합하도록 구성된, 상기 출력부;를 추가로 포함하는, 장치.

청구항 9

청구항 5에 있어서,

상기 비휘발성 고체 상태 메모리 프로토콜 프로세서 및 상기 비휘발성 고체 상태 메모리 사이에서 통신하도록 구성된 비휘발성 고체 상태 메모리 인터페이스를 추가로 포함하고, 상기 제 1 메모리 tier는 상기 장치로부터 연결 해제 가능한 하나 이상의 개별적으로 착탈 가능한 하드웨어 디바이스들상에 통합되는, 장치.

청구항 10

청구항 1에 있어서,

상기 제어 회로는

하나 이상의 캐시 기준을 충족시키는 데이터에 대하여 상기 제 1 메모리 tier의 상기 비휘발성 고체 상태 메모리에 데이터를 캐시하고; 및

상기 제 2 메모리 tier에 대한 하나 이상의 스토리지 기준을 충족시키는 데이터에 대하여 적어도 부분적으로 스토리지 스페이스로서의 상기 제 2 메모리 tier의 상기 비휘발성 메모리에 데이터를 저장하도록 추가로 구성되는, 장치.

청구항 11

청구항 10에 있어서,

상기 하나 이상의 캐시 기준 및 상기 하나 이상의 스토리지 기준은 타이밍, 용량, 파워 이벤트 및 아이들 시간으로 구성된 그룹에서 선택된 하나 이상의 파라미터들에 기반하여 결정되는 것을 추가로 포함하는, 장치.

청구항 12

장치에 있어서,

적어도 제 1 메모리 tier 및 제 2 메모리 tier 간에 데이터를 할당하도록 구성된 제어 회로서, 상기 제 1 메모리 tier는 비휘발성 고체 상태 메모리를 포함하고 및 상기 제 2 메모리 tier는 다른 비휘발성 메모리를 포함하는, 상기 제어회로;

상기 제어 회로 및 이니시에이터 디바이스 사이에서 통신하도록 구성된 이니시에이터 인터페이스;

상기 제어 회로 및 타겟 디바이스 사이에서 통신하도록 구성된 타겟 인터페이스;

상기 이니시에이터 인터페이스 및 상기 타겟 인터페이스 중 적어도 하나가 호스트 인터페이스를 복제하여 상기 제 2 메모리 tier의 상기 비휘발성 메모리를 포함하는 데이터 스토리지 디바이스는 마치 그것이 호스트 디바이

스와 인터페이스하는 것처럼 상기 장치와 인터페이스하고; 및

상기 제어 회로는 상기 호스트 디바이스, 상기 제 1 메모리 티어 및 상기 제 2 메모리 티어로의 데이터 전송을 관리하도록 추가로 구성되는, 장치.

청구항 13

청구항 12에 있어서,

상기 이니시에이터 인터페이스 및 상기 타겟 인터페이스는 각각 인터페이스 표준을 준수하는 것을 추가로 포함하는, 장치.

청구항 14

청구항 12에 있어서,

상기 제 2 메모리 티어의 상기 비휘발성 메모리로 상기 데이터를 저장하기 전에 상기 제 1 메모리 티어의 상기 비휘발성 고체 상태 메모리로 모든 데이터를 캐시하도록 구성되는 상기 제어 회로를 추가로 포함하는, 장치.

청구항 15

청구항 14에 있어서,

버퍼로서 구성된 하나 이상의 휘발성 메모리 유닛들간에 데이터를 할당하고 상기 제어 회로와 통신하도록 구성된 버퍼 관리를 추가로 포함하는, 장치.

청구항 16

청구항 15에 있어서,

데이터가 상기 비휘발성 고체 상태 메모리에 할당될 때, 상기 할당된 데이터를 번역하는 프로토콜 번역 계층을 구현하도록 구성된 비휘발성 고체 상태 메모리 프로토콜 프로세서를 추가로 포함하여 상기 할당된 데이터는 상기 비휘발성 고체 상태 메모리에 의해 판독가능한 포맷인, 장치.

청구항 17

청구항 16에 있어서,

상기 비휘발성 고체 상태 메모리 프로토콜 프로세서 및 상기 비휘발성 고체 상태 메모리 사이에서 통신하도록 구성된 비휘발성 고체 상태 메모리 인터페이스; 및

버퍼로서 구성된 하나 이상의 휘발성 메모리 유닛들 및 상기 버퍼 관리기 사이에서 통신하도록 구성된 휘발성 메모리 인터페이스;를 추가로 포함하는, 장치.

청구항 18

장치에 있어서,

선택된 데이터를 기록하기 위한 요청을 호스트 시스템으로부터 수신하고;

상기 선택된 데이터를 제 1 비휘발성 고체 상태 메모리로 캐시하고; 및

트리거 이벤트에 기반하여 적어도 상기 선택된 데이터 서브셋을 제 2 비휘발성 메모리에 저장하도록 구성된 제어 회로;

상기 제어 회로 및 상기 호스트 시스템 사이에서 통신하도록 구성된 호스트 인터페이스;

상기 제 2 비휘발성 메모리 및 상기 제어 회로 사이에서 통신하도록 구성된 데이터 스토리지 디바이스 인터페이스로서, 상기 데이터 스토리지 디바이스 인터페이스는 상기 호스트 인터페이스를 모조하여 상기 데이터 스토리지 디바이스는 마치 상기 데이터 스토리지 디바이스가 상기 호스트 시스템과 직접 인터페이스하는 것처럼 상기 장치와 인터페이스하는, 상기 데이터 스토리지 디바이스 인터페이스;를 포함하는, 장치.

청구항 19

청구항 18에 있어서,

상기 선택된 데이터는 그것이 상기 제 1 비휘발성 고체 상태 메모리로 캐시되기 전에 프로토콜 프로세서에 의해 번역되어 상기 선택된 데이터는 상기 제 1 비휘발성 고체 상태 메모리에 의해 판독가능한 포맷인, 장치.

청구항 20

청구항 19에 있어서,

상기 프로토콜 프로세서 및 상기 제 1 비휘발성 고체 상태 메모리 사이에서 통신하도록 구성된 비휘발성 고체 상태 메모리 인터페이스를 추가로 포함하는, 장치.

발명의 설명

기술 분야

[0001] 관련 출원들에 대한 상호 참조

[0002] 본 출원은 “패스 스루 티어된 스토리지 디자인을 이용하여 확장된 용량 SSD” 명칭의 2013년 3월 15일 출원되어 계류중인 U.S. 가특허 출원 번호 61/790,978에 대한 우선권을 주장하고, 그것의 내용은 그 전체가 참조로서 본 출원에 통합된다.

배경 기술

[0003] 본 발명은 적어도 두개의 개별 유형들의 데이터 스토리지 미디어를 갖는 하이브리드 스토리지 아키텍처를 갖는 데이터 스토리지 디바이스들에 관한 것이다.

발명의 내용

과제의 해결 수단

[0004] 본 출원에서 개시된 실시예들은 일반적으로 패스 스루 스토리지 디바이스를 위한 장치들 및 방법들을 제공한다. 장치의 일부 실시예들은 적어도 제 1 메모리 티어 및 제 2 메모리 티어 사이에서 데이터를 할당하도록 구성된 제어 회로를 포함할 수 있다. 상기 제 1 메모리 티어는 비휘발성 고체 상태 메모리를 포함할 수 있고 상기 제 2 메모리 티어는 다른 비휘발성 메모리를 포함할 수 있다. 상기 장치는 호스트 인터페이스 및 데이터 스토리지 디바이스 인터페이스를 추가로 포함할 수 있다. 상기 호스트 인터페이스는 상기 제어 회로 및 호스트 디바이스 사이에서 통신하도록 구성될 수 있다. 상기 데이터 스토리지 디바이스 인터페이스는 상기 제어 회로 및 상기 제 2 메모리 티어를 포함하는 데이터 스토리지 디바이스 사이에서 통신하도록 구성될 수 있다. 상기 데이터 스토리지 디바이스 인터페이스는 상기 호스트 인터페이스를 모조하거나 복제할 수 있어서 상기 데이터 스토리지 디바이스 인터페이스들은 마치 상기 데이터 스토리지 디바이스가 상기 호스트 디바이스와 직접 인터페이스 하는 것처럼 상기 장치와 인터페이스한다. 상기 제어 회로는 호스트 디바이스, 상기 제 1 메모리 티어 및 상기 제 2 메모리 티어로의 데이터 전송을 관리하도록 추가로 구성된다.

[0005] 일부 실시예들은 제어 회로, 이니시에이터 인터페이스 및 타겟 인터페이스를 포함하는 장치를 제공한다. 상기 제어 회로는 적어도 제 1 메모리 티어 및 제 2 메모리 티어 간에 데이터를 할당하도록 구성될 수 있고 상기 제 1 메모리 티어는 비휘발성 고체 상태 메모리를 포함하고 상기 제 2 메모리 티어는 다른 비휘발성 메모리를 포함한다. 상기 이니시에이터 인터페이스는 상기 제어 회로 및 이니시에이터 디바이스 사이에서 통신하도록 구성될 수 있다. 상기 타겟 인터페이스는 상기 제어 회로 및 타겟 디바이스 사이에서 통신하도록 구성될 수 있다. 상기 이니시에이터 인터페이스 및 상기 타겟 인터페이스 중 적어도 하나는 호스트 제어기를 모조할 수 있어서 상기 제 2 메모리 티어의 상기 비휘발성 메모리를 포함하는 데이터 스토리지 디바이스는 마치 그것이 호스트 디바이스와 인터페이스 하는 것처럼 상기 장치와 인터페이스한다.

[0006] 임의의 실시예들은 선택된 데이터를 기록하기 위한 요청을 호스트 시스템으로부터 수신하도록 구성된 제어 회로를 포함하는 장치를 제공한다. 상기 제어 회로는 제 1 비휘발성 고체 상태 메모리에 상기 선택된 데이터를 캐시하도록 추가로 구성될 수 있다. 더구나, 상기 제어 회로는 트리거 이벤트에 기반하여 적어도 상기 선택된 데이터 서브셋을 제 2 비휘발성 메모리에 저장할 수 있다. 상기 장치는 호스트 인터페이스 및 데이터 스토리지 인터페이스를 추가로 포함할 수 있다. 상기 호스트 인터페이스는 상기 제어 회로 및 상기 호스트 시스템 사이에서

통신하도록 구성될 수 있다. 상기 데이터 스토리지 인터페이스는 상기 제어 회로 및 상기 제 2 비휘발성 메모리 사이에서 통신하도록 구성될 수 있다. 상기 데이터 스토리지 인터페이스는 상기 호스트 인터페이스를 모조할 수 있어서 상기 데이터 스토리지 디바이스 인터페이스들은 마치 상기 데이터 스토리지 디바이스가 상기 호스트 시스템과 직접 인터페이스 하는 것처럼 상기 장치와 인터페이스한다.

도면의 간단한 설명

[0007]

도 1은 패스 스루 스토리지 디바이스의 임의 실시예들에 대한 다이어그램이다;

도 2는 패스 스루 스토리지 디바이스의 임의 실시예들에 대한 기능 블록 다이어그램이다;

도 3은 패스 스루 스토리지 디바이스의 임의 실시예들에 대한 기능 블록 다이어그램이다;

도 4는 패스 스루 스토리지 디바이스들을 위한 임의 실시예들의 방법의 흐름도이다; 및

도 5는 패스 스루 스토리지 디바이스들을 위한 임의 실시예들의 방법의 흐름도이다.

발명을 실시하기 위한 구체적인 내용

[0008]

실시예들에 대한 이하의 상세한 설명에는, 상세한 설명의 일부를 형성하는 첨부 도면들에 도면 번호가 제공되고, 도면들에는 특정 실시예들을 예시하는 방식으로 도시된다. 다양한 설명된 실시예들의 특징들은 조합될 수 있고, 다른 실시예들이 활용될 수 있고 구조상의 변화들이 본 발명의 범위를 벗어남이 없이 제공될 수 있다는 것이 이해될 것이다.

[0009]

도 1은 본 발명의 몇몇 실시예들에 따라 확장된 고체 상태 디바이스(XSSD) 모듈(104)을 포함하는 시스템(100)의 다이어그램을 보여준다. 시스템(100)은 XSSD 모듈(104)에 연결될 수 있는 데이터 스토리지 매체(DSM)(106)(이하에서 DSM(106)으로 지칭된다)을 갖는 데이터 스토리지 디바이스(DSD) 및 호스트(102)를 추가로 포함할 수 있다.

[0010]

호스트(102)는 또한 호스트 시스템 또는 호스트 컴퓨터로 지칭될 수 있다. 호스트(102)는 데스크탑 컴퓨터, 랩탑 컴퓨터, 서버, 개인 디지털 보조장치(PDA), 전화기, 뮤직 플레이어, 다른 전자 디바이스, 또는 그것의 임의 조합일 수 있다. DSM(106)은 호스트(102)에 대하여 상기 열거된 임의의 디바이스들이거나 하드 디스크 드라이브(HDD)와 같이 데이터를 저장하거나 검색하기 위해 사용될 수 있는 임의의 다른 디바이스일 수 있다.

[0011]

일부 실시예들에서, XSSD 모듈(104)은 호스트(102) 및 DSM(106)과 인터페이스하고 연결하도록 구성된 브리지 어댑터상에 통합될 수 있다. 대안적으로 또는 추가적으로, XSSD 모듈(104)은 호스트(102) 또는 DSM(106)상에 통합될 수 있다.

[0012]

XSSD 모듈(104)을 호스트(102), DSM(106), 또는 둘모두로부터 물리적으로 제거되는 것을 허용하는 커넥터를 포함할 수 있는 하나 이상의 인터페이스들(108),(110)을 통하여 XSSD 모듈(104)은 호스트(102) 및 DSM(106)과 통신할 수 있다. 인터페이스(들)(108)은 하드웨어 회로들, 로직, 펌웨어, 또는 그것의 임의 조합을 포함할 수 있다. 일부 실시예들에서, 인터페이스(들)(108)은 이하의 표준들: USB(universal serial bus), IEEE 1394, SATA(serial advanced technology attachment), eSATA(external SATA), PATA(parallel advanced technology attachment), SCSI(small computer system interface), SAS(serial attached SCSI), PCIe(peripheral component interconnect express) 및 FC(fiber channel) 중 하나 이상을 준수하는 인터페이스를 포함한다. 그러나, XSSD 모듈(104)을 호스트(102), DSM(106), 또는 둘모두와 통신하도록 허용하는 적절한 임의의 다른 인터페이스가 사용될 수 있다. XSSD 모듈(104), DSM(106), 또는 둘모두는 호스트(102)의 인클로저 내부 또는 외부에 배치될 수 있다.

[0013]

도 2에 관련하여, 확장된 고체 상태 모듈 디바이스(XSSD) 모듈(104)을 포함하는 시스템(200)의 대표적인 실시예의 기능 블록 다이어그램이 도시된다. XSSD 모듈(104)은 예를 들어, 하나 이상의 유형들의 비휘발성 데이터 스토리지 미디어와 같은 다양한 디바이스들의 연결을 거기에 허용하는 다수의 포트들을 포함할 수 있다.

[0014]

XSSD 모듈(104)은 이니시에이터 인터페이스(202) 및 타겟 인터페이스(204)를 포함할 수 있다. 이니시에이터 인터페이스(202)는 XSSD 모듈(104)을 이니시에이터(206)와 인터페이스 하는 것을 허용하도록 구성될 수 있고 타겟 인터페이스(204)는 XSSD 모듈(104)을 타겟(208)과 통신하는 것을 허용하도록 구성될 수 있다. 일부 실시예들에서, 이니시에이터(206)는 도 1의 호스트(102)를 참고로 하여 상기에서 설명된 디바이스들의 유형들과 같은 호스트 디바이스일 수 있다. 타겟(208)은 도 1의 DSM(106)을 참고로 하여 상기에서 설명된 유형들과 같은 데이터 스토리지 디바이스일 수 있다. 다른 실시예들에서, 데이터 스토리지 디바이스는 이니시에이터(206)로 간주될 수

있고 호스트 디바이스는 타겟(208)으로 간주될 수 있다.

- [0015] XSSD 모듈(104)은 하나 이상의 관련된 프로세서들(212)을 갖는 제어 회로(210)를 포함할 수 있다. 제어 회로(210)는 이니시에이터(206), 타겟(208), 또는 둘모두에 의해 요청되거나 거기로부터 수신된 데이터의 배정을 결정하고 추적하는 하이브리드 파일 시스템을 실행하고 제어하도록 구성될 수 있다.
- [0016] 일부 실시예들에서, XSSD 모듈(104)은 적어도 부분적으로 하나 이상의 캐시 기준을 충족시키는 데이터에 대한 캐시로서 사용되는 고체 상태 메모리(SSM)(214)를 포함할 수 있다. SSM(214)은 휘발성 고체 상태 메모리(VSSM), 예컨대 정적 랜덤-액세스 메모리(SRAM) 또는 동적 랜덤-액세스 메모리(DRAM)일 수 있거나 SSM(214)은 비휘발성 고체 상태 메모리(NVSSM), 예컨대 플래시 메모리일 수 있다. 비록 이하의 설명은 NVSSM 또는 플래시 메모리(214)을 주로 언급하지만, 임의의 다른 유형(들) 또는 조합(들) SSM(214) 또는 NVSSM 사용될 수 있다는 것이 이해되어야 한다.
- [0017] XSSD 모듈(104)은 버퍼 메모리(218)로서 사용되는 하나 이상의 메모리 유닛들로부터/유닛으로 데이터를 할당할 수 있는 버퍼 관리기(216)를 포함할 수 있다. 예를 들어, XSSD 모듈(104)은 이니시에이터(206)으로부터의/로의, 타겟(208)으로부터의/로의, NVSSM으로부터의/로의, 또는 그것의 임의 조합의 판독 및 기록 동작들 동안에 송신되는 데이터를 일시적으로 저장하는데 사용되는 하나 이상의 SRAM 또는 DRAM 유닛들(218)을 가질 수 있다. 버퍼 메모리(218)는 액세스 동작들이 실행을 기다리는 동안 일시적으로 저장될 수 있는 명령어 큐(미도시)를 포함할 수 있다. 비록 SRAM/DRAM 유닛(들)(218)이 XSSD 모듈(104)내에 존재하는 것으로 도 2에 도시되지만, 그것들은 추가적으로 또는 대안적으로 XSSD 모듈(104) 외부에, 예컨대, 예를 들어, 도 3에 도시된 DRAM 유닛(312)에 배치될 수 있다는 것이 이해되어야 한다.
- [0018] XSSD 모듈(104)은 플래시 메모리(214)를 버퍼 관리기(216)에 통신에 관하여 결합하는 플래시 프로토콜 프로세서(222) 및 FIFO(first-in-first-out) 메모리 유닛(220)을 추가로 포함할 수 있고, 그것은, 차례로, 제어 회로(210)에 통신에 관하여 결합된다. FIFO 메모리 유닛(220)은 버퍼 관리기(216)로부터 데이터를 수신할 수 있고 데이터가 플래시 프로토콜 프로세서(222)로 FIFO 베이스에 기초하여 송신될 때까지 데이터를 저장할 수 있다. FIFO 메모리 유닛(220)은 FIFO 메모리 유닛(220)에서 수신된 데이터 상에서의 체크들을 구현하는 에러 정정 코드(ECC)를 포함할 수 있고 임의의 에러 비트들을 정정할 수 있어서 데이터 무결성이 유지된다.
- [0019] 플래시 프로토콜 프로세서(222)는 하나 이상의 통신 프로토콜들에 따라 FIFO 메모리 유닛(220)으로부터 수신된 데이터를 추출/프로세싱/구성하는데 전용되는 특화된 프로세서일 수 있어서 플래시 프로토콜 프로세서(222)는 플래시 메모리(214)내 스토리지에 대해 적절한 포맷으로 데이터를 송신한다.
- [0020] 대안적으로 또는 추가적으로, XSSD 모듈(104)은 하나 이상의 외부 플래시(또는 임의의 다른 유형의 NVSSM) 메모리 유닛들(214)의 부가를 허용하도록 구성될 수 있다. 도 2는 하나 이상의 플래시 입력/출력(I/O) 포트들(224)를 통하여 플래시 프로토콜 프로세서(222)에 통신에 관하여 결합되는 플래시 메모리(214)의 성능을 도시한다. 비록 단일 외부 플래시 메모리(214)가 도시되지만, 복수개의 외부 플래시 메모리 유닛들(214)이 XSSD 모듈(104)에 부착될 수 있다는 것이 이해되어야 한다.
- [0021] XSSD 모듈(104)은 XSSD 모듈(104) 상의 GPIO 핀(미도시)의 행동을 제어할 수 있는 범용 입력/출력(GPIO) 제어(226)를 추가로 포함할 수 있다. 게다가, XSSD 모듈(104)은 XSSD 모듈(104)와 조합하여 사용될 디바이스를 연결하기 위한 적절한 하나 이상의 추가 포트들을 추가로 포함할 수 있다. 예를 들어, XSSD 모듈(104)은 모뎀 또는 유사한 통신 디바이스와 인터페이스하는 RS-232 표준을 준수하는 하나 이상의 직렬 포트들(228)을 포함할 수 있다. 다른 예로서, XSSD 모듈(104)은 예를 들어, XSSD 모듈(104)와의 이슈들을 진단하기 위해 사용될 수 있는 테스트 디바이스와 인터페이스하기 위한 하나 이상의 진단 포트들(230)을 포함할 수 있다.
- [0022] 도 3은 확장된 고체 상태 디바이스(XSSD) 모듈(104)를 포함하는 시스템(300)의 다른 대표적인 실시예의 기능 블록 다이어그램이 도시된다. XSSD 모듈(104)은 제어기(302)를 포함할 수 있고, 제어기는, 일부 실시예들에서, 도 2를 참고로 하여 상기에서 설명된 제어 회로(210)의 일 예이다.
- [0023] 제어기(302)는 호스트 제어기(304)를 포함하는 인터페이스를 통하여 호스트 시스템(102)과 통신할 수 있다. 제어기(302)는 또한 호스트 인터페이스-모조 제어기(306)를 포함하는 인터페이스(110)를 통하여 데이터 스토리지 디바이스(DSD)(106)와 통신할 수 있다. 호스트 인터페이스-모조 제어기(306), 그것은 호스트 제어기(304)를 복제하도록 구성될 수 있기 때문에 모조하는 것으로 불리우고 DSD(106)는 마치 DSD가 호스트 시스템(102)과 직접 인터페이스되는 것처럼 XSSD 모듈(104)와 인터페이스하고 즉, DSD(106)는 XSSD 모듈(104) 및 호스트 시스템(102)과의 인터페이스 사이에서 구별할 수 없다.

- [0024] 제어기(302)는 추가로 하나 이상의 NVSSM 제어기들(310)을 통하여 하나 이상의 비휘발성 고체 상태 메모리(NVSSM) 유닛들(308)과 통신할 수 있다. 일부 실시예들에서, NVSSM 유닛들(308)은 NAND 플래시 메모리 유닛들이고 NVSSM 제어기들(310)은 NAND 제어기들이다. 더구나, XSSD 모듈(104)은 비-휘발성 캐시로서 NVSSM 유닛들(308)을 사용할 수 있고 영구 스토리지로서 DSD(106)를 사용할 수 있다. 따라서, XSSD 모듈(104)은 비-휘발성 캐시로서 사용에 적절한 임의 유형의 메모리이고 영구 스토리지로서 사용에 적절한 임의 유형의 메모리와 통신하고 결합되도록 구성될 수 있다는 것이 이해되어야 한다.
- [0025] 제어기(302)는 추가로 버퍼 메모리 제어기(314)를 포함하는 인터페이스를 통하여 버퍼 메모리 유닛(312)과 통신할 수 있다. 일부 실시예들에서, 버퍼 메모리 제어기(314)는 버퍼 메모리(312)으로부터/로 데이터를 할당하기 위해 사용되는 버퍼 관리기(316)의 컴포넌트일 수 있다. 버퍼 메모리 유닛(312)은 이니시에이터(206)으로부터/로, 타겟(208)으로부터/로, NVSSM으로부터/로, 또는 그것의 임의 조합의 관독 및 기록 동작들 동안에 송신되는 데이터를 일시적으로 저장하기 위해 사용될 수 있다. 버퍼 메모리(312)는 액세스 동작들이 실행을 기다리는 동안 일시적으로 저장될 수 있는 명령어 큐(미도시)를 포함할 수 있다. 비록 버퍼 메모리 유닛(312)은 XSSD 모듈(104)에 대해 외부의 단일 DRAM 유닛으로 도 3에 도시되지만, 제어기(302)는 복수개의 버퍼 메모리 유닛들(312)(도 2를 참고로 하여 상기에서 설명된 것처럼 하나 이상의 DRAM 유닛들을 포함하는)와 통신할 수 있고 그리고 버퍼 메모리 유닛들(312)은 XSSD 모듈(104)내에 추가적으로 또는 대안적으로 존재할 수 있다는 것에 이해되어야 한다.
- [0026] 일부 실시예들에서, 제어기(302) 및 각각의 호스트 시스템(들)(102), DSD(들)(106), NVSSM 유닛(들)(308) 및 버퍼 메모리 유닛(들)(312) 사이의 인터페이스(들)은 이하의 표준들: USB(universal serial bus), IEEE 1394, SATA(serial advanced technology attachment), eSATA(external SATA), PATA(parallel advanced technology attachment), SCSI(small computer system interface), SAS(serial attached SCSI), PCIe(peripheral component interconnect express) 및 FC(fiber channel) 중 하나 이상을 준수하는 하나 이상의 인터페이스를 포함할 수 있다. 그러나, 제어기(302)를 호스트 시스템(들)(102), DSD(들)(106), NVSSM 유닛(들)(308), 버퍼 메모리 유닛(들)(312), 또는 그것의 임의 조합과 통신하도록 허용하기 위한 적절한 임의의 다른 인터페이스가 사용될 수 있다.
- [0027] 제어기(302)는 명령어 CPU(318), 번역 계층 CPU(320), 명령어 메모리(322) 및 데이터 메모리(324)를 포함할 수 있다. 제어기(302)에 송신된 명령어 데이터는 명령어 메모리(322)에 일시적으로 저장될 수 있고 동시에 제어기(302)에 송신된 유저 데이터는 데이터 메모리(324)에 일시적으로 저장될 수 있다. 따라서, 명령어 메모리(322) 및 데이터 메모리(324)는 사실상 명령어 CPU(318) 또는 번역 계층 CPU(320) 또는 둘모두에 의해 실행될 때까지 관독 및 기록 동작들 동안에 송신된 데이터를 일시적으로 저장하기 위해 사용되는 버퍼 메모리 유닛들, 또는 중간 버퍼 메모리 유닛들(즉, 버퍼 메모리 유닛(312) 및 CPU들(318), (320)사이에 배치된 버퍼 메모리 유닛들)이다.
- [0028] 일부 실시예들에 따라, 명령어 CPU(318)는 관독 및 기록 요청들을 수신하도록 구성될 수 있고 호스트 시스템(들)(102), DSD(들)(106), NVSSM 유닛(들)(308) 및 버퍼 메모리 유닛(들)(312) 간의 요청들과 관련된 유저 데이터를 할당한다. 번역 계층 CPU(320)는 NVSSM 유닛(들)(308)에 대한 관독 및 기록 액세스를 관리하는 소프트웨어 계층을 프로세스하도록 구성될 수 있다. 번역 계층 CPU(320) 또는 프로토콜 프로세서는 NAND 플래시 메모리에 할당된 데이터를 번역하는 플래시 번역 계층(FTL) CPU 일 수 있어서 할당된 데이터는 NAND 플래시 메모리에 의해 관독가능하게 된다.
- [0029] 도면들 2-3에 도시된 컴포넌트들의 전부 또는 일부는 단일 프로세서 또는 제어기 칩내에 건조될 수 있고 XSSD 모듈(104) 및 시스템들(200, 300)을 대하여 본 출원에서 논의된 기능들 및 동작들을 수행하도록 펌웨어 또는 회로부를 통하여 구성될 수 있다.
- [0030] 도 4는 터어된 스토리지 아키텍처를 구현하기 위한 방법(400)의 대표적인 실시예의 플로우 차트를 보여준다. 도 4에 의해 예시된 방법(400)에 대한 실시예들을 설명할 때, 방법(400)의 어떤 측면들을 명확하게 하기 위해서 도면들 1-3에 또한 도면 번호가 제공될 것이다.
- [0031] 블록(402)에서, XSSD 모듈(104)은 관독 요청을 수신한다. 예를 들어, 호스트 시스템(102)은 XSSD 모듈(104)로 관독 요청을 송신할 수 있다. 그러나, 관독 요청은 XSSD 모듈(104)이 통신에 관하여 결합된 임의의 디바이스 또는 시스템으로부터 발원할 수 있다.
- [0032] 만약, 블록(404)에서, XSSD 모듈(104)은 관독 요청이 캐시 적중(cache hit)인지를 결정하고(즉, 요청된 데이터

가 요청의 시간에 캐시에 저장된지), 그런다음 XSSD 모듈(104)은 블록(405)에서 요청된 데이터가 DRAM(또는 SRAM)에 캐시된지 아닌지를 결정한다. 만약 요청된 데이터가 DRAM에 캐시되면, 그러면 XSSD 모듈(104)은 DRAM에서 데이터를 검색하고 블록(410)에서 판독 요청자에게(즉, 판독 요청을 개시했던 디바이스 또는 시스템)데이터를 제공한다. 만약 요청된 데이터가 DRAM에 캐시되지 않으면, 그러면 XSSD 모듈(104)은 블록(406)에서 제 1 메모리 tier의 비휘발성 고체 상태 메모리(NVSSM)에서 데이터를 검색하고 블록(410)에서 판독 요청자에게 데이터를 제공한다.

[0033] 그러나 만약 블록(404)에서, XSSD 모듈(104)이 판독 요청이 캐시 적중이 아니라고 결정하면, 그러면 XSSD 모듈(104)은 블록(408)에서 제 2 메모리 tier의 데이터 스토리지 디바이스/매체에서 데이터를 검색하고 블록(410)에서 판독 요청자에게 데이터를 제공한다.

[0034] 본 출원에서 사용되는, 용어 “제 1 메모리 tier”는 영구 스토리지로서 사용되는 비휘발성 메모리를 포함하는 “제 2 메모리 tier”와 캐시로서 사용되는 NVSSM을 포함하는 메모리 tier를 구별하기 위해 사용된다. 그러나 용어 “제 1 메모리 tier” 및 “제 2 메모리 tier”는 두개의 메모리 tier들로 본 발명의 실시예들을 제한하려고 의도되지 않고 그것들은 제 1 메모리 tier 및 제 2 메모리 tier 앞에, 사이에 또는 그 뒤에 하나이상의 메모리 tier들을 배치하려고 의도되지도 않는다. 도면들 2-3의 플래시 메모리(214,308)는 일부 실시예들의 제 1 메모리 tier내에 포함된 NVSSM를 예시한다. 도 3의 데이터 스토리지 디바이스/매체(DSD/DSM)(106)은 일부 실시예들의 제 2 메모리 tier에 포함된 비휘발성 메모리를 예시한다.

[0035] 일부 실시예들에서, XSSD 모듈(104)은 캐시 기준 및 영구 스토리지 기준, 각각에 대하여 둘모두 또는 어느 하나를 충족하는지 아닌지를 결정한다. 만약 데이터가 그것의 캐시 기준을 충족한다고 XSSD 모듈(104)이 결정하고, 그런다음 데이터가 그 내부에 아직 저장되지 않았다면 제 1 메모리 tier의 NVSSM에 기록된다. 만약 데이터가 그것의 영구 스토리지 기준을 충족한다고 XSSD 모듈(104)이 결정하고, 그런다음 데이터가 그 내부에 아직 저장되지 않았다면 제 2 메모리 tier의 DSD/DSM에 기록된다. 일부 실시예들에서 캐시 기준, 영구 스토리지 기준, 또는 둘모두는 하나 이상의 파라미터들에 기반하여 미리 결정될 수 있다. 그러나, 일부 실시예들에서, 캐시 기준, 영구 스토리지 기준에 대한 파라미터들, 또는 둘모두는 XSSD 모듈(104)에 의해 그때 그때(on-the-fly) 업데이트되거나 결정될 수 있다. 캐시 기준, 영구 스토리지 기준, 또는 둘모두에 기반 될 수 있는 파라미터들은 에이지(타이밍), 용량(% 풀), 파워 이벤트(예를 들어, 셧다운), 감지된 아이들 시간 또는 파라미터들, 또는 그것의 임의 조합을 포함하지만, 그것에 제한되는 것은 아니다.

[0036] 도 5는 tier된 스토리지 아키텍처를 구현하기 위한 방법(500)의 다른 대표적인 실시예의 플로우 차트를 보여준다. 도 5에 의해 예시된 방법(500)에 대한 실시예들을 설명할 때, 방법(500)의 어떤 측면들을 명확하게 하기 위해서 도면들 1-3에 또한 도면 번호가 제공될 것이다.

[0037] 블록(502)에서, XSSD 모듈(104)은 기록 요청을 수신할 수 있다. 예를 들어, 호스트 시스템(102)은 XSSD 모듈(104)로 기록 요청을 송신할 수 있다. 그러나, 기록 요청은 XSSD 모듈(104)이 통신에 관하여 결합된 임의의 디바이스 또는 시스템으로부터 발원할 수 있다. 일부 실시예들에서, 기록 요청은 휘발성 메모리에 버퍼된 명령어 데이터 및 유저 데이터를 포함할 수 있다.

[0038] 방법(500)의 임의 실시예들에서, XSSD 모듈(104)은 블록(504)에서 제 1 메모리 tier의 비휘발성 고체 상태 메모리(NVSSM)에 선택된 데이터를(즉, 수신된 기록 요청 중 결과로서 기록될 데이터) 기록할 수 있다. 따라서, 모든 선택된 데이터는 제 1 메모리 tier가 임의의 선택된 데이터를 어디 다른곳에 밀어내기전에 제 1 메모리 tier의 NVSSM에 캐시될 수 있다.

[0039] 어떤 실시예들에서, XSSD 모듈(104)를 패스 스루하는 모든 데이터는 NVSSM에 저장될 수 있다. 예를 들어, 모든 기록들은 휘발성 랜덤 액세스 메모리일 수 있는 캐시 버퍼에서 임계 시간후에 NVSSM으로 향하게 될 수 있다. 캐시가 임계 시간(또는 다른 트리거에 기반하여)후에 NVSSM로 플러쉬될 때, 최소의 기록 데이터의 양 예컨대 플래시 메모리의 페이지와 같은 양이 필요로 될 수 있다. 더구나, XSSD 모듈(104)에 의해 수신된 판독들이 NVSSM에 저장될 수 있다. 일부 예들에서, 판독 명령어로부터의 데이터가 XSSD 모듈(104)에 저장될 때, 최소한의 아이템들이 NVSSM에 저장될 수 있다. 첫째, 호스트에 의해 요청된 실제 데이터가 저장될 수 있고 그리고 둘째, 추가 판독 룩 어헤드(Read Look Ahead) 데이터가 NVSSM에 저장될 수 있다. 예를 들어 만약 호스트(102)가 로직 블록 어드레스(LBA) (100)로부터 데이터를 찾을것이고 그것은 아직 NVSSM에 없다면, XSSD 모듈(104)은 DSD(106)로부터 데이터를 검색할 것이고 LBA(100)로부터 호스트(102)로 데이터를 리턴할 것이다. XSSD 모듈(104)은 또한 LBA(100)로부터 미래의 판독들을 위해 NVSSM에 데이터를 저장할 것이고 호스트(102)로부터의 후속 요청이 LBA(101)에 대한 것인 경우에 LBA(101)로부터 추가의 판독 룩 어헤드(Read Look Ahead) 데이터를 또한 저장할

것이다. XSSD 모듈(104) 또는 DSD(106)는 판독 룩 어헤드(Read Look Ahead) 데이터에 대한 판독을 개시할 수 있고, 그다음 이것은 XSSD 모듈(104)의 NVSSM에 저장될 수 있다.

[0040]

블럭(506)에서, XSSD 모듈(104)은 선택된 데이터의 일부 또는 전부에 대하여 영구 스토리지 트리거 이벤트 발생했는지 여부, 또는 하나 이상의 영구 스토리지 기준이 만족되는지 여부, 또는 그것의 조합을 결정할 수 있다. 만약 그렇다면, 그러면 XSSD 모듈(104)은 블럭(508)에서 제 2 메모리 티어의 비 휘발성 메모리로 선택된 데이터의 최소한의 서브셋을 이동시킨다. 영구 스토리지 트리거 이벤트, 영구 스토리지 기준, 또는 그것의 조합은 하나 이상의 파라미터들, 예컨대: 에이지(타이밍), 용량(% 풀), 파워 이벤트(예를 들어, 셧다운), 감지된 아이들 시간, 다른 파라미터들, 또는 그것의 임의 조합에 기반하여 결정될 수 있다.

[0041]

비록 도 5는 제 1 메모리 티어가 임의의 선택된 데이터를 어디 다른곳으로 밀어내기 전에 모든 선택된 데이터를 제 1 메모리 티어의 NVSSM로 캐시하는 것의 방법(500)을 보여주지만, 임의의 실시예들은 미리 결정되거나 그때 그때 결정된 캐시 기준, 예컨대, 예를 들어, 도 4를 참고로 하여 상기에서 설명된 캐시 기준을 충족시키는 데이터만을 캐시하는 것을 포함할 수 있다.

[0042]

일부 실시예들에서, 도면들 1-5에 대한 상기에서 설명된 장치 및 방법들의 이런 구현예들을 가진, 하이브리드 데이터 스토리지 시스템은 호스트 시스템 또는 데이터 스토리지 디바이스 [예를 들어, 하드 디스크 드라이브(HDD)]의 거의 수정없이 또는 전혀 수정없이 구현될 수 있다. 더구나, XSSD 모듈(104)은 자체 어드레스를 가진 스토리지 스페이스로서 사용되도록 또는 비휘발성 캐시로서 사용되도록 다수의 디바이스들 간에 스토리지 스페이스를 선택적으로 할당할 수 있다. 일부 예들에서, HDD가 영구 스토리지로 사용될 수 있는데 반하여 비휘발성 고체 상태 메모리(NVSSM)는 HDD로부터 보다 빠른 판독 액세스 시간들을 위해 캐시에 고정된 데이터에 대해 또는 착신 및 송출 데이터에 대해 비휘발성 캐시로서 사용될 수 있다. 어떤 실시예들에서, 호스트 시스템에 보고된 스토리지 전체 용량은 HDD의 용량에 추가하여 NVSSM의 용량일 수 있다. 더구나, 일부 실시예들에서, 다수의 스토리지 디바이스들/매체들은 예를 들어, HDD는 NVSSM를 위한 백업일 수 있거나 또는 반대이거나 어느 한쪽에 대해 백업으로서의 역할을 할 수 있다.

[0043]

XSSD 모듈(104)은 적어도 부분적으로 호스트 시스템상에 통합될 수 있어서 데이터는 호스트 시스템, 제 1 메모리 티어 및 제 2 메모리 티어간에 송신될 수 있다. 추가적으로 또는 대안적으로, XSSD 모듈(104)은 제 2 메모리 티어의 비휘발성 메모리를 포함하는 데이터 스토리지 디바이스상에 적어도 부분적으로 통합될 수 있어서 데이터는 호스트 시스템, 제 1 메모리 티어 및 제 2 메모리 티어 간에 송신될 수 있다. 추가적으로 또는 대안적으로, XSSD 모듈(104)을 제 2 메모리 티어의 비휘발성 메모리를 포함하는 데이터 스토리지 디바이스 및 호스트 시스템에 결합하는 것을 허용하도록 구성된 브리지 어댑터상에 XSSD 모듈(104)이 적어도 부분적으로 통합될 수 있어서 데이터는 호스트 시스템, 제 1 메모리 티어 및 제 2 메모리 티어 간에 송신될 수 있다.

[0044]

다양한 실시예들에 따라, 본 출원에서 설명된 방법들은 컴퓨터 프로세서 또는 제어기, 예컨대 제어기(206) 상에서 운영하는 하나 이상의 소프트웨어 프로그램들로 구현될 수 있다. 다른 실시예에 따라, 본 출원에서 설명된 방법들은 디스크 드라이브를 사용하는 컴퓨팅 디바이스, 예컨대 퍼스널 컴퓨터 상에서 운영하는 하나 이상의 소프트웨어 프로그램들로 구현될 수 있다. 한정되는 것은 아니지만, 애플리케이션 특정 집적 회로들, 프로그램 가능한 로직 어레이들 및 다른 하드웨어 디바이스들을 포함하는 전용 하드웨어 구현예들이 마찬가지로 본 출원에서 설명된 방법들을 구현하기 위해 구성될 수 있다. 더구나, 본 출원에서 설명된 방법들은 프로세서로 하여금 방법들을 수행하게 실행되는 명령들을 포함하는 컴퓨터 판독가능한 매체로 구현될 수 있다.

[0045]

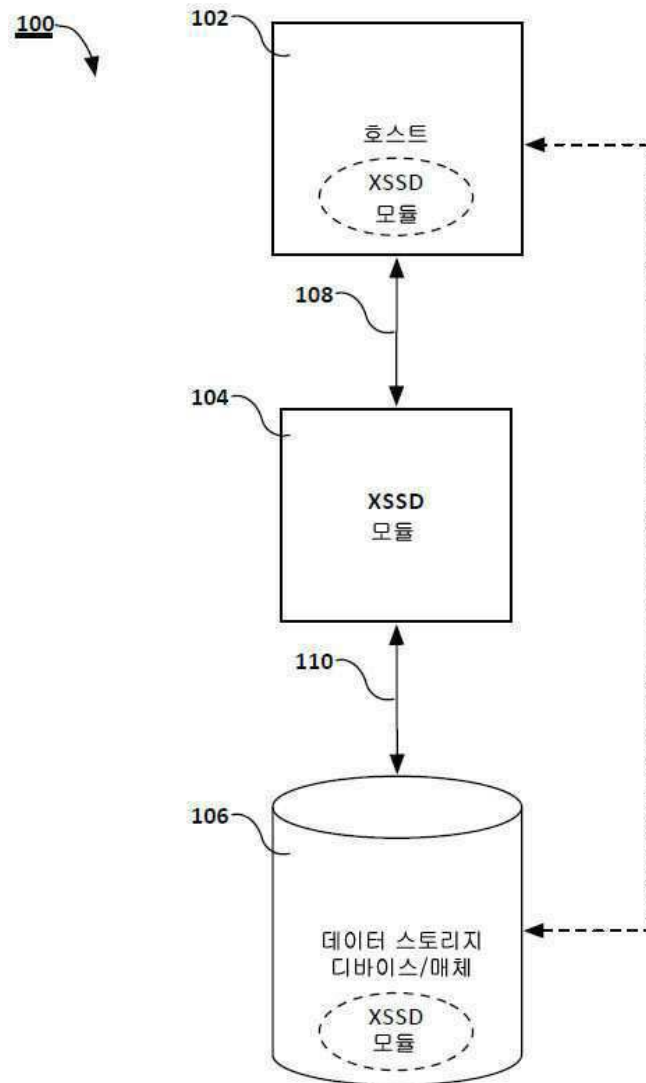
본 출원에서 설명된 실시예들의 예시들은 다양한 실시예들의 구조에 대한 일반적 이해를 제공하도록 의도된다. 예시들은 본 출원에서 설명된 구조들 또는 방법들을 활용하는 장치 및 시스템들의 모든 엘리먼트들 및 특징부들의 완전한 설명 역할을 하도록 의도되지 않는다. 본 발명을 검토하면 많은 다른 실시예들이 관련 기술 분야의 통상의 기술자들에 명확해질 것이다. 다른 실시예들이 본 발명으로부터 활용될 수 있고 도출될 수 있어서 구조상의 및 로직상의 대체물들 및 변화들이 본 발명의 범위를 벗어남이 없이 제공될 수 있다. 게다가, 비록 특정 실시예들이 본 출원에서 설명되고 예시되었지만, 동일하거나 유사한 목적을 달성하기 위해 디자인된 임의의 후속 배열이 도시된 특정 실시예들을 대체할 수 있다는 것이 이해되어야 한다.

[0046]

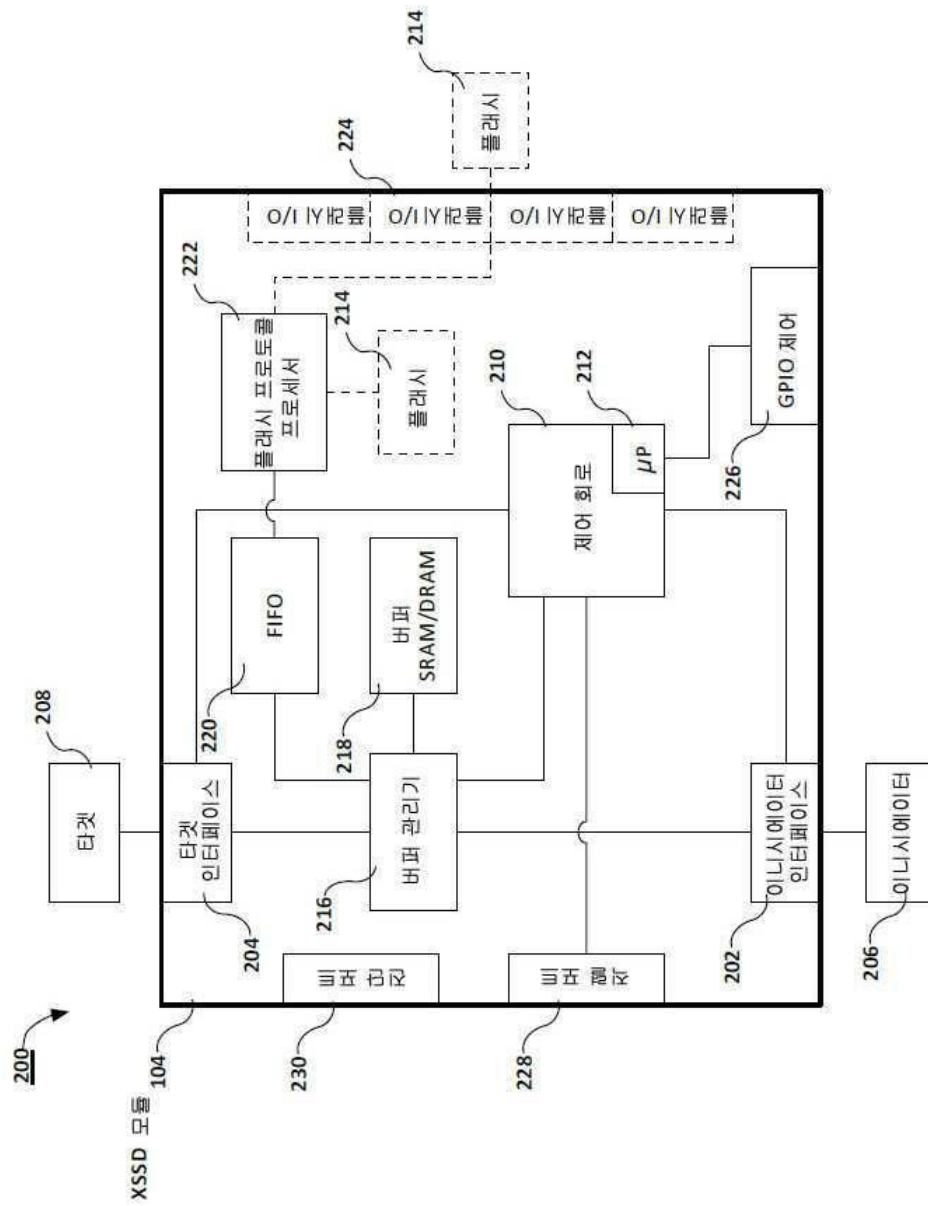
본 발명은 다양한 실시예들의 임의 및 모든 후속 개조들 또는 변형예들을 커버하는 것으로 의도된다. 상기 실시예들의 조합, 및 본 출원에 구체적으로 설명되지 않은 다른 실시예들이 상세한 설명을 검토해 보면 이 기술분야의 숙련자들에게 명백할 것이다. 추가적으로, 예시들은 단지 대표적이고 축적에 맞도록 도시되지 않을 수 있다. 예제들 내에서 어떤 부분들은 과장될 수 있지만 반면 다른 부분들은 축소될 수 있다. 따라서, 발명들 및 도면들은 예시적이고 제한적이지 않은 것으로 간주될 것이다.

도면

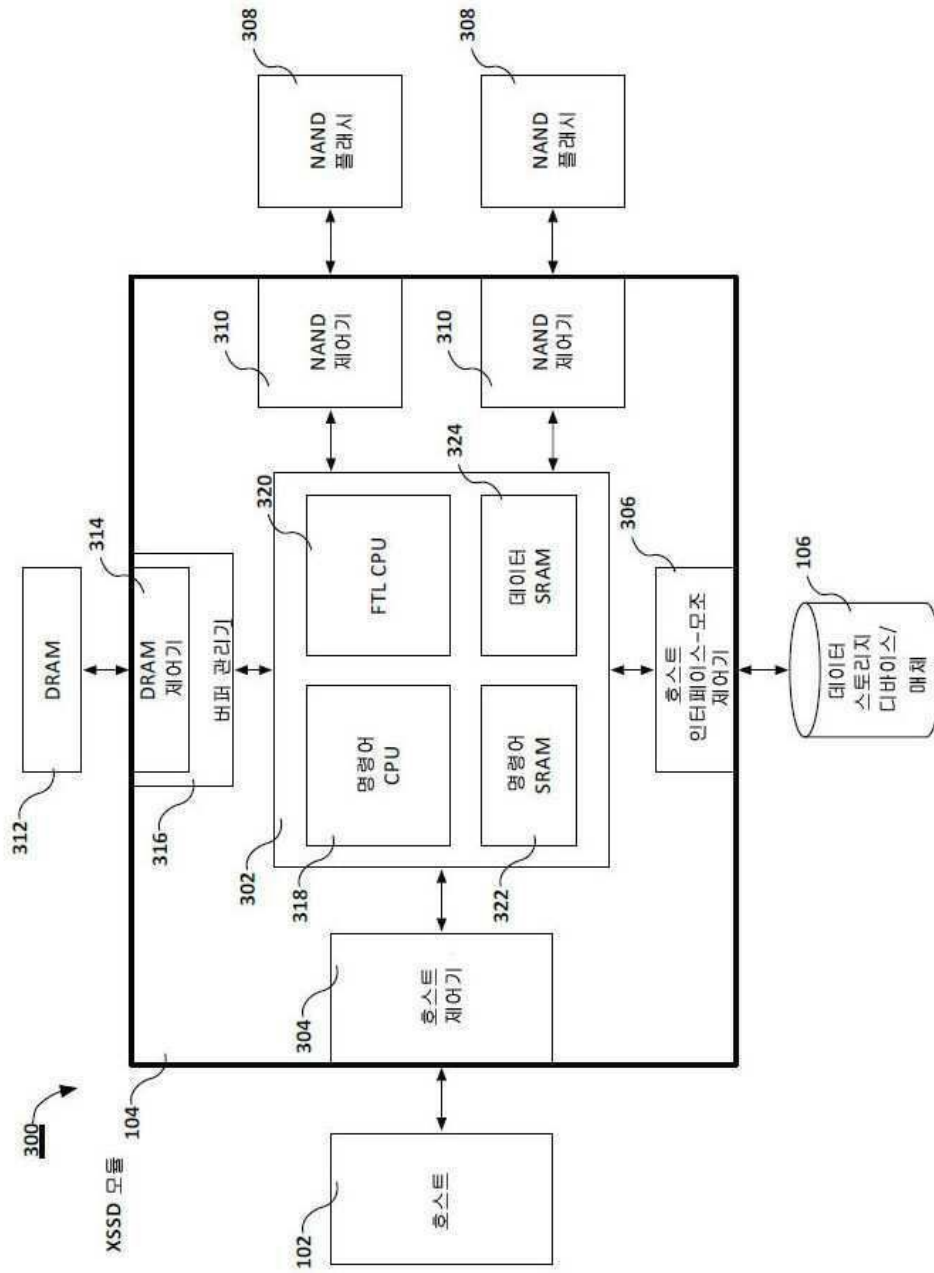
도면1



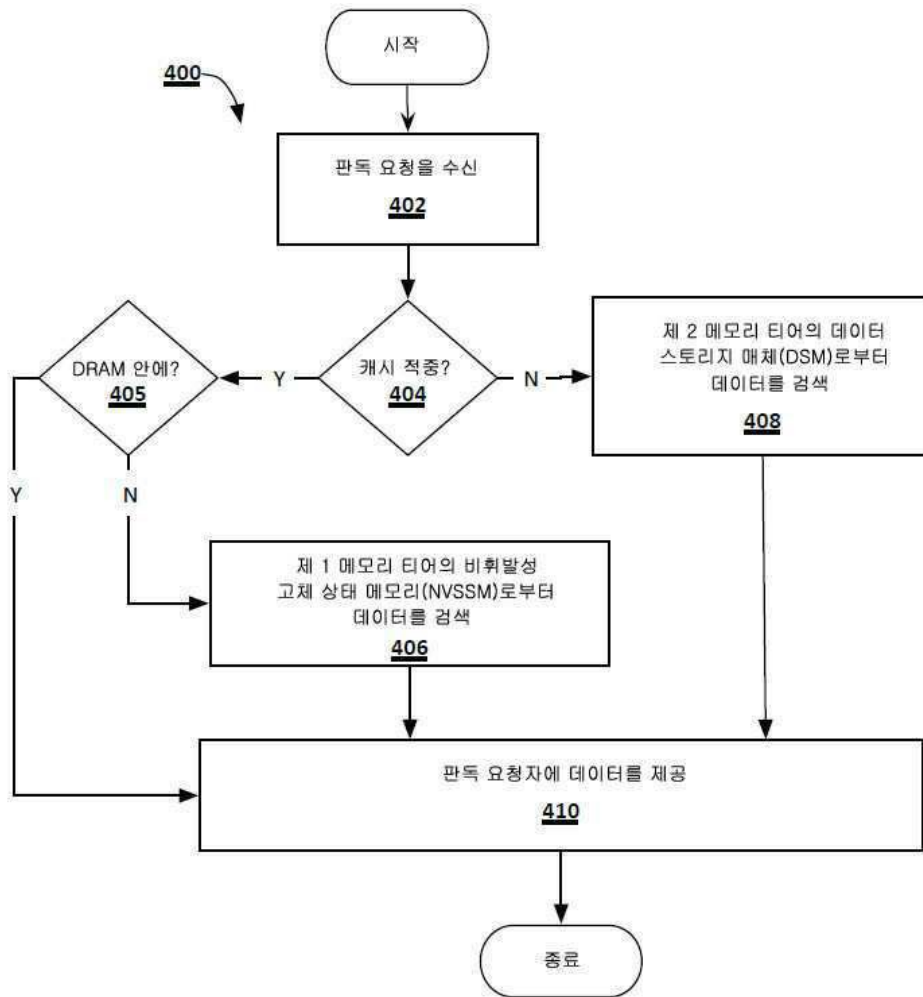
도면2



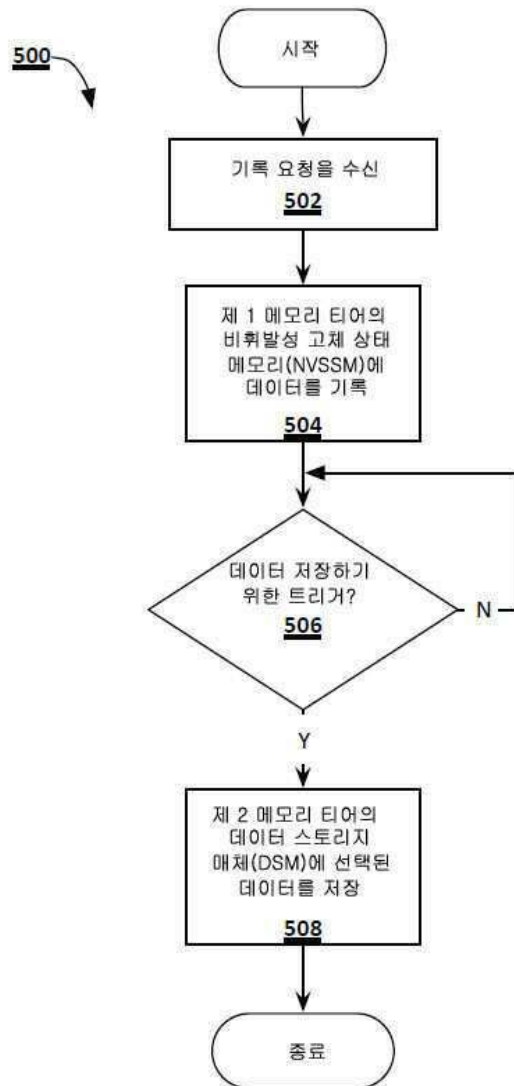
도면3



도면4



도면5



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 제18항 6째줄

【변경전】

상기 호스트 디바이스

【변경후】

상기 호스트 시스템

【직권보정 2】

【보정항목】 청구범위

【보정세부항목】 청구항 제10항 6째줄

【변경전】

상기 제 2 티어

【변경후】

상기 제 2 메모리 터어