

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6068763号
(P6068763)

(45) 発行日 平成29年1月25日(2017.1.25)

(24) 登録日 平成29年1月6日(2017.1.6)

(51) Int.Cl.

F 1

H01L 21/336 (2006.01)

H01L 29/78 (2006.01)

627F

H01L 29/786 (2006.01)

H01L 29/78 (2006.01)

618B

H02M 7/06 (2006.01)

H01L 29/78 (2006.01)

613Z

H02M 7/06 (2006.01)

E

請求項の数 2 (全 16 頁)

(21) 出願番号	特願2015-200373 (P2015-200373)	(73) 特許権者	000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地
(22) 出願日	平成27年10月8日 (2015.10.8)	(72) 発明者	鎌田 康一郎 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(62) 分割の表示	特願2011-41183 (P2011-41183) の分割	審査官	宇多川 勉
原出願日	平成23年2月28日 (2011.2.28)	(56) 参考文献	国際公開第2008/096768 (W O, A1) 特開2009-212499 (JP, A) 特開2009-099847 (JP, A)
(65) 公開番号	特開2016-12739 (P2016-12739A)		
(43) 公開日	平成28年1月21日 (2016.1.21)		
審査請求日	平成27年10月9日 (2015.10.9)		
(31) 優先権主張番号	特願2010-49159 (P2010-49159)		
(32) 優先日	平成22年3月5日 (2010.3.5)		
(33) 優先権主張国	日本国 (JP)		

最終頁に続く

(54) 【発明の名称】半導体装置の作製方法

(57) 【特許請求の範囲】

【請求項 1】

整流回路を有し、

前記整流回路は、

トランジスタと、入力端子と、キャパシタと、出力端子と、を有し、

前記入力端子に、前記トランジスタのゲートと前記トランジスタのソース又はドレインの一方とが電気的に接続され、

前記出力端子に、前記トランジスタのソース又はドレインの他方と前記キャパシタの電極の一方とが電気的に接続され、

前記トランジスタは、酸化物半導体層を有する半導体装置の作製方法であって、

前記酸化物半導体層は、脱水化及び脱水素化の熱処理を行った後、酸素雰囲気、又は、窒素及び酸素を含む雰囲気で熱処理され、

前記トランジスタは、室温において、ソースとドレインの間の電圧が3.1 [V] のときにオフ電流が10 [zA / μm] 以下であるとともに、85 °Cにおいて、ソースとドレインの間の電圧が3.1 [V] のときにオフ電流が100 [zA / μm] 以下であることを特徴とする半導体装置の作製方法。

【請求項 2】

請求項 1において、

前記酸化物半導体層中のキャリア密度は $1 \times 10^{12} / \text{cm}^3$ 未満であることを特徴とする半導体装置の作製方法。

10

20

【発明の詳細な説明】

【技術分野】

【0001】

技術分野は、整流回路およびこれを用いた無線通信装置に関する。

【背景技術】

【0002】

R F I D (R a d i o F r e q u e n c y I D e n t i f i c a t i o n) 技術を用いた無線通信システムにおいて、データキャリアに搭載されたアンテナが、リーダ/ライタに搭載されたアンテナから送信される搬送波を受信すると、電磁誘導により起電力が誘起される。そして、データキャリアに搭載された整流回路が、そこで誘起された交流電流から直流電流を生成する。

10

【0003】

データキャリアに搭載される整流回路は、一般的には、ゲートとソース又はドレインが接続された、いわゆるダイオード接続のMOSトランジスタ（以下、「トランジスタ」と記す）により構成される。この整流回路は、搭載されたトランジスタのしきい値電圧を超えた実効値の交流信号を、直流信号へと整流する。

【0004】

整流回路を構成するダイオード接続のトランジスタの破壊を防ぐためには、整流しようとする交流電圧の約3倍の逆耐電圧が必要である。ここで、データキャリアに搭載される整流回路に入力される交流電圧の値は、リーダ/ライタのアンテナとデータキャリアのアンテナとの距離により変化する。そのため、整流回路に入力される最大の交流電圧を考慮して、使用するトランジスタを選択する必要がある。

20

【0005】

図2は、整流回路を構成するダイオード接続のトランジスタ（チャネル形成領域：ポリシリコン、オフ電流： 10^{-9} [A / μ m]）における、逆バイアス静特性を示すグラフである。なお、横軸は電圧[V]、縦軸は電流[A]の値を示している。このグラフより、このダイオード接続のトランジスタに逆方向バイアスを印加すると、-10[V]より大きい電圧で降伏現象が始まり、トランジスタが破壊することがわかる。

【0006】

逆バイアス状態で流れる逆方向電流は、ダイオード接続のトランジスタのオフ電流と関連している。そして、この逆方向電流における自由電子が、電界で加速され衝突電離を引き起こすことにより、降伏現象が発生する。

30

【0007】

したがって、整流回路を構成するダイオード接続のトランジスタとして、オフ電流の小さいトランジスタを適用することが、トランジスタの破壊を防ぎ、ひいては整流回路の信頼性を高めるうえで重要である。

【0008】

ところで、酸化物半導体をチャネル形成領域に用いたトランジスタはオフ電流が小さいことが知られている。

【0009】

40

非特許文献1では、酸化物半導体をチャネル形成領域に用いたトランジスタを搭載した整流回路が提案されている。

【先行技術文献】

【非特許文献】

【0010】

【非特許文献1】S . H . C h o , S . W . K i m , D . W . I h m , B . S . B a e , D . H . C h o , C . W . B y u n , C . S . H w a n g , S . H . K . P a r k , " O x i d e T F T R e c t i f i e r w i t h R F A n t e n n a " , I D W ' 0 9 , 2 0 0 9 , p p . 1 8 1 5 - 1 8 1 7

【発明の概要】

50

【発明が解決しようとする課題】

【0011】

非特許文献1には、チャネルがIGZO(Indium Gallium Zinc Oxide), オフ電流が 10^{-12} [A/ μ m]であるトランジスタを搭載した、両波倍電圧整流回路(非特許文献1 Fig. 4(a))および半波整流回路(非特許文献1 Fig. 4(b))が開示されている。

【0012】

ここで、半波整流回路は、交流の半サイクルのみを整流する回路である。一方、両波倍電圧整流回路は、半波整流回路を2組直列にした回路であり、半波整流回路で整流しなかった交流の残りの半サイクルも整流する回路である。そのため、両波倍電圧整流回路の出力は、半波整流回路の出力の約2倍となる。

10

【0013】

ところが、非特許文献1の両波倍電圧整流回路(非特許文献1 Fig. 4(a))によって、電圧振幅10[V]の交流電圧を整流し、得られた直流電圧は約4.8[V]である(非特許文献1 Fig. 5(a))。また、半波整流回路(非特許文献1 Fig. 4(b))によって、電圧振幅10[V]の交流電圧を整流し、得られた直流電圧は約5[V]である(非特許文献1 Fig. 5(b))。

【0014】

この結果について、非特許文献1において、両波倍電圧整流回路(非特許文献1 Fig. 4(a))では、高抵抗のトランジスタ(酸化物半導体をチャネル形成領域に用いたトランジスタ)を2つ用いているため、トランジスタを1つしか用いていない半波整流回路(非特許文献1 Fig. 4(b))よりも電圧降下が大きい、と考察している。

20

【0015】

非特許文献1で開示されている酸化物半導体をチャネル形成領域に用いたトランジスタのオフ電流は 10^{-12} [A/ μ m]なので、ポリシリコントランジスタと比較して、逆方向バイアス印加による破壊には強いといえる。しかし、一般的な整流回路の特性が得られておらず、整流効率が犠牲になっているといえる。

【0016】

よって、ダイオード接続の、酸化物半導体をチャネル形成領域に用いたトランジスタを適用し、トランジスタの破壊を防ぐことにより信頼性を高め、かつ、整流効率の向上した整流回路の提供を課題とする。

30

【課題を解決するための手段】

【0017】

本発明の一態様は、トランジスタと、交流信号が入力される端子と、キャパシタと、出力端子と、を有し、前記交流信号が入力される端子に、前記トランジスタのゲートと前記トランジスタのソース又はドレインの一方が電気的に接続され、前記出力端子に、前記トランジスタのソース又はドレインの他方と前記キャパシタの第1の電極が電気的に接続され、前記キャパシタの第2の電極に、接地電位が電気的に接続され、前記トランジスタは、酸化物半導体をチャネル形成領域に用い、前記酸化物半導体中のキャリア密度が $1 \times 10^{14} / \text{cm}^3$ 未満である、整流回路である。

40

【0018】

本発明の一態様は、トランジスタと、交流信号が入力される端子と、キャパシタと、出力端子と、を有し、前記交流信号が入力される端子に、前記トランジスタのゲートと前記トランジスタのソース又はドレインの一方が電気的に接続され、前記出力端子に、前記トランジスタのソース又はドレインの他方と前記キャパシタの第1の電極が電気的に接続され、前記キャパシタの第2の電極に、接地電位が電気的に接続され、前記トランジスタは、酸化物半導体をチャネル形成領域に用い、室温において、ソース-ドレイン電圧が3.1[V]のときにオフ電流が 10 [zA/ μ m]以下である、整流回路である。

【0019】

本発明の一態様は、トランジスタと、交流信号が入力される端子と、キャパシタと、出力

50

端子と、を有し、前記交流信号が入力される端子に、前記トランジスタのゲートと前記トランジスタのソース又はドレインの一方が電気的に接続され、前記出力端子に、前記トランジスタのソース又はドレインの他方と前記キャパシタの第1の電極が電気的に接続され、前記キャパシタの第2の電極に、接地電位が電気的に接続される整流回路の作製方法であって、前記トランジスタのチャネル形成領域を第1の酸化物半導体によって形成する工程と、前記第1の酸化物半導体に、水素と、水と、水酸基と、を除去するための第1の加熱処理を施して第2の酸化物半導体を形成する工程と、連続して、酸素雰囲気または窒素及び酸素を含む雰囲気で、前記第2の酸化物半導体の酸素欠損を修復するための第2の加熱処理を施して第3の酸化物半導体を形成する工程を有し、前記トランジスタのチャネル形成領域に前記第3の酸化物半導体を用いる、整流回路の作製方法である。

10

【0020】

本発明の一態様は、第1のトランジスタと、第2のトランジスタと、交流信号が入力される端子と、第1のキャパシタと、第2のキャパシタと、出力端子と、を有し、前記交流信号が入力される端子に、前記第1のキャパシタの第1の電極が電気的に接続され、前記第1のキャパシタの第2の電極に、前記第1のトランジスタのソース又はドレインの一方と前記第1のトランジスタのゲートと前記第2のトランジスタのソース又はドレインの一方が電気的に接続され、前記出力端子に、前記第1のトランジスタのソース又はドレインの他方と前記第2のキャパシタの第1の電極が電気的に接続され、前記第2のキャパシタの第2の電極に、接地電位と前記第2のトランジスタのゲートと前記第2のトランジスタのソース又はドレインの他方が電気的に接続され、前記第1のトランジスタ及び前記第2のトランジスタは、酸化物半導体をチャネル形成領域に用い、前記酸化物半導体中のキャリア密度が $1 \times 10^{14} / \text{cm}^3$ 未満である、整流回路である。

20

【0021】

本発明の一態様は、第1のトランジスタと、第2のトランジスタと、交流信号が入力される端子と、第1のキャパシタと、第2のキャパシタと、出力端子と、を有し、前記交流信号が入力される端子に、前記第1のキャパシタの第1の電極が電気的に接続され、前記第1のキャパシタの第2の電極に、前記第1のトランジスタのソース又はドレインの一方と前記第1のトランジスタのゲートと前記第2のトランジスタのソース又はドレインの一方が電気的に接続され、前記出力端子に、前記第1のトランジスタのソース又はドレインの他方と前記第2のキャパシタの第1の電極が電気的に接続され、前記第2のキャパシタの第2の電極に、接地電位と前記第2のトランジスタのゲートと前記第2のトランジスタのソース又はドレインの他方が電気的に接続され、前記第1のトランジスタ及び前記第2のトランジスタは、酸化物半導体をチャネル形成領域に用い、室温において、ソース-ドレイン電圧が3.1[V]のときにオフ電流が $10[\text{zA}/\mu\text{m}]$ 以下である、整流回路である。

30

【0022】

本発明の一態様は、第1のトランジスタと、第2のトランジスタと、交流信号が入力される端子と、第1のキャパシタと、第2のキャパシタと、出力端子と、を有し、前記交流信号が入力される端子に、前記第1のキャパシタの第1の電極が電気的に接続され、前記第1のキャパシタの第2の電極に、前記第1のトランジスタのソース又はドレインの一方と前記第1のトランジスタのゲートと前記第2のトランジスタのソース又はドレインの一方が電気的に接続され、前記出力端子に、前記第1のトランジスタのソース又はドレインの他方と前記第2のキャパシタの第1の電極が電気的に接続され、前記第2のキャパシタの第2の電極に、接地電位と前記第2のトランジスタのゲートと前記第2のトランジスタのソース又はドレインの他方が電気的に接続される整流回路の作製方法であって、前記第1のトランジスタと、前記第2のトランジスタのチャネル形成領域を第1の酸化物半導体によって形成する工程と、前記第1の酸化物半導体を、水素と、水と、水酸基と、を除去するための第1の加熱処理を施して第2の酸化物半導体を形成する工程と、連続して、酸素雰囲気または窒素及び酸素を含む雰囲気で、前記第2の酸化物半導体の酸素欠損を修復するための第2の加熱処理を施して第3の酸化物半導体を形成する工程を有し、前記第1の

40

50

トランジスタ及び前記第2のトランジスタのチャネル形成領域に前記第3の酸化物半導体を用いる、整流回路の作製方法である。

【0023】

本発明の一態様は、トランジスタと、交流信号が入力される端子と、キャパシタと、出力端子と、アンテナと、を有し、前記交流信号が入力される端子に、前記トランジスタのゲートと前記トランジスタのソース又はドレインの一方が電気的に接続され、前記出力端子に、前記トランジスタのソース又はドレインの他方と前記キャパシタの第1の電極が電気的に接続され、前記キャパシタの第2の電極に、接地電位が電気的に接続され、前記交流信号は、前記アンテナが受信した信号であり、前記トランジスタは、酸化物半導体をチャネル形成領域に用い、前記酸化物半導体中のキャリア密度が $1 \times 10^{14} / \text{cm}^3$ 未満である、無線通信装置である。

10

【0024】

本発明の一態様は、トランジスタと、交流信号が入力される端子と、キャパシタと、出力端子と、アンテナと、を有し、前記交流信号が入力される端子に、前記トランジスタのゲートと前記トランジスタのソース又はドレインの一方が電気的に接続され、前記出力端子に、前記トランジスタのソース又はドレインの他方と前記キャパシタの第1の電極が電気的に接続され、前記キャパシタの第2の電極に、接地電位が電気的に接続され、前記交流信号は、前記アンテナが受信した信号であり、前記トランジスタは、酸化物半導体をチャネル形成領域に用い、室温において、ソース-ドレイン電圧が3.1[V]のときにオフ電流が $10[\text{zA}/\mu\text{m}]$ 以下である、無線通信装置である。

20

【0025】

本発明の一態様は、トランジスタと、交流信号が入力される端子と、キャパシタと、出力端子と、アンテナと、を有し、前記交流信号が入力される端子に、前記トランジスタのゲートと前記トランジスタのソース又はドレインの一方が電気的に接続され、前記出力端子に、前記トランジスタのソース又はドレインの他方と前記キャパシタの第1の電極が電気的に接続され、前記キャパシタの第2の電極に、接地電位が電気的に接続され、前記交流信号は、前記アンテナが受信した信号である無線通信装置の作製方法であって、前記トランジスタのチャネル形成領域を、第1の酸化物半導体によって形成する工程と、前記第1の酸化物半導体は、水素と、水と、水酸基と、を除去するための第1の加熱処理を施して第2の酸化物半導体を形成する工程と、連続して、酸素雰囲気または窒素及び酸素を含む雰囲気で、前記第2の酸化物半導体の酸素欠損を修復するための第2の加熱処理を施して第3の酸化物半導体を形成する工程を少なくとも有する、無線通信装置の作製方法である。

30

【0026】

本発明の一態様は、第1のトランジスタと、第2のトランジスタと、交流信号が入力される端子と、第1のキャパシタと、第2のキャパシタと、出力端子と、アンテナと、を有し、前記交流信号が入力される端子に、前記第1のキャパシタの第1の電極が電気的に接続され、前記第1のキャパシタの第2の電極に、前記第1のトランジスタのソース又はドレインの一方と前記第1のトランジスタのゲートと前記第2のトランジスタのソース又はドレインの一方が電気的に接続され、前記出力端子に、前記第1のトランジスタのソース又はドレインの他方と前記第2のキャパシタの第1の電極が電気的に接続され、前記第2のキャパシタの第2の電極に、接地電位と前記第2のトランジスタのゲートと前記第2のトランジスタのソース又はドレインの他方に電気的に接続され、前記交流信号は、前記アンテナが受信した信号であり、前記第1のトランジスタ及び前記第2のトランジスタは、酸化物半導体をチャネル形成領域に用い、前記酸化物半導体中のキャリア密度が $1 \times 10^{14} / \text{cm}^3$ 未満である、無線通信装置である。

40

【0027】

本発明の一態様は、第1のトランジスタと、第2のトランジスタと、交流信号が入力される端子と、第1のキャパシタと、第2のキャパシタと、出力端子と、アンテナと、を有し、前記交流信号が入力される端子に、前記第1のキャパシタの第1の電極が電気的に接続

50

され、前記第1のキャパシタの第2の電極に、前記第1のトランジスタのソース又はドレインの一方と前記第1のトランジスタのゲートと前記第2のトランジスタのソース又はドレインの一方が電気的に接続され、前記出力端子に、前記第1のトランジスタのソース又はドレインの他方と前記第2のキャパシタの第1の電極が電気的に接続され、前記第2のキャパシタの第2の電極に、接地電位と前記第2のトランジスタのゲートと前記第2のトランジスタのソース又はドレインの他方に電気的に接続され、前記交流信号は、前記アンテナが受信した信号であり、前記第1のトランジスタ及び前記第2のトランジスタは、酸化物半導体をチャネル形成領域に用い、室温において、ソース-ドレイン電圧が3.1[V]のときにオフ電流が10[zA / μm]以下である、無線通信装置である。

【0028】

10

本発明の一態様は、第1のトランジスタと、第2のトランジスタと、交流信号が入力される端子と、第1のキャパシタと、第2のキャパシタと、出力端子と、アンテナと、を有し、前記交流信号が入力される端子に、前記第1のキャパシタの第1の電極が電気的に接続され、前記第1のキャパシタの第2の電極に、前記第1のトランジスタのソース又はドレインの一方と前記第1のトランジスタのゲートと前記第2のトランジスタのソース又はドレインの一方が電気的に接続され、前記出力端子に、前記第1のトランジスタのソース又はドレインの他方と前記第2のキャパシタの第1の電極が電気的に接続され、前記第2のキャパシタの第2の電極に、接地電位と前記第2のトランジスタのゲートと前記第2のトランジスタのソース又はドレインの他方に電気的に接続され、前記交流信号は、前記アンテナが受信した信号である無線通信装置の作製方法であって、前記第1のトランジスタと、前記第2のトランジスタのチャネル形成領域を第1の酸化物半導体によって形成する工程と、前記第1の酸化物半導体を、水素と、水と、水酸基と、を除去するための第1の加熱処理を施して第2の酸化物半導体を形成する工程と、連続して、酸素雰囲気または窒素及び酸素を含む雰囲気で、前記第2の酸化物半導体の酸素欠損を修復するための第2の加熱処理を施して第3の酸化物半導体を形成する工程を有し、前記第1のトランジスタ及び前記第2のトランジスタのチャネル形成領域に前記第3の酸化物半導体を用いる、無線通信装置の作製方法である。

20

【0029】

本発明の一態様は、上記に記載の整流回路を搭載した無線通信装置である。

30

【発明の効果】

【0030】

絶縁破壊が発生しにくい整流回路を提供することができる。したがって、この整流回路を搭載した無線通信装置の寿命を、長寿命とすることができます。

【図面の簡単な説明】

【0031】

【図1】整流回路の構成を示す回路図

【図2】整流回路に搭載されたダイオード接続のトランジスタにおける、逆バイアス静特性を示すグラフ

【図3】酸化物半導体をチャネル形成領域に用いたトランジスタの特性評価用回路図

【図4】酸化物半導体をチャネル形成領域に用いたトランジスタの特性を示す図

40

【図5】酸化物半導体をチャネル形成領域に用いたトランジスタの特性を示す図

【図6】酸化物半導体をチャネル形成領域に用いたトランジスタの特性を示す図

【図7】酸化物半導体をチャネル形成領域に用いたトランジスタをダイオード接続した場合の、ダイオード特性を示すグラフ

【図8】トランジスタの作製方法の一例を示す図

【図9】整流回路の入出力電圧を示すグラフ

【発明を実施するための形態】

【0032】

(実施の形態1)

整流回路に搭載するトランジスタとして、以下に示す、高純度化および電気的にi型(真

50

性)化、または実質的にi型(真性)化された酸化物半導体をチャネル形成領域に用いたトランジスタを適用する。

【0033】

(酸化物半導体をチャネル形成領域に用いたトランジスタについて)

本明細書に開示する酸化物半導体について説明する。トランジスタに用いる酸化物半導体は、ドナーの原因である水素、水、水酸基または水酸化物(水素化合物ともいう)などの不純物を意図的に排除したのち、これらの不純物の排除工程において同時に減少してしまう酸素を供給することで、高純度化および電気的にi型(真性)化、または実質的にi型(真性)化されている。トランジスタの電気的特性の変動を抑制するためである。

【0034】

10

酸化物半導体に含まれる水素を極力除去することで、酸化物半導体中のキャリア密度は、 $1 \times 10^{14} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{12} / \text{cm}^3$ 未満、より好ましくは $1 \times 10^{10} / \text{cm}^3$ 未満となる。

【0035】

ワイドギャップ半導体である酸化物半導体は、少数キャリア密度が低く、また、少数キャリアが誘起されにくい。そのため、酸化物半導体をチャネル形成領域に用いたトランジスタにおいては、トンネル電流が発生し難く、ひいては、オフ電流が流れ難いといえる。

【0036】

20

また、ワイドギャップ半導体である酸化物半導体をチャネル形成領域に用いたトランジスタにおいては、衝突イオン化ならびにアバランシェ降伏が起きにくい。ホットキャリア劣化の主な要因は、アバランシェ降伏によってキャリアが増大し、高速に加速されたキャリアがゲート絶縁膜へ注入されることである。したがって、酸化物半導体をチャネル形成領域に用いたトランジスタは、ホットキャリア劣化への耐性があるといえる。

【0037】

なお、本明細書においてオフ電流とは、室温において、-20[V]以上-5[V]以下の範囲で任意のゲート電圧を印加したときに、しきい値電圧V_{th}が正であるnチャネル型トランジスタのソース-ドレイン間を流れる電流を指す。なお、室温とは、15以上25以下の温度を指す。

【0038】

30

高純度化および電気的にi型(真性)化、または実質的にi型(真性)化された酸化物半導体をチャネル形成領域に用いたトランジスタは、室温において、チャネル幅W=1[μm]あたりの電流値が、 $10^{-16} [\text{A}/\mu\text{m}]$ 以下、好ましくは $10^{-18} [\text{A}/\mu\text{m}] = 1 [\text{aA}/\mu\text{m}]$ (a:アト)以下、さらに好ましくは $10^{-21} [\text{A}/\mu\text{m}] = 1 [\text{zA}/\mu\text{m}]$ (z:ゼプト)以下である。

【0039】

(オフ電流の測定結果について)

高純度化および電気的にi型(真性)化、または実質的にi型(真性)化された酸化物半導体をチャネル形成領域に用いたトランジスタのオフ電流を測定した結果について説明する。

【0040】

40

まず、電流測定方法に用いた特性評価用素子について、図3に基づいて説明する。図3に示す特性評価用素子は、測定系30が3つ並列に接続されている。測定系30はそれぞれ、キャパシタC30、高純度化および電気的にi型(真性)化、または実質的にi型(真性)化された酸化物半導体をチャネル形成領域に用いたトランジスタM30、31およびトランジスタM32、33から構成される。

【0041】

トランジスタM30のソースまたはドレインの一方は電圧V2を供給する電源に、接続されている。トランジスタM30のソースまたはドレインの他方はトランジスタM31のソースまたはドレインの一方へ、接続されている。トランジスタM30のゲートは電圧V_{ext_b2}を供給する配線に、接続されている。

50

【0042】

トランジスタM31のソースまたはドレインの他方は、電圧V1を供給する電源に接続されている。トランジスタM31のゲートは、電圧Vext_b1を供給する配線に接続されている。

【0043】

トランジスタM32のソースまたはドレインの一方は、電圧V2を供給する電源に接続されている。トランジスタM32のソースまたはドレインの他方は、出力端子に接続されている。トランジスタM32のゲートは、キャパシタC30の一端に接続されている。

【0044】

トランジスタM33のソースまたはドレインの一方は、出力端子に接続されている。トランジスタM33のソースまたはドレインの他方は、ゲートに接続されている。 10

【0045】

キャパシタC30の他端は、電圧V2を供給する電源に接続されている。

【0046】

続いて、図3に示す特性評価用素子を用いた電流測定方法について説明する。最初に、オフ電流を測定するために電位差を付与する初期期間について説明する。初期期間において、トランジスタM31のゲートにトランジスタM31を導通状態とする電圧Vext_b1を入力し、トランジスタM31を導通状態とする。すると、トランジスタM30のソースまたはドレインの他方と接続されるノード(つまり、トランジスタM31のソースまたはドレインの一方、キャパシタC30の一端、およびトランジスタM32のゲートに接続されるノード)であるノードAに、電圧V1が入力される。ここで、電圧V1は、高電圧とする。また、トランジスタM30は非導通状態としておく。 20

【0047】

その後、トランジスタM31のゲートに、トランジスタM31を非導通状態とする電圧Vext_b1を入力し、トランジスタM31を非導通状態とする。トランジスタM31を非導通状態とした後に、電圧V1を低電圧とする。ここでも、トランジスタM30は非導通状態としておく。また、電圧V2は、電圧V1と同じく低電圧とする。

【0048】

以上で、初期期間が終了する。初期期間が終了した状態では、ノードAと、トランジスタM30のソースまたはドレインの一方との間に、電位差が生じている。また、ノードAと、トランジスタM31のソースまたはドレインの他方との間にも、電位差が生じている。そのため、トランジスタM30およびトランジスタM31にはわずかに電荷が流れる。つまり、オフ電流が発生する。 30

【0049】

次に、オフ電流の測定期間について説明する。測定期間において、電圧V1, V2はともに低電圧に固定する。また、ノードAは、フローティング状態とする。その結果、トランジスタM30には電荷が流れ、時間の経過とともにノードAに保持される電荷量は変動する。すなわち、ノードAの電位が変動し、出力端子の出力電位Voutも変動する。

【0050】

続いて、得られた出力電位Voutから、オフ電流を算出する方法について説明する。ノードAの電位VAは、出力電位Voutの関数として次の式(1)で表される。 40

【数1】

$$V_A = F(V_{out}) \quad (1)$$

【0051】

また、ノードAの電荷QAは、次の式(2)で表される。

【数2】

$$Q_A = C_A V_A + const \quad (2)$$

C_A : ノード A に接続される容量 (キャパシタ C 3 0 の容量と他の容量との和)

【0052】

ノード A の電流 I_A は、ノード A に流れ込む電荷 (またはノード A から流れ出る電荷) の時間微分により求められる。よって、ノード A の電流 I_A は、次の式 (3) で表される。

【数3】

$$I_A \equiv \frac{\Delta Q_A}{\Delta t} = \frac{C_A \cdot \Delta F(V_{out})}{\Delta t} \quad (3)$$

【0053】

以下に示す電流測定において、特性評価用素子のトランジスタ M 3 0、M 3 1 は、高純度化および電気的に i 型 (真性) 化、または実質的に i 型 (真性) 化された酸化物半導体をチャネル形成領域に用いたトランジスタである。トランジスタは、 $W/L = 50/10$ [μm] である。また、並列された各測定系 3 0 において、キャパシタ C 3 0 の容量値はそれぞれ、100 [fF]、1 [pF]、3 [pF] である。

【0054】

また、高電圧は 5 V、低電圧は 0 V とする。測定期間において、電圧 V_1 は原則として低電圧であるが、出力電位 V_{out} を測定するタイミングにおいて、出力回路を動作させる必要が生じるため、10 ~ 300 [sec] ごとに、100 [msec] の期間だけ高電圧とする。また、式 (3) における t は、約 30000 [sec] とする。

【0055】

図 4 は、電流測定に係る経過時間 Time と、出力電位 V_{out} との関係を示す図である。これより、時間の経過にしたがって、電位が変化する様子が確認できる。

【0056】

図 5 は、電流測定によって算出された室温 (25) におけるオフ電流を示す図である。なお、図 5 は、ソース - ドレイン電圧 V と、オフ電流 I との関係を表している。図 5 から、ソース - ドレイン電圧が 4 [V] の条件において、オフ電流 I は約 40 [$zA/\mu m$] であることがわかる。また、ソース - ドレイン電圧が 3.1 [V] の条件において、オフ電流は 10 [$zA/\mu m$] 以下であることがわかる。

【0057】

図 6 は、電流測定によって算出された 85 の温度環境下におけるオフ電流を示す図である。図 6 は、85 の温度環境下におけるソース - ドレイン電圧 V と、オフ電流 I との関係を表している。図 6 から、ソース - ドレイン電圧が 3.1 [V] の条件において、オフ電流は 100 [$zA/\mu m$] 以下であることがわかる。

【0058】

(整流回路の構成について)

図 1 (A) に示す整流回路は、トランジスタ M 1 と、交流信号が入力される端子 10 と、キャパシタ C 1 と、出力端子 11 と、を有している。交流信号が入力される端子 10 に、トランジスタ M 1 のゲートとトランジスタ M 1 のソース又はドレインの一方が電気的に接続されている。出力端子 11 に、トランジスタ M 1 のソース又はドレインの他方とキャパシタ C 1 の第 1 の電極が電気的に接続されている。キャパシタ C 1 の第 2 の電極に、接地電位が電気的に接続された構成である。

【0059】

整流回路は、端子 10 から入力された交流信号を整流し、端子 11 から直流信号を出力する。この整流回路は、高純度化および電気的に i 型 (真性) 化、または実質的に i 型 (真性) 化された酸化物半導体をチャネル形成領域に用いた、ダイオード接続のトランジスタ M 1 およびキャパシタ C 1 から構成されている。

【0060】

なお、図 1 において、酸化物半導体をチャネル形成領域に用いたトランジスタであることを明確にするためにトランジスタを示す回路図記号には "OS" の文字を付している。

10

20

30

40

50

【0061】

図1(B)に示す整流回路は、第1のトランジスタM3と、第2のトランジスタM2と、交流信号が入力される端子10と、第1のキャパシタC2と、第2のキャパシタC3と、出力端子11と、を有している。交流信号が入力される端子10に、キャパシタC2の第1の電極が電気的に接続されている。キャパシタC2の第2の電極に、トランジスタM3のソース又はドレインの一方とトランジスタM3のゲートとトランジスタM2のソース又はドレインの一方が電気的に接続されている。出力端子11に、トランジスタM3のソース又はドレインの他方とキャパシタC3の第1の電極が電気的に接続されている。キャパシタC3の第2の電極に、接地電位とトランジスタM2のゲートとトランジスタM2のソース又はドレインの他方が電気的に接続された構成である。

10

【0062】

整流回路は、端子10から入力された交流信号を整流し、端子11から直流信号を出力する。この整流回路は、高純度化および電気的にi型(真性)化、または実質的にi型(真性)化された酸化物半導体をチャネル形成領域に用いた、ダイオード接続のトランジスタM2、M3およびキャパシタC2、C3から構成されている。

【0063】

図7は、高純度化および電気的にi型(真性)化、または実質的にi型(真性)化された酸化物半導体をチャネル形成領域に用いたトランジスタをダイオード接続した場合の、ダイオード特性を示すグラフである。このグラフより、-30[V]の逆バイアス電圧を印加しても、降伏現象が発生せず、トランジスタが破壊しないことがわかる。

20

【0064】

また、整流回路における電力損失Pは、次の式(4)で表される。

【数4】

$$P = I^2 R_{DS(ON)} \quad (4)$$

I: 電流, $R_{DS(ON)}$: トランジスタのオン抵抗

【0065】

式(4)より、トランジスタのオン抵抗が高いほど(オン電流が低いほど)、整流回路における電力損失は増加することがわかる。

30

【0066】

ここで、飽和特性領域におけるトランジスタのドレイン電流 I_{DS} は、次の式(5)で表される。

【数5】

$$I_{DS} = \frac{\mu C W (V_G - V_{TH})^2}{2L} \quad (5)$$

μ : 移動度, C: ゲート酸化膜の単位面積のキャパシタンス, W: チャネル幅, V_G : ゲート電圧, V_{TH} : しきい値電圧, L: チャネル長

40

【0067】

式(5)より、トランジスタのオン電流を高くするためには、次の第1乃至第3の条件を満たせばよいことがわかる。第1の条件は、移動度 μ を向上させる。第2の条件は、チャネル長Lを短くする。第3の条件は、チャネル幅Wを大きくする。

【0068】

つまり、電力損失を低減するための手段のひとつとして、トランジスタのチャネル幅Wを大きくし、オン電流を高めることが挙げられる。ところが、チャネル幅Wの値はオフ電流の値にも関連するため、その大きさには限度がある。先述のとおり、オフ電流が大きいトランジスタを整流回路に用いると、降伏現象や発熱により絶縁破壊が生じる可能性が高まるためである。

50

【0069】

ここで、高純度化および電気的にi型(真性)化、または実質的にi型(真性)化された酸化物半導体をチャネル形成領域に用いたトランジスタは、室温において、ソース-ドレイン電圧が3.1[V]のときにオフ電流が10[zA/μm]以下である。

【0070】

例えば、このトランジスタのチャネル幅Wを大きくすることで、オン電流を3桁高めたとする。このとき、オフ電流も3桁高まるが、それでもオフ電流は 10^{-18} [A/μm]以下である。ポリシリコンをチャネル形成領域に用いたトランジスタのオフ電流 10^{-9} [A/μm]と比較して値が小さく、このトランジスタは破壊しにくいといえる。

【0071】

したがって、高純度化および電気的にi型(真性)化、または実質的にi型(真性)化された酸化物半導体をチャネル形成領域に用いたトランジスタを整流回路に搭載することにより、電力損失が少ない、すなわち整流効率に優れ、かつ、絶縁破壊が発生しにくい整流回路を提供することができるといえる。

【0072】

(実施の形態2)

高純度化および電気的にi型(真性)化、または実質的にi型(真性)化された酸化物半導体をチャネル形成領域に用いたトランジスタの作製方法の一例について、図8に基づいて説明する。

【0073】

まず、基板100上に下地膜となる絶縁層101を形成する。絶縁層101は、処理室内の残留水分を除去しつつ成膜するとよい。絶縁層101に水素、水、水酸基または水酸化物などが含まれないようにするためである。

【0074】

次に、絶縁層101上に、酸化物半導体層をスパッタリング法により成膜する。なお、酸化物半導体層の成膜前に、絶縁層101が形成された基板100を予備加熱するとよい。酸化物半導体層に、水素、水および水酸基が極力含まれないようにするためである。予備加熱により、基板100に吸着した水素、水などの不純物は脱離し、排気される。

【0075】

酸化物半導体層のターゲットとしては、酸化亜鉛を主成分とする金属酸化物のターゲットを用いることができる。例えば、組成比として、 $In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 1$ 、すなわち、 $In : Ga : Zn = 1 : 1 : 0.5$ のターゲットを用いることができる。これ以外にも、 $In : Ga : Zn = 1 : 1 : 1$ または $In : Ga : Zn = 1 : 1 : 2$ の組成比を有するターゲットを用いることもできる。

【0076】

その他、 $In-Sn-Ga-Zn-O$, $In-Sn-Zn-O$, $In-Al-Zn-O$, $Sn-Ga-Zn-O$, $Al-Ga-Zn-O$, $Sn-Al-Zn-O$, $In-Zn-O$, $Sn-Zn-O$, $Al-Zn-O$, $Zn-Mg-O$, $Sn-Mg-O$, $In-Mg-O$, $In-O$, $Sn-O$, $Zn-O$ などの金属酸化物をターゲットとして用いることができる。

【0077】

また、酸化物半導体層として、 $InMO_3 (ZnO)_m$ ($m > 0$ 、且つ m は非自然数)で表記される薄膜を用いることもできる。ここで、Mは、Ga、Al、MnおよびCoから選ばれた1または複数の金属元素である。例えば、Mとして、Ga、GaおよびAl、GaおよびMn、もしくはGaおよびCoが挙げられる。

【0078】

成膜した酸化物半導体層は、第1のフォトリソグラフィ工程により島状の酸化物半導体層102に加工される(図8(A)参照)。その後、酸化物半導体層102から水素、水、および水酸基等を除去するために、基板を電気炉に導入し、加熱処理する。この加熱処理は、酸化物半導体層102に対する脱水化、脱水素化の効果を奏する。

10

20

30

40

50

【0079】

この加熱処理の温度は、400以上750以下、好ましくは400以上基板の歪み点未満とする。また、この加熱処理の雰囲気は、水、水素などが含まれないようにする。

【0080】

この加熱処理の後、連続して酸素雰囲気または窒素および酸素を含む雰囲気（例えば、窒素：酸素の体積比 = 4 : 1）で酸化物半導体層102を加熱処理するとよい。酸化物半導体層102中に生じた酸素欠損を修復するためである。

【0081】

その後、絶縁層101および酸化物半導体層102上に、第1の電極103aおよび第2の電極103bを形成する（図8（B）参照）。第1の電極103aは、ソース電極およびドレイン電極の一方として機能する。第2の電極103bは、ソース電極およびドレイン電極の他方として機能する。

【0082】

次に、絶縁層101、酸化物半導体層102、第1の電極103aおよび第2の電極103b上にゲート絶縁層104を形成する（図8（C）参照）。なお、ゲート絶縁層104の成膜雰囲気には、水素が含まれないようにするよ。

【0083】

続いて、ゲート絶縁層104の一部を除去することにより、第1の電極103a、第2の電極103bに達する開口105a、105bを形成する（図8（D）参照）。

【0084】

そして、ゲート絶縁層104および開口105a、105b上に、ゲート電極106、第1の配線107aおよび第2の配線107bを形成する（図8（E）参照）。

【0085】

以上のように、高純度化および電気的にi型（真性）化、または実質的にi型（真性）化された酸化物半導体をチャネル形成領域に用いたトランジスタを作製することができる。

【実施例1】

【0086】

図9（A）は、図1（A）に示す半波整流回路に入力された交流電圧と、これを整流し、出力された直流電圧を示す測定データである。

【0087】

図1（A）における、トランジスタM1のサイズは、W/L = 5000/5 [μm]である。また、キャパシタC1の容量値は、300 [pF]である。

【0088】

グラフ90は、入力された交流電圧のグラフである。電圧振幅は、約10 [V]である。グラフ91は、出力された直流電圧のグラフである。グラフ91においてリップルは小さく、また、平均値3.91 [V]が得られている。

【0089】

図9（B）は、図1（B）に示す半波2倍圧整流回路に入力された交流電圧と、これを整流し、出力された直流電圧を示す測定データである。

【0090】

図1（B）における、トランジスタM2、M3のサイズは、それぞれW/L = 5000/5 [μm]である。また、キャパシタC2、C3の容量値は、それぞれ300 [pF]である。

【0091】

グラフ92は、入力された交流電圧のグラフである。電圧振幅は、約10 [V]である。グラフ93は、出力された直流電圧のグラフである。グラフ93において、リップルは小さく、また、平均値6.80 [V]が得られている。

【0092】

このように、高純度化および電気的にi型（真性）化、または実質的にi型（真性）化された酸化物半導体をチャネル形成領域に用いたトランジスタによって整流回路を構成する

10

20

30

40

50

ことにより、電力損失が少なく、リップルが低減された品質の高い直流電流を得ることができる。すなわち、整流回路の整流効率を向上させることができるといえる。

【符号の説明】

【0093】

10 端子

11 端子

M 1 酸化物半導体をチャネル形成領域に用いたトランジスタ

M 2 酸化物半導体をチャネル形成領域に用いたトランジスタ

M 3 酸化物半導体をチャネル形成領域に用いたトランジスタ

C 1 キャパシタ

10

C 2 キャパシタ

C 3 キャパシタ

30 測定系

C 30 キャパシタ

M 30 高純度化および電気的にi型(真性)化、または実質的にi型(真性)化された酸化物半導体をチャネル形成領域に用いたトランジスタ

M 31 高純度化および電気的にi型(真性)化、または実質的にi型(真性)化された酸化物半導体をチャネル形成領域に用いたトランジスタ

M 32 トランジスタ

M 33 トランジスタ

20

100 基板

101 絶縁層

102 酸化物半導体層

103 a 第1の電極

103 b 第2の電極

104 ゲート絶縁層

105 a 開口

105 b 開口

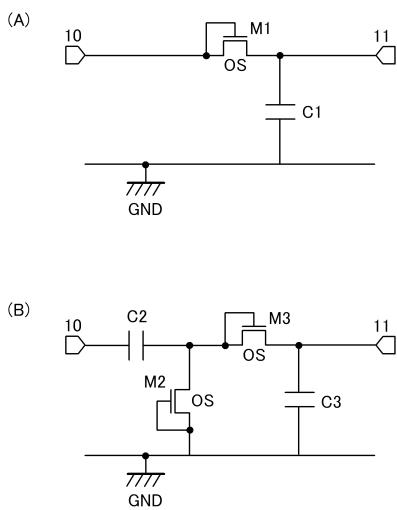
106 ゲート電極

107 a 第1の配線

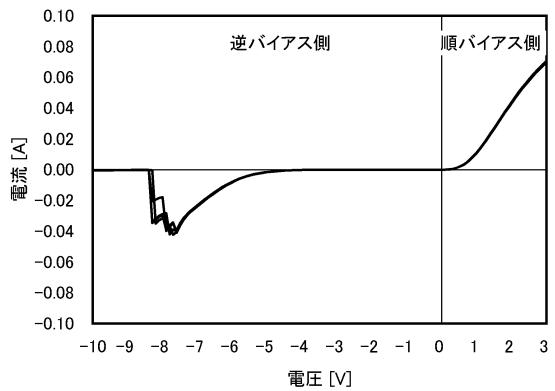
30

107 b 第2の配線

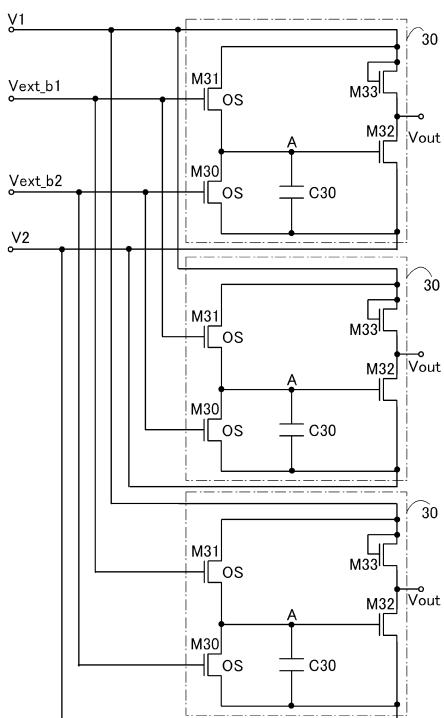
【 図 1 】



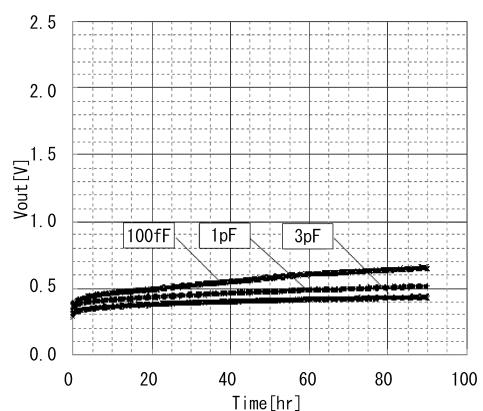
【 図 2 】



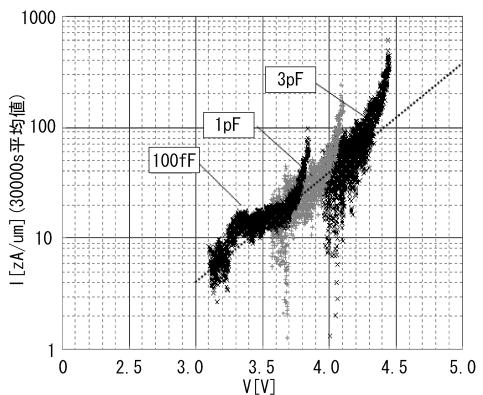
【図3】



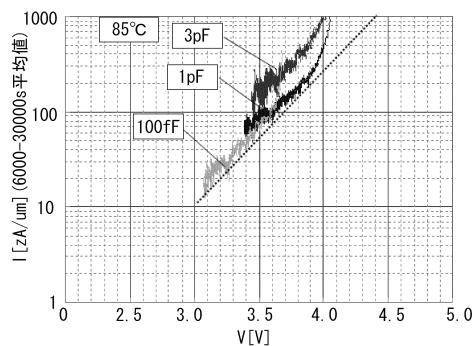
【 図 4 】



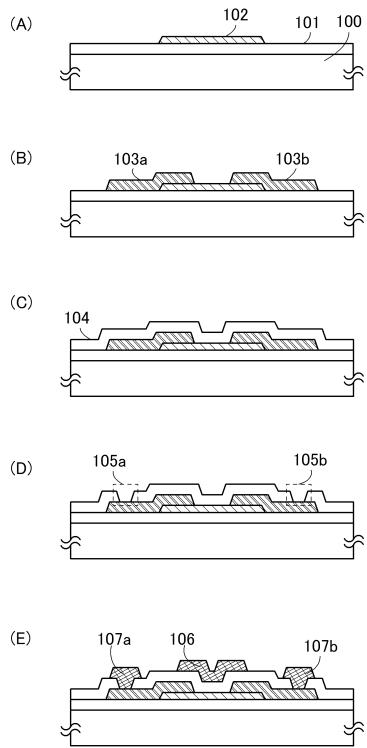
【 図 5 】



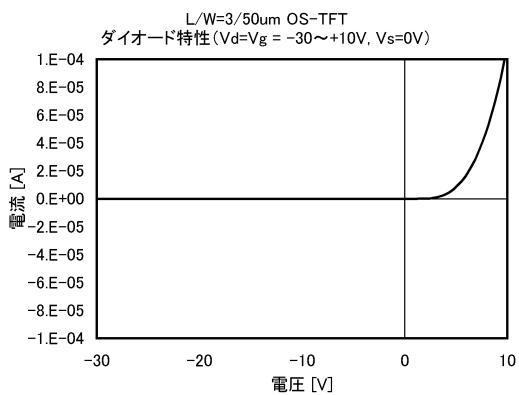
【図6】



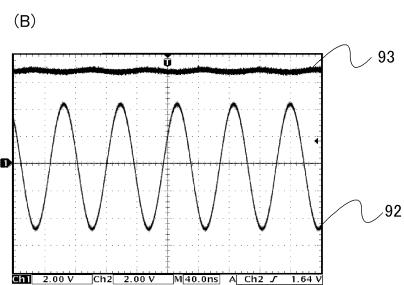
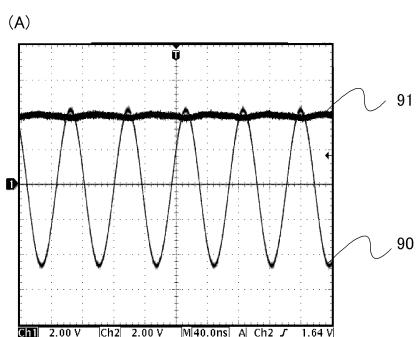
【図8】



【図7】



【図9】



フロントページの続き

(58)調査した分野(Int.Cl. , DB名)

H 01 L 21 / 336

H 01 L 29 / 786

H 02 M 7 / 06