



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2020년03월25일
(11) 등록번호 10-2093351
(24) 등록일자 2020년03월19일

- (51) 국제특허분류(Int. Cl.)
H04L 12/801 (2013.01) H04L 12/841 (2013.01)
H04L 12/935 (2013.01) H04L 29/06 (2006.01)
- (52) CPC특허분류
H04L 47/12 (2013.01)
H04L 47/283 (2013.01)
- (21) 출원번호 10-2018-0143743
(22) 출원일자 2018년11월20일
심사청구일자 2018년11월20일
- (56) 선행기술조사문헌
KR101583325 B1*
KR1020110015491 A*
KR1020170114528 A*
*는 심사관에 의하여 인용된 문헌
- (73) 특허권자
울산과학기술원
울산광역시 울주군 언양읍 유니스트길 50
- (72) 발명자
이경한
울산광역시 울주군 언양읍 유니스트길 50
정의진
울산광역시 울주군 언양읍 유니스트길 50
- (74) 대리인
제일특허법인(유)

전체 청구항 수 : 총 6 항

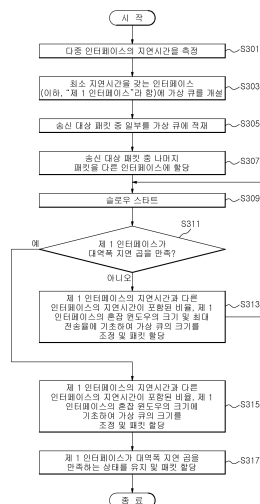
심사관 : 김대성

(54) 발명의 명칭 다중 인터페이스에 대한 패킷 스케줄링 방법 및 장치

(57) 요약

개시된 패킷 스케줄링 장치에 의해, 다중 인터페이스에 대한 패킷 스케줄링을 하는 방법은, 다중 인터페이스 중 최소 지연시간을 갖는 제 1 인터페이스에 가상 큐를 개설하는 단계와, 송신 대상 패킷 중 일부를 제 1 인터페이스에 할당하여 가상 큐에 적재하는 단계와, 송신 대상 패킷 중 일부를 제외한 나머지를 다중 인터페이스 중 제 1 인터페이스를 제외한 다른 인터페이스에 할당하는 단계를 포함한다.

대표도 - 도4



(52) CPC특허분류

H04L 49/3045 (2013.01)

H04L 69/14 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호 1711067715

부처명 과학기술정보통신부

연구관리전문기관 정보통신기술진흥센터

연구사업명 방송통신산업기술개발

연구과제명 이동성을 보장하는 UDP 기반 범용 초저지연 전송 프로토콜 연구

기 여 율 1/1

주관기관 울산과학기술원

연구기간 2018.01.01 ~ 2018.12.31

명세서

청구범위

청구항 1

삭제

청구항 2

삭제

청구항 3

패킷 스케줄링 장치에 의해, 다중 인터페이스에 대한 패킷 스케줄링을 하는 방법으로서,

상기 다중 인터페이스 중 최소 지연시간을 갖는 제 1 인터페이스에 가상 큐를 개설하는 단계와,

송신 대상 패킷 중 일부를 상기 제 1 인터페이스에 할당하여 상기 가상 큐에 적재하는 단계와,

상기 송신 대상 패킷 중 상기 일부를 제외한 나머지를 상기 다중 인터페이스 중 상기 제 1 인터페이스를 제외한 다른 인터페이스에 할당하는 단계를 포함하고,

상기 가상 큐를 개설하는 단계는, 상기 다른 인터페이스 중 최대 지연시간을 갖는 제 N 인터페이스를 제외한 나머지 인터페이스에 상기 가상 큐를 개설하며, 상기 제 N 인터페이스의 지연시간에 따라 상기 제 1 인터페이스 및 상기 나머지 인터페이스에 개설하는 상기 가상 큐의 크기를 설정하고,

상기 가상 큐를 개설하는 단계는, 상기 제 1 인터페이스를 포함하는 상기 나머지 인터페이스의 지연시간과 상기 제 N 인터페이스의 지연시간이 포함된 비율 및 각각의 인터페이스의 혼잡 윈도우의 크기에 기초하여 상기 각각의 인터페이스에 개설하는 상기 가상 큐의 크기를 설정하는

다중 인터페이스에 대한 패킷 스케줄링 방법.

청구항 4

제 3 항에 있어서,

슬로우 스타트(Slow Start) 후 상기 가상 큐의 크기를 조정하는 단계를 더 포함하고,

상기 가상 큐의 크기를 조정하는 단계는, 상기 제 1 인터페이스가 대역폭 지연 곱(BDP)을 만족하기 전까지, 상기 혼잡 윈도우의 크기, 상기 비율 및 상기 제 1 인터페이스의 최대 전송률에 기초하여 상기 가상 큐의 크기를 조정하는

다중 인터페이스에 대한 패킷 스케줄링 방법.

청구항 5

제 4 항에 있어서,

상기 가상 큐의 크기를 조정하는 단계는, 상기 제 1 인터페이스가 상기 대역폭 지연 곱(BDP)을 만족하면, 상기 혼잡 윈도우의 크기 및 상기 비율에 기초하여 상기 가상 큐의 크기를 조정하는

다중 인터페이스에 대한 패킷 스케줄링 방법.

청구항 6

삭제

청구항 7

삭제

청구항 8

다중 인터페이스에 대한 패킷 스케줄링을 하는 장치로서,

상기 다중 인터페이스 각각에 대하여 지연시간을 측정하는 측정부와,

상기 지연시간에 기초하여 송신 대상 패킷을 상기 다중 인터페이스에 할당하는 제어부를 포함하고,

상기 제어부는,

상기 측정부에 의한 상기 지연시간의 측정 결과에 기초하여 상기 다중 인터페이스 중 최소 지연시간을 갖는 제 1 인터페이스를 파악하며, 상기 제 1 인터페이스에 가상 큐를 개설하고, 상기 송신 대상 패킷 중 일부를 상기 제 1 인터페이스에 할당하여 상기 가상 큐에 적재하며, 상기 송신 대상 패킷 중 상기 일부를 제외한 나머지를 상기 다중 인터페이스 중 상기 제 1 인터페이스를 제외한 다른 인터페이스에 할당하고, 상기 다른 인터페이스 중 최대 지연시간을 갖는 제 N 인터페이스를 제외한 나머지 인터페이스에 상기 가상 큐를 개설하며, 상기 제 N 인터페이스의 지연시간에 따라 상기 제 1 인터페이스 및 상기 나머지 인터페이스에 개설하는 상기 가상 큐의 크기를 설정하고, 상기 제 1 인터페이스를 포함하는 상기 나머지 인터페이스의 지연시간과 상기 제 N 인터페이스의 지연시간이 포함된 비율 및 각각의 인터페이스의 혼잡 윈도우의 크기에 기초하여 상기 각각의 인터페이스에 개설하는 상기 가상 큐의 크기를 설정하는

다중 인터페이스에 대한 패킷 스케줄링 장치.

청구항 9

제 8 항에 있어서,

상기 제어부는, 슬로우 스타트(Slow Start) 후 상기 제 1 인터페이스가 대역폭 지연 곱(BDP)을 만족하기 전까지, 상기 혼잡 윈도우의 크기, 상기 비율 및 상기 제 1 인터페이스의 최대 전송률에 기초하여 상기 가상 큐의 크기를 조정하는

다중 인터페이스에 대한 패킷 스케줄링 장치.

청구항 10

제 9 항에 있어서,

상기 제어부는, 상기 제 1 인터페이스가 상기 대역폭 지연 곱(BDP)을 만족하면, 상기 혼잡 윈도우의 크기 및 상기 비율에 기초하여 상기 가상 큐의 크기를 조정하는

다중 인터페이스에 대한 패킷 스케줄링 장치.

발명의 설명

기술 분야

[0001] 본 발명은 다중 인터페이스에 대한 패킷 스케줄링 방법 및 장치에 관한 것으로서, 보다 구체적으로, 다중 인터페이스에 송신 대상 패킷을 할당하는 패킷 스케줄링 방법 및 장치에 관한 것이다.

배경 기술

[0002] 무선 네트워크를 이용하는 모바일 디바이스가 WiFi, LTE(Long-Term Evolution) 등 다양한 통신 인터페이스들을 가지고 있는 것이 일반화 되었고, 하나의 모바일 디바이스에서 다수의 네트워크 경로를 동시에 이용하여 전송 효율을 높이하고자 하는 방법으로서 다중 경로 전송 제어 프로토콜(Multipath Transport Control Protocol, MPTCP)이 있다. MPTCP는 서로 다른 IP(Internet Protocol) 주소를 가지고 있는 여러 통신 인터페이스를 동시에 사용하는 데이터 전송을 가능하게 한다.

[0003] MPTCP는 기존의 단일 경로 전송 제어 프로토콜(Single-path Transport Control Protocol, SPTCP)을 확장하여 복수 개의 네트워크 인터페이스를 사용하기 위한 기술이다. SPTCP는 기본적으로 송신 장치와 수신 장치 간의 통신 경로가 하나로 구성되는 데 비하여, MPTCP는 송신 장치와 수신 장치 간의 통신 경로를 복수 개로 구성한다는

차이점이 있다.

- [0004] MPTCP는 양 종단에 있는 송신 장치와 수신 장치 간 복수의 경로들을 따라 데이터를 병렬적으로 전송함으로써, 통신 성능 및 고장 내성(fault tolerance)을 개선할 수 있다.
- [0005] MPTCP에서 지원하는 다중 경로는 서브플로우들(sub-flows)이라고 칭하고, MPTCP는 양 종단 간 서브플로우들을 병렬적으로 사용하는 복수의 인터페이스들 상에서 데이터를 교환하여 SPTCP 연결의 문제점들 중 상당수를 해소한다. 즉, MPTCP는 처리량 면에서 보다 우수한 성능을 가지고, 데이터 손실, 연결 해제 등에 대한 회복력을 가지며, 복수의 서브플로우들을 통한 동시적 데이터 교환이 가능하다.
- [0006] 그런데, 종래 기술에 의하면 동시에 두 개 이상의 인터페이스를 사용하는 경우 각 인터페이스의 RTT(Round Trip Time) 등과 같은 지연시간의 차이에 따라 수신단에서 패킷 재정렬(reordering)을 필수적으로 수행하여야 하는 문제점이 있다.

선행기술문헌

특허문헌

- [0007] (특허문헌 0001) 대한민국 공개특허공보 제10-2018-0013597호, 공개일자 2018년 02월 07일.

발명의 내용

해결하려는 과제

- [0008] 본 발명의 실시예에 의하면, 다중 인터페이스에 대하여 지연시간을 기초로 송신 대상 패킷을 할당하는 패킷 스케줄링 방법 및 장치를 제공한다.
- [0009] 본 발명의 해결하고자 하는 과제는 이상에서 언급한 것으로 제한되지 않으며, 언급되지 않은 또 다른 해결하고자 하는 과제는 아래의 기재로부터 본 발명이 속하는 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

- [0010] 본 발명의 일 관점에 따른 패킷 스케줄링 장치에 의해, 다중 인터페이스에 대한 패킷 스케줄링을 하는 방법은, 상기 다중 인터페이스 중 최소 지연시간을 갖는 제 1 인터페이스에 가상 큐를 개설하는 단계와, 송신 대상 패킷 중 일부를 상기 제 1 인터페이스에 할당하여 상기 가상 큐에 적재하는 단계와, 상기 송신 대상 패킷 중 상기 일부를 제외한 나머지를 상기 다중 인터페이스 중 상기 제 1 인터페이스를 제외한 다른 인터페이스에 할당하는 단계를 포함할 수 있다.
- [0011] 여기서, 상기 가상 큐를 개설하는 단계는, 상기 다른 인터페이스 중 최대 지연시간을 갖는 제 N 인터페이스를 제외한 나머지 인터페이스에 상기 가상 큐를 개설하며, 상기 제 N 인터페이스의 지연시간에 따라 상기 제 1 인터페이스 및 상기 나머지 인터페이스에 개설하는 상기 가상 큐의 크기를 설정할 수 있다.
- [0012] 상기 가상 큐를 개설하는 단계는, 상기 제 1 인터페이스를 포함하는 상기 나머지 인터페이스의 지연시간과 상기 제 N 인터페이스의 지연시간이 포함된 비율 및 각각의 인터페이스의 혼잡 윈도우의 크기에 기초하여 상기 각각의 인터페이스에 개설하는 상기 가상 큐의 크기를 설정할 수 있다.
- [0013] 상기 패킷 스케줄링을 하는 방법은, 슬로우 스타트(Slow Start) 후 상기 가상 큐의 크기를 조정하는 단계를 더 포함할 수 있고, 상기 가상 큐의 크기를 조정하는 단계는, 상기 제 1 인터페이스가 대역폭 지연 곱(BDP)을 만족하기 전까지, 상기 혼잡 윈도우의 크기, 상기 비율 및 상기 제 1 인터페이스의 최대 전송률에 기초하여 상기 가상 큐의 크기를 조정할 수 있다.
- [0014] 상기 가상 큐의 크기를 조정하는 단계는, 상기 제 1 인터페이스가 상기 대역폭 지연 곱(BDP)을 만족하면, 상기 혼잡 윈도우의 크기 및 상기 비율에 기초하여 상기 가상 큐의 크기를 조정할 수 있다.
- [0015] 본 발명의 일 관점에 따른 다중 인터페이스에 대한 패킷 스케줄링을 하는 장치는, 상기 다중 인터페이스 각각에 대하여 지연시간을 측정하는 측정부와, 상기 지연시간에 기초하여 송신 대상 패킷을 상기 다중 인터페이스에 할

당하는 제어부를 포함하고, 상기 제어부는, 상기 측정부에 의한 상기 지연시간의 측정 결과에 기초하여 상기 다중 인터페이스 중 최소 지연시간을 갖는 제 1 인터페이스를 파악하며, 상기 제 1 인터페이스에 가상 큐를 개설하고, 상기 송신 대상 패킷 중 일부를 상기 제 1 인터페이스에 할당하여 상기 가상 큐에 적재하며, 상기 송신 대상 패킷 중 상기 일부를 제외한 나머지를 상기 다중 인터페이스 중 상기 제 1 인터페이스를 제외한 다른 인터페이스에 할당할 수 있다.

[0016] 여기서, 상기 제어부는, 상기 다른 인터페이스 중 최대 지연시간을 갖는 제 N 인터페이스를 제외한 나머지 인터페이스에 상기 가상 큐를 개설하며, 상기 제 N 인터페이스의 지연시간에 따라 상기 제 1 인터페이스 및 상기 나머지 인터페이스에 개설하는 상기 가상 큐의 크기를 설정할 수 있다.

[0017] 상기 제어부는, 상기 제 1 인터페이스를 포함하는 상기 나머지 인터페이스의 지연시간과 상기 제 N 인터페이스의 지연시간이 포함된 비율 및 각각의 인터페이스의 혼잡 윈도우의 크기에 기초하여 상기 각각의 인터페이스에 개설하는 상기 가상 큐의 크기를 설정할 수 있다.

[0018] 상기 제어부는, 슬로우 스타트 후 상기 제 1 인터페이스가 대역폭 지연 곱(BDP)을 만족하기 전까지, 상기 혼잡 윈도우의 크기, 상기 비율 및 상기 제 1 인터페이스의 최대 전송률에 기초하여 상기 가상 큐의 크기를 조정할 수 있다.

[0019] 상기 제어부는, 상기 제 1 인터페이스가 상기 대역폭 지연 곱(BDP)을 만족하면, 상기 혼잡 윈도우의 크기 및 상기 비율에 기초하여 상기 가상 큐의 크기를 조정할 수 있다.

발명의 효과

[0020] 본 발명의 실시예에 의하면, 다중 인터페이스에 대하여 지연시간을 기초로 송신 대상 패킷을 할당함으로써, 수신단에서 다중 인터페이스의 지연시간 차이로 인한 패킷 재정렬을 수행할 필요가 없도록 하는 효과가 있다.

도면의 간단한 설명

[0021] 도 1은 본 발명의 일 실시예에 따른 패킷 스케줄링 장치에 의해 이용되는 프로토콜인 MPTCP를 설명하기 위한 도면이다.

도 2는 본 발명의 일 실시예에 따른 패킷 스케줄링 장치의 구성도이다.

도 3은 본 발명의 일 실시예에 따른 패킷 스케줄링 장치가 N개의 인터페이스에 대해 패킷을 할당하기 위해 가상 큐를 개설한 상태를 설명하는 도면이다.

도 4는 본 발명의 일 실시예에 따른 패킷 스케줄링 장치에 의해, 다중 인터페이스에 대한 패킷 스케줄링을 하는 방법을 설명하기 위한 흐름도이다.

발명을 실시하기 위한 구체적인 내용

[0022] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 다양한 형태로 구현될 수 있으며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하고, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명의 범주는 청구항에 의해 정의될 뿐이다.

[0023] 본 발명의 실시예들을 설명함에 있어서 공지 기능 또는 구성에 대한 구체적인 설명은 본 발명의 실시예들을 설명함에 있어 실제로 필요한 경우 외에는 생략될 것이다. 그리고 후술되는 용어들은 본 발명의 실시예에서의 기능을 고려하여 정의된 용어들로서 이는 사용자, 운용자의 의도 또는 관례 등에 따라 달라질 수 있다. 그러므로 그 정의는 본 명세서 전반에 걸친 내용을 토대로 내려져야 할 것이다.

[0024] 도 1은 본 발명의 일 실시예에 따른 패킷 스케줄링 장치에 의해 이용되는 프로토콜인 MPTCP를 설명하기 위한 도면이다.

[0025] 도 1은 하나의 네트워크 인터페이스에서 MPTCP 프로토콜을 포함하는 계층 구조를 나타낸 것이며, 애플리케이션 계층(10) 아래에 하나의 MPTCP 계층(20)이 있고, MPTCP 계층(20)에 복수 개의 TCP 서브플로우들(21, 22, 23)이 포함되어 있으며, 각각의 TCP 서브플로우들(21, 22, 23) 아래에 각각의 IP 계층(31, 32, 33)이 있다.

[0026] TCP 서브플로우들(21, 22, 23)은 서로 다른 네트워크 인터페이스에 연결된다. 예를 들어, TCP 서브플로우(21)는

LTE 네트워크를 통하여 클라이언트와 통신하기 위한 것일 수 있고, TCP 서브플로우(22)는 Wi-Fi 네트워크를 통하여 클라이언트와 통신하기 위한 것일 수 있으며, TCP 서브플로우(23)은 WiMax 네트워크를 통하여 클라이언트와 통신하기 위한 것일 수 있다.

- [0027] 도 2는 본 발명의 일 실시예에 따른 패킷 스케줄링 장치(100)의 구성도이다. 이러한 패킷 스케줄링 장치(100)는 MPTCP를 지원하는 서버나 클라이언트, 송신 장치나 수신 장치, 서버와 클라이언트 간 통신 연결을 매개하는 프록시 장치, 혹은 이들의 선택적인 조합 등 다양한 형태로 구현될 수 있다.
- [0028] 도 2를 참조하면, 본 발명의 일 실시예에 따른 패킷 스케줄링 장치(100)는 측정부(110) 및 제어부(120)를 포함할 수 있다.
- [0029] 측정부(110)는 다중 인터페이스 각각에 대하여 지연시간을 측정한다. 예를 들어, 측정부(110)는 TCP 서브플로우들에 대응하는 각각의 인터페이스에 대하여 지연시간으로서 RTT(Round Trip Time)를 측정할 수 있다.
- [0030] 제어부(120)는 측정부(110)에 의해 측정된 지연시간에 기초하여 송신 대상 패킷을 다중 인터페이스에 할당한다. 예를 들어, 제어부(120)는 측정부(110)에 의한 지연시간의 측정 결과에 기초하여 다중 인터페이스 중 최소 지연시간을 갖는 제 1 인터페이스를 파악할 수 있으며, 제 1 인터페이스에 가상 큐를 개설할 수 있고, 송신 대상 패킷 중 일부를 제 1 인터페이스에 할당하여 가상 큐에 적재할 수 있으며, 송신 대상 패킷 중 앞서 할당한 일부를 제외한 나머지를 다중 인터페이스 중 제 1 인터페이스를 제외한 다른 인터페이스에 할당할 수 있다.
- [0031] 이러한 제어부(120)는 가상 큐가 생성된 인터페이스의 지연시간과 다른 인터페이스의 지연시간이 포함된 비율에 기초하여 가상 큐의 크기를 설정할 수 있다. 예를 들어, 제어부(120)는 제 1 인터페이스의 혼잡 윈도우(congestion window)의 크기 및 제 1 인터페이스의 지연시간과 다른 인터페이스의 지연시간이 포함된 비율에 기초하여 제 1 인터페이스의 가상 큐의 크기를 설정할 수 있다.
- [0032] 그리고, 제어부(120)는 슬로우 스타트(Slow Start) 후 가상 큐가 생성된 인터페이스가 대역폭 지연 곱(Bandwidth Delay Product, BDP)을 만족하기 전까지, 가상 큐가 생성된 인터페이스의 혼잡 윈도우의 크기, 가상 큐가 생성된 인터페이스의 지연시간과 다른 인터페이스의 지연시간 및 가상 큐가 생성된 인터페이스의 최대 전송률에 기초하여 가상 큐가 생성된 인터페이스의 가상 큐의 크기를 조절할 수 있다.
- [0033] 아울러, 제어부(120)는 슬로우 스타트 후 가상 큐가 생성된 인터페이스가 대역폭 지연 곱(BDP)을 만족하면, 가상 큐가 생성된 인터페이스의 혼잡 윈도우의 크기 및 가상 큐가 생성된 인터페이스의 지연시간과 다른 인터페이스의 지연시간이 포함된 비율에 기초하여 해당 인터페이스의 가상 큐의 크기를 조절할 수 있다.
- [0034] 도 3은 본 발명의 일 실시예에 따른 패킷 스케줄링 장치(100)가 N개의 인터페이스에 대해 패킷을 할당하기 위해 가상 큐를 개설한 상태를 설명하는 도면이다. 예를 들어, 3개의 인터페이스가 있는 경우라면, 3개의 인터페이스 중 최소 지연시간을 갖는 제 1 인터페이스(210)에 가상 큐(211)를 생성함과 아울러 차순위의 최소 지연시간을 갖는 제 2 인터페이스(220)에 가상 큐(221)를 생성할 수 있다. 다중 인터페이스 중 최대 지연시간을 갖는 제 N 인터페이스(230)에는 가상 큐를 생성하지 않으며, 각각의 인터페이스(210, 220, 230)는 혼잡 제어를 위한 혼잡 윈도우(212, 222, 232)를 포함한다.
- [0035] 도 4는 본 발명의 일 실시예에 따른 패킷 스케줄링 장치(100)에 의해, 다중 인터페이스에 대한 패킷 스케줄링을 하는 방법을 설명하기 위한 흐름도이다.
- [0036] 이하, 도 1 내지 도 4를 참조하여 MPTCP를 지원하는 시스템에서 송신 대상 패킷을 다중 인터페이스에 할당하는 스케줄링 과정에 대해 자세히 살펴보기로 한다. 여기서, 설명의 이해를 돕기 위해 제 1 인터페이스와 제 2 인터페이스에 대해 송신 대상 패킷을 할당하는 예를 설명하기로 한다. 이 경우에는, 도 3에 도시된 바와는 달리 제 2 인터페이스(220)에 가상 큐(221)가 개설되지 않는다.
- [0037] 먼저, 애플리케이션 계층(10)에서 MPTCP 계층(20)으로 데이터가 전송되면 전송된 데이터가 패킷 상태로 송신단 버퍼(sender buffer)에 쌓이게 되며, 이렇게 쌓인 패킷은 패킷 스케줄링 장치(100)에 의해 TCP 서브플로우들(21, 22)에 대응하는 제 1 인터페이스(210) 및 제 2 인터페이스(220)로 할당된다.
- [0038] 이처럼, 패킷을 할당하기 위해 패킷 스케줄링 장치(100)의 측정부(110)는 제 1 인터페이스(210) 및 제 2 인터페이스(220)에 대해 지연시간을 측정하고, 측정된 결과를 제어부(120)에 제공한다. 예를 들어, 측정부(110)는 제 1 인터페이스(210)와 제 2 인터페이스(220) 각각에 대하여 지연시간으로서 RTT(Round Trip Time)를 측정할 수 있다(S301).

[0039] 그러면, 제어부(120)는 측정부(110)에 의해 측정된 지연시간에 기초하여 다중 인터페이스 중 최소 지연시간을 갖는 제 1 인터페이스(210)를 파악하고, 제 1 인터페이스(210)에 가상 큐(211)를 개설한다. 이때, 제어부(120)는 제 1 인터페이스(210)의 혼잡 윈도우(212)의 크기 및 제 1 인터페이스(210)의 지연시간과 제 2 인터페이스(220)의 지연시간이 포함된 비율에 기초하여 제 1 인터페이스(210)의 가상 큐(211)의 크기를 설정할 수 있다. 예를 들어, 제어부(120)는 수학적 식 1을 이용하여 제 2 인터페이스(220)의 지연시간과 제 1 인터페이스(210)의 지연시간의 차이값과 제 1 인터페이스(210)의 지연시간의 비율을 반영하여, 제 1 인터페이스(210)에 개설한 가상 큐(211)의 크기(S)를 결정할 수 있다(S303).

수학적 식 1

$$S = a \cdot 2 \cdot \left(2^{\frac{B-A}{A}} - 1 \right)$$

[0040]

[0041] 여기서, a는 제 1 인터페이스(210)의 혼잡 윈도우(212)의 크기이고, A는 제 1 인터페이스(210)의 지연시간이며, B는 제 2 인터페이스(220)의 지연시간이다.

[0042] 수학적 식 1은 제 1 인터페이스(210)와 제 2 인터페이스(220)의 지연시간 차이에 따라 제 1 인터페이스(210)가 패킷을 몇 번 더 전송하여야 수신단에서 동시에 마지막 패킷이 도착하는지에 대해 계산된 식이다. 슬로우 스타트(Slow Start)이기 때문에 한번 더 전송할 때마다 혼잡 윈도우(212)의 크기가 2배로 늘어나기 때문에 등비수열의 합과 같은 식이 도출되었다.

[0043] 그리고, 제어부(120)는 송신단 버퍼에 쌓여 있는 송신 대상 패킷 중에서 가상 큐(211)의 크기만큼의 패킷을 제 1 인터페이스(210)에 할당하여 가상 큐(211)에 적재한다(S305).

[0044] 아울러, 제어부(120)는 송신단 버퍼에 쌓여 있는 송신 대상 패킷 중에서 제 1 인터페이스(210)에 할당한 패킷을 제외한 나머지 패킷을 제 2 인터페이스(220)에 할당한다(S307).

[0045] 이렇게, 송신단 버퍼에 쌓여 있는 송신 대상 패킷이 제 1 인터페이스(210) 및 제 2 인터페이스(220)에 할당되면, 슬로우 스타트 방식으로 송신 대상 패킷이 전송된다. 예를 들어, 제 1 인터페이스(210)의 가상 큐(211)에 패킷이 적재되기 전에 혼잡 윈도우(212)의 크기만큼 패킷의 전송을 시작할 수 있다(S309).

[0046] 이러한 슬로우 스타트 후 제어부(120)는 혼잡 윈도우(212)의 크기에 따라 지속적으로 가상 큐(211)의 크기를 조정하면서 가상 큐(211)에 패킷을 적재한다. 여기서, 제어부(120)는 제 1 인터페이스(210)가 대역폭 지연 곱(Bandwidth Delay Product, BDP)을 만족하기 전까지, 혼잡 윈도우(212)의 크기, 제 1 인터페이스(210)의 지연시간과 제 2 인터페이스(220)의 지연시간이 포함된 비율 및 제 1 인터페이스(210)의 예측된 최대 전송률에 기초하여 가상 큐(211)의 크기를 조정하면서 제 1 인터페이스(210) 및 제 2 인터페이스(220)에 패킷을 할당한다. 예를 들어, 제어부(120)는 제 1 인터페이스(210)가 대역폭 지연 곱을 만족하기 전까지, 수학적 식 2의 조건이 만족하면 수학적 식 3 내지 수학적 식 5에 의한 크기(S)만큼 가상 큐(211)에 패킷을 적재할 수 있다. T_1 은 제 1 인터페이스(210)의 최대 전송률이고, 응답 트레인(ack train) 방식 등과 같은 공지의 예측 방식을 통해 예측할 수 있다. 예컨대, 제어부(120)는 최근 몇 ms동안 1ms단위로 응답(ack)간 시간간격과 응답(ack)의 개수를 통해 최대 전송률을 예측할 수 있다.

수학적 식 2

$$\log_2 \frac{T_1 \cdot A}{a \cdot mss} < \frac{B - A}{A}$$

[0047]

수학식 3

$$S = a \cdot 2 \cdot \left(\frac{T_1 \cdot A}{a \cdot mss} - 1 \right) + \frac{T_1 \cdot A}{mss} \cdot \left(\frac{B - A}{A} - \log_2 \frac{T_1 \cdot A}{a \cdot mss} \right)$$

[0048]

수학식 4

$$a \cdot 2^n = \frac{T_1 \cdot A}{mss}$$

[0049]

수학식 5

$$n = \log_2 \frac{T_1 \cdot A}{a \cdot mss}$$

[0050]

[0051] mss는 패킷 하나에 포함된 데이터의 크기이다. n의 의미는 제 1 인터페이스(210)의 지연시간 기준으로 n번 데이터를 2배씩 가상 큐(211)에 쌓으면 그 때 마지막 1회의 패킷 개수가 예측된 최대 전송률일 때의 혼잡 윈도우

$$a \cdot 2 \cdot \left(\frac{T_1 \cdot A}{a \cdot mss} - 1 \right)$$

(212)의 크기와 같아지게 된다는 뜻이다. 그래서, 수학식 3의 수식이 의미하는 바는, 는 슬로

$$\frac{T_1 \cdot A}{mss} \cdot \left(\frac{B - A}{A} - \log_2 \frac{T_1 \cdot A}{a \cdot mss} \right)$$

우 스타트로 더해지는 패킷 개수이고, 은 예측된 최대 전송률일 때의 혼잡 윈도우(212)만큼을 유지할 것으로 생각하고 더해지는 패킷 개수이다(S311, S313).

[0052]

아울러, 제어부(120)는 슬로우 스타트 후 제 1 인터페이스(210)가 대역폭 지연 곱(BDP)을 만족하면, 제 1 인터페이스(210)의 혼잡 윈도우(212)의 크기 및 제 1 인터페이스(210)의 지연시간과 제 2 인터페이스(220)의 지연시간이 포함된 비율에 기초하여 가상 큐(211)의 크기를 조정하면서 제 1 인터페이스(210) 및 제 2 인터페이스(220)에 패킷을 할당한다. 예를 들어, 제어부(120)는 제 1 인터페이스(210)가 대역폭 지연 곱(BDP)을 만족하면, 수학식 6에 의한 크기(S)만큼 가상 큐(211)에 패킷을 적재할 수 있다(S311, S315).

수학식 6

$$S = a \cdot \frac{(B - A)}{A}$$

[0053]

[0054]

이후, 제어부(120)는 제 1 인터페이스(210)가 대역폭 지연 곱(BDP)을 만족하는 상태가 유지되도록 하면서 제 1 인터페이스(210) 및 제 2 인터페이스(220)에 패킷을 할당한다. 예를 들어, 제어부(120)는 수학식 7의 알고리즘을 이용하여 제 1 인터페이스(210)가 대역폭 지연 곱(BDP)을 만족하는 상태가 유지되도록 할 수 있다(S317).

수학식 7

$$w_{i+1} = (1 - \gamma)w_i + \gamma\left(\frac{mRE_i}{R_i}w_i + \alpha\right)$$

[0055]

[0056] 여기서, $\gamma \in (0,1]$, $\alpha > 0$ 이며, w_i 는 시간 i에서 제 1 인터페이스(210)의 혼잡 윈도우(212)의 크기, R_i 는 시간 i에서 제 1 인터페이스(210)의 측정된 지연시간, mRE_i 는 시간 i에서 제 1 인터페이스(210)의 추정된 최소 지연시간이다.

[0057] 한편, N개의 인터페이스를 이용하여 통신을 하는 경우에는 가장 긴 지연시간을 갖는 인터페이스의 최소 지연시간을 기준으로 나머지 인터페이스들의 가상 큐의 크기가 설정된다. 예를 들어, 3개의 인터페이스가 이용되고 제 3 인터페이스의 지연시간이 가장 긴 경우라면, 제 1 인터페이스(210)의 크기를 결정하는 수학식 1은 수학식 8과 같이 변경되고, 수학식 3은 수학식 9와 같이 변경되며, 수학식 6은 수학식 10과 같이 변경된다. C는 제 3 인터페이스의 지연시간이다.

수학식 8

$$S = a \cdot 2 \cdot \left(2^{\frac{C-A}{A}} - 1\right)$$

[0058]

수학식 9

$$S = a \cdot 2 \cdot \left(\frac{T_1 \cdot A}{a \cdot mss} - 1\right) + \frac{T_1 \cdot A}{mss} \cdot \left(\frac{C-A}{A} - \log_2 \frac{T_1 \cdot A}{a \cdot mss}\right)$$

[0059]

수학식 10

$$S = a \cdot \frac{(C-A)}{A}$$

[0060]

[0061] 아울러, 제 2 인터페이스(220)의 크기를 결정하는 수학식 1은 수학식 11과 같이 변경되고, 수학식 3은 수학식 12와 같이 변경되며, 수학식 6은 수학식 13과 같이 변경된다. b는 제 2 인터페이스(220)의 혼잡 윈도우(222)의 크기이다.

수학식 11

$$S = b \cdot 2 \cdot \left(2^{\frac{C-B}{B}} - 1\right)$$

[0062]

수학식 12

$$S = b \cdot 2 \cdot \left(\frac{T_1 \cdot B}{b \cdot mss} - 1 \right) + \frac{T_1 \cdot B}{mss} \cdot \left(\frac{C - B}{B} - \log_2 \frac{T_1 \cdot B}{b \cdot mss} \right)$$

[0063]

수학식 13

$$S = \frac{T_1 \cdot B}{mss} \cdot \frac{(C - B)}{B}$$

[0064]

[0065]

지금까지 설명한 바와 같은, 본 발명의 실시예에 의하면, 다중 인터페이스에 대하여 지연시간을 기초로 송신 대상 패킷을 할당함으로써, 수신단에서 다중 인터페이스의 지연시간 차이로 인한 패킷 재정렬을 수행할 필요가 없다.

[0066]

본 발명에 첨부된 블록도의 각 블록과 흐름도의 각 단계의 조합들은 컴퓨터 프로그램 인스트럭션들에 의해 수행될 수도 있다. 이들 컴퓨터 프로그램 인스트럭션들은 범용 컴퓨터, 특수용 컴퓨터 또는 기타 프로그램 가능한 데이터 프로세싱 장비의 프로세서에 탑재될 수 있으므로, 컴퓨터 또는 기타 프로그램 가능한 데이터 프로세싱 장비의 프로세서를 통해 수행되는 그 인스트럭션들이 블록도의 각 블록 또는 흐름도의 각 단계에서 설명된 기능들을 수행하는 수단을 생성하게 된다. 이들 컴퓨터 프로그램 인스트럭션들은 특정 방식으로 기능을 구현하기 위해 컴퓨터 또는 기타 프로그램 가능한 데이터 프로세싱 장비를 지향할 수 있는 컴퓨터 이용 가능 또는 컴퓨터 판독 가능 메모리에 저장되는 것도 가능하므로, 그 컴퓨터 이용가능 또는 컴퓨터 판독 가능 메모리에 저장된 인스트럭션들은 블록도의 각 블록 또는 흐름도 각 단계에서 설명된 기능을 수행하는 인스트럭션 수단을 내포하는 제조 품목을 생산하는 것도 가능하다. 컴퓨터 프로그램 인스트럭션들은 컴퓨터 또는 기타 프로그램 가능한 데이터 프로세싱 장비 상에 탑재되는 것도 가능하므로, 컴퓨터 또는 기타 프로그램 가능한 데이터 프로세싱 장비 상에서 일련의 동작 단계들이 수행되어 컴퓨터로 실행되는 프로세스를 생성해서 컴퓨터 또는 기타 프로그램 가능한 데이터 프로세싱 장비를 수행하는 인스트럭션들은 블록도의 각 블록 및 흐름도의 각 단계에서 설명된 기능들을 실행하기 위한 단계들을 제공하는 것도 가능하다.

[0067]

또한, 각 블록 또는 각 단계는 특정된 논리적 기능(들)을 실행하기 위한 하나 이상의 실행 가능한 인스트럭션들을 포함하는 모듈, 세그먼트 또는 코드의 일부를 나타낼 수 있다. 또, 몇 가지 대체 실시예들에서는 블록들 또는 단계들에서 언급된 기능들이 순서를 벗어나서 발생하는 것도 가능함을 주목해야 한다. 예컨대, 잇달아 도시되어 있는 두 개의 블록들 또는 단계들은 사실 실질적으로 동시에 수행되는 것도 가능하고 또는 그 블록들 또는 단계들이 때때로 해당하는 기능에 따라 역순으로 수행되는 것도 가능하다.

[0068]

이상의 설명은 본 발명의 기술 사상을 예시적으로 설명한 것에 불과한 것으로서, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 다양한 수정 및 변형이 가능할 것이다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

[0069]

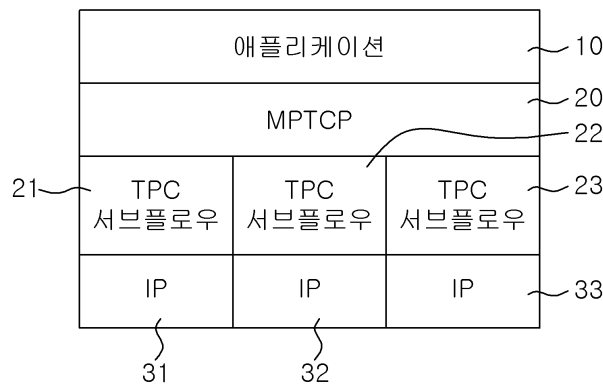
100 : 패킷 스케줄링 장치

110 : 측정부

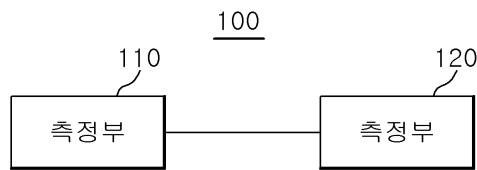
120 : 제어부

도면

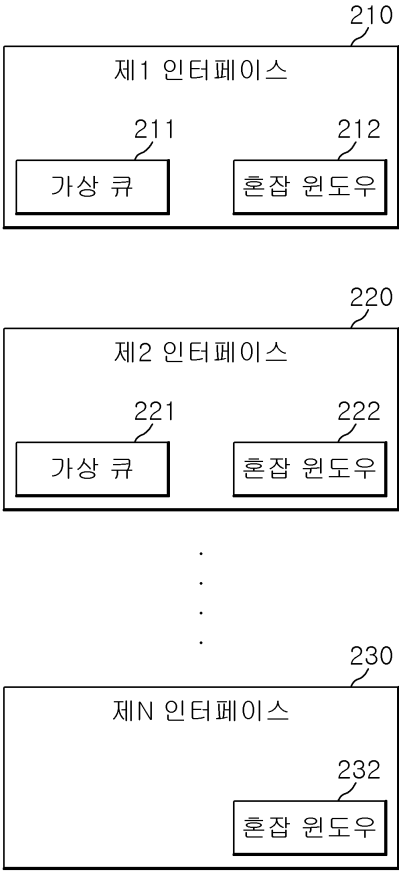
도면1



도면2



도면3



도면4

