



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2024-0160132
(43) 공개일자 2024년11월08일

- | | |
|---|---|
| <p>(51) 국제특허분류(Int. Cl.)
H01L 21/02 (2006.01) C30B 25/04 (2006.01)
C30B 25/14 (2006.01) C30B 25/16 (2006.01)
C30B 25/18 (2006.01) C30B 29/38 (2006.01)</p> <p>(52) CPC특허분류
H01L 21/02647 (2013.01)
C30B 25/04 (2013.01)</p> <p>(21) 출원번호 10-2024-7031997
(22) 출원일자(국제) 2023년03월17일
심사청구일자 2024년09월25일
(85) 번역문제출일자 2024년09월25일
(86) 국제출원번호 PCT/JP2023/010518
(87) 국제공개번호 WO 2023/182194
국제공개일자 2023년09월28일
(30) 우선권주장
JP-P-2022-048788 2022년03월24일 일본(JP)</p> | <p>(71) 출원인
교세라 가부시키키가이샤
일본국 교토후 교토시 후시미쿠 다케다 토바도노
쵸 6반지</p> <p>(72) 발명자
아오키 유타
일본국 교토후 교토시 후시미쿠 다케다 토바도노
쵸 6반지 교세라 가부시키키가이샤 나이
카미카와 타케시
일본국 교토후 교토시 후시미쿠 다케다 토바도노
쵸 6반지 교세라 가부시키키가이샤 나이
(뒷면에 계속)</p> <p>(74) 대리인
하영옥</p> |
|---|---|

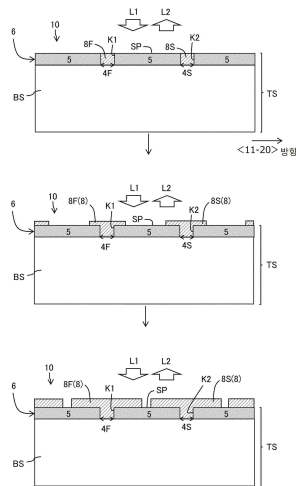
전체 청구항 수 : 총 27 항

(54) 발명의 명칭 반도체 기판의 제조 방법 및 제조 장치

(57) 요약

제 1 질화물 반도체부를 제 1 시드 영역부로부터 성장 억제 영역의 상방으로 성장시킴과 아울러, 제 2 질화물 반도체부를 제 2 시드 영역으로부터 성장 억제 영역의 상방으로 성장시키는 공정과, 템플릿 기판 그리고 성장 중인 제 1 및 제 2 질화물 반도체부를 포함하는 반도체 기판에 제 1 광을 조사하는 공정과, 반도체 기판으로부터의 제 2 광을 수광하는 공정과, 제 1 및 제 2 질화물 반도체부가 회합하기 전에 제 1 및 제 2 질화물 반도체부의 성장을 멈추는 공정을 포함한다.

대표도 - 도3



(52) CPC특허분류

C30B 25/14 (2013.01)

C30B 25/16 (2013.01)

C30B 25/165 (2020.05)

C30B 25/18 (2013.01)

C30B 29/38 (2013.01)

H01L 21/02458 (2013.01)

H01L 21/0254 (2013.01)

H01L 21/0262 (2013.01)

H01L 21/02639 (2013.01)

(72) 발명자

코바야시 토시히로

일본국 교토후 교토시 후시미쿠 다케다 토바도노쵸
6반지 교세라 가부시키키가이샤 나이

요시카와 히로미치

일본국 교토후 교토시 후시미쿠 다케다 토바도노쵸
6반지 교세라 가부시키키가이샤 나이

명세서

청구범위

청구항 1

베이스 기판을 포함하고, 성장 억제 영역 그리고 제 1 및 제 2 시드 영역을 갖는 템플릿 기판을 준비하는 공정과,

제 1 질화물 반도체부를 상기 제 1 시드 영역으로부터 상기 성장 억제 영역의 상방으로 성장시킴과 아울러, 제 2 질화물 반도체부를 상기 제 2 시드 영역으로부터 상기 성장 억제 영역의 상방으로 성장시키는 공정과,

상기 템플릿 기판 그리고 성장 중인 제 1 및 제 2 질화물 반도체부를 포함하는 반도체 기판에 제 1 광을 조사하는 공정과,

상기 반도체 기판으로부터의 제 2 광을 수광하는 공정과,

상기 제 1 및 제 2 질화물 반도체부가 회합하기 전에 상기 제 1 및 제 2 질화물 반도체부의 성장을 멈추는 공정을 행하는 반도체 기판의 제조 방법.

청구항 2

제 1 항에 있어서,

상기 제 1 광은 상기 제 1 및 제 2 질화물 반도체부 그리고 상기 성장 억제 영역에 조사되는 반도체 기판의 제조 방법.

청구항 3

제 1 항 또는 제 2 항에 있어서,

상기 제 2 광에는 상기 제 1 광의 상기 제 1 및 제 2 질화물 반도체부 상면에서의 반사광과, 상기 제 1 광의 상기 성장 억제 영역에서의 반사광이 포함되는 반도체 기판의 제조 방법.

청구항 4

제 2 항에 있어서,

상기 제 1 및 제 2 질화물 반도체부의 상면에 있어서의 상기 제 1 광의 입사광 강도에 대한 반사광 강도의 비는, 상기 성장 억제 영역에 있어서의 상기 제 1 광의 입사광 강도에 대한 반사광 강도의 비와 상이한 반도체 기판의 제조 방법.

청구항 5

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 제 2 광을 이용하여 상기 제 1 및 제 2 질화물 반도체부의 성장을 정지시키는 타이밍을 결정하는 반도체 기판의 제조 방법.

청구항 6

제 5 항에 있어서,

상기 제 1 광의 강도에 대한 상기 제 2 광의 강도의 비인 반사율, 혹은 상기 제 2 광의 강도를 시계열을 따라 검출하는 반도체 기판의 제조 방법.

청구항 7

제 6 항에 있어서,

각 질화물 반도체부의 상면에 경사 영역이 형성되는 경우에, 상기 반사율 혹은 상기 제 2 광의 강도가 임계값을

하회하는 타이밍에서, 상기 제 1 및 제 2 질화물 반도체부의 성장을 정지시키는 반도체 기판의 제조 방법.

청구항 8

제 6 항에 있어서,

각 질화물 반도체부의 상면이 경사지지 않은 경우에, 상기 반사율 혹은 상기 제 2 광의 강도가 임계값을 상회하는 타이밍에서, 상기 제 1 및 제 2 질화물 반도체부의 성장을 정지시키는 반도체 기판의 제조 방법.

청구항 9

제 6 항에 있어서,

상기 반사율 혹은 상기 제 2 광의 강도에 트렌드의 변화가 확인된 타이밍에서, 상기 제 1 및 제 2 질화물 반도체부의 성장을 정지시키는 반도체 기판의 제조 방법.

청구항 10

제 7 항에 있어서,

각 질화물 반도체부에 대해, 중앙부의 두께보다 단부쪽이 두께가 작은 반도체 기판의 제조 방법.

청구항 11

제 6 항 내지 제 10 항 중 어느 한 항에 있어서,

상기 반사율을 이용하여 상기 제 1 및 제 2 질화물 반도체부의 갭 폭을 시계열을 따라 검출하고, 상기 갭 폭이 규정값에 달했을 때에, 상기 제 1 및 제 2 질화물 반도체부의 성장을 정지시키는 반도체 기판의 제조 방법.

청구항 12

제 2 항에 있어서,

상기 제 1 및 제 2 질화물 반도체부의 성장을 멈추었을 때에, 각 질화물 반도체부는 상기 성장 억제 영역에 대하여 오버행하는 측면을 갖는 반도체 기판의 제조 방법.

청구항 13

제 12 항에 있어서,

상기 제 1 및 제 2 질화물 반도체부의 성장을 멈추기 전에, 각 질화물 반도체부에 생긴, 상기 성장 억제 영역에 대하여 오버행하는 측면이 확대되는 반도체 기판의 제조 방법.

청구항 14

제 1 항 내지 제 13 항 중 어느 한 항에 있어서,

각 질화물 반도체부의 성장 온도 하에 있어서 상기 제 1 광이 각 질화물 반도체부에 흡수되는 반도체 기판의 제조 방법.

청구항 15

제 14 항에 있어서,

상기 제 1 광의 파장은 395~415nm의 파장역에 포함되는 반도체 기판의 제조 방법.

청구항 16

제 1 항에 있어서,

상기 템플릿 기판은 상기 마스크부 그리고 제 1 및 제 2 개구부를 포함하는 마스크 패턴을 갖고,

상기 베이스 기판의 상면에, 상기 제 1 개구부와 겹치는 상기 제 1 시드 영역과, 상기 제 2 개구부와 겹치는 상기 제 2 시드 영역이 포함되는 반도체 기판의 제조 방법.

청구항 17

제 1 항 내지 제 16 항 중 어느 한 항에 있어서,
상기 베이스 기판은 실리콘 기판을 갖고,
상기 질화물 반도체부는 GaN계 반도체를 포함하는 반도체 기판의 제조 방법.

청구항 18

제 1 항 내지 제 17 항 중 어느 한 항에 있어서,
상기 제 1 및 제 2 질화물 반도체부의 성장을 멈추었을 때의 이것들의 껍 폭이, 각 개구부의 폭의 3배보다 작은 반도체 기판의 제조 방법.

청구항 19

제 16 항에 있어서,
상기 마스크부의 폭이 20[μm] 이상인 반도체 기판의 제조 방법.

청구항 20

제 16 항에 있어서,
상기 베이스 기판은 주기판과, 상기 주기판 상에 위치하는 하지부를 포함하고,
상기 하지부의 상면에, 상기 제 1 개구부와 겹치는 상기 제 1 시드 영역과, 상기 제 2 개구부와 겹치는 상기 제 2 시드 영역이 포함되는 반도체 기판의 제조 방법.

청구항 21

제 20 항에 있어서,
상기 하지부는 질화물 반도체를 포함하는 반도체 기판의 제조 방법.

청구항 22

제 20 항 또는 제 21 항에 있어서,
상기 하지부는 버퍼부 및 시드부 중 적어도 일방을 포함하는 반도체 기판의 제조 방법.

청구항 23

제 20 항 내지 제 22 항 중 어느 한 항에 있어서,
상기 주기판과 상기 질화물 반도체부의 격자 정수가 상이한 반도체 기판의 제조 방법.

청구항 24

베이스 기판을 포함하고, 성장 억제 영역 그리고 제 1 및 제 2 시드 영역을 갖는 템플릿 기판을 적재하는 스테이지와,

제 1 질화물 반도체부를 상기 제 1 시드 영역으로부터 상기 성장 억제 영역의 상방으로 성장시킵고 아울러, 제 2 질화물 반도체부를 상기 제 2 시드 영역으로부터 상기 성장 억제 영역의 상방으로 성장시키기 위한 원료를 공급하는 원료 공급 장치와,

상기 템플릿 기판 그리고 성장 중인 제 1 및 제 2 질화물 반도체부를 포함하는 반도체 기판에 제 1 광을 조사하고, 또한 상기 반도체 기판으로부터의 제 2 광을 수광하는 광학 장치와,

상기 제 1 및 제 2 질화물 반도체부가 회합하기 전에 상기 제 1 및 제 2 질화물 반도체부의 성장이 멈추도록 상기 원료 공급 장치를 제어하는 제어 장치를 포함하는 반도체 기판의 제조 장치.

청구항 25

제 24 항에 있어서,

상기 제어 장치는 상기 제 2 광을 이용하여 상기 원료 공급 장치에 대하여 적어도 일부의 원료의 공급을 정지시키는 타이밍을 결정하는 반도체 기관의 제조 장치.

청구항 26

제 25 항에 있어서,

상기 제어 장치는 상기 제 1 광의 강도에 대한 상기 제 2 광의 강도의 비인 반사율을 이용하여 상기 제 1 및 제 2 질화물 반도체부의 겹 폭을 시계열을 따라 검출하고, 상기 겹 폭이 규정값에 달했을 때에, 상기 원료 공급 장치에 대하여 적어도 일부의 원료의 공급 정지를 지시하는 반도체 기관의 제조 장치.

청구항 27

베이스 기관을 포함하고, 성장 억제 영역 그리고 제 1 및 제 2 시드 영역을 갖는 템플릿 기관의 상부에, 제 1 질화물 반도체부를 상기 제 1 시드 영역으로부터 상기 성장 억제 영역의 상방으로 성장시킴과 아울러, 제 2 질화물 반도체부를 상기 제 2 시드 영역으로부터 상기 성장 억제 영역의 상방으로 성장시키기 위한 원료를 공급하는 원료 공급 장치와, 상기 템플릿 기관 그리고 성장 중인 제 1 및 제 2 질화물 반도체부를 포함하는 반도체 기관에 제 1 광을 조사하고, 또한 상기 반도체 기관으로부터의 제 2 광을 수광하는 광학 장치와의 통신이 가능하고,

상기 제 1 및 제 2 질화물 반도체부가 회합하기 전에 이것들의 성장이 멈추도록 상기 원료 공급 장치를 제어하는 제어 장치.

발명의 설명

기술 분야

[0001] 본 개시는 반도체 기관의 제조 방법 및 제조 장치에 관한 것이다.

배경 기술

[0002] 특허문헌 1에는 ELO(Epitaxial Lateral Overgrowth)법을 이용하여, GaN계 반도체층을, GaN계 기관 혹은 이중 기관(예를 들면 사파이어 기관) 상에 형성하는 방법이 개시되어 있다.

선행기술문헌

특허문헌

[0003] (특허문헌 0001) 일본 특허공개 2013-251304호 공보

발명의 내용

[0004] 본 개시에 관한 반도체 기관의 제조 방법은 베이스 기관을 포함하고, 성장 억제 영역 그리고 제 1 및 제 2 시드 영역을 갖는 템플릿 기관을 준비하는 공정과, 제 1 질화물 반도체부를 상기 제 1 시드 영역으로부터 상기 성장 억제 영역의 상방으로 성장시킴과 아울러, 제 2 질화물 반도체부를 상기 제 2 시드 영역으로부터 상기 성장 억제 영역의 상방으로 성장시키는 공정과, 상기 템플릿 기관 그리고 성장 중인 제 1 및 제 2 질화물 반도체부를 포함하는 반도체 기관에 제 1 광을 조사하는 공정과, 상기 반도체 기관으로부터의 제 2 광을 수광하는 공정과, 상기 제 1 및 제 2 질화물 반도체부가 회합하기 전에 상기 제 1 및 제 2 질화물 반도체부의 성장을 멈추는 공정을 행한다.

도면의 간단한 설명

[0005] 도 1은 본 실시형태에 관한 반도체 기관의 구성을 나타내는 단면도이다.

도 2는 본 실시형태의 반도체 기관의 제조 방법을 나타내는 플로우차트이다.

- 도 3은 본 실시형태의 반도체 기관의 제조 방법을 나타내는 단면도이다.
- 도 4는 본 실시형태의 반도체 기관의 구성을 나타내는 단면도이다.
- 도 5는 반도체 기관의 반사율의 시간 변화를 나타내는 그래프(제 1 광의 파장이 405nm 및 633nm인 경우)이다.
- 도 6은 경사 영역의 경사각과 반사율의 관계를 나타내는 그래프이다.
- 도 7은 제 1 및 제 2 질화물 반도체부의 갭 폭의 시간적 변화를 나타내는 그래프이다.
- 도 8은 경사 영역을 갖는 질화물 반도체부의 형상예를 나타내는 단면도이다.
- 도 9는 반도체 기관의 반사율의 시간 변화를 나타내는 그래프이다.
- 도 10은 반도체 기관의 반사율의 시간 변화를 나타내는 그래프이다.
- 도 11은 도 10의 변곡점 부근을 나타내는 그래프이다.
- 도 12는 제 1 및 제 2 질화물 반도체부 각각의 사이드 패킷의 형상 변화를 나타내는 단면도이다.
- 도 13은 마스크의 일례를 나타내는 평면도이다.
- 도 14는 베이스 기관의 구성예를 나타내는 단면도이다.
- 도 15는 하지부의 구성예를 나타내는 단면도이다.
- 도 16은 본 실시형태에 관한 반도체 기관의 제조 방법의 다른 예를 나타내는 단면도이다.
- 도 17은 본 실시형태에 관한 반도체 기관의 제조 장치의 구성을 나타내는 모식도이다.
- 도 18은 실시예 1에 관한 반도체 기관의 제조 방법을 나타내는 단면도이다.
- 도 19는 실시예 2에 관한 반도체 소자의 제조 방법을 나타내는 단면도이다.
- 도 20은 실시예 3에 관한 반도체 기관의 제조 장치의 구성을 나타내는 모식도이다.
- 도 21은 본 실시형태의 반도체 기관의 제조 방법을 나타내는 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0006] (반도체 기관)

[0007] 도 1은 본 실시형태에 관한 반도체 기관의 구성을 나타내는 단면도이다. 도 1에 나타난 바와 같이, 본 실시형태에 관한 반도체 기관(10)(반도체 웨이퍼)은 베이스 기관(BS)을 포함하고, 성장 억제 영역(SP) 그리고 제 1 및 제 2 시드 영역(4F·4S)을 갖는 템플릿 기관(TS)과, 제 1 시드 영역(4F)으로부터 성장 억제 영역(SP)의 상방에 배치된 제 1 질화물 반도체부(8F)와, 제 2 시드 영역(4S)으로부터 성장 억제 영역(SP)의 상방에 배치된 제 2 질화물 반도체부(8S)를 포함한다. 템플릿 기관(TS)은 베이스 기관(BS) 상에, 마스크부(5) 그리고 제 1 개구부(K1) 및 제 2 개구부(K2)를 갖는 마스크 패턴(6)을 갖는다. 마스크부(5)의 상면이 성장 억제 영역(SP)이고, 베이스 기관(BS)의 상면에, 제 1 개구부(K1)와 겹치는 제 1 시드 영역(4F)과, 제 2 개구부(K2)와 겹치는 제 2 시드 영역(4S)이 위치하고 있어도 된다. 제 1 및 제 2 질화물 반도체부(8F·8S)는 갭(GP)을 개재하여 서로 이웃한다. 이하에서는 제 1 및 제 2 시드 영역(4F·4S)의 총칭을 시드 영역(4), 제 1 및 제 2 개구부(K1·K2)의 총칭을 개구부(K), 제 1 및 제 2 질화물 반도체부(8F·8S)의 총칭을 질화물 반도체부(8)라고 하는 경우가 있다. 질화물 반도체부(8)가 질화물 반도체층이어도 된다.

[0008] 질화물 반도체부(8)는 주재료로서 질화물 반도체를 포함한다. 질화물 반도체는 예를 들면 $Al_xGa_yIn_zN$ ($0 \leq x \leq 1$; $0 \leq y \leq 1$; $0 \leq z \leq 1$; $x+y+z=1$)으로 나타낼 수 있고, 구체예로서, GaN계 반도체, AlN(질화알루미늄), InAlN(질화인듐알루미늄), InN(질화인듐)을 들 수 있다. GaN계 반도체란 갈륨 원자(Ga) 및 질소 원자(N)를 포함하는 반도체이며, 전형적인 예로서, GaN, AlGaIn, AlGaInN, InGaIn을 들 수 있다.

[0009] 질화물 반도체부(8)는 도프형(예를 들면 도너를 포함하는 n형)이어도 되고 논도프형이어도 된다. 반도체 기관이란, 질화물 반도체를 포함하는 기관이라는 의미이며, 베이스 기관(BS)이 질화물 반도체 이외의 반도체(예를 들면 실리콘계 반도체) 혹은 비반도체를 포함하고 있어도 된다. 베이스 기관(BS) 및 마스크 패턴(6)을 포함하여 템플릿 기관(TS)이라고 부르는 경우가 있다.

- [0010] 질화물 반도체부(8)는 시드 영역(4)(베이스 기판(BS) 상면에 있어서의 개구부(K)로부터 노출된 영역)을 기점으로 하여, ELO(Epitaxial Lateral Overgrowth)법에 의해 형성할 수 있다. 시드 영역(4)은 질화물 반도체부(8)의 성장의 기점이 되는 영역이어도 된다. 질화물 반도체부(8)의 두께 방향은 c축 방향(<0001> 방향)이어도 된다. 개구부(K)는 긴 형상이며, 그 폭 방향은 질화물 반도체부(8)의 a축 방향(<11-20> 방향)이어도 된다. 반도체 기판(10)에서는 베이스 기판(BS)으로부터 질화물 반도체부(8)로의 방향을 「상향」으로 한다. 반도체 기판(10)의 법선 방향과 평행한 시선에서 대상을 보는(투시적인 경우를 포함한다) 것을 「평면으로 본다」라고 부르는 경우가 있다.
- [0011] (반도체 기판의 제조 방법)
- [0012] 도 2는 본 실시형태의 반도체 기판의 제조 방법을 나타내는 플로우차트이다. 도 3은 본 실시형태의 반도체 기판의 제조 방법을 나타내는 단면도이다. 도 2~도 3에 나타난 바와 같이, 본 실시형태의 반도체 기판의 제조 방법은 베이스 기판(BS)을 포함하고, 성장 억제 영역(SP) 그리고 제 1 및 제 2 시드 영역(4F·4S)을 갖는 템플릿 기판(TS)을 준비하는 공정과, 제 1 질화물 반도체부(8F)를 제 1 시드 영역(4F)으로부터 성장 억제 영역(SP)의 상방으로 성장시키고 아울러, 제 2 질화물 반도체부(8S)를 제 2 시드 영역(4S)으로부터 상기 성장 억제 영역(SP)의 성장 억제 영역(SP)의 상방으로 성장시키는 공정과, 템플릿 기판(TS) 그리고 성장 중인 제 1 및 제 2 질화물 반도체부(8F·8S)를 포함하는 반도체 기판(10)에 제 1 광(L1)을 조사하는 공정과, 반도체 기판(10)으로부터의 제 2 광(L2)을 수광하는 공정과, 제 1 및 제 2 질화물 반도체부(8F·8S)가 회합하기 전에 제 1 및 제 2 질화물 반도체부(8F·8S)의 성장을 멈추는 공정을 행한다. 템플릿 기판(TS)은 베이스 기판(BS) 상에, 마스크부(5) 그리고 제 1 개구부(K1) 및 제 2 개구부(K2)를 갖는 마스크 패턴(6)을 갖고, 마스크부(5)의 상면이 성장 억제 영역(SP)이며, 베이스 기판(BS)의 상면에, 제 1 개구부(K1)와 겹치는 제 1 시드 영역(4F)과, 제 2 개구부(K2)와 겹치는 제 2 시드 영역(4F)이 포함되어 있어도 된다.
- [0013] 제 2 광(L2)을 수광하는 공정은 예를 들면 광 센서를 포함하는 디텍터에 의해 행할 수 있다. 제 1 및 제 2 질화물 반도체부(8F·8S)에 대해서는 원료 중 적어도 일부의 공급을 정지함으로써 그 성장을 멈출 수 있다(후술).
- [0014] 제 1 광(L1)은 제 1 및 제 2 질화물 반도체부(8F·8S) 그리고 마스크부(5)의 상면(성장 억제 영역(SP))에 조사되어도 된다. 제 2 광(L2)에는 제 1 광(L1)의 제 1 및 제 2 질화물 반도체부(8F·8S)의 상면에서의 반사광과, 제 1 광(L1)의 마스크부(5)의 상면에서의 반사광이 포함되어도 된다.
- [0015] 질화물 반도체부(8)의 상면에 있어서의 입사광 강도 및 반사광 강도의 비(질화물 반도체부의 반사율)는, 마스크부(5)의 상면에 있어서의 입사광 강도 및 반사광 강도의 비(마스크부의 반사율)와 상이해도 된다. 제 2 광(L2)을 사용하여 제 1 및 제 2 질화물 반도체부(8F·8S)의 성장을 정지시키는 타이밍을 결정해도 된다. 제 1 광(L1)의 강도에 대한 제 2 광(L2)의 강도의 비인 반사율(반도체 기판의 반사율), 혹은 제 2 광(L2)의 강도(제 2 광 강도)를 시계열을 따라 검출해도 된다.
- [0016] 도 4는 본 실시형태의 반도체 기판의 구성을 나타내는 단면도이다. 도 5는 반도체 기판의 반사율의 시간 변화를 나타내는 그래프(제 1 광의 파장이 405nm 및 633nm인 경우)이다. 도 4와 같이 질화물 반도체부(8)의 상면에 경사 영역이 포함되는 경우에, 반도체 기판(10)의 반사율 혹은 제 2 광 강도가 임계값을 하회하는 타이밍에서, 제 1 및 제 2 질화물 반도체부(8F·8S)의 성장을 정지시켜도 된다. 질화물 반도체부(8)의 양단부가 중앙부보다 얇게 성장함으로써 질화물 반도체부(8)의 상면에 경사 영역(SA)이 형성될 경우, 경사 영역(SA)에서의 반사광이 제 1 광(L1)에 대하여 기울어져, 디텍터로 검지되는 제 2 광(L2)의 광속이 감소하기 때문에, 도 5와 같이, 질화물 반도체부(8)의 성장에 수반하여 반도체 기판(10)의 반사율이 저하되어 간다. 이에, 반도체 기판(10)의 반사율(제 1 광(L1)의 강도에 대한 제 2 광(L2)의 강도한 비)이 임계값을 하회하는 타이밍에서, 제 1 및 제 2 질화물 반도체부(8F·8S)의 성장을 정지시킴으로써 겹(GP)의 폭을 원하는 값으로 제어할 수 있다.
- [0017] 도 6은 경사 영역의 경사각과 반사율의 관계를 나타내는 그래프이다. 도 6에 나타난 바와 같이, 경사 영역(SA)의 경사각이 커짐에 따라 (검출되는) 반사율이 저하하는 것을 알 수 있다. 도 5에서는 반사율을 사용하고 있지만 이에 한정되지 않는다. 예를 들면 제 1 광의 강도를 일정하게 하고, 제 2 광(L2)의 강도가 임계값을 하회하는 타이밍에서, 제 1 및 제 2 질화물 반도체부(8F·8S)의 성장을 정지시켜도 된다.
- [0018] 도 7은 제 1 및 제 2 질화물 반도체부의 겹 폭의 시간적 변화를 나타내는 그래프이다. 도 5~도 7에 나타난 바와 같이, 반도체 기판(10)의 반사율을 이용하여 제 1 및 제 2 질화물 반도체부(8F·8S)의 겹 폭을 시계열을 따라 산출하고, 겹 폭이 규정값에 달했을 때에, 제 1 및 제 2 질화물 반도체부(8F·8S)의 성장을 정지시켜도 된다. 제 2 광(L2)의 강도를 이용하여 겹 폭을 시계열을 따라 산출해도 된다. 제 1 및 제 2 질화물 반도체부(8F

· 8S)의 성장을 멈추었을 때의 이들 갭 폭이 각 개구부(K)의 폭의 3배보다 작아도 된다.

- [0019] 도 8은 경사 영역을 갖는 질화물 반도체부의 형상을 나타내는 단면도이다. 질화물 반도체부(8)에 대해, 개구부(K) 위의 부분(중앙부)의 두께를 s1, 엣지의 두께를 s2, 개구(K)의 폭을 s3, 개구부(K)부터 엣지까지의 거리를 s4, 경사 영역(SA)의 경사각을 θ , $\tan\theta=(s1-s2)/s4$ 로 하여, 예를 들면 $s1=1\sim 7\mu\text{m}$, $s2=0.5\sim 5\mu\text{m}$, $s3=5\sim 20\mu\text{m}$, $s4=10\sim 50\mu\text{m}$, $\theta=0.5\sim 2.0$ 도로 할 수 있다. 마스크부(5)의 두께는 예를 들면 $50\text{nm}\sim 5\mu\text{m}$, $70\text{nm}\sim 700\text{nm}$ 로 할 수 있다.
- [0020] 도 9는 반도체 기관의 반사율의 시간 변화를 나타내는 그래프이다. 도 3과 같이 질화물 반도체부(8)의 상면이 경사지지 않은(플랫한) 경우, 제 1 및 제 2 질화물 반도체부(8F·8S)가 마스크부(5) 상에 성장함에 따라 질화물 반도체부(8)의 반사율이 지배적이게 된다. 따라서, 예를 들면 질화물 반도체부(8)의 반사율이 마스크부(5)의 반사율보다 크면, 반도체 기관(10)의 반사율은 상승한다. 이에, 질화물 반도체부(8)의 상면이 경사지지 않은 경우에는 도 9와 같이, 반도체 기관(10)의 반사율 혹은 제 2 광 강도가 임계값을 상회하는 타이밍에서, 제 1 및 제 2 질화물 반도체부(8F·8S)의 성장을 정지시켜도 된다.
- [0021] 도 10은 반도체 기관의 반사율의 시간 변화를 나타내는 그래프이다. 도 11은 도 10의 변곡점 부근을 나타내는 그래프이다. 도 8에 나타난 바와 같이, 질화물 반도체부(8)의 상면에 경사 영역(SA)이 형성되고, 성장에 따라 (검출되는) 반사율이 저하할 경우, 도 10 및 도 11과 같이, 제 1 및 제 2 질화물 반도체부(8F·8S)가 회합하기 직전에 반사율 프로파일의 트렌드가 변화하는(예를 들면 반사율이 감소 트렌드로부터 증가 트렌드로 바뀌는) 경우가 있기 때문에, 이 현상을 이용하여 갭(GP)의 폭을 원하는 값으로 제어할 수 있다. 즉, 반도체 기관(10)의 반사율에 트렌드의 변화가 나타나는(확인되는) 타이밍에서, 제 1 및 제 2 질화물 반도체부(8F·8S)의 성장을 정지시켜도 된다. 예를 들면 단위 기간 내의 극소치가 감소에서 증가로 바뀌는 것을 계기로 트렌드의 변화가 나타났다고 판정해도 된다. 단위 기간은 반도체 기관(10) 및 제 1 광(L1)의 특성에 따른 값으로 설정해도 된다.
- [0022] 제 1 및 제 2 질화물 반도체부(8F·8S)가 접근하면, 각각의 사이드 패킷의 형상이 변화하고, 이에 의해 반사율에 변곡점이 생기는 것으로 생각된다. 도 12는 제 1 및 제 2 질화물 반도체부 각각의 사이드 패킷의 형상 변화를 나타내는 단면도이다. 도 12에 나타난 바와 같이, 마스크부(5)에 대하여 예각을 이루는 측면(8Z)이 생기고, 그 측면(8Z)이 마스크부(5)에 대하여 직각을 이루는 상태를 거쳐 오버행하는 상태로 변화해도 된다. 제 1 및 제 2 질화물 반도체부(8F·8S)의 성장을 멈추기 전에, 각 질화물 반도체부(8)에 생긴 마스크부(5)의 상면에 대하여 오버행하는 측면(8Z)이 확대되어도 된다. 이에 의해, 제 1 및 제 2 질화물 반도체부(8F·8S)의 성장을 멈추었을 때에, 각 질화물 반도체부(8)는 마스크부(5)의 상면에 대하여 오버행하는 측면(8Z)을 갖고 있어도 된다. 성장 정지 후의 갭(GP)의 폭은 예를 들면 $2\mu\text{m}$ 이하로 할 수 있다.
- [0023] ELO법으로 복수의 질화물 반도체부를 형성할 경우, 서로 이웃하는 2개의 질화물 반도체부의 갭 폭을 제어하는 것이 중요하다. 성막 시간 동안 갭 폭을 제어했을 경우, 개구 폭, 제조 장치의 특성 등에 의해 성막 레이트가 편차가 생기는 것에서 기인하여 질화물 반도체부의 성장 정지 타이밍이 지나치게 빠르거나 지나치게 늦음으로써 제조 수율이 저하한다고 하는 문제가 있었다. 제조 수율이란 예를 들면 전위 밀도(결함 밀도), 애스펙트비 등에 관한 적합 조건을 만족하는 질화물 반도체부가 제조되는 레이트이다.
- [0024] 본 실시형태에서는, 성장 온도에 있어서 질화물 반도체부(8)에서 흡수되는 파장의 광(예를 들면 405nm)을 이용하여 성장 중인 질화물 반도체부(8)의 표면에서의 반사광과 마스크부(5)로부터의 반사광을 검출함으로써, 베이스 기관(BS) 내부의 구조에 상관없이 가로 방향(a축 방향)의 성장 상태를 모니터할 수 있다. 제 1 광(L1)의 파장은 $395\sim 415\text{nm}$ 의 파장역에 포함되어도 된다. 또, 제 1 광(L1)으로서, 성장 온도에 있어서 질화물 반도체를 투과하는 파장(예를 들면 633nm , 950nm)의 광을 사용해도 된다. 제 1 광(L1)은 레이저광이어도 된다.
- [0025] 질화물 반도체부(8)는 성장 온도 하(예를 들면 1000°C)에 있어서의 제 1 광(L1)의 흡수 계수가, 실온하에 있어서의 제 1 광(L1)의 흡수 계수의 10배 이상이어도 된다. 질화물 반도체부(8)의 성장 온도 하의 밴드 갭은 질화물 반도체부(8)의 실온 하(예를 들면 20°C)의 밴드 갭(GaN의 경우, 3.4eV)보다 작아도 된다. 제 1 광(L1)의 파장을 질화물 반도체부(8)의 성장 온도 하의 밴드 갭에 따라 설정해도 된다.
- [0026] 질화물 반도체부(8)의 a축 방향을 마스크부(5) 및 개구부(K)의 폭 방향으로 하여, 마스크부(5)의 폭이 $20[\mu\text{m}]$ 이상이어도 된다. 개구부(K)의 폭에 대한 마스크부(5)의 두께의 비가 3.0 이하여도 된다.
- [0027] 도 13은 마스크 패턴의 일례를 나타내는 평면도이다. 마스크 패턴(6)의 제 1 및 제 2 개구부(K1·K2)는 제 1 및 제 2 시드 영역(4F·4S)을 노출시켜, 제 1 및 제 2 질화물 반도체부(8F·8S)의 성장을 개시시키는 성장 시작 개

구로서 기능하고, 마스크부(5)가 질화물 반도체부(8)를 가로 방향 성장시키는 선택 성장 마스크(퇴적 억제 마스크)로서 기능해도 된다. 개구부(K)는 마스크 패턴(6)에 있어서의 마스크부(5)가 없는 부분(비형성부)이고, 마스크부(5)에 둘러싸여 있지 않아도 된다.

[0028] 마스크부(5)로서, 산화실리콘(SiO_x)막, 질화실리콘(SiN_x)막, 산질화실리콘막(SiON), 질화티탄(TiN_x)막 등을 사용할 수 있다. 개구부(K)는 긴 형상이며, 복수의 개구부(K)가 질화물 반도체부(8)의 <11-20> 방향(a축 방향)으로 주기적으로 배열되어도 된다. 개구부(K)의 폭은 0.2 μ m~20 μ m 정도여도 된다. 개구부(K)의 폭이 작을수록, 개구부(K)로부터 질화물 반도체부(8)로 전파하는 관통 전위의 수는 감소한다. 또한 후공정(후술)에 있어서 질화물 반도체부(8)의 박리도 용이해진다. 마스크부(5)에는 상기 재료(예를 들면 산화실리콘, 질화실리콘, 및 산질화실리콘 중 적어도 2개)를 포함하는 적층막을 사용할 수도 있다.

[0029] 마스크 패턴(6)에서는 제 1 및 제 2 개구부(K1·K2)가 질화물 반도체부(8)의 <11-20> 방향(a축 방향)으로 나열되어 있어도 되고, 제 1 및 제 3 개구부(K1·K3)가 질화물 반도체부(8)의 <1-100> 방향(m축 방향)으로 나열되어 있어도 된다.

[0030] 도 14는 베이스 기판의 구성예를 나타내는 단면도이다. 베이스 기판(BS)은 질화물 반도체부(8)와 격자 정수가 상이한 이종 기판인 주기판(1)을 가져도 된다. 질화물 반도체부(8)가 GaN계 반도체를 포함하고, 이종 기판인 주기판(1)이 실리콘 기판이어도 된다. 이종 기판으로서의 실리콘 기판 이외에, 사파이어(Al₂O₃) 기판, 실리콘카바이드(SiC) 기판 등을 들 수 있다. 주기판(1)의 면 방위는 예를 들면 실리콘 기판의 (111)면, 사파이어 기판의 (0001)면, SiC 기판의 6H-SiC(0001)면이다. 이것들은 예시이며, 질화물 반도체부(8)를 ELO법으로 성장시킬 수 있는 기판 및 면 방위이면 어느 것이어도 된다.

[0031] 베이스 기판(BS)이 주기판(1)과 주기판(1) 상의 하지부(UB)를 포함하고, 질화물 반도체부(8)는 개구부(K)에 노출되는 하지부(UB)의 상면(시드 영역(4))으로부터 성장해도 된다. 하지부(UB)는 질화물 반도체를 포함해도 된다. 베이스 기판(BS)이 GaN, SiC 등의 자립형 단결정 기판(예를 들면 벌크 결정으로부터 잘려나온 웨이퍼)으로 구성되고, 단결정 기판 상에 마스크 패턴(6)이 배치되어 있어도 된다.

[0032] 도 15는 하지부의 구성예를 나타내는 단면도이다. 하지부(UB)는 버퍼부(2) 및 시드부(3) 중 적어도 일방을 포함해도 된다. 하지부(UB)가 시드부(3)로 구성되어 있어도 되고, 하지부(UB)가 버퍼부(2) 및 시드부(3)로 구성되어 있어도 된다. 버퍼부(2)로서는 GaN계 반도체, AlN, SiC 등을 사용할 수 있다. 시드부(3)로서는 질화물 반도체(예를 들면 GaN계 반도체)를 사용할 수 있다.

[0033] 도 16은 본 실시형태의 다른 반도체 기판의 제조 방법을 나타내는 단면도이다. 도 16에 나타낸 바와 같이, 템플릿 기판(TS)에 있어서는 마스크 패턴(6)을 덮도록 버퍼부(2)를 형성해도 된다. 버퍼부(2)에는 반응성이 높은 AlGaN막을 사용할 수 있다. 이 경우, 버퍼부(2)(AlGaN막)의 상면은 평면으로 보아 마스크부(5)와 겹치는 성장 억제 영역(SP)과, 평면으로 보아 제 1 개구부(K1)와 겹치는 제 1 시드 영역(4F)과, 평면으로 보아 제 2 개구부(K2)와 겹치는 제 2 시드 영역(4S)을 포함한다. 버퍼부(2)의 상면(AlGaN막 표면)에 있어서는 마스크부(5)의 상방에 위치하는 영역은 결정성이 낮고, 따라서 성장 억제 영역(SP)으로서 기능한다. 한편, 제 1 및 제 2 개구부(K1·K2)의 상방(베이스 기판(BS)의 노출부의 상방)에 위치하는 영역은 결정성이 높고, 따라서 제 1 및 제 2 시드 영역(4F·4S)으로서 기능한다.

[0034] (반도체 기판의 제조 장치)

[0035] 도 17은 본 실시형태에 관한 반도체 기판의 제조 장치의 구성을 나타내는 모식도이다. 도 17에 나타낸 바와 같이, 반도체 기판의 제조 장치(20)는 베이스 기판(BS)을 포함하고, 성장 억제 영역 및 시드 영역을 포함하는 템플릿 기판(TS)을 적재하는 스테이지(21)와, 템플릿 기판(TS) 상에 질화물 반도체부(8)를 성장시키기 위한 원료를 공급하는 원료 공급 장치(22)와, 템플릿 기판(TS) 및 성장 중인 질화물 반도체부를 포함하는 반도체 기판(10)에 제 1 광(L1)을 조사하고, 또한, 반도체 기판(10)으로부터의 제 2 광(L2)을 수광하는 광학 장치(23)와, 상기 제 1 및 제 2 질화물 반도체부(8F·8S)가 회합하기 전에 제 1 및 제 2 질화물 반도체부(8F·8S)의 성장이 멈추도록 원료 공급 장치(22)를 제어하는 제어 장치(24)를 포함한다. 제어 장치(24)는 광학 장치(23)와의 사이에서 유선 통신 및 무선 통신 중 적어도 일방이 가능해도 된다. 제어 장치(24)는 제 2 광(L2)을 사용하여, 원료 공급 장치(22)에 대하여 적어도 일부의 원료의 공급을 정지시키는 타이밍을 결정해도 된다.

[0036] 반도체 기판의 제조 장치(20)에, 스테이지(SG)를 포함하는 챔버(25)와, 챔버(25)를 통과하는 플로우 채널(27)과, 챔버(25)를 가열하는 가열 장치(26)가 설치되고, 반도체 기판(10)이 플로우 채널(27) 내에 배치되어도 된다. 제어 장치(24)는 제 2 광(L2)을 사용하여, 가열 장치(26)에 대하여 고온 가열(1000도 이상)을 정지

시키는 타이밍을 결정해도 된다. 광학 장치(23)가 챔버(25) 밖에 위치하고 있어도 된다. 챔버(25)에 제 1 광(L1) 및 제 2 광(L2)이 투과하는 윈도우(28)가 설치되어 있어도 된다.

[0037] 스테이지(21)가 회전 동작(템플릿 기관(TS)의 법선 방향의 축을 회전축이라고 한다)을 행해도 된다. 도 17에서는 원료 공급 장치(22)가 플로우 채널(27) 내에 원료 가스를 가로 방향(템플릿 기관 상면에 평행한 방향)으로 흘려, 가로 방향의 배기로 하고 있지만, 이에 한정되지 않는다. 원료 가스를 세로 방향(템플릿 기관(TS)의 법선 방향)으로 흘릴 수도 있다.

[0038] 제어 장치(24)는 제 1 광(L1)의 강도에 대한 제 2 광(L2)의 강도의 비인 반사율을 이용하여 제 1 및 제 2 질화물 반도체부(8F·8S)의 갭 폭을 시계열을 따라 검출하고, 갭 폭이 규정값에 달했을 때에, 원료 공급 장치(22)에 대하여 적어도 일부의 원료(예를 들면 질화물 반도체부(8)가 GaN 결정인 경우에는 트리메틸갈륨)의 공급 정지를 지시해도 된다. 또한 가열 장치(26)에 대하여 고온 가열의 정지를 지시해도 된다.

[0039] 제어 장치(24)는 예를 들면, 내장 메모리, 통신 가능한 통신 장치, 또는 액세스 가능한 네트워크 상에 격납된 프로그램을 실행함으로써 원료 공급 장치(22) 및 가열 장치(26) 중 적어도 1개를 제어하는 구성이어도 되고, 이 프로그램 및 이 프로그램이 격납된 기록 매체 등도 본 실시형태에 포함된다.

[0040] (실시에 1)

[0041] 도 18은 실시예 1에 관한 반도체 기관의 제조 방법을 나타내는 단면도이다. 도 18에서는 주기판(1) 상에 질화물 반도체를 포함하는 하지부(UB)가 형성되고, 하지부(UB) 상에 복수의 스트라이프상의 마스크부(5)를 포함하는 마스크 패턴(6)이 형성되어 있다. 마스크부(5)는 막두께 100nm, 폭 52 μ m의 질화실리콘막으로 이루어지고, 질화물 반도체부(8)의 m축 방향을 길이 방향으로 한다. 마스크부(5)의 스트라이프의 피치는 55 μ m로 하고 있다.

[0042] 하지부(UB)로서 질화물 반도체막이 성막되어 있는 베이스 기관(BS) 상에 포토리소그래피 기술에 의해 레지스트의 스트라이프 패턴을 형성한다. 다음으로, 스퍼터법에 의해 막 두께가 100nm인 질화실리콘막을 전체면 성막한다. 다음으로 리프트 오프법에 의해 질화실리콘막을 패터닝하여, 마스크 패턴(6)(스트라이프 패턴)으로 한다. 이어서, 예를 들면 트리메틸갈륨(TMG)과 암모니아(NH₃)를 사용한 유기 금속 기상 성장(MOCVD)에 의해, 마스크 패턴(6) 상에 질화물 반도체부(8)를 성장시킨다(EL0법).

[0043] 도 18에서는 개구부(K1·K2)에 노출된 하지부(UB)(시드 영역)의 상방에 초기 성장부(8p)를 형성한다. 이 때의 성장 조건을 제 1 조건으로 한다. 그리고, 초기 성장부(8p)의 엣지가 마스크부(5)의 상면을 타고 올라가기 직전(마스크부(5)의 측면 상단에 접하고 있는 단계), 또는 마스크부(5)의 상면을 타고 올라간 직후의 타이밍에서 성장 조건의(제 1 조건으로부터 제 2 조건으로의) 이행을 개시한다.

[0044] 실시예 1에서는 제 1 조건(세로 방향 성장을 우선하는 조건)을 이하로 했다. 성장 온도(설정 온도): 1100 $^{\circ}$ C, 성장 압력: 10kPa, 암모니아 유량: 7.5slm, 트리메틸갈륨 유량: 3sccm. 또한, 제 2 조건(가로 방향 성장을 우선하는 조건)을 이하로 했다. 성장 온도(설정 온도): 1175 $^{\circ}$ C, 성장 압력: 10kPa, 암모니아 유량: 7.5slm, 트리메틸갈륨 유량: 11sccm.

[0045] 초기 성장부(8p)는 질화물 반도체부(8)의 가로 방향 성장의 기점이 된다. 초기 성장층(8p)은 예를 들면 30nm~1000nm 혹은 50nm~400nm, 또는 70nm~350nm의 두께로 형성할 수 있다. 초기 성장부(8p)가 마스크부(5)로부터 약간 돌출되어 있는 상태에서 가로 방향 성장시킴으로써 질화물 반도체부(8)의 c축 방향(두께 방향)으로의 성장을 억제하여, 질화물 반도체부(8)를 고속으로 또한 고결정성을 가지고 가로 방향 성장시킬 수 있고, 소비 원료도 저감한다. 이에 의해 얇고 넓게 저결함의 질화물 반도체부(8)(GaN 등의 질화물 반도체의 결정체)를 저비용으로 형성할 수 있다.

[0046] 서로 이웃하는 2개의 개구부(K)로부터 역방향으로 가로 방향 성장한 질화물 반도체부(8)끼리가 마스크부(5) 위에서 접촉(회합)하지 않고, 갭(간극)(GP)을 가짐으로써 질화물 반도체부(8)의 내부 응력을 저감할 수 있다. 이에 의해 질화물 반도체부(8)에 생기는 크랙, 결함(전위)을 저감할 수 있다. 이 효과는 주기판(1)이 이중 기관일 경우에 특히 효과적이 된다. 갭(GP)의 폭은 예를 들면 10 μ m 이하, 5 μ m 이하, 3 μ m 이하, 또는 2 μ m 이하로 할 수 있다.

[0047] 질화물 반도체부(8) 중, 초기 성장부(8p) 상에 위치하는 부분은 관통 전위가 많은 전위 계승부가 되고, 마스크부(5) 상의 부분(영부)은 전위 계승부와 비교하여 관통 전위 밀도가 1/10 이하인 저결함부(YS)가 된다. 관통 전위란 질화물 반도체부(8) 중을, 그 c축 방향(<0001> 방향)으로 연장하는 전위(결함)이다. 저결함부(YS)의 관통 전위 밀도는 예를 들면 5×10^6 [개/cm²] 이하로 할 수 있다. 후술하는 바와 같이, 질화물 반도체부(8)의 상방에

발광부를 포함하는 활성부(활성층)를 형성하는 경우에는 저결함부(YS)의 상방에(평면으로 보아 저결함부(YS)와 겹치도록) 발광부를 배치할 수 있다.

- [0048] 저결함부(YS)에 대해서는 두께(d1)에 대한 a축 방향의 사이즈(W1)의 비(W1/d1)를 예를 들면 2.0 이상으로 할 수 있다. 실시예 1의 방법을 사용하면, W1/d1을 1.5 이상, 2.0 이상, 4.0 이상, 5.0 이상, 7.0 이상, 혹은 10.0 이상으로 할 수 있다. W1/d1을 1.5 이상으로 함으로써 후공정에 있어서 질화물 반도체부(8)의 분할 공정(예를 들면 단면이 m면이 되는 분할 공정)이 용이해지는 것이 알려져 있다. 또한 질화물 반도체부(8)의 내부 응력이 저감하여, 반도체 기판(10)의 휨이 저감한다.
- [0049] 질화물 반도체부(8)의 애스펙트비(두께에 대한 X 방향의 사이즈의 비=W1/d1)는 3.5 이상, 5.0 이상, 6.0 이상, 8.0 이상, 10 이상, 15 이상, 20 이상, 30 이상, 혹은 50 이상으로 할 수 있다. 또한 실시예 1의 방법을 사용하면, 개구부(KS)의 폭(WK)에 대한 질화물 반도체부(8)의 X 방향의 사이즈(WL)의 비(WL/WK)를 3.5 이상, 5.0 이상, 6.0 이상, 8.0 이상, 10 이상, 15 이상, 20 이상, 30 이상, 혹은 50 이상으로 할 수 있고, 저결함부의 비율을 높일 수 있다. 도 18에 나타내는 질화물 반도체부(8)(초기 성장부(8p)를 포함한다)는 질화물 반도체 결정(예를 들면 GaN 결정, AlGaIn 결정, InGaIn 결정, 혹은 InAlGaIn 결정)으로 할 수 있다.
- [0050] 가로 성장 초기의 기판 반사율에 있어서는 마스크부(5)(성장 억제 영역)의 반사율이 지배적이지만, 가로 성장이 진행됨에 따라서 질화물 반도체부(8)의 반사율이 지배적이 되어 간다. 이 때문에, 마스크부(5)의 폭이 큰 경우에는 기판 반사율의 변화도 커지고, 가로 성장의 제어 정밀도가 향상된다. 그 때문에, 마스크부(5)의 폭은 20 μ m 이상이어도 되고, 또한 30 μ m 이상, 50 μ m 이상, 70 μ m 이상이어도 된다.
- [0051] (실시예 2)
- [0052] 도 19는 실시예 2에 관한 반도체 소자의 제조 방법을 나타내는 단면도이다. 도 19에서는 상기 서술한 반도체 기판(10)을 준비한 후에, 반도체 기판(10) 상에 화합물 반도체부(9) 및 전극(D1·D2)을 형성하는 공정과, 질화물 반도체부(8), 화합물 반도체부(9) 및 전극(D1·D2)을 포함하는 적층체(EB)를, 접합층(H1·H2)을 개재하여 지지 기판(SK)에 접합하는 공정과, 베이스 기판(BS)을 박리하는 공정과, 지지 기판(SK)을 복수의 지지체(ST)로 개편화하고, 지지체(ST) 상에 적층체(EB)가 유지된 반도체 소자(SD)를 형성하는 공정을 포함한다. 베이스 기판(BS)을 박리하기 전에, 습식 에칭 등에 의해 마스크부(5)를 제거해도 된다.
- [0053] 질화물 반도체부(8)가 n형 반도체 결정이어도 된다. 화합물 반도체부(9)가 GaN계 반도체를 포함하고 있어도 된다. 화합물 반도체부(9)는 활성부(예를 들면 양자 우물 구조 등의 활성층) 및 p형 반도체부를 포함해도 되고, 활성부 하에 n형 반도체부(예를 들면 리그로스층, n형 콘택트층)를 포함해도 된다. 화합물 반도체부(9)의 활성부가 발광부를 포함하는 경우에는, 저결함부(YS)의 상방에(평면으로 보아 저결함부(YS)와 겹치도록) 발광부를 배치할 수 있다. 이에 의해 발광 효율을 높일 수 있다.
- [0054] 저결함부(YS)의 상방에 위치하는 전극(D1)이 애노드, 전극(D2)이 캐소드여도 된다. 지지 기판(SK)이 접합층(H1)과 접하는 도전 패드 및 접합층(H2)과 접하는 도전 패드를 갖고 있어도 된다. 접합층(H1·H2)이 뿔뿔로 형성되어 있어도 된다. 지지 기판(SK)에의 접합 전 혹은 접합시 또는 접합 후에, 긴 형상의 적층체(EB)를 (폭 방향의 절단에 의해) 복수로 분할해 두어도 되고, 이 경우, 질화물 반도체부(8) 및 화합물 반도체부(9)에 대한 벽개(예를 들면 벽개면이 m면이 되는 m면 벽개)에 의해 분할 공정을 행해도 된다. 반도체 레이저 소자로 하는 경우에는 벽개면인 m면에 단면 코트(반사경막의 형성)을 행해도 된다. 도 19에서는 적층체(EB)를 베이스 기판(BS)으로부터 지지 기판(SK)에 전사하고 있지만, 이에 한정되지 않는다. 베이스 기판(BS)으로부터 테이프 등에 1회 이상 전사해도 된다.
- [0055] 반도체 소자(SD)는 LED(발광 다이오드) 소자, 반도체 레이저 소자로서 기능해도 된다. 지지체(ST)가 서브 마운트 기판이어도 된다. 실시예 2에는 반도체 소자(SD)를 갖는 전자기기(예를 들면 조명 장치, 레이저 장치, 표시 장치, 측정 장치, 정보 처리 장치 등)가 포함된다.
- [0056] (실시예 3)
- [0057] 도 20은 실시예 3에 관한 반도체 기판의 제조 장치의 구성을 나타내는 모식도이다. 실시예 3의 반도체 기판의 제조 장치는 템플릿 기판(TS) 및 성장 중인 질화물 반도체부를 포함하는 반도체 기판(10)의 표면(상면)을 촬상하는 촬상 장치(29)를 구비한다. 촬상 장치(29)는 반도체 기판(10)에 제 1 광(L1)(촬상용의 조명광)을 조사하고, 반도체 기판(10)으로부터 제 2 광(L2)(마스크부(5)로부터의 광 및 질화물 반도체부(8)로부터의 광)을 받아도 된다.

[0058] 제어 장치(24)는 활상 장치(29)로부터 보내지는 화상을 이용하여, 제 1 및 제 2 질화물 반도체부(8F·8S)의 갭 폭을 시계열을 따라 인식하고, 갭 폭이 규정값에 달했을 때에, 원료 공급 장치(22)에 대하여 적어도 일부의 원료(예를 들면 질화물 반도체부(8)가 GaN 결정인 경우에는 트리메틸갈륨)의 공급 정지를 지시해도 된다. 또한 가열 장치(26)에 대하여 고온 가열의 정지를 지시해도 된다.

[0059] 갭은 마스크부(5)로부터의 광에 의해 인식된다. 따라서, 제 1 광(L1)에 대하여, 마스크부(5)의 반사율과 질화물 반도체부(8)의 반사율의 차가 큰 쪽이 갭을 선명하게 촬영할 수 있다.

[0060] 도 21은 본 실시형태의 반도체 기관의 제조 방법을 나타내는 단면도이다. 도 21에 나타낸 바와 같이, 질화물 반도체부(8) 중 성장 억제 영역(SP)의 상방에 있는 저결함부(YS)(윙부(YS))를, 성장 억제 영역(SP)으로부터 이격하도록 성장시켜도 된다. 이와 같이, 윙부(YS)가 공극(J)을 개재하여 성장 억제 영역(SP)과 마주 보도록 성장하는 경우에도, 제 1 광(L1) 및 제 2 광(L2)을 사용하여, 제 1 및 제 2 질화물 반도체부(8F·8S)의 성장을 정지시킴으로써, 갭(GP)의 폭을 원하는 값으로 제어할 수 있다. 도 21에서는 시드 영역(4)(4F·4S)이 성장 억제 영역(SP)에 대하여 하측이 되는 위치에 있지만 이에 한정되지 않는다. 시드 영역(4)은 성장 억제 영역(SP)에 대하여 동일해지는 위치에 있어도 되고, 상측이 되는 위치에 있어도 된다.

[0061] (부기 사항)

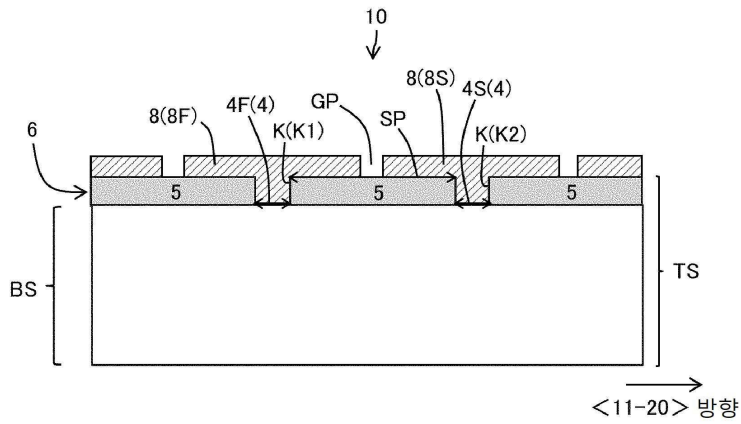
[0062] 이상의 개시는 예시 및 설명을 목적으로 하는 것이며, 한정을 목적으로 하는 것은 아니다. 이들 예시 및 설명에 근거하면, 많은 변형 형태가 당업자에게 있어서 자명해지는 것이기 때문에, 이들 변형 형태도 실시형태에 포함되는 것에 유의해야 한다.

부호의 설명

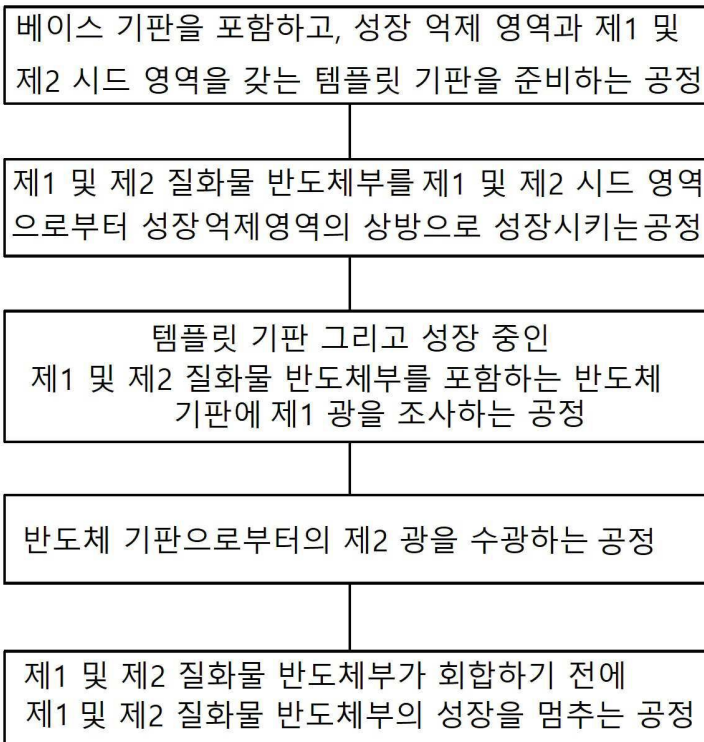
- [0063] 1; 주기판
- 3; 시드부
- 4F; 제 1 시드 영역
- 4S; 제 2 시드 영역
- 5; 마스크부
- 6; 마스크(마스크 패턴)
- 8F; 제 1 질화물 반도체부
- 8S; 제 2 질화물 반도체부
- 10; 반도체 기관
- 20; 반도체 기관의 제조 장치
- 22; 원료 공급 장치
- 23; 광학 장치
- 24; 제어 장치
- SP; 성장 억제 영역
- BS; 베이스 기관
- UB; 하지부
- TS; 템플릿 기관
- K1; 제 1 개구부
- K2; 제 2 개구부
- SA; 경사 영역
- YS; 저결함부

도면

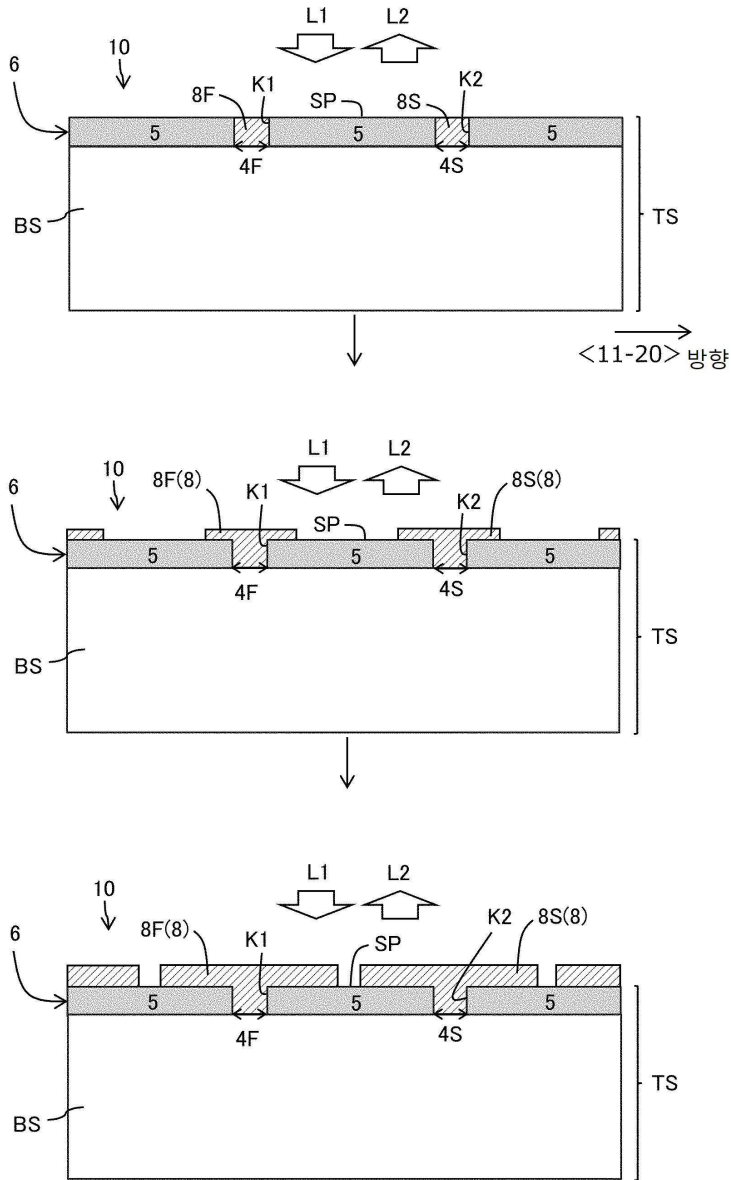
도면1



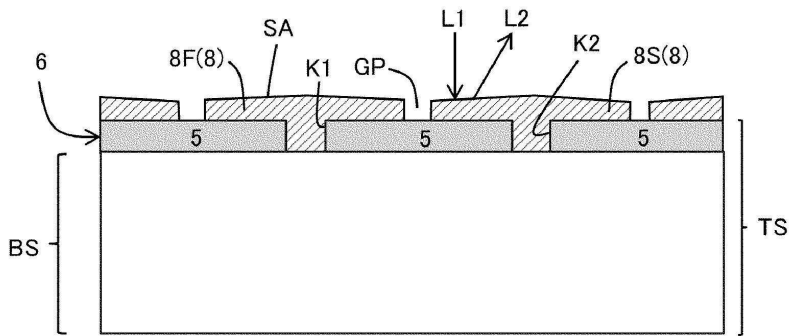
도면2



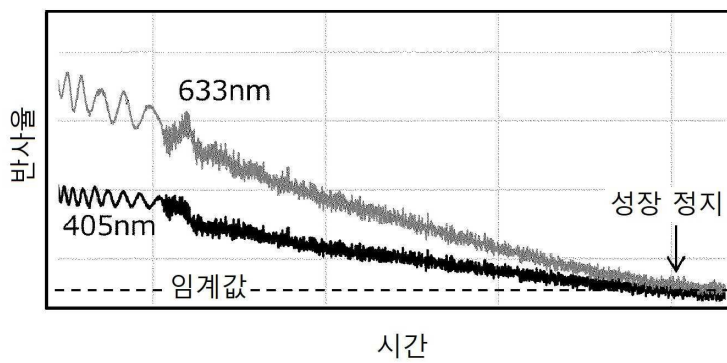
도면3



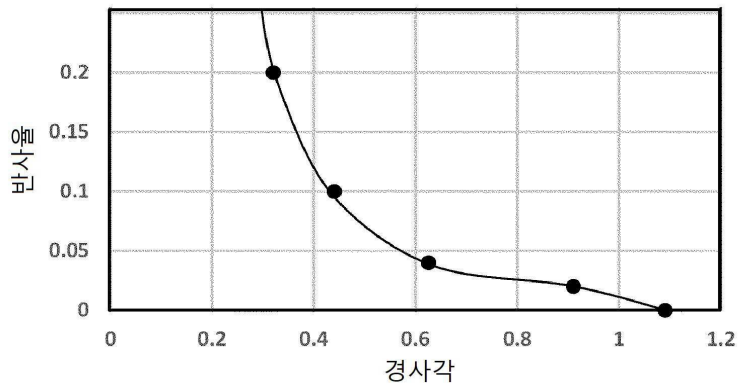
도면4



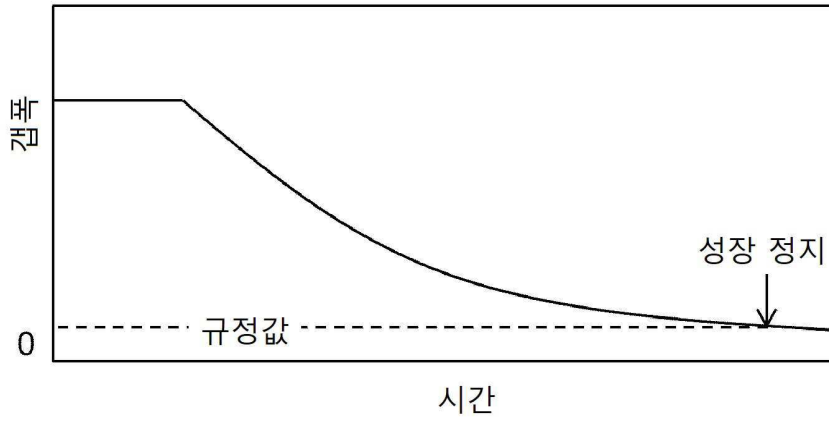
도면5



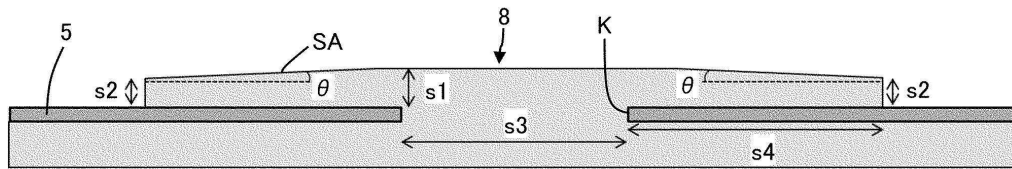
도면6



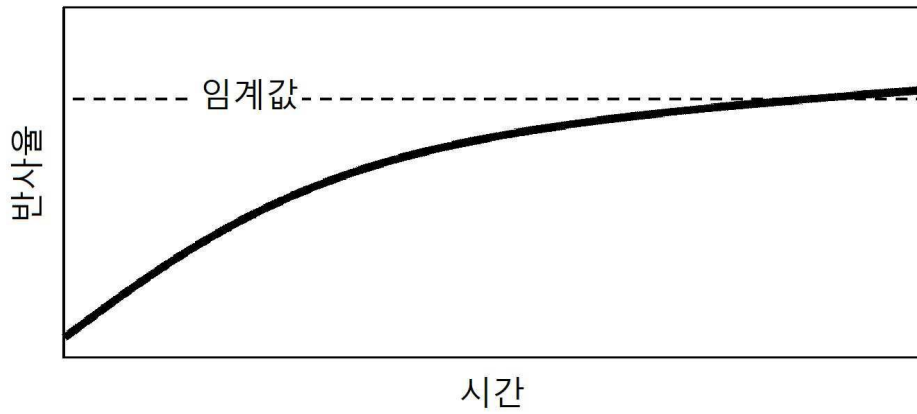
도면7



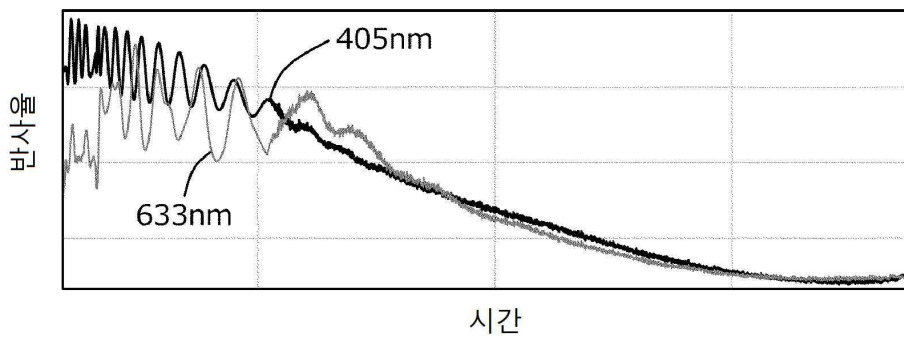
도면8



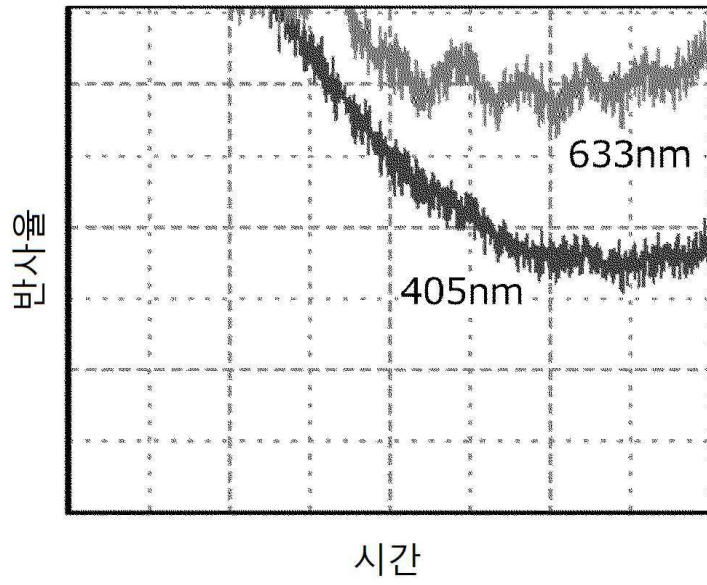
도면9



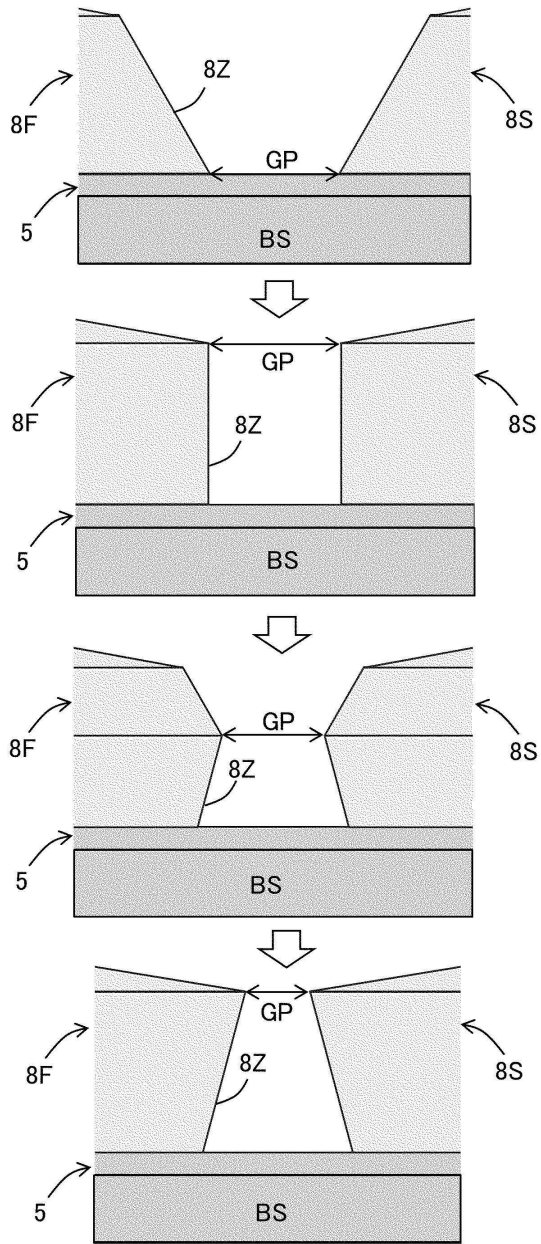
도면10



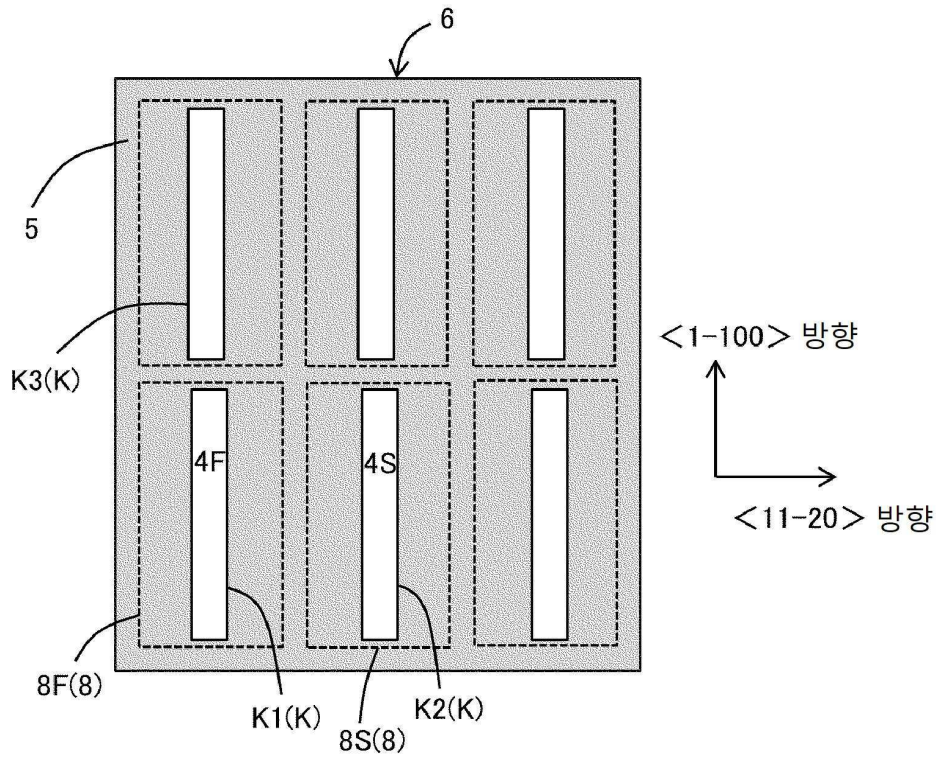
도면11



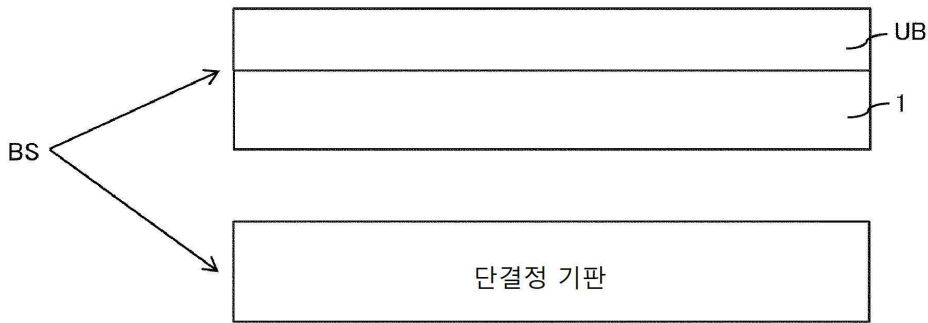
도면12



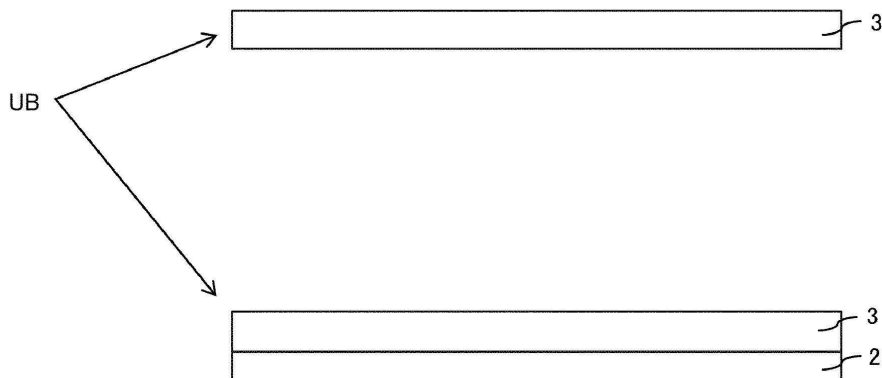
도면13



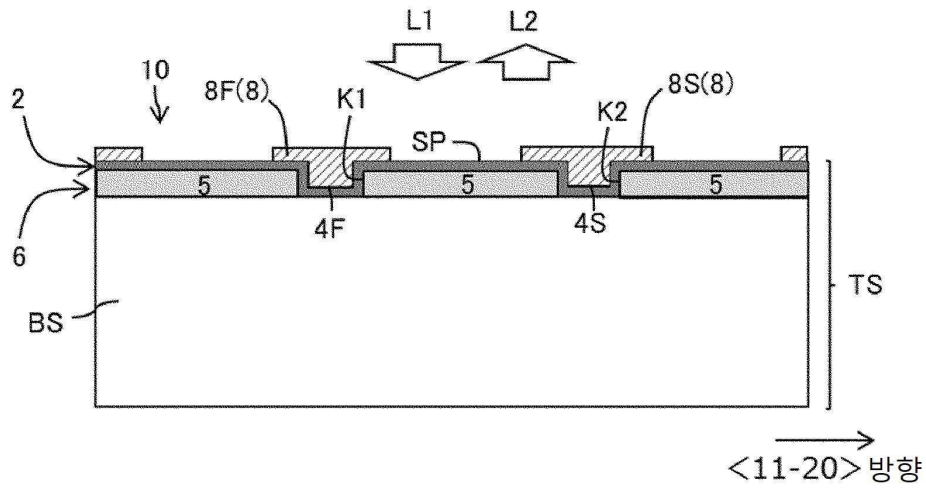
도면14



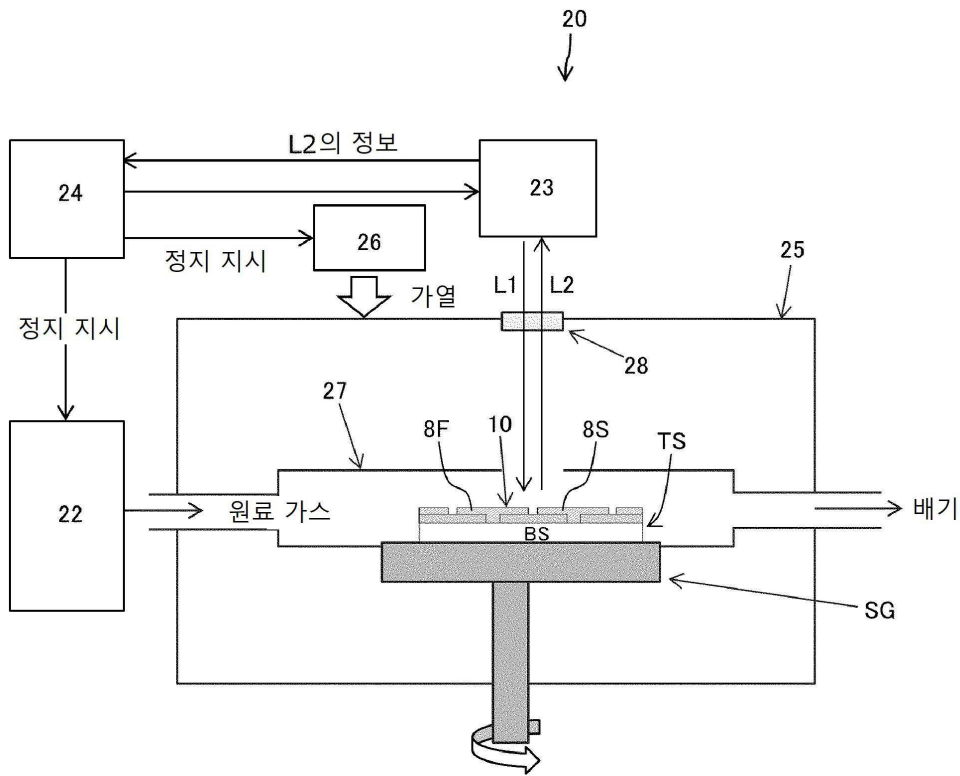
도면15



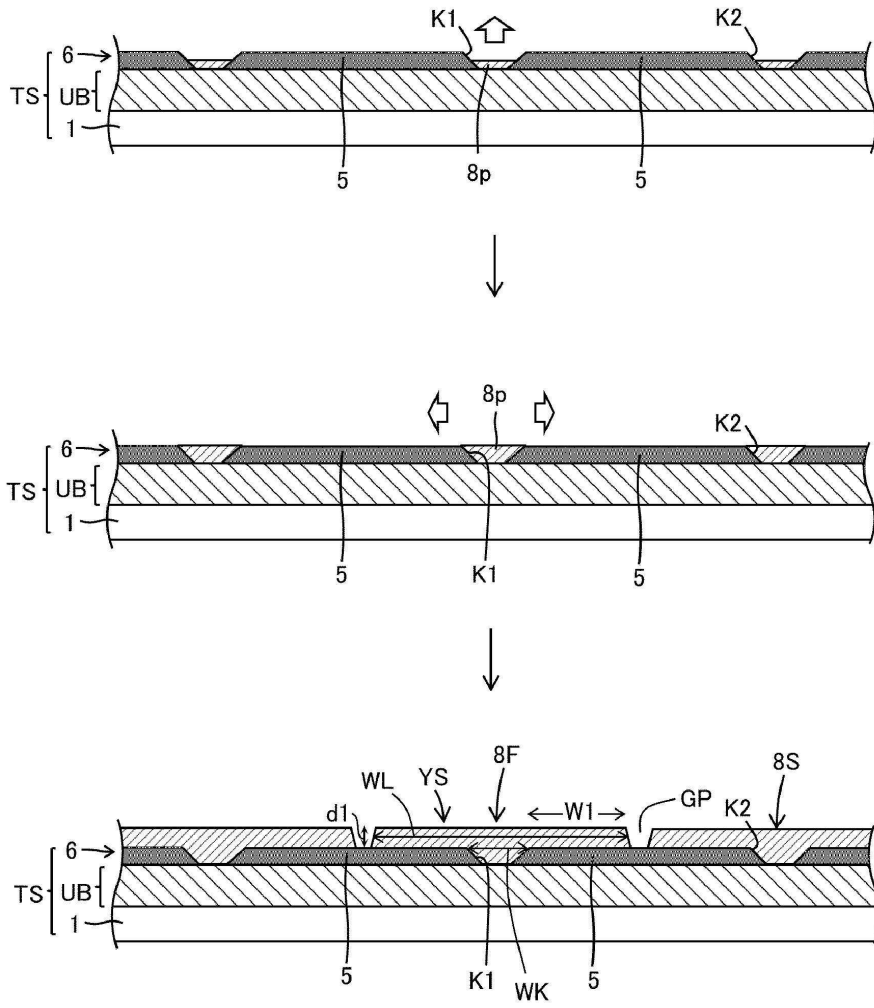
도면16



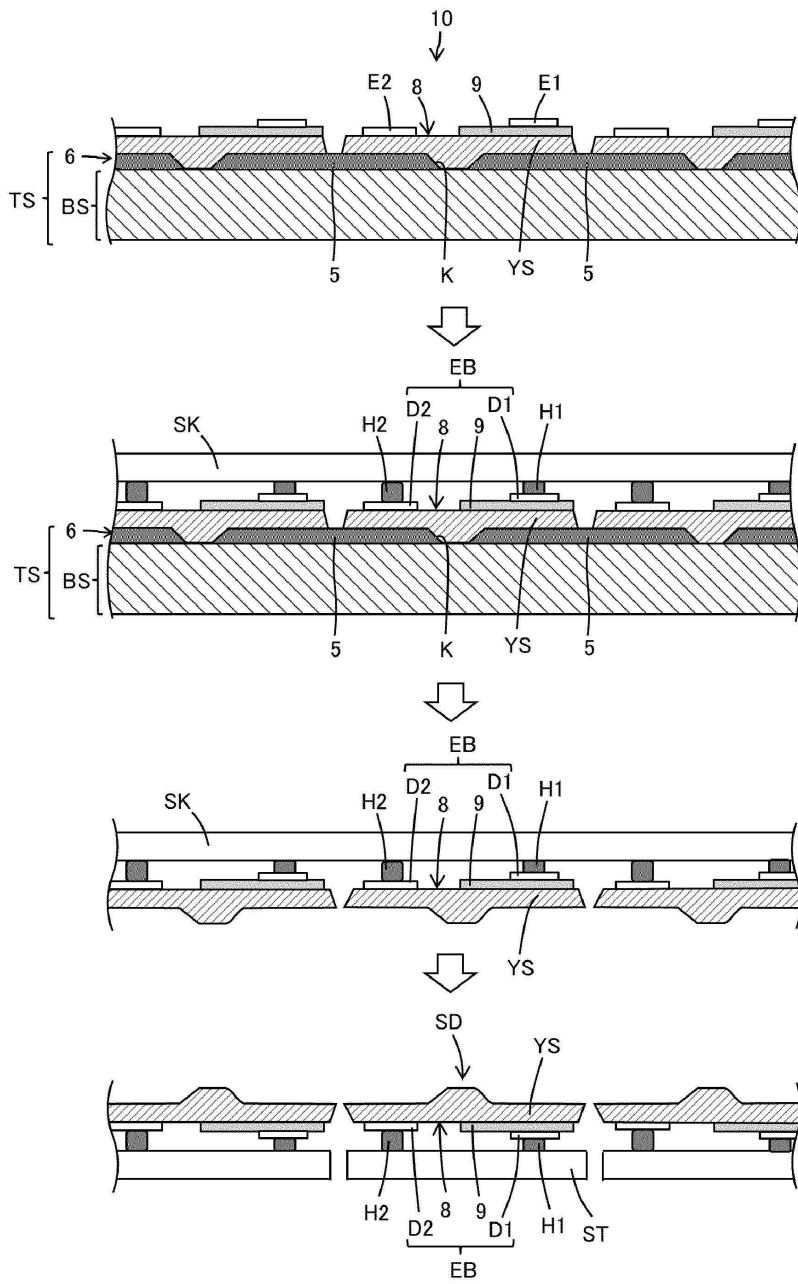
도면17



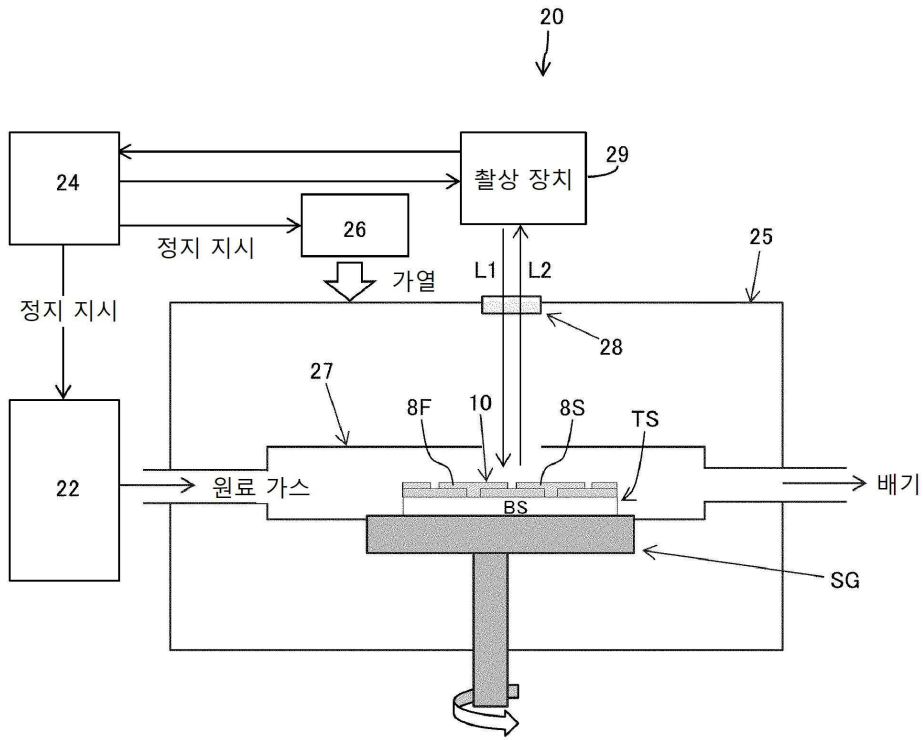
도면18



도면19



도면20



도면21

