(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2011-258591
(P2011-258591A)
(43)公開日　平成23年12月22日(2011.12.22)

(51)Int.Cl.		F I		テーマコード（参考）
H01L 21/66	***(2006.01)***	H01L 21/66	S	4M106
		H01L 21/66	B	

審査請求 未請求　請求項の数 6　ＯＬ　（全 11 頁）

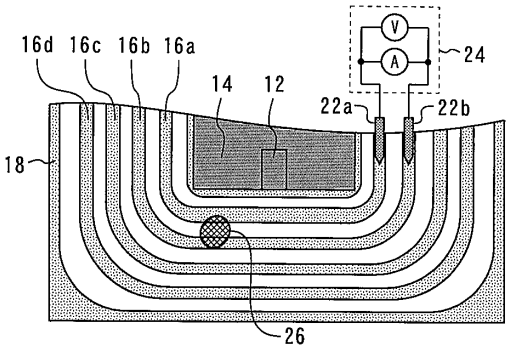
(21)出願番号　特願2010-128992 (P2010-128992)
(22)出願日　平成22年6月4日 (2010.6.4)

(71)出願人　000006013
三菱電機株式会社
東京都千代田区丸の内二丁目７番３号
(74)代理人　100082175
弁理士　高田　守
(74)代理人　100106150
弁理士　高橋　英樹
(74)代理人　100148057
弁理士　久野　淑己
(72)発明者　楢崎　敦司
東京都千代田区丸の内二丁目７番３号　三菱電機株式会社内

Ｆターム(参考)　4M106 AA01　AA02　BA01　CA10　CA16　DH09

(54)【発明の名称】半導体素子の検査方法、半導体素子の検査装置、及び半導体素子

(57)【要約】
【課題】本発明は、半導体素子の高耐圧化のために最適な導体パターンを形成しつつ、導体パターンを検査できる半導体素子の検査方法、半導体素子の検査装置、及び半導体素子を提供することを目的とする。
【解決手段】本発明に係る半導体素子の検査方法は、ガードリング上に形成された第１導体パターンと他のガードリング上に形成された第２導体パターンとを有する半導体素子の検査方法であって、該第１導体パターンと該第２導体パターンとの間の抵抗値を測定し、導体異物の有無を検査する導体異物検査工程と、各導体パターンの２点間の抵抗値を測定し、各導体パターンの断線の有無を検査する断線検査工程と、を備える。そして、各検査工程では、プローブを各導体パターンに垂直に押圧して該抵抗値を測定することを特徴とする。
【選択図】図３



【特許請求の範囲】
【請求項１】
ガードリング上に形成された第１導体パターンと前記第１導体パターンと絶縁され他のガードリング上に形成された第２導体パターンとを有する半導体素子の検査方法であって、
前記第１導体パターンと前記第２導体パターンとの間の抵抗値を測定し、前記第１導体パターンと前記第２導体パターンとの間の導体異物の有無を検査する導体異物検査工程と、
前記第１導体パターンの２点間の抵抗値を測定し、前記第１導体パターンの断線の有無を検査する第１断線検査工程と、
前記第２導体パターンの２点間の抵抗値を測定し、前記第２導体パターンの断線の有無を検査する第２断線検査工程と、を備え、
前記各検査工程では、プローブを前記第１導体パターン及び前記第２導体パターンの一方若しくは両方に対して垂直に押圧して前記抵抗値を測定することを特徴とする半導体素子の検査方法。
【請求項２】
半導体基板上に形成されたエミッタパターンと、
前記半導体基板上に前記エミッタパターンを囲むように形成されたガードリングと、
前記ガードリング上に形成された導体パターンと、
前記導体パターンの上面の一部を外部に露出させるように前記導体パターンを覆うオーバーコート膜と、を備えたことを特徴とする半導体素子。
【請求項３】
半導体基板上に形成されたエミッタパターンと、
前記半導体基板上に前記エミッタパターンを囲むように形成されたガードリングと、
前記ガードリング上に形成された導体パターンと、を備え、
前記導体パターンの一部は他の部分よりも厚くなるように形成されたことを特徴とする半導体素子。
【請求項４】
プローブを半導体素子の導体パターンに押圧して前記導体パターンを検査する半導体素子の検査装置であって、
プローブと、
前記プローブの押圧方向の力を緩和するように前記プローブに取り付けられたスプリングと、
前記プローブと電気的に接続され、導体パターンの電気的特性を測定する測定部と、を備えたことを特徴とする半導体素子の検査装置。
【請求項５】
プローブを半導体素子の導体パターンに押圧して前記導体パターンを検査する半導体素子の検査装置であって、
押圧方向の先端部分が平面となるように形成されたプローブと、
前記プローブと電気的に接続され、導体パターンの電気的特性を測定する測定部と、を備えたことを特徴とする半導体素子の検査装置。
【請求項６】
前記プローブは平板を備え、
前記先端部分は前記平板にエッチング又はスパッタにより形成された電極であることを特徴とする請求項５に記載の半導体素子の検査装置。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、複数の導体パターンを備えた半導体素子、当該半導体素子の検査方法、及び当該半導体素子の検査装置に関する。

【背景技術】
【０００２】
半導体素子には、半導体素子の高耐圧化を目的としてガードリング構造が形成されることがある。ガードリング構造は、第１導電型の層のなかに環状の第２導電型の領域（ガードリング）を複数形成したものである。ガードリング上には、ガードリングの電位を安定化させるために、導体パターンが形成される。導体パターンはガードリング毎に形成される。導体パターンは、他の導体パターンと絶縁され、かつ断線がないことが要求される。
【０００３】
半導体素子の製造過程では、この要求を満たしているかを検査するための検査工程が実施される。このような検査工程の具体例は特許文献１に記載されている。特許文献１には、導体パターンの電気的特性を測定する検査工程が開示されている。具体的には、導体パターンの一部にパッドを形成し、当該パッドにプローブ針を押圧して導体パターンの電気的特性を測定する工程が開示されている。パッドはプローブ針を押圧しやすいように大面積で形成される。
【先行技術文献】
【特許文献】
【０００４】
【特許文献１】特開２００２－１４１４７４号公報
【発明の概要】
【発明が解決しようとする課題】
【０００５】
特許文献１に記載の検査工程を実施するためには、導体パターンの一部にパッドを設ける必要がある。そのため、半導体素子の高耐圧化の観点から最適な形状の導体パターンを形成できず、半導体素子を十分に高耐圧化できない場合があった。
【０００６】
本発明は、上述のような課題を解決するためになされたもので、半導体素子の高耐圧化のために最適な導体パターンを形成しつつ、導体パターンを検査できる複数の導体パターンを備えた半導体素子、当該半導体素子の検査方法、及び当該半導体素子の検査装置を提供することを目的とする。
【課題を解決するための手段】
【０００７】
本発明の半導体素子の検査方法は、ガードリング上に形成された第１導体パターンと該第１導体パターンと絶縁され他のガードリング上に形成された第２導体パターンとを有する半導体素子の検査方法であって、該第１導体パターンと該第２導体パターンとの間の抵抗値を測定し、該第１導体パターンと該第２導体パターンとの間の導体異物の有無を検査する導体異物検査工程と、該第１導体パターンの２点間の抵抗値を測定し、該第１導体パターンの断線の有無を検査する第１断線検査工程と、該第２導体パターンの２点間の抵抗値を測定し、該第２導体パターンの断線の有無を検査する第２断線検査工程と、を備える。そして、該各検査工程では、プローブを該第１導体パターン及び該第２導体パターンの一方若しくは両方に対して垂直に押圧して該抵抗値を測定することを特徴とする。
【０００８】
本発明の半導体素子は、半導体基板上に形成されたエミッタパターンと、該半導体基板上に該エミッタパターンを囲むように形成されたガードリングと、該ガードリング上に形成された導体パターンと、該導体パターンの上面の一部を外部に露出させるように該導体パターンを覆うオーバーコート膜と、を備えたことを特徴とする。
【０００９】
本発明の別の半導体素子は、半導体基板上に形成されたエミッタパターンと、該半導体基板上に該エミッタパターンを囲むように形成されたガードリングと、該ガードリング上に形成された導体パターンと、を備え、該導体パターンの一部は他の部分よりも厚くなるように形成されたことを特徴とする。

【００１０】
本発明の半導体素子の検査装置は、プローブを半導体素子の導体パターンに押圧して該導体パターンを検査する半導体素子の検査装置であって、プローブと、該プローブの押圧方向の力を緩和するように該プローブに取り付けられたスプリングと、該プローブと電気的に接続され、導体パターンの電気的特性を測定する測定部と、を備えたことを特徴とする。
【００１１】
本発明の別の半導体素子の検査装置は、プローブを半導体素子の導体パターンに押圧して該導体パターンを検査する半導体素子の検査装置であって、押圧方向の先端部分が平面となるように形成されたプローブと、該プローブと電気的に接続され、導体パターンの電気的特性を測定する測定部と、を備えたことを特徴とする。
【発明の効果】
【００１２】
本発明によれば、半導体素子の高耐圧化のために最適な導体パターンを形成しつつ、導体パターンを検査できる。
【図面の簡単な説明】
【００１３】
【図１】半導体素子の平面図である。
【図２】本発明の実施の形態１に係る半導体素子の検査方法を示すフローチャートである。
【図３】導体異物検査工程を説明する模式図である。
【図４】断線検査工程を説明する模式図である。
【図５】比較例の検査方法について説明する図である。
【図６】導体異物検査工程と断線検査工程を同時に行うことを説明する図である。
【図７】１回の測定で導体異物検査を実施することを説明する図である。
【図８】プローブと他のプローブの間を離間させて各検査を実施することを説明する図である。
【図９】本発明の実施の形態２に係る半導体素子の断面図である。
【図１０】本発明の実施の形態２に係る半導体素子の検査工程について説明する図である。
【図１１】本発明の実施の形態３に係る検査装置を示す図である。
【図１２】本発明の実施の形態４に係る検査装置を示す図である。
【図１３】本発明の実施の形態４に係る検査装置の変形例を示す図である。
【図１４】本発明の実施の形態５に係る半導体素子の平面図である。
【図１５】図１４のＹ－Ｙ破線における断面図である。
【発明を実施するための形態】
【００１４】
実施の形態１.
本発明の実施の形態１に係る半導体素子の検査方法について説明する。図１は半導体素子の平面図である。半導体素子１０は、半導体基板にＩＧＢＴを形成して作られている。半導体素子１０の中央にはゲート電極１２及びエミッタ電極１４が形成されている。ゲート電極１２及びエミッタ電極１４を囲むように導体パターン１６ａ、１６ｂ、１６ｃ及び１６ｄが形成されている。導体パターン１６ａ、１６ｂ、１６ｃ及び１６ｄはアルミを用いて形成されている。導体パターン１６ａ、１６ｂ、１６ｃ及び１６ｄはそれぞれ互いに絶縁されている。導体パターン１６ａ、１６ｂ、１６ｃ及び１６ｄを囲むようにチャネルストッパ電極１８が形成されている。
【００１５】
図２は本発明の実施の形態１に係る半導体素子の検査方法を示すフローチャートである。まず、導体異物検査工程が実施される（ステップ２０ａ）。導体異物検査工程は、導体パターン１６ａ、１６ｂ、１６ｃ、及び１６ｄに導体異物が付着していないか検査する工

程である。

【００１６】

図３は導体異物検査工程を説明する模式図である。導体異物検査工程では、最初に導体パターン１６ａ及び１６ｂにプローブ２２ａ及び２２ｂが押圧される。プローブ２２ａ及び２２ｂは導体パターン１６ａ及び１６ｂに対して垂直に押圧させられる。プローブ２２ａ及び２２ｂは、測定部２４と接続されている。測定部２４は、電流計と電圧計を利用してプローブ２２ａとプローブ２２ｂの間の抵抗値を測定する部分である。そして、測定部２４、並びにプローブ２２ａ及び２２ｂにより導体パターン１６ａと１６ｂとの間の抵抗値が測定される。導体パターン１６ａと１６ｂが絶縁されていると、本工程で測定された抵抗値は非常に大きい値となる。ところが、図３に示すように、導体パターン１６ａと１６ｂとを接続するように導体異物２６が付着していると、この抵抗値は小さい値となる。

【００１７】

導体異物検査工程では導体パターン１６ａと１６ｂの間の抵抗値だけでなく、導体パターン１６ｂと１６ｃの間の抵抗値と、導体パターン１６ｃと１６ｄの間の抵抗値ついても同様に測定される。そして、所定値よりも小さい抵抗値が測定された場合は、半導体素子１０に導体異物が付着していると考えられるため、半導体素子１０が没処理される（ステップ２０ｂ）。

【００１８】

導体異物検査工程で測定した抵抗値が所定値より高く、導体異物の付着が認められない場合は、断線検査工程へと処理が進められる（ステップ２０ｃ）。断線検査工程は導体パターン１６ａ、１６ｂ、１６ｃ、及び１６ｄに断線がないか検査する工程である。図４は断線検査工程を説明する模式図である。断線検査工程では、最初に導体パターン１６ａの２箇所にプローブ２２ａ及び２２ｂが押圧される。プローブ２２ａ及び２２ｂは導体パターン１６ａに対して垂直に押圧される。

【００１９】

そして、測定部２４、及びプローブ２２ａ、２２ｂにより導体パターン１６ａの２箇所の間の抵抗値が測定される。導体パターン１６ａに断線がなければ、本工程で測定された抵抗値は小さい値となる。ところが、図４に示すように、導体パターン１６ａに断線部分２８があると、この抵抗値は大きい値となる。図１に示したように導体パターン１６ａが環状に形成されているときは、導体パターン１６ａにおいてプローブ２２ａ、２２ｂが押圧される２箇所を結ぶ経路のいずれもが断線している場合、この抵抗値は特に大きい値となる。

【００２０】

断線検査工程では、導体パターン１６ａだけでなく、導体パターン１６ｂ、１６ｃ及び１６ｄについても同様に検査が実施される。所定値より大きい抵抗値が検出された場合は、断線が生じていると考えられるため、半導体素子１０が没処理される（ステップ２０ｄ）。本発明の実施の形態１に係る半導体素子の検査方法によれば、導体パターンに直接プローブを押圧するため、導体パターンにパッドなどを形成する必要はない。そのため、半導体素子の高耐圧化のために最適な形状の導体パターンを形成しつつ、導体異物及び断線の有無を検査できる。

【００２１】

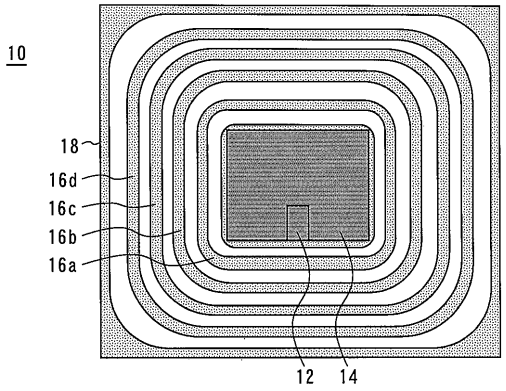
本発明の実施の形態１に係る半導体素子の検査方法では、各検査工程において、プローブが導体パターンに対して垂直に押圧される。この意義の理解を容易にするため、比較例について説明する。図５は比較例の検査方法について説明する図である。比較例では、プローブ１１０がアルミ製の導体パターン１１２に対して斜めに押圧される。すなわち、プローブ１１０は導体パターン１１２に対して図５ａの矢印で示す方向に押圧される。ここで、一般に導体パターン１１２は、パッドのように大面積で形成されていないため、斜め方向の押圧により容易にスライドしてしまう（図５ｂに破線の矢印で示す）。このスライドはアルミスライドと呼ばれるものである。比較例の場合、アルミスライドによりスライドした部分１１４が生じるので導体パターンの形状を変形させてしまうことがある。

【００２２】
ところが、本発明の実施の形態１に係る半導体素子の検査方法では、プローブは導体パターンに対して垂直に押圧されるため、プローブを直接導体パターンに押圧してもアルミスライドを回避できる。
【００２３】
本発明の実施の形態１に係る半導体素子の検査方法は様々な変形が可能である。例えば、導体異物検査工程と断線検査工程を同時に行っても良い。図６は導体異物検査工程と断線検査工程を同時に行うことを示す模式図である。プローブ３０と３２を導体パターン１６ａの異なる部分にそれぞれ押圧し、プローブ３４を導体パターン１６ｂに押圧する。また、測定部３６はプローブ３０と３２の間の抵抗、及びプローブ３２と３４の間の抵抗を測定するように構成されている。このようにして、プローブ３０と３２の間の抵抗値の測定により断線検査を行いつつ、プローブ３２と３４の間の抵抗値の測定により導体異物検査を実施することで検査時間を短縮しても良い。
【００２４】
例えば、全ての導体パターンにプローブを押圧しておいて、１回の測定で導体異物検査を行っても良い。図７は１回の測定で導体異物検査を実施することを説明する模式図である。この場合、プローブ４０、４２、４４、及び４６はそれぞれ導体パターン１６ａ、１６ｂ、１６ｃ、及び１６ｄに押圧される。また、測定部５０はプローブ４０と４２の間の抵抗、プローブ４２と４４の間の抵抗、及びプローブ４４と４６の間の抵抗を測定するように構成されている。これにより、１回の測定により導体異物検査を行い、検査時間を短縮できる。
【００２５】
例えば、プローブと他のプローブの間を離間させるようにしつつ、上述の各検査を行っても良い。図８はプローブと他のプローブの間を離間させて検査することを説明する模式図である。この場合、各プローブは相互に離間するように各導体パターンに押圧される。例えば、プローブ６２は、プローブ６０に最近接した場所（図８にＸ１で示す）から離れた場所（図８にＸ２で示す）に押圧される。このように、プローブ同士を離間させることにより、導体パターンが近接して配置されている場合にもプローブ同士の接触を防止できる。
【００２６】
なお、検査対象となる半導体素子は、導体パターンが形成されるものであればその材料や用途は特に限定されない。例えば、ガードリング構造上に導体パターンが形成されたダイオードやＭＯＳＦＥＴその他の半導体素子に対して上述の検査を実施することができる。また、導体パターンとしてフィールドプレートや配線が形成されている半導体素子にも上述の検査を実施することができる。
【００２７】
測定された抵抗値を導体異物検査及び断線検査以外の検査に活用しても良い。例えば、ＴｉＮなどの導体パターンの下地にバリアメタルが形成された配線において、当該バリアメタル残渣検査に活用することもできる。
【００２８】
本発明の実施の形態１に係る半導体素子の検査方法では、導体異物検査及び断線検査と併せて他の検査を行っても良い。例えば、測定部に高精度の電流計を設け、ガードリングと導体パターンとの間の漏れ電流を検査しても良い。当該漏れ電流の値によりガードリングパターン設計の妥当性の検証ができる。またガードリングの接合リークも検出できるので、半導体素子の不良解析ができる。
【００２９】
また、測定部に高精度の電圧計を設け、ガードリングと導体パターンとの間の耐圧を検査しても良い。これによりガードリングのパターン設計の妥当性を検証できる。また、ガードリング部の拡散層の接合耐圧も測定可能となるため、半導体素子の不良解析ができる。

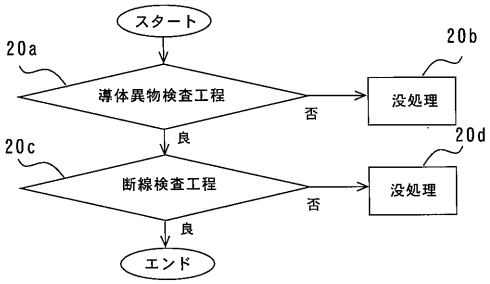
【００３０】
また、測定部に高精度の静電容量計を設け、ガードリング部の空乏層の状態を測定しても良い。これにより、ガードリングパターン設計の妥当性を検証できる。また、ガードリング部の空乏層の状態を観測することで、半導体素子の不良解析ができる。
【００３１】
実施の形態２．
本発明の実施の形態２に係る半導体素子は、開口を有するオーバーコート膜が導体パターンに形成されたことを特徴とする。オーバーコート膜とは導体パターン上に形成される高抵抗の膜である。オーバーコート膜は半導体素子の耐圧安定のために形成されるものである。図９は本発明の実施の形態２に係る半導体素子の断面図である。半導体素子８０は、エミッタ電極１４、導体パターン１６ａ、１６ｂ、１６ｃ、及び１６ｄ、並びにチャネルストッパ電極１８を覆うように形成されたオーバーコート膜８２を備えている。オーバーコート膜８２には、導体パターン１６ａ、１６ｂ、１６ｃ、及び１６ｄの上面の一部を外部に露出させるように開口８４ａ、８４ｂ、８４ｃ、及び８４ｄが形成されている。
【００３２】
このような半導体素子８０に対して導体異物検査工程と断線検査工程（以後これらの工程を総称して「検査工程」と称することがある）が実施される。図１０は本発明の実施の形態２に係る半導体素子の検査工程について説明する図である。プローブ２２ａは開口８４ａにより外部に露出する導体パターン１６ａへ押圧される。また、プローブ２２ｂは開口８４ｂにより外部に露出する導体パターン１６ｂへ押圧される。検査工程の詳細は本発明の実施の形態１に係る検査方法と同様である。
【００３３】
このように、本発明の実施の形態２に係る半導体素子８０の構成によれば、オーバーコート膜形成後に検査工程を実施できるので、オーバーコート膜の形成工程で生じた導体異物や、断線を検出することができる。しかも、開口８４ａ、８４ｂ、８４ｃ、及び８４ｄは各導体パターンの上面の一部に形成されるため、オーバーコート膜を半導体素子の全面に形成した場合と同等の特性を維持できる。
【００３４】
実施の形態３．
本発明の実施の形態３に係る半導体素子の検査装置は、プローブにスプリングが取り付けられたことを特徴とする。図１１は本発明の実施の形態３に係る検査装置を示す模式図である。検査装置９０は、スプリング９２ａ及び９２ｂを備えている。スプリング９２ａ及び９２ｂは、プローブ２２ａ及び２２ｂを導体パターンに押圧する方向（図１１に矢印で示す方向）に伸縮可能なようにプローブ２２ａ及び２２ｂに取り付けられている。
【００３５】
検査装置９０の測定部２４は、電流計と電圧計を利用してプローブ２２ａと２２ｂの間の抵抗値を測定する構成となっている。この検査装置９０を用いて検査工程が実施される。
【００３６】
ところで、導体パターンの上面位置は、導体パターンの膜厚ばらつきや導体パターンの下地の段差の影響で、ばらつくことがある。その場合、プローブが導体パターンの上面に届かなかったり、導体パターンに強力に押圧されたりすることが考えられる。前者の場合は有効な検査工程が実施できず、後者の場合は導体パターンにダメージを及ぼしてしまう。
【００３７】
ところが本発明の実施の形態３に係る検査装置９０によれば、導体パターンの上面位置のばらつきを吸収するようにスプリング９２ａ及び９２ｂが変形する。よって、導体パターンの上面位置が低い導体パターンに対してプローブを接触させつつ、上面位置が高い導体パターンに対してはスプリングにより弱められた力でプローブを接触させることができる。

【００３８】
検査装置９０では、スプリング９２ａ及び９２ｂを用いたが本発明はこれに限定されない。例えば、スプリングに代えて板バネを用いても良い。その他、プローブに対して押圧方向の伸縮を与えることができる部材を用いても良い。
【００３９】
実施の形態４．
本発明の実施の形態４に係る半導体素子の検査装置は、プローブの先端部分が平面となっていることが特徴である。図１２は本発明の実施の形態４に係る検査装置を示す模式図である。検査装置９４は、プローブ９６ａ及び９６ｂを備えている。プローブ９６ａ及び９６ｂは、導体パターンに対する押圧方向（図１２に矢印で示す方向）の先端部分が平面となるように形成されている。この検査装置９０を用いて検査工程が実施される。
【００４０】
ところで、先端部分が鋭利なプローブを用いて検査工程を実施すると、プローブの押圧により導体パターンを変形させることがあった。特に、本発明では導体パターンにパッドを設けないので、比較的狭い導体パターンに対してプローブが押圧される。そのため、パッドにプローブを押圧する場合と比較して導体パターンが変形しやすい。導体パターンが変形すると所望の耐圧が維持できないことが考えられる。
【００４１】
ところが、本発明の実施の形態４に係る検査装置９４によれば、プローブ９６ａ及び９６ｂの先端部分が平面であるため、プローブ９６ａと９６ｂは導体パターンに対して面接触する。よって、導体パターンの変形を回避できる。
【００４２】
図１３は本発明の実施の形態４に係る検査装置の変形例を示す図である。検査装置９８のプローブ１００は、平板１００ａを備えている。平板１００ａにはプローブ電極１００ｂ及び１００ｃが形成されている。プローブ電極１００ｂ及び１００ｃは、平板１００ａにベタパターンを成膜した後に、当該ベタパターンをエッチングすることにより形成されたものである。プローブ電極１００ｂ及び１００ｃは、先端部分が平面である。よって、検査工程における導体パターンの変形を防止できる。さらに、エッチング法によりプローブ電極１００ｂ及び１００ｃを形成することにより、容易に小面積のプローブ電極を形成できる。よって導体パターンが狭い間隔で形成されている場合にも、それに合わせてプローブ電極を小さくできる。なお、プローブ電極１００ｂ及び１００ｃはスパッタ法により形成しても良い。
【００４３】
実施の形態５．
本発明の実施の形態５に係る半導体素子は、導体パターンの一部が当該導体パターンの他の部分よりも厚く形成されたことを特徴とする。図１４は本発明の実施の形態５に係る半導体素子の平面図である。半導体素子１０２は、導体パターン１６ａの一部に厚く形成された部分１０４ａを備えている。導体パターン１６ｂ、１６ｃ及び１６ｄについても同様に厚く形成された部分１０４ｂ、１０４ｃ、及び１０４ｄを備えている。図１５は図１４のＹ－Ｙ破線における断面図である。Ｙ－Ｙ破線は導体パターンが厚く形成された部分を含むようにひかれた破線である。
【００４４】
そして、導体パターンが厚く形成された部分に対してプローブを押圧して検査工程を実施することにより、導体パターン下地へのダメージを緩和できる。また、導体パターンの変形を防止できる。
【符号の説明】
【００４５】
１６ａ，１６ｂ，１６ｃ，１６ｄ　導体パターン、　２２ａ，２２ｂ　プローブ、　２４　測定部

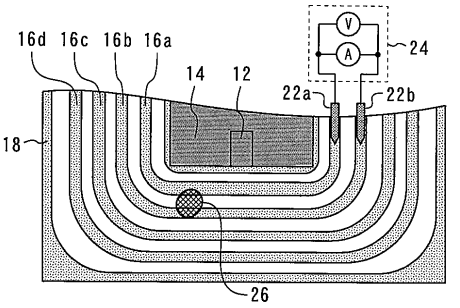
【図１】



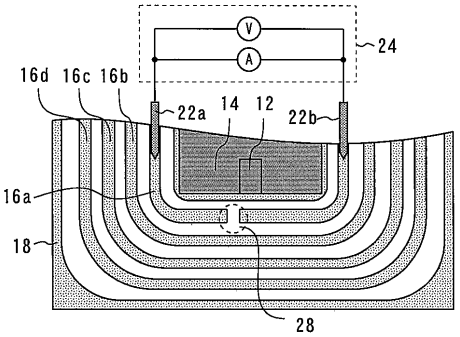
【図２】



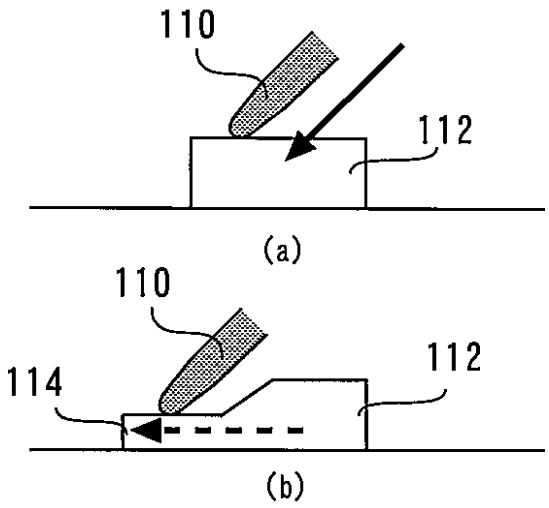
【図３】



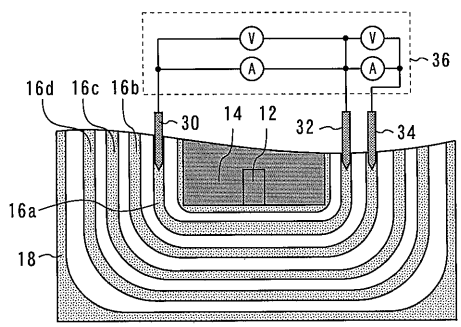
【図４】



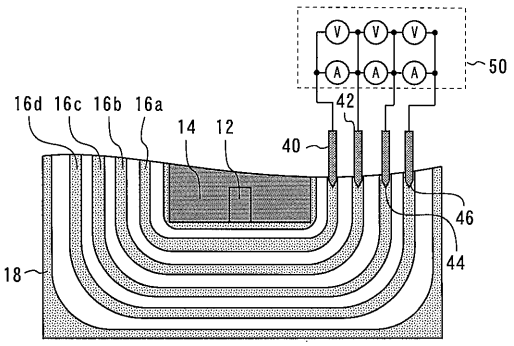
【図５】



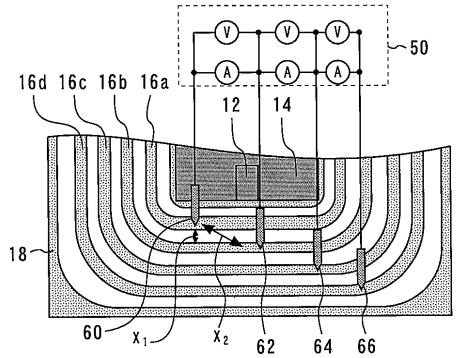
【図６】



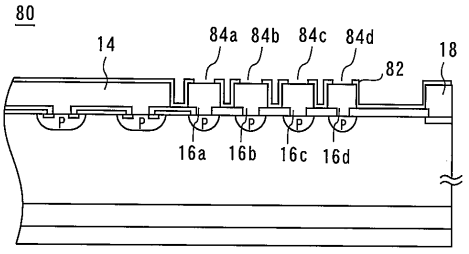
【図７】



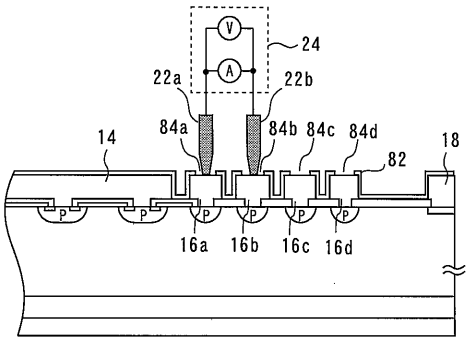
【図８】



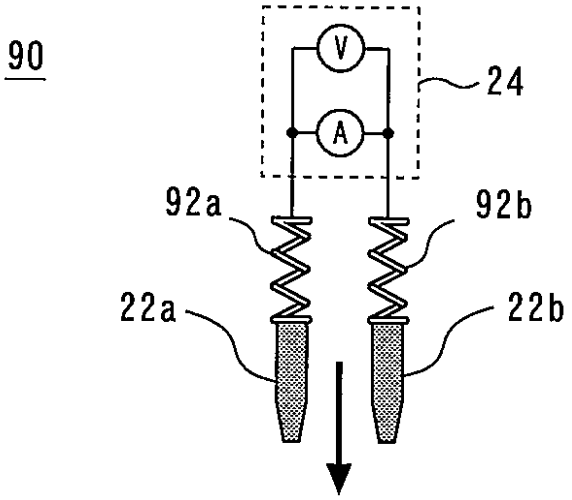
【図９】



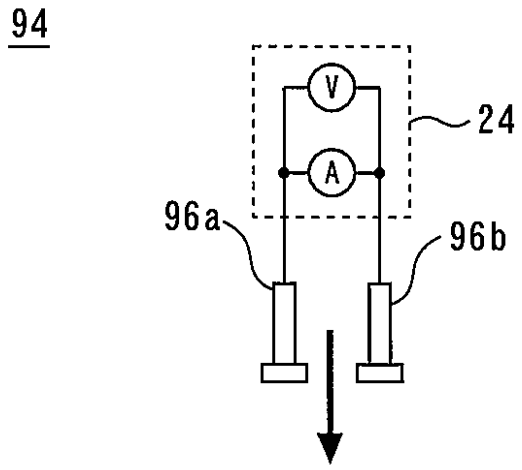
【図１０】



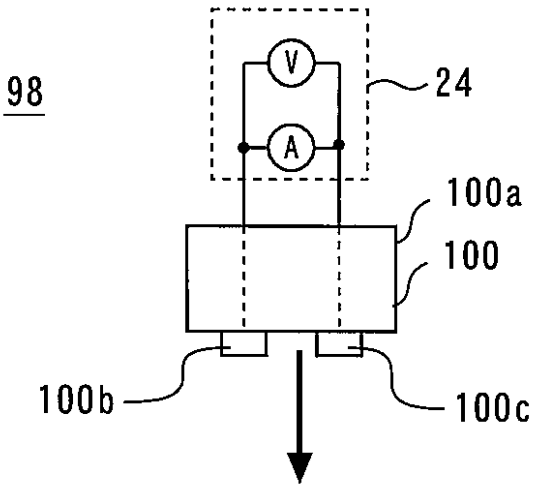
【図１１】



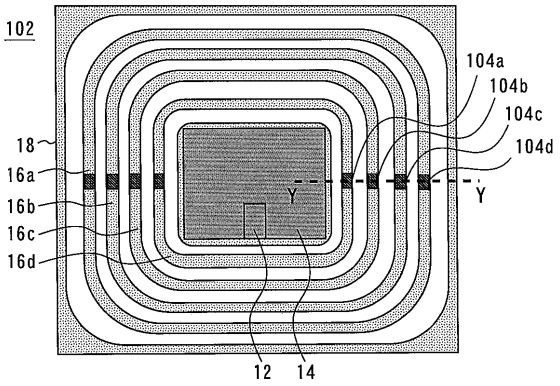
【図１２】



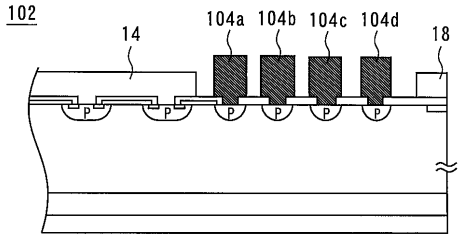
【図１３】



【図１４】


102
104a
104b
104c
104d
18
16a
16b
16c
16d
Y
Y
12
14

【図１５】


102
14
104a
104b
104c
104d
18
P
P
P
P
P
P