



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I397921B1

(45)公告日：中華民國 102 (2013) 年 06 月 01 日

(21)申請案號：098113074

(22)申請日：中華民國 98 (2009) 年 04 月 20 日

(51)Int. Cl. : G11C7/06 (2006.01)

G11C11/4091(2006.01)

(30)優先權：2008/05/28 美國

12/128,535

(71)申請人：桑迪士克科技公司 (美國) SANDISK TECHNOLOGIES INC. (US)
美國(72)發明人：紐彥 浩 泰 NGUYEN, HAO THAI (US)；慕依 曼 隆 MUI, MAN LUNG
(US)；李山普 LEE, SEUNGPIIL (KR)；張方林 ZHANG, FANGLIN (CN)；王 琪
明 WANG, CHI-MING (US)

(74)代理人：黃章典

(56)參考文獻：

TW 462059

TW 489315

TW I256052

TW 200419579

TW 200814071

US 2006/0104112A1

US 2006/0203545A1

US 2007/0002630A1

審查人員：劉聖尉

申請專利範圍項數：27 項 圖式數：27 共 0 頁

(54)名稱

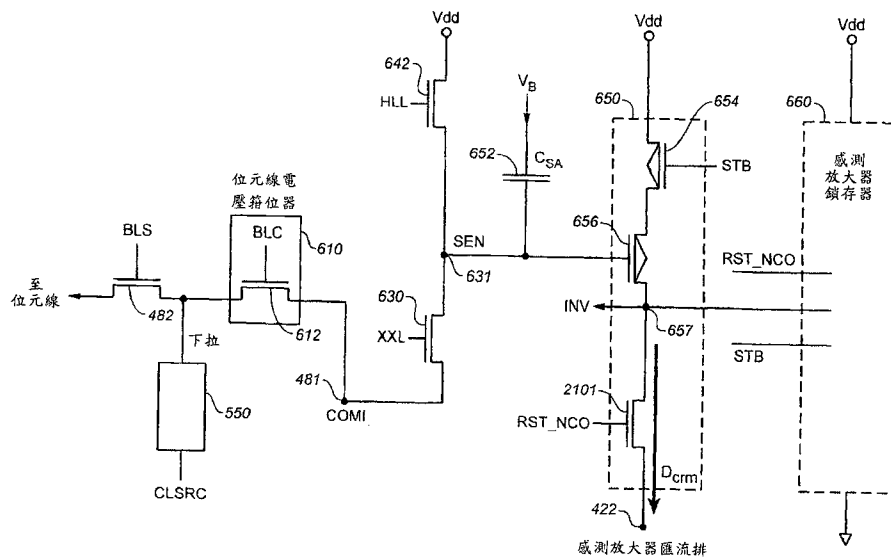
非揮發性記憶體之高速感測放大器陣列及方法

HIGH SPEED SENSE AMPLIFIER ARRAY AND METHOD FOR NONVOLATILE MEMORY

(57)摘要

本發明提供一種用於感測正被並行感測之一非揮發性記憶體單元群組中之一記憶體單元之一導電電流且將其結果提供至一資料匯流排之感測電路。一預充電電路耦合至一節點以用於將該節點充電至一初始電壓。一中間電路亦耦合至該節點且可連接至該記憶體單元，藉此可將來自該預充電電路之電流供應至該記憶體單元。該電路亦包含：一比較器電路，其藉由該節點處之一放電速率執行對該導電電流之一確定；一資料鎖存器，其耦合至該比較器電路以保存該確定之該結果；及一轉移閘極，其耦合至該資料鎖存器以獨立於該節點將鎖存於該資料鎖存器中之一結果供應至該資料匯流排。此配置改良感測效能且可在感測期間幫助消除該類比感測路徑上之雜訊且減少切換電流。

Sensing circuits for sensing a conduction current of a memory cell among a group of non-volatile memory cells being sensed in parallel and providing the result thereof to a data bus are presented. A precharge circuit is coupled to a node for charging the node to an initial voltage. An intermediate circuit is also coupled to the node and connectable to the memory cell, whereby current from the precharge circuit can be supplied to the memory cell. The circuit also includes a comparator circuit to perform a determination the conduction current by a rate of discharge at the node; a data latch coupled to the comparator circuit to hold the result of said determination; and a transfer gate coupled to the data latch to supply a result latched therein to the data bus independently of the node. This arrangement improves sensing performance and can help to eliminate noise on the analog sensing path during sensing and reduce switching current.



- 422 · · · 感測放大器
- 匯流排
- 481 · · · 節點
- 482 · · · 電晶體/節點/選擇開關
- 550 · · · n 電晶體/下拉電路
- 610 · · · 電壓箝位器
- 612 · · · n 電晶體
- 630 · · · 隔離電晶體
- 631 · · · 節點
- 642 · · · 隔離電晶體
- 650 · · · 電流鑑別器
- 652 · · · 電容器
- 654 · · · 電晶體
- 656 · · · p 電晶體
- 657 · · · 節點
- 660 · · · 感測放大器
- 鎖存器
- 2101 · · · 轉移閘極

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：98113074

※申請日：98.4.20

※IPC 分類：

G11C 7/06 (2006.01)

G11C 11/8091 (2006.01)

一、發明名稱：(中文/英文)

非揮發性記憶體之高速感測放大器陣列及方法

HIGH SPEED SENSE AMPLIFIER ARRAY AND METHOD FOR
NONVOLATILE MEMORY

二、中文發明摘要：

本發明提供一種用於感測正被並行感測之一非揮發性記憶體單元群組中之一記憶體單元之一導電電流且將其結果提供至一資料匯流排之感測電路。一預充電電路耦合至一節點以用於將該節點充電至一初始電壓。一中間電路亦耦合至該節點且可連接至該記憶體單元，藉此可將來自該預充電電路之電流供應至該記憶體單元。該電路亦包含：一比較器電路，其藉由該節點處之一放電速率執行對該導電電流之一確定；一資料鎖存器，其耦合至該比較器電路以保存該確定之該結果；及一轉移閘極，其耦合至該資料鎖存器以獨立於該節點將鎖存於該資料鎖存器中之一結果供應至該資料匯流排。此配置改良感測效能且可在感測期間幫助消除該類比感測路徑上之雜訊且減少切換電流。

三、英文發明摘要：

Sensing circuits for sensing a conduction current of a memory cell among a group of non-volatile memory cells being sensed in parallel and providing the result thereof to a data bus are presented. A precharge circuit is coupled to a node for charging the node to an initial voltage. An intermediate circuit is also coupled to the node and connectable to the memory cell, whereby current from the precharge circuit can be supplied to the memory cell. The circuit also includes a comparator circuit to perform a determination the conduction current by a rate of discharge at the node; a data latch coupled to the comparator circuit to hold the result of said determination; and a transfer gate coupled to the data latch to supply a result latched therein to the data bus independently of the node. This arrangement improves sensing performance and can help to eliminate noise on the analog sensing path during sensing and reduce switching current.

四、指定代表圖：

(一)本案指定代表圖為：第 (21C) 圖。

(二)本代表圖之元件符號簡單說明：

422	感測放大器匯流排
481	節點
482	電晶體/節點/選擇開關
550	n電晶體/下拉電路
610	電壓箝位器
612	n電晶體
630	隔離電晶體
631	節點
642	隔離電晶體
650	電流鑑別器
652	電容器
654	電晶體
656	p電晶體
657	節點
660	感測放大器鎖存器
2101	轉移閘極

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

101年12月21日修正替代頁

六、發明說明：

【發明所屬之技術領域】

本發明一般而言係關於非揮發性半導體記憶體(例如，電可擦除可程式化唯讀記憶體(EEPROM)及快閃EEPROM)，且特定而言係關於感測電路及針對感測電路之作業增加速度之記憶體作業。

【先前技術】

具有電荷非揮發性儲存能力之固態記憶體，尤其是封裝為一小形式因數卡之EEPROM及快閃EEPROM形式之固態記憶體，已成為各種行動及手持式裝置，尤其是資訊用品及消費電子產品中之首選儲存裝置。與亦係固態記憶體之RAM(隨機存取記憶體)不同，快閃記憶體係非揮發性且即使在電源關斷之後仍能保留其所儲存之資料。雖然成本較高，但快閃記憶體正越來越多地用於大容量儲存應用中。基於旋轉磁性媒體之習用大容量儲存裝置(例如，硬驅動器及軟磁碟)不適合於行動及手持式環境。此乃因硬驅動器往往較為笨重，易於發生機械故障且具有高延遲及高電力要求。此等不合意之屬性使基於磁碟之儲存裝置不適用於大多數行動及可攜式應用。另一方面，嵌入式快閃記憶體及呈一可抽換式卡形式之快閃記憶體皆可理想地適於行動及手持式環境，此乃因其較小大小、低電力消耗、高速度及高可靠性特徵。

EEPROM及電可程式化唯讀記憶體(EPROM)係非揮發性記憶體，其可擦除且允許新資料寫入或「程式化」至其記

憶體單元中。二者皆利用一場效電晶體結構中之一浮動(未連接)導電閘極，該浮動導電閘極定位於一半導體基板中之一通道區域上方且位於源極與汲極區域之間。然後，一控制閘極提供於該浮動閘極上方。電晶體之臨限電壓特性受保留於該浮動閘極上之電荷量控制。亦即，針對該浮動閘極上一給定電荷位準，必須施加一對應電壓(臨限值)至控制閘極，之後該電晶體才「接通」以准許其源極與汲極區域之間導電。

該浮動閘極可保持一電荷範圍且因此可程式化為一臨限電壓窗(亦稱為一「導電窗」)內之任一臨限電壓位準。該臨限電壓窗之大小由裝置之最低及最高臨限位準定界，該裝置之最低及最高臨限位準反過來又對應於可程式化至該浮動閘極上之電荷範圍。臨限窗通常相依於記憶體裝置之特性、運作條件及歷史。原則上，該窗內每一相異之可解析臨限電壓位準範圍皆可用於標識該單元之一明確記憶體狀態。當臨限電壓劃分成兩個相異區域時，每一記憶體單元將能夠儲存一個位元之資料。類似地，當臨限電壓窗劃分成多於兩個相異區域時，每一記憶體單元將能夠儲存多於一個位元之資料。

在一雙狀態EEPROM單元中，建立至少一個電流斷點位準以將導電窗劃分成兩個區域。當藉由施加預定之固定電壓讀取一單元時，其源極/汲極電流藉由與斷點位準(或參考電流 I_{REF})比較而被解析成一記憶體狀態。若所讀取之電流比斷點位準之電流高，則確定該單元處於一個邏輯狀

態(例如，一「0」狀態)。另一方面，若該電流小於斷點位準之電流，則確定該單元處於另一個邏輯狀態(例如，一「1」狀態)因此，此一雙狀態單元儲存一個位元之數位資訊。通常，提供一可在外部程式化之參考電流源作為一記憶體系統之一部分以產生斷點位準電流。

為增大記憶體容量，隨著半導體技術水平的進步，正製造具有越來越高密度之快閃EEPROM裝置。用於增大儲存容量之另一方法係使每一記憶體單元儲存多於兩個狀態。

對於一多狀態或多位準之EEPROM記憶體單元而言，導電窗藉由多於一個斷點而劃分成多於兩個區域，以便每一單元能夠儲存多於一個位元之資料。因此，一既定EEPROM陣列可儲存之資訊隨著每一單元可儲存狀態之數目增多而增大。具有多態或多位準記憶體單元之EEPROM或快閃EEPROM已闡述於美國專利第5,172,338號中。

充當一記憶體單元之電晶體通常藉由兩種機制中之一者程式化為一「已程式化」狀態。在「熱電子注入」中，施加之一高電壓至汲極使電子加速跨越基板通道區域。同時，施加之一高電壓至控制閘極將該等熱電子穿過一薄閘極電介質拉至浮動閘極上。在「隧穿注入」中，相對於基板施加一高電壓至控制閘極。以此方式，將電子自基板拉至中間浮動閘極。

可藉由若干種機制擦除記憶體裝置。對於EPROM而言，可藉由通過紫外線輻射自浮動閘極移除電荷來整體擦除記憶體。對於EEPROM而言，可藉由相對於控制閘極施

加一高電壓至基板以促使浮動閘極中之電子隧穿過一薄氧化物到達基板通道區域(亦即，Fowler-Nordheim隧穿)來電擦除一記憶體單元。通常，可逐位元組地擦除EEPROM。對於快閃EEPROM而言，可同時或一次一個或多個區塊地電擦除記憶體，其中一區塊可係由記憶體的512個位元組或更多組成。

記憶體裝置通常包括一個或多個可安裝於一卡上之記憶體晶片。每一記憶體晶片包括由(例如)解碼器以及擦除、寫入及讀取電路等周邊電路支援之一記憶體單元陣列。更精密之記憶體裝置藉助一執行智慧及較高位準記憶體作業及介接之外部記憶體控制器運作。

目前有許多種在商業上成功之非揮發性固態記憶體裝置正為人們所用。此等記憶體裝置可係快閃EEPROM或可採用其他類型之非揮發性記憶體單元。快閃記憶體之實例及製造快閃記憶體之系統及方法於美國專利第5,070,032、5,095,344、5,315,541、5,343,063及5,661,053、5,313,421及6,222,762號中給出。特定而言，具有NAND串結構之快閃記憶體裝置闡述於美國專利第5,570,315、5,903,495、6,046,935號中。

亦自具有一用於儲存電荷之介電層之記憶體單元製造非揮發性記憶體裝置。使用一介電層代替先前所述之導電浮動閘極元件。此類利用介電儲存元件之記憶體裝置已由Eitan等人闡述於「NROM: A Novel Localized Trapping, 2-Bit Nonvolatile Memory Cell」，IEEE Electron Device

Letters，第21卷，第11號，2000年11月，第543-545頁中。

一ONO介電層跨越源極與汲極擴散之間的通道延伸。一個資料位元之電荷侷限於毗鄰汲極之介電層中，且另一資料位元之電荷侷限於毗鄰源極之介電層中。舉例而言，美國專利第5,768,192及6,011,725號揭示一種具有夾於兩個二氧化矽層之間的一俘獲電介質之非揮發性記憶體單元。多狀態資料儲存係藉由單獨讀取電介質內空間上分離之電荷儲存區域之二進制狀態來實施。

程式化一記憶體單元頁通常涉及一系列交替程式化/驗證循環。每一程式化循環使該記憶體單元頁經受一個或多個程式化電壓脈衝。程式化循環繼之以一驗證循環，在該驗證循環中回讀每一單元以確定是否已將其正確地程式化。將禁止後續程式化脈衝程式化已通過驗證之彼等單元。程式化/驗證循環繼續增加程式化電壓位準，直至該頁中之所有單元已通過程式化驗證。

讀取及驗證作業兩者藉由執行一個或多個感測循環來執行，在感測循環中相對於一分界值確定該頁之每一記憶體單元之導電電流或臨限電壓。一般而言，若記憶體劃分成 n 個狀態，則將存在至少 $n-1$ 個感測循環來解析所有可能的記憶體狀態。在許多實施方案中，每一感測循環亦可涉及兩個或更多遍。舉例而言，當該等記憶體單元被緊密封裝時，相鄰電荷儲存元件之間的互動變得顯著且某些感測技術涉及感測相鄰字線上之記憶體單元以補償由此等互動所引起之誤差。

為改良讀取及程式化效能，並行讀取或程式化一陣列中之多個電荷儲存元件或記憶體電晶體。因此，將一同讀取或程式化一「頁」記憶體元件。在現有記憶體架構中，一列通常含有數個交插頁或其可構成一個鄰接記憶體單元頁。將一同讀取或程式化一頁中之所有記憶元件。在當前生產之半導體積體電路記憶體晶片中，一記憶體頁可具有多達64,000個可被並行讀取或感測之記憶體單元或記憶體元件。

一直存在對增大效能之一需要。另外，大規模並行之記憶體頁呈現以下顯著問題：緊密封裝之記憶體單元中之雜訊及干擾及限制感測準確度及最終效能及儲存容量之結構。

因此，存在對高容量且高效能非揮發性記憶體之一普遍需要。特定而言，存在對速度增大且雜訊減少之感測電路之一需要。

【發明內容】

本發明提供用於感測正被並行感測之一非揮發性記憶體單元群組中之一記憶體單元之一導電電流且將其結果提供至一資料匯流排之感測電路。在一實例性實施例中，一預充電電路耦合至一節點以用於將該節點充電至一初始電壓。一中間電路亦耦合至該節點且可連接至該記憶體單元，藉此可將來自該預充電電路之電流供應至該記憶體單元。該電路亦包含：一比較器電路，其藉由節點處之一放電速率執行對導電電流之一確定；一資料鎖存器，其耦合

至該比較器電路以保存該確定之結果；及一轉移閘極，其耦合至該資料鎖存器以獨立於該節點將鎖存於該資料鎖存器中之一結果供應至該資料匯流排。

根據一組態樣，此允許一種感測非揮發性記憶體單元之導電電流之方法，其中該方法包含：提供可由一個或多個記憶體單元經由一中間電路存取之一節點；將該節點預充電至一初始電壓以用於一第一感測作業；經由該中間電路透過該等記憶體單元中之一第一者使該節點放電；藉由該節點之該放電之速率量測通過該第一記憶體單元之導電電流；鎖存該量測之結果；及將該所鎖存之結果輸出至一資料匯流排。在一組態樣中，在該鎖存之後但在完成該輸出之前，預充電該節點以用於一第二感測作業。在另一組態樣中，藉由一獨立於該節點及該中間電路之路徑將該所鎖存之結果輸出至一資料匯流排。在一其他態樣中，獨立於中間電路將該所鎖存之結果輸出至一資料匯流排減少該中間電路中之雜訊。

本發明之各種態樣、優點、特徵及實施例包含於以下對本發明之實例性實例之說明中，應結合隨附圖式閱讀該說明。本文中所參考之所有專利、專利申請案、論文、其它公開案、文獻及諸如此類出於各種目的皆據此以全文引用方式併入本文中。在所併入之公開案、文獻或諸如此類中之任一者與本申請案之間存在術語之定義或用法之任何不一致或衝突方面，應以本申請案之定義或用法為準。

【實施方式】

記憶體系統

圖 1 至圖 11 圖解闡釋其中可實施本發明之各種態樣之實例性記憶體系統。

圖 12 至圖 13 圖解闡釋現有感測電路中之雜訊問題。

圖 16 至圖 19 圖解闡釋其中雜訊問題得到解決之各種態樣及實施例。

圖 20A-C 圖解闡釋具有一用於資料轉移之路徑之一感測模組，該用於資料轉移之路徑重疊用於感測之類比路徑。

圖 21A-C 圖解闡釋具有一用於資料轉移之路徑之一感測模組，該用於資料轉移之路徑不同於用於感測之類比路徑。

圖 1 示意性圖解闡釋其中可實施本發明之一非揮發性記憶體晶片之功能區塊。記憶體晶片 100 包含：一二維記憶體單元陣列 200、控制電路 210 及例如解碼器、讀取/寫入電路及多工器等周邊電路。

可藉由字線經由列解碼器 230 (分成 230A、230B) 且藉由位元線經由行解碼器 260 (分成 260A、260B) 來定址記憶體陣列 200 (亦參見圖 4 及 5)。讀取/寫入電路 270 (分成 270A、270B) 允許並行讀取或程式化一記憶體單元頁。一資料 I/O 匯流排 231 耦合至讀取/寫入電路 270。

在一較佳實施例中，一頁係由共享同一字線之一鄰接列記憶體單元構成。在另一其中一列記憶體單元劃分成多個頁之實施例中，提供區塊多工器 250 (分成 250A 及 250B) 以將讀取/寫入電路 270 多工為個別頁。舉例而言，將分別由

奇數及偶數行記憶體單元形成之兩個頁多工至該等讀取/寫入電路。

圖1圖解闡釋一其中以一對稱方式在記憶體陣列200之相對側上實施各種周邊電路對該記憶體陣列之存取以使每一側上之存取線及電路之密度減半之較佳配置。因此，列解碼器分成列解碼器230A及230B，且行解碼器分成行解碼器260A及260B。在其中一列記憶體單元劃分成多個頁之實施例中，頁多工器250分成頁多工器250A及250B。類似地，讀取/寫入電路270分成自底部連接至位元線之讀取/寫入電路270A及自陣列200頂部連接至位元線之讀取/寫入電路270B。以此方式，該等讀取/寫入模組之密度且因此感測模組380之密度實質上減半。

控制電路110係一晶片上控制器，其與讀取/寫入電路270協作以在記憶體陣列200上執行記憶體作業。控制電路110通常包含一狀態機112及例如一晶片上位址解碼器及一電力控制模組等其他電路(未明確顯示)。狀態機112提供對記憶體作業之晶片級控制。該控制電路經由一外部記憶體控制器與一主機通信。

記憶體陣列200通常組織為一沿列及行配置且可藉由字線及位元線定址之二維記憶體單元陣列。該陣列可根據一NOR型或一NAND型架構形成。

圖2示意性圖解闡釋一非揮發性記憶體單元。可由有一電荷儲存單元20(例如，一浮動閘極或一介電層)之一具場效電晶體實施記憶體單元10。記憶體單元10亦包含：一源

極14、一汲極16及一控制閘極30。

目前有許多商業上成功之非揮發性固態記憶體裝置正為人們所用。此等記憶體裝置可採用不同類型之記憶體單元，每一類型之記憶體單元具有一個或多個電荷儲存元件。

典型非揮發性記憶體單元包含EEPROM及快閃EEPROM。EEPROM單元之實例及其製造方法於美國專利第5,595,924號中給出。快閃EEPROM單元之實例、其在記憶體系統中之使用及其製造方法皆於美國專利第5,070,032、5,095,344、5,315,541、5,343,063、5,661,053、5,313,421及6,222,762號中給出。特定而言，具有NAND單元結構之記憶體裝置之實例闡述於美國專利第5,570,315、5,903,495、6,046,935號中。同樣，利用介電儲存元件之記憶體裝置之實例已由Eitan等人闡述於「NR0M: A Novel Localized Trapping, 2-Bit Nonvolatile Memory Cell」，IEEE Electron Device Letters，第21卷，第11號，2000年11月，第543-545頁中且闡述於美國專利第5,768,192號及第6,011,725號中。

實際上，通常在施加一參考電壓至控制閘極時藉由感測跨越一單元之源極及汲極電極之導電電流讀取該單元之記憶體狀態。因此，對於一單元之浮動閘極上之每一給定電荷而言，可偵測相對於一固定參考控制閘極電壓之一對應導電電流。類似地，可程式化至浮動閘極上之電荷範圍界定一對應臨限電壓窗或一對應導電電流窗。

另一選擇係，代替偵測一所劃分電流窗中之導電電流，可在控制閘極處為一接受測試之給定記憶體狀態設定臨限電壓且偵測該導電電流比一臨限電流低還是高。在一個實施方案中，藉由檢查該導電電流通過位元線之電容放電之速率來完成相對於一臨限電流對該導電電流之偵測。

圖3圖解闡釋針對浮動閘極可在任一時刻選擇性地儲存之四種不同電荷Q1-Q4，源極-汲極電流 I_D 與控制閘極電壓 V_{CG} 之間的關係。該四條實 I_D 對 V_{CG} 曲線表示可在一記憶體單元之一浮動閘極上程式化之四個可能電荷位準，其分別對應於四個可能記憶體狀態。作為一舉例，一單元群體之臨限電壓窗可介於0.5 V至3.5 V之範圍內。分別表示一個已擦除狀態及七個已程式化狀態之八個可能的記憶體狀態「0」、「1」、「2」、「3」、「4」、「5」、「6」及「7」可藉由將臨限窗以每個約0.4 V之間隔劃分成八個區域來分界。舉例而言，若如所示使用一0.05 μA 之參考電流 I_{REF} ，則藉助Q1程式化之單元可被視為處於一記憶體狀態「1」中，此乃因其曲線在由 $V_{CG}=0.43$ V及0.88 V分界之臨限窗區域中與 I_{REF} 相交。類似地，Q4處於一記憶狀態「5」中。

如自以上說明可看出，使一記憶體單元儲存的狀態越多，其臨限值窗劃分得越精細。舉例而言，一記憶體裝置可具有若干具有一介於-1.5 V至5 V範圍內之臨限窗之記憶體單元。此提供一6.5 V之最大寬度。若該記憶體單元欲儲存16個狀態，則每一狀態在臨限窗中可佔據自350 mV至450 mV。此將要求更高程式化及讀取作業精度以便能夠達

成所需解析度。

圖4圖解闡釋一NOR記憶體單元陣列之一實例。在記憶體陣列200中，每一列記憶體單元皆由其源極14及汲極16以一菊花鏈方式連接。此設計有時稱為一虛擬接地設計。一列中之單元10使其控制閘極30連接至一字線，例如字線42。一行中之單元使其源極及汲極分別連接至選定位元線，例如位元線34及36。

圖5A示意性圖解闡釋組織成一NAND串之一記憶體單元串。一NAND串50由一系列由其源極及汲極以菊花鏈方式連接之記憶體電晶體M1, M2, ... Mn(例如，n=4、8、16或更高)組成。一對選擇電晶體S1、S2分別經由NAND串之源極端子54及汲極端子56控制記憶體電晶體鏈與外部之連接。在一記憶體陣列中，當源極選擇電晶體S1接通時，源極端子耦合至一源極線(參見圖5B)。類似地，當汲極選擇電晶體S2接通時，NAND串之汲極端子耦合至該記憶體陣列之一位元線。該鏈中之每一記憶體電晶體10充當一記憶體單元。其具有一電荷儲存元件20以儲存一給定電荷量以便表示一既定記憶體狀態。每一記憶體電晶體之一控制閘極30皆允許控制讀取及寫入作業。如在圖5B中將看到，一系列NAND串之對應記憶體電晶體之控制閘極30全部連接至同一字線。類似地，選擇電晶體S1、S2中之每一者之一控制閘極32分別經由其源極端子54及汲極端子56控制對該NAND串之存取。同樣地，一系列NAND串之對應選擇電晶體之控制閘極32全部連接至同一選擇線。

當在程式化期間讀取或驗證一NAND串內之一經定址記憶體電晶體10時，對其控制閘極30供應一適當電壓。同時，NAND串50中之其餘未經定址記憶體電晶體藉由在其控制閘極上施加充分電壓而完全接通。以此方式，有效地自個別記憶體電晶體之源極至該NAND串之源極端子54創建一導電路徑，且同樣自個別記憶體電晶體之汲極至該單元之汲極端子56創建一導電路徑。具有此NAND串結構之記憶體裝置闡述於美國專利第5,570,315、5,903,495及6,046,935號中。

圖5B圖解闡釋由(例如)圖5A中所示之NAND串50構成之一NAND記憶體單元陣列200之一實例。沿每一行NAND串，一位元線(例如，位元線36)耦合至每一NAND串之汲極端子56。沿每一排NAND串，一源極線(例如，源極線34)耦合至每一NAND串之源極端子54。同樣，沿一排NAND串中之一列記憶體單元之控制閘極連接至一字線，例如字線42。沿一排NAND串中之一列選擇電晶體之控制閘極連接至一選擇線，例如選擇線44。一排NAND串中之一整列記憶體單元可藉由該排NAND串之字線及選擇線上之適當電壓定址。當正在讀取一NAND串內之一記憶體電晶體時，該串中之剩餘記憶體電晶體經由其相關聯字線硬接通，以使流過該串之電流實質上相依於儲存於正被讀取之單元中之電荷位準。

程式化及驗證

圖6圖解闡釋用於藉由一系列交替程式化/驗證循環將一

記憶體單元頁程式化為一目標記憶體狀態之典型技術。經由一經耦合字線施加一程式化電壓 V_{PGM} 至記憶體單元之控制閘極。該 V_{PGM} 係呈自一初始電壓位準 $V_{\text{PGM}0}$ 開始之一階梯狀波形形式之一系列程式化電壓脈衝。接受程式化之單元經受此系列程式化電壓脈衝，其中每次皆嘗試添加遞增電荷至浮動閘極。在程式化脈衝之間，回讀或驗證該單元以相對於一斷點位準確定其源極-汲極電流。該回讀過程可涉及一個或多個感測作業。當該單元經驗證已達到目標狀態時，停止對其程式化。所使用之程式化脈衝序列可具有增加之週期或振幅以抵消被程式化至記憶體單元之電荷儲存單元中之累積電子。程式化電路通常施加一系列程式化脈衝至一選定字線。以此方式，可一同程式化其控制閘極耦合至該字線之一頁記憶體單元。每當該頁之一記憶體單元已被程式化為其目標狀態時，禁止對其程式化，而其他單元繼續經受程式化直至該頁之所有單元已通過程式化驗證。

記憶體狀態劃分之實例

圖 7(1) 圖解闡釋具有一已擦除狀態作為一接地狀態「Gr」及程式化程度逐漸增加之記憶體狀態「A」、「B」及「C」之一實例性 4 狀態記憶體陣列之臨限電壓分佈。在讀取期間，該四個狀態藉由三個分界斷點 D_A - D_C 分界。

圖 7(2) 圖解闡釋表示圖 7(1) 中所示之四個可能記憶體狀態之一較佳 2 位元 LM 編碼。該等記憶體狀態(亦即，「Gr」、「A」、「B」及「C」)中之每一者分別由一對「上

部、下部」碼位元(即,「11」、「01」、「00」及「10」)表示。「LM」碼已揭示於美國專利第6,657,891號中,且其因避免需要一大的電荷改變之程式化作業而有利於減少毗鄰浮動閘極之間的場效耦合。該編碼經設計以便可單獨程式化及讀取該2個碼位元(「下部」及「上部」位元)。當程式化下部位元時,該單元之臨限位準保持在「已擦除」區域中或移動至臨限窗之一「中下」區域。當程式化上部位元時,此兩個區域中之任一者中之一單元之臨限位準進一步提高至該臨限窗之一「下中部」區域中之一稍微較高位準。

圖8(1)圖解闡釋一實例性8狀態記憶體陣列之臨限電壓分佈。每一記憶體單元之可能的臨限電壓橫跨一劃分成八個區域以分界八個可能的記憶體狀態「Gr」、「A」、「B」、「C」、「D」、「E」、「F」及「G」之臨限窗。「Gr」係一接地狀態,其係一緊密式分佈內之一已擦除狀態且「A」-「G」係七個程式化程度逐漸增加之狀態。在讀取期間,該八個狀態藉由七個分界斷點 D_A - D_G 分界。

圖8(2)圖解闡釋表示圖8(1)中所示之八個可能記憶體狀態之一較佳3位元LM編碼。該八個記憶體狀態中之每一者分別由三個一組之「上部、中間、下部」位元(即,「111」、「011」、「001」、「101」、「100」、「000」、「010」及「110」)表示。該編碼經設計以便可單獨程式化及讀取該3個碼位元(「下部」、「中間」及「上部」位元)。因此,第一回合,若下部位元係「1」,則下部頁程式化使一單元

保持在「已擦除」或「Gr」狀態，或若下部位元係「0」，則程式化為一「下中部」狀態。基本上，「Gr」或「接地」狀態因具有程式化至一狹窄臨限值範圍內之深度擦除狀態而係具有一緊密式分佈之「已擦除」狀態。「下中部」狀態可具有一橫跨在記憶體狀態「B」與「D」之間的寬廣臨限電壓分佈。在程式化期間，可相對於一粗略斷點臨限位準(例如， D_B)驗證該「下中部」狀態。當程式化中間位元時，一單元之臨限位準將自由下部頁程式化產生之兩個區域中之一者開始且移動至四個可能區域中之一者。當程式化上部位元時，一單元之臨限位準將自由中間頁程式化產生之四個可能區域中之一者開始且移動至八個可能記憶體狀態中之一者。

感測電路及技術

圖9圖解闡釋圖1中所示之含有一排跨越一記憶體單元陣列之 p 個感測模組之讀取/寫入電路270A及270B。整排 p 個感測模組480並行運作允許並行讀取或程式化沿一列之 p 個單元10之一區塊(或頁)。實質上，感測模組1將感測單元1中之一電流 I_1 ，感測模組2將感測單元2中之一電流 I_2 ，...，感測模組 p 將感測單元 p 中之一電流 I_p 等。該頁之流出源極線34至一聚合節點CLSRC中且自彼處至接地之總單元電流 i_{TOT} 將係 p 個單元中之所有電流之一總和。在習用記憶體架構中，一列具有一共用字線之記憶體單元形成兩個或更多個頁，其中並行讀取及程式化一頁中之該等記憶體單元。在具有兩個頁之一列之情況下，偶數位元線存取

一個頁，且奇數位元線存取另一頁。一感測電路頁可在任一時刻耦合至偶數位元線或至奇數位元線。在彼情況下，提供頁多工器250A及250B以分別將讀取/寫入電路270A及270B多工至個別頁。

在當前生產之基於56 nm技術之晶片中 $p > 64000$ 且在43 nm 32 Gbit x4之晶片中 $p > 150000$ 。在該較佳實施例中，區塊係一連串之整列單元。此係所謂的「所有位元線」架構，其中頁由一系列分別耦合至鄰接位元線之鄰接記憶體單元構成。在另一實施例中，區塊係列中單元之一子組。舉例而言，該單元子組可係整列之一半或整列之四分之一。該單元子組可係一連串鄰接單元或彼此間隔一個之單元，或彼此相間一預定數目單元之單元。每一感測模組經由一位元線耦合至一記憶體單元且包含一用於感測一記憶體單元之導電電流之感測放大器。一般而言，若讀取/寫入電路分佈於該記憶體陣列之相對側上，則該排 p 個感測模組將分佈在兩組讀取/寫入電路270A與270B之間。

圖10示意性圖解闡釋圖9中所示之感測模組之一較佳組織。含有 p 個感測模組之讀取/寫入電路270A及270B分組成一排讀取/寫入堆疊400。

圖11更加詳細地圖解闡釋圖10中所示之讀取/寫入堆疊。每一讀取/寫入堆疊400並行處理 k 個位元線之一群組。若一頁具有 $p = r * k$ 個位元線，則將存在 r 個讀取/寫入堆疊400-1, ..., 400- r 。實質上，該架構使得每一 k 個感測模組之堆疊皆由一共用處理器500伺服以便節約空間。共用處

理器500基於位於感測模組480處之鎖存器中及資料鎖存器430處之電流值且基於來自狀態機112之控制計算欲儲存於彼等鎖存器中之更新資料。該共用處理器之詳細說明已揭示於2006年6月29日之美國專利申請案公開案第US-2006-0140007-A1號中，其整體揭示內容以引用方式併入本文中。

整排經劃分之讀取/寫入堆疊400並行運作允許並行讀取或程式化沿一系列之 p 個單元之一區塊(或頁)。因此，將存在用於整列單元之 p 個讀取/寫入模組。由於每一堆疊服務於 k 個記憶體單元，因此該排中讀取/寫入堆疊之總數根據 $r=p/k$ 給出。舉例而言，若 r 係該排中堆疊之數目，則 $p=r*k$ 。一個實例性記憶體陣列可具有 $p=150000$ ， $k=8$ ，且因此 $r=18750$ 。

實質上，每一讀取/寫入堆疊(例如，400-1)皆含有一感測模組(480-1至480- k)堆疊，該堆疊並行伺服於一段 k 個記憶體單元。頁控制器410經由線411將控制及時序信號提供至讀取/寫入電路370。該頁控制器本身經由線311相依於記憶體控制器310。每一讀取/寫入堆疊400之間的通信由一互連堆疊匯流排431達成且由頁控制器410控制。控制線411將來自頁控制器410之控制及時鐘信號提供至讀取/寫入堆疊400-1之組件。

在該較佳配置中，該堆疊匯流排劃分成用於共用處理器500與感測模組480堆疊之間的通信之一感測放大器(SA)匯流排422，及用於該處理器與資料鎖存器430堆疊之間的通

信之一資料(D)匯流排423。

資料鎖存器430堆疊由資料鎖存器430-1至430-k組成，每一資料鎖存器用於與該堆疊相關聯之每一記憶體單元。I/O模組440使該等資料鎖存器能夠經由一I/O匯流排231與外部交換資料。

共用處理器亦包含一用於輸出指示記憶體作業之一狀態(例如，一誤差條件)之一狀態信號之輸出507。該狀態信號用於驅動以一導線或組態綁縛至一旗標匯流排509之一n電晶體550之閘極。該旗標匯流排較佳由控制器310預充電且在讀取/寫入堆疊中之任一者斷言一狀態信號時將被下拉。

低雜訊感測模組陣列

美國專利第7,046,568號揭示一種具有能夠以一低供應電壓運作之低雜訊感測電路之非揮發性記憶體裝置。US 7,046,568之整體揭示內容以引用方式併入本文中。

與先前感測電路不同，US 7,046,568之低雜訊感測電路藉由其使一專用電容器而非充當一電容器之位元線放電之速率來量測單元電流。以此方式，可在感測期間保持該位元線電壓恆定，藉此避免來自位元線至位元線耦合(其因位元線上之時變電壓所致)之雜訊。該感測電路藉由併入一升壓電路亦能夠藉助一低供應電壓運作，該升壓電路有效地擴展用於確定該單元電流之電壓放電之動態範圍。

根據本發明之一個態樣，一記憶體單元頁由一對應感測模組陣列並行感測，且防止一給定記憶體單元之一感測模

組中所產生之雜訊干擾該陣列中之其他感測模組。特定而言，一現有感測模組在已識別且鎖定該頁之一高度導電之記憶體單元之後變為該陣列中其他感測模組之一顯著雜訊源。本發明防止與一被鎖定記憶體單元相關聯之一感測模組傳播雜訊至該陣列中仍在感測之其他感測模組。以此方式，改良感測準確度從而產生更佳之效能且允許更多資料位元被儲存於每一記憶體單元中。

圖12A示意性圖解闡釋圖9至11中所示之感測模組之一現有實施方案。現有感測模組480'與US 7,046,568中所揭示之多者類似。應理解，圖10中所示之每一讀取/寫入堆疊400皆含有一組經由k個位元線伺服於對應之k個記憶體單元之k個感測模組。將存在由一個共用處理器500伺服之k個感測模組480-1至480-k及k個資料鎖存器430-1至430-k。為簡明起見，圖12A明確顯示與共用處理器500一起運作之感測模組480'中之一者(其代表該組k個感測模組480-1至480-k中之任一者)及一組資料鎖存器430中之一者(其代表該組k個資料鎖存器430-1至430-k中之任一者)。如結合圖10及11所述，藉由並行運作總共r個讀取/寫入堆疊來服務於一頁p個記憶體單元。

經由一信號BLS控制之一耦合電晶體482經由一位元線36耦合現有感測模組480'至一記憶體單元。該記憶體單元之一實例係一NAND鏈50中之一記憶體電晶體。感測模組480'包含一感測放大器600'、一位元線電壓箝位器610及一下拉電路550。感測模組480'使用一匯流排(例如，感測放

大器匯流排422)經由由一信號NCO控制之一轉移閘極488與其他周邊電路通信。

如先前所述，感測模組之一鬆弛部分經由感測放大器匯流排422與共用處理器500及一組資料鎖存器430通信。共用處理器500存取儲存於感測模組480'之鎖存器中及資料鎖存器430中之資料。其基於彼等鎖存器之電流值且基於來自狀態機112之控制計算更新值。將該等更新值儲存回至感測模組480'中之鎖存器及/或資料鎖存器430。共用處理器500經由資料匯流排423耦合至k個資料鎖存器。該組資料鎖存器430經由一I/O匯流排231連接至外部。感測模組480'、共用處理器500及該組資料鎖存器430之作業由狀態機112(參見圖11)經由頁控制器410控制，該頁控制器藉由控制線411發出控制及時序信號。

感測模組480'具有一攜載一信號COM1之節點481。節點481允許感測放大器600'選擇性地耦合至位元線36及/或感測放大器匯流排422。

在由位元線電壓箝位器610所箝位之一固定電壓下，藉助位元線36執行感測。該位元線電壓箝位器由一n電晶體612實施，其中其源極及汲極串聯在位元線與COM1節點481之間。n電晶體612之閘極上之一類比電壓確定該位元線上之所箝位電壓。在感測作業期間，恆定位元線電壓消除因該等位元線上之電壓變化所致之位元線之間的可能耦合。

當一頁之一記憶體單元經確定具有比一參考電流高之一

導電電流時，對彼單元進行感測且鎖定該單元以避免進一步感測作業而可繼續感測該頁之剩餘單元。此藉由將位元線36下拉至接地而關斷該單元電流來實現。提供一下拉電路550以用於選擇性地將位元線36拉至接地。下拉電路550包含實質上跨越位元線與接地之兩個串聯n電晶體552及486。該兩個n電晶體分別由信號GRS及INV控制。當兩者皆係HIGH時，啟動下拉電路550且將節點481(COM1)拉至接地。當信號BLS亦係HIGH時，亦將位元線36拉至接地。以此方式，單元電流因其源極及汲極之短路而關斷。

信號GRS用於程式化期間且由狀態機112(參見圖11)控制且供應為來自頁控制器411之控制及時序信號之一部分。在感測期間，GRS總係HIGH，且當感測放大器600'感測單元電流比一參考電流高時，該感測放大器亦將信號INV設定為HIGH。

感測放大器600'包含一電壓箝位器620、一預充電電路640'、一單元電流鑑別器650及一感測放大器鎖存器660。藉由單元電流鑑別器650偵測一節點631處之信號SEN來執行感測。可由預充電電路640'經由由一信號HLL控制之一隔離電晶體642對SEN節點631預充電。然後，當經由由一信號XXL控制之一隔離電晶體630耦合SEN節點631至COM1節點481時，該SEN節點亦可耦合至記憶體單元。

電壓箝位器620由該預充電電路與COM1節點481之間的一電晶體622實施。電晶體622由一信號BLX驅動以用於保持節點481處之信號COM1高於一預定位準以使位元線電壓

箝位器 610 正確地起作用。

在該感測模組之各種作業期間，預充電電路 640' 允許朝向 Vdd 上拉經由 COM1 節點 481 及一 SEN 節點 631 之位元線。藉著由一信號 INV 啟用之一 p 電晶體 644 實施預充電電路 640'。

SEN 節點 631 與 COM1 節點 481 之間的隔離電晶體 630 允許該兩個節點上存在不同電壓。當需要將位元線 36 預充電至一給定電壓時，可經由由電晶體 482、612、630、642 及 644 啟用之路徑上拉位元線 36，該等電晶體分別由信號 BLS、BLC、XXL、HLL 及 INV 控制。類似地，實質上可將節點 481 處之 COM1 信號及節點 631 處之 SEN 信號上拉至分別由信號 XXL、HLL 及 INV 控制之 Vdd。

在某些實施方案中，Vdd 在轉變為一較低值之前直接自一外部源 Vext 供應。此可對經上拉之電壓提供 100 mV 之額外裕量且在感測一負 V_T 區域中之記憶體單元之情況下尤其有用。

實質上，單元電流鑑別器 650 相對於一參考電流比較該記憶體單元之導電電流。當該單元電流比該參考電流高時，感測放大器在 HIGH 狀態輸出信號 INV 且反之亦然。一旦經設定，則信號 INV 由感測放大器鎖存器 660 鎖存。

在感測之前，必須在一個或多個預充電作業中經由適當字線及位元線設定到達選定記憶體單元之電極之電壓。

舉例而言，如圖 12A 中所示，可選擇一沿一與 NAND 鏈 50 相交之字線 WL1 之記憶體單元頁以用於感測。預充電作

業以將未選定字線 WL0、WL2-WL31 充電至一電壓 V_{read} 及針對一考量中之給定記憶體狀態將選定字線 WL1 充電至一預定臨限電壓 $V_T(i)$ 開始。

位元線 36 及 COM1 節點 481、SEN 節點 631 由預充電電路 640' 分別預充電至適於感測之預定電壓。藉助施加字線及位元線電壓至 NAND 鏈 50，將接通一選定記憶體單元。一源極-汲極導電電流將在該記憶體單元中流動。該導電電流係當在記憶體單元之源極與汲極之間存在一標稱電壓差時程式化至選定記憶體單元中之電荷及施加至該選定字線之 $V_T(i)$ 的一函數。

當字線及位元線上之電壓穩定時，可藉由感測放大器 600' 在 SEN 節點處感測選定記憶體單元之導電電流或經程式化臨限電壓。

單元電流鑑別器 650 實質上藉由在節點 631 處偵測單元電流在一電容器 652 上使信號 SEN 放電之速率來量測該單元電流。因此，確定正在放電 SEN 之速率將提供對導電電流之一量測。在放電之前，SEN 由預充電電路 640' 預充電至 V_{dd} 。感測係在由允許單元電流使該電容器放電 (HLL LOW 且 XXL HIGH) 之時間至該單元電流被切斷 (XXL LOW) 之時間給出之一整個預界定週期中進行。

在感測期間，位元線中之記憶體儲存單元之導電電流將使電容器 652 放電。單元導電性越強，放電越快。然後，SEN 節點 631 中之電壓將以一相依於該導電電流之速率自 V_{dd} 降低。在該預界定放電週期之結束處，隔離電晶體 630

因XXL變LOW而關斷(該週期對應於一參考電流)。此將使單元電流自SEN節點631斷開且中斷進一步放電。信號SEN將降至可關斷或可不關斷量測p電晶體656之某一值。

在該感測週期之後，比較信號SEN中之電壓與一p電晶體之臨限值($V_{dd}-|V_T|$)(V_{TP} 係p電晶體之臨限電壓)。施加信號SEN至一p電晶體656之閘極。若該p電晶體被接通，則SEN已放電至 $V_{dd}-|V_T|$ 以下或導電電流大於一參考電流。若該p電晶體未被接通，則導電電流小於參考電流因此其未能使SEN放電至 $V_{dd}-|V_T|$ 以下。

當一連接電晶體654藉助一閘極信號STB接通時，p電晶體656之源極側連接至 V_{dd} 。若SEN尚未降至充分低從而接通p電晶體656，則在電晶體656之汲極側處輸出信號INV之一節點657將保持為LOW。另一方面，若SEN已降至 $V_{dd}-|V_{TP}|$ 以下，則p電晶體656將被接通且INV節點657將被上拉至 V_{dd} 且被鎖存。

單元電流鑑別器650有效地確定單元之導電電流比一給定分界電流值高還是低。該給定分界電流值對應於一預定放電時間。若所感測電流比分界電流值高，則正在討論之記憶體單元具有比在控制閘極處施加之 $V_T(i)$ 小之一臨限值。因此，當單元電流比參考分界位準低時，呈INV形式之所感測結果保持為LOW。相反，當該單元電流比該參考位準高時，INV係HIGH。該INV信號轉變為如由感測放大器鎖存器660鎖存之一CMOS邏輯位準。

升壓電路

自圖 12A 及先前說明將看到，若位元線電壓由位元線箝位器 610 箝位在一預定 V_{BL} 處，則箝位 n 電晶體 612 之汲極側必須處於比源極側稍高之一電壓處(例如，高大約 0.2 V)以使該箝位器起作用。因此，COM1 必須比 V_{BL} 高大約 0.2 V 且此由電壓箝位器 622 保證。此亦意味著 SEN 之電壓位準可降低範圍至多為 COM1 以上一 V_T 之內。因此，SEN 信號在節點 631 處之放電可僅藉助具有由 Vdd 給出之一最高值及由比 COM1 稍高(例如，高大約 V_T)之 V_{LIMIT} 給出之一最低值的一受限制動態範圍運作。然而，對於係 Vdd 之源之較低供應電壓而言，假定存在 V_{LIMIT} ，若 $(V_{dd} - |V_{TP}|) < V_{LIMIT}$ ，則 p 電晶體將從不接通。

比較電路 650' 藉由提供呈一電壓移位器 700 形式之一升壓電路來經由一線 703 供應一升壓電壓 V_B 至電容器 652 之一個板而適於低電壓作業。該電壓移位器之時序由頁控制器 498 經由一線 702 控制。

在作業中，預充電電路 640' 將感測節點 SEN 631 拉至 Vdd。該電壓移位器在節點 SEN 藉由隔離電晶體 636 自 Vdd 解耦之後被啟動。該電壓移位器基本上具有增大 ΔV 之 V_B 信號位準，因此電容器之另一板上之電壓在節點 SEN 631 處將升壓一相等量。此有效地使動態範圍之上限增加 ΔV ，因此對應於一適度導電電流之最終電壓可比 $V_{dd} - V_{LIMIT}$ 高。在放電週期之結束處，感測節點 SEN 631 藉由隔離電晶體 634 自節點 SEN2 解耦，藉此移除 V_{LIMIT} 限制。然後，在與參考電壓 $(V_{dd} - |V_{TP}|)$ 比較之前，SEN 631 上之電

壓減少相同之 ΔV 以取消初始升壓。此使得可以一甚至低於 V_{LIMIT} 之位準進行該電壓比較。

自鎖定感測模組至其他感測模組之雜訊

升壓電路700在感測週期期間逐步增加 V_B 且因此可變為感測模組480'中之一雜訊源。此雜訊可經由電容器652傳播至SEN節點631及遠處。當感測模組在一感測作業中係活動的時該雜訊並不顯著，此乃因單元充當一電流吸收器且位元線電壓箝位器610及感測放大器中之電壓箝位器620兩者皆運作以減輕雜訊。

如先前所述，感測模組在其已偵測到一高電流單元且已鎖存處於HIGH之信號INV之後進入一鎖定模式。此導致單元電流在其位元線由下拉電路550下拉至接地之後被切斷。該鎖定感測模組不再參與感測且變為不活動而其他感測模組繼續活動感測該頁中之尚未鎖定之記憶體單元。然而，鎖定感測模組即使處於其不活動模式亦會變為其他仍係活動之感測模組之一顯著雜訊源。

圖12B圖解闡釋圖12A中所示之已進入一鎖定模式中之感測模組之雜訊路徑。鎖定模式係當感測放大器600'已偵測到高於一參考電流之一單元電流且將信號INV設定為HIGH時之模式。回應於INV係HIGH，感測模組480'將位元線下拉至接地同時經由預充電電路640'對Vdd之存取被切斷。此意味著電壓箝位器620可不再起作用且因此位元線電壓箝位器610亦可不再起作用。當正並行感測一記憶體單元頁時，均勻地施加控制信號(例如，XXL及BLS及

V_B)至所有感測模組(包含已進入至鎖定模式之彼等感測模組)。因此，對於其中INV係HIGH之感測模組480'而言，由升壓電路700產生之雜訊可沿一路徑711傳播至位元線36。若該頁中每一記憶體單元之源極藉助信號CLSRC耦合至一頁源極線，且該頁源極線耦合至接地，則雜訊亦可經由一接地迴路傳播以影響CLSRC。

圖13圖解闡釋圖12B中所示之已進入鎖定模式之現有感測模組之控制信號之時序。在鎖定模式中，感測模組480'允許來自升壓電路700之雜訊到達頁源極線以及位元線。參照圖13及圖12B兩者，所有感測模組之感測週期以HLL(圖13(a))將預充電電路640'自SEN節點631切斷開始且以XXL(圖13(b))將單元電流切斷以避免使該SEN節點進一步放電結束。在該感測週期期間，藉助自升壓電路供應之 V_B 升壓感測節點。對於處於鎖定模式之感測模組而言，SEN節點631耦合至經由下拉電路550亦耦合至CLSRC頁源極線34之位元線36。在單元電流被關斷之情況下，感測週期開始處之電壓位準 V_B 之突然移位(圖13(c))導致SEN節點處之一脈動(圖13(d))。此脈動作為雜訊沿雜訊路徑711傳播以到達所耦合之位元線(圖13(e))及CLSRC頁源極線(圖13(f))。

一位元線上之雜訊效應

感測模組480'經設計以在恆定位元線電壓下感測以避免時變電流自一個位元線至另一位元線之耦合。單元電流以外之任何電流將僅係雜訊且將在對該單元電流之感測中導

致誤差。如以上所解釋，鎖定感測模組可清除係進入鎖定位元線中之一時變電流之雜訊。即使不再感測鎖定記憶體單元，但鎖定位元線中之變化電流仍可耦合至相鄰位元線，該等相鄰位元線之單元可仍在經歷感測。此類型之耦合雜訊對於接近一鎖定單元之正在被感測之單元而言係顯著的且在感測中導致誤差。

一頁源極線上之雜訊效應

另一問題與由一記憶體單元之源極側電壓之不確定性所引入之一誤差有關。舉例而言，源極側誤差之一個表現係其因該晶片之源極線與接地鉑墊之間的一有限電阻所致。感測記憶體單元之一個電位問題係由跨越該有限電阻之源極負載所引起之源極線偏壓。當並行感測大量記憶體單元時，其經組合之電流可在具有有限電阻之一接地迴路中導致顯著電壓降。此導致一源極線偏壓，該源極線偏壓在一採用臨限電壓感測之讀取作業中導致誤差。

圖14圖解闡釋因具有一有限對地電阻之源極線中之電流所致之源極電壓誤差問題。讀取/寫入電路270A及270B同時處理一記憶體單元頁。該等讀取/寫入電路中之每一感測模組480皆經由一位元線36耦合至一對應單元。舉例而言，一感測模組480感測一記憶體單元10之導電電流 i_1 (源極-汲極電流)。該導電電流自該感測模組流過位元線36進入記憶體單元10之汲極中，且自源極14流出之後通過一源極線34至接地。在一積體電路晶片中，一記憶體陣列中該等單元之源極全部綁縛在一起作為源極線34之多個支路，

源極線 34 連接至該記憶體晶片之某一外部接地鉀墊(例如， V_{ss} 鉀墊)。即使當使用金屬帶減小源極線之電阻時，在一記憶體單元之源極電極與接地鉀墊之間仍保持一有限電阻 R 。通常，接地迴路電阻 R 係 50 歐姆左右。

對於正在被並行感測之整個記憶體頁而言，流過源極線 34 之總電流係所有導電電流之和，亦即 $i_{TOT} = i_1 + i_2 + \dots + i_p$ 。通常，每一記憶體單元具有一相依於程式化至其電荷儲存元件中之電荷量之導電電流。對於記憶體單元之一給定控制閘極電壓而言，少量電荷將產生一相對較高之導電電流(參見圖 3)。當一記憶體單元之源極電極與接地鉀墊之間存在一有限電阻時，跨越該電阻之電壓降由 $V_{drop} = i_{TOT}R$ 得出。

舉例而言，若各自具有一 0.25 μA 電流之 24000 個位元線同時放電，則源極線電壓降將等於 24000 個線 $\times 0.25 \mu A / 線 \times 50$ 歐姆 ~ 0.3 伏。在感測記憶體單元之臨限電壓時，此源極線偏壓將導致一 0.45 伏之感測誤差，從而假定體效應使得源極電壓上升 0.3 V 導致臨限電壓上升 0.45 V。

圖 15 圖解闡釋由一源極線電壓降所引起之一記憶體單元之臨限電壓位準之誤差。供應至記憶體單元 10 之控制閘極 30 之臨限電壓 V_T 係相對於 GND。然而，記憶體單元所經受之有效 V_T 係其控制閘極 30 與源極 14 之間的電壓差。在所供應之 V_T 與有效 V_T 之間存在一約為 $1.5 \times V_{drop}$ 之差異(忽略自源極 14 至源極線電壓降之較小影響)。當感測記憶體單元之臨限電壓時，此 V_{drop} 或源極線偏壓將導致一(例如) 0.45

伏之感測誤差。此偏壓不可容易地移除，此乃因其資料相依性，亦即相依於該頁記憶體單元之記憶體狀態。

美國專利第7,173,854號揭示一種參考接近一頁中每一記憶體單元之源極之字線電壓以減輕因接地迴路所致之源極偏壓誤差問題之方法。

由 Nguyen 等人於 2007 年 6 月 29 日提出申請之標題為「METHOD FOR SENSING NEGATIVE THRESHOLD VOLTAGES IN NON-VOLATILE STORAGE USING CURRENT SENSING」之美國專利申請案第 11/771,982 號揭示一種記憶體裝置及用於將沿一頁之每一記憶體單元之源極調節為一預定頁源極電壓之方法。美國專利申請案第 11/771,982 號之整體揭示內容以引用方式併入本文中。

圖 15 亦示意性圖解闡釋因鎖定感測模組所致之雜訊被引入至頁源極線及正在經歷感測之個別感測模組之位元線兩者。該雜訊通常具有一快速波動，甚至該頁源極線處具有一調節器，該雜訊無法保持。自以上揭示內容將明瞭，若雜訊被引入至頁源極線 34 處之信號 CLSRC，則其將在對耦合至該頁源極線之每一記憶體單元之感測期間導致誤差。

經改良之低雜訊感測模組陣列

在一能夠藉助減小之供應電壓運作之感測模組之一較佳實施方案中，採用一升壓電路以增加正在被感測之一放電電壓之一動態範圍。當該感測模組已識別出具有比一參考電流高之一導電電流之一單元時，鎖定該單元以避免進一步感測且將相關聯之位元線短路至該頁之源極線以關斷該

鎖定單元。在此鎖定模式中，由升壓電路產生之一逐步升高電壓變成一雜訊源且易於傳播至該單元之位元線且亦易於傳播至該頁之源極線，藉此干擾其他運作之感測模組。每當該感測模組已進入鎖定模式時，即隔離此雜訊源以防止其到達位元線及源極線。一隔離電路設置於該雜訊源與一中間電路之間從而將位元線與源極線耦合至升壓電路。

在一般性實施例中，採用一轉移閘極作為該隔離電路。該轉移閘極由一經鎖存信號關斷，該經鎖存信號指示因記憶體單元已被識別為具有比一參考電流高之一導電電流而產生之鎖定模式且該記憶體單元已被鎖定以避免該頁之進一步感測作業。關斷該轉移閘極切斷至該記憶體單元之位元線及該頁之源極線之雜訊路徑。

在一較佳實施例中，該轉移閘極設置於中間電路與一節點之間，在該節點處正感測放電電壓且在該節點處施加經升壓電壓。

圖16圖解闡釋根據一較佳實施例之具有與鎖定感測模組之經改良雜訊隔離之一感測模組堆疊。該感測模式堆疊由共享一共用感測放大器匯流排422之感測模組480-1至480-k組成。在運作中，並行感測一記憶體單元頁。如圖11中所示，存在經由 p 個位元線連接至具有 p 個記憶體單元之頁之 p 個感測模組。因此，圖16中所示之感測模組堆疊代表形成該頁之整組感測模組之 p/k 個堆疊中之一者。該記憶體單元頁使每一記憶體單元之源極耦合至具有一電壓CLSRC之頁源極線34(參見圖14及圖15)。

每一感測模組480與圖12A及圖12B中所示之現有感測模組480'類似。一個差異係併入有由信號INV控制之一轉移閘極750，該信號INV係根據記憶體單元之所感測結果設定。在該較佳實施方案中，轉移閘極750包括一p電晶體752及一n電晶體754。該轉移閘極之一第一節點使p電晶體752之源極耦合至n電晶體754之汲極。該轉移閘極之一第二節點使p電晶體之汲極耦合至n電晶體754之源極。該兩個節點跨越COM1節點481及一節點482連接。節點482攜載一信號COM2且位於轉移閘極750與位元線電壓箝位器610之間。p電晶體752由信號INV閘控且n電晶體754由INV*閘控，INV*係INV之反向信號。

當感測放大器600確定單元電流比一參考電流高時，INV被設定為HIGH且被鎖存。位元線被拉至頁源極線34處之CLSRC(參見圖14及圖15)。在源極及汲極實質上處於相同電位之情況下，單元電流被關斷且感測模組進入鎖定模式且變為不活動而其他感測模組繼續執行對其相應記憶體單元之感測。在該鎖定模式中，係HIGH之INV將關斷轉移閘極750。因此，每當感測模組處於鎖定模式時，因處於 V_B 之電壓之移位所致之雜訊本可傳播遠至SEN節點631及COM1節點481，結果卻由轉移閘極切斷。以此方式，防止來自任一鎖定感測模組之雜訊干擾仍在進行感測之彼等感測模組。

圖16中所示之轉移閘極之較佳實施例之另一特徵係藉助在位元線與最終Vdd之間的路徑中之轉移閘極750中之p電

晶體 752 之構造，該 p 電晶體提供圖 12A 中所示之先前預充電電路 640' 中之先前 p 電晶體 644 之上拉功能。因此，在圖 16 中，經改良感測模組 480 中之預充電電路 640 不再需要一用於上拉之 p 電晶體。預充電電路 640 僅係至 Vdd 之一連接。轉移閘極在預充電作業期間被接通以執行至 Vdd 之上拉。

圖 17 圖解闡釋用於圖 16 中所示之已進入鎖定模式之經改良感測模組之控制信號之時序。在鎖定模式中，感測模組 480 之轉移閘極 750 阻止來自升壓電路之雜訊到達頁源極線以及位元線。參照圖 17 及圖 16 兩者，所有感測模組之感測週期皆以 HLL(圖 17(a))將預充電電路 640' 自 SEN 節點 631 切斷開始且以 XXL(圖 17(b))將單元電流切斷以避免使該 SEN 節點進一步放電結束。在該感測週期期間，藉助自升壓電路供應之 V_B 升壓該感測節點。對於處於鎖定模式之感測模組而言，SEN 節點 631(除中間轉移閘極 750 外)耦合至經由下拉電路 550 亦耦合至 CLSRC 頁源極線 34 之位元線 36。在單元電流被關斷之情況下，感測週期之開始處之電壓位準 V_B 之突然移位(圖 17(c))導致 SEN 節點處之一脈動(圖 17(d))。此脈動作為雜訊之傳播由被關斷之轉移閘極 750 阻止到達所耦合之位元線(圖 17(e))及 CLSRC 頁源極線(圖 17(f))。與圖 13(e)及圖 13(f)中所示之對應者相比，在該鎖定之經改良感測模組之位元線或整頁之頁源極線中不存在雜訊。

在另一較佳實施例中，轉移閘極設置於升壓電路與將在

此處感測放電電壓之節點之間。

圖18圖解闡釋根據一替代較佳實施例之具有與鎖定感測模組之經改良雜訊隔離之一感測模組堆疊。除了轉移閘極750由一類似轉移閘極760代替且重新定位於升壓電路700與SEN節點631之間之外，該替代實施例中之感測模組480"與圖16中所示之較佳實施例之感測模組480類似。在其經由路徑703到達電容器652之前，其緊挨閘極 V_B 。

圖19係一圖解闡釋隔離來自一鎖定感測模組之雜訊以防止其干擾仍活動感測該頁之其他感測模組之一方法之流程圖。

步驟810：為感測並行感測之一非揮發性記憶體單元群組中之一非揮發性記憶體單元之一導電電流，提供可由該記憶體單元經由一中間電路存取之一節點。

步驟820：將該節點預充電至一初始電壓。

步驟830：提供一耦合至該節點之升壓電路。

步驟832：將該節點上之初始電壓升壓一預定量。

步驟840：藉由該節點處電壓放電之一速率量測該導電電流。

步驟850：每當確定該導電電流比一預定值高時，即將升壓電路與該記憶體單元之中間電路隔離直至至少完成對該記憶體單元群組之感測。

高速度感測模組陣列

在2007年12月28日提出申請之美國專利申請案第11/966,325號中進一步發展之以上給出之感測模組之各種

實施例使用一配置，在該配置中將資料自感測放大器之資料鎖存器讀出至該資料上之過程使用預充電元件為一所連接位元線供電之同一路徑之一部分。在美國專利第7,173,854及7,170,784號中發現之彼等感測模組亦同樣如此。舉例而言，如圖12A中所示，鎖存於感測模組480'中之資料值藉由開關488饋送出至匯流排節點422。此涉及佈線於481處之線COM1。如圖12B中所示，此係與供應預充電至位元線之路徑相同。

此情形在圖20A-C中予以更加詳細地考量，其表示經重新配置某種程度上用於此論述之目的之此等感測模組之某些細節。圖20A顯示可被視為此等其他感測放大器之一或多或少一般版本，但其配置為預充電保持電容器CSA 652在中間、可稱為數位部分之事物在右邊且可稱為類比部分之事物在左邊。該類比部分(恰好係圖12A之對應部分之一重新配置)將來自預充電電容器652之電流提供至選定位元線。在數位側上，鑑別元件則確定欲鎖存於660中之狀態。舉例而言，感測放大器鎖存器660可由交叉耦合之電晶體形成以保存該所鎖存之值且在此處回應於RST及STB信號。

圖20B顯示用於感測電流自預充電電容器CSA 652至選定位元線採取哪一路徑之類比路徑。更特定而言，其通過節點631及481且繼續通過至位元線選擇電晶體482。圖20C顯示用於將資料轉移至感測放大器匯流排422之路徑：該電流再次通過節點631及481，在節點481處其改為通過電

101年12月24日修正替換頁

晶體488且繼續至422處之感測放大器匯流排。此等路徑兩者共享一自SEN處之線、繼續至節點631、通過電晶體630且通過節點481之共用部分。因此，直至完成用於一個感測作業之至422之資料轉移，預充電電容器652方可被充電以用於一下一感測作業。因此，減緩配置(例如圖20A之配置)中之感測效能之因素之一係數位資料轉移時間(圖20B)與類比感測時間(圖20C)串聯之一結果。

除速度考量以外，此配置亦在該類比感測路徑中產生雜訊，此乃因為使一高資料值Vdd通過電晶體630，通常會需要將XXL置於一高於Vdd之值以補償630之臨限值。在釋放該資料值後，XXL通常將降回至Vdd，但由於此可花費一些時間，因此此引入隨後通過BL箝位器610且隨後沿以上參照圖12B所述之路徑之雜訊，該雜訊具有與此處所述之彼等雜訊類似之效應。

此處提供之配置引入一在感測模組電路中將類比與數位部分分離以便可並行進行此兩者之新穎方法。以此方式，感測效能在一典型設計中可改良大約10%。另外，此幫助消除感測期間在類比感測路徑上之雜訊且減少切換電流。如參照圖21A將看到，此種設計允許在記憶體轉移出先前感測資料時準備下一感測環境。

圖21A在圖20A之感測模組之上下文中圖解闡釋該方法之某些態樣。其他實施例可基於在先前部分中以及在其他感測模組(例如美國專利第7,173,854及7,170,784號中之彼等感測模組)中給出之各種其他實施例或與其組合。

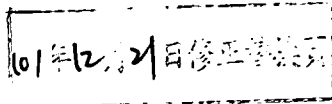


圖21A之實例性實施例再次顯示一預充電元件CSA 652在中間，其中類比區段在左邊且數位區段在右邊。數位區段包含可如之前那樣構造之感測放大器鎖存器660及一鑑別元件650。在鑑別器650內，電晶體654及656與之前一樣，但不是使一電晶體658控制器藉由RST將節點657連接至接地，而是節點657現在藉由轉移閘極2101連接至節點422且自彼處繼續連接至感測放大器匯流排。因此，所鎖存之資料現在沿此路徑藉由由信號RST_NCO控制之電晶體轉移閘極2101被轉移出，信號RST_NCO將先前NCO信號之功能與RST信號合併。由於用於轉移出資料之路徑現在全部在數位側內，因此不再需要圖20A之由NCO控制之先前開關488提供此功能。

圖21B顯示用於感測電流自預充電電容器CSA 652至選定位元線採取哪一路徑之類比路徑且該類比路徑與圖20B之路徑幾乎相同。用於將資料轉移至感測放大器匯流排422之數位路徑顯示於圖21C中且與圖20C之路徑不同，此路徑不與類比路徑重疊，此乃因位準INV現在由轉移閘極2101自節點657轉移至節點422。因此，一旦鑑別元件650已建立感測作業之結果，則該感測模組不需要等待欲被轉移出之數位結果繼續移動至下一感測作業之數位部分，但可開始對電容器充電及其他步驟，其中在方便時所鎖存之資料被轉移出至匯流排。

在一讀取過程中，以如圖7中所示之一4狀態記憶體為例，典型過程係首先讀取A狀態，然後B狀態，且最終C狀

101年12月21日修正替換頁

態。在圖 20A 之配置中，選定字線斜升至用於讀取 A 狀態之值且執行該讀取之類比部分：執行預充電且該預充電隨後用於沿圖 20B 之路徑為選定位元線供電。然後，選通該感測放大器以用於鑑別區段 650 以比較該單元之狀態與參考位準，然後鎖存該結果。為讀出此結果，然後使用圖 20C 之路徑；然而，此要求將預充電電容器放電，若此在類比部分中尚未發生(亦即，若選定單元不導電)。一旦做此，則可進行資料之轉移。另外，雖然字線可斜升以準備下一感測作業(此處，選定單元上之 B 狀態)，但直至完成轉移感測放大器方可準備進行下一感測作業。

一旦使用圖 20C 之路徑完成用於 A 讀取之結果的資料轉移，則位元線可斜升以用於 B 讀取，然後其以相同方式繼續進行，之後進行 C 讀取。因此，在如圖 20A-C 之一配置之結構中，與數位值之資料轉移部分串行執行讀取作業之類比部分直至鎖存資料結果並使該等字線及位元線值依序斜升。

相比而言，在如圖 21A-C 之一配置中，一旦藉由鑑別元件執行比較之結果且將其鎖存，則可與準備下一讀取並行執行轉移，以允許隱藏轉移時間且並行斜升字線及位元線值。

再次參照圖 21A-C 且以如圖 7 中所示之一 4 狀態記憶體為例，以讀取 A 狀態開始，選定字線斜升至用於讀取 A 狀態之值且執行該讀取之類比部分：執行預充電且該預充電隨後用於沿圖 21B 之路徑為選定位元線供電。然後，選通該

感測放大器以用於鑑別區段650以比較該單元之狀態與參考位準，然後鎖存該結果。在此點處，該過程與先前情況相異：由於使用圖21C之用於資料轉移之路徑，因此然後類比及預充電區段可進行下一狀態，而然後可在需要鎖存此後續讀取之結果之前的任一時間進行資料轉移。同樣，由於在類比/預充電元件中不需要使位準放電及重新充電，因此減少類比感測路徑中之雜訊且減少所需切換電流。

由於無論對於一驗證作業還是一規則讀取，大部分相同路徑用於供應位元線電流且轉移出資料，因此針對圖20B及圖20C之兩個路徑，電晶體630必須由XXL接通。如以上所述，此將導致雜訊通過電晶體630脈動至位元線電壓箝位器610，然後繼續至位元線本身且影響位移電流。使用圖21C之路徑轉移出資料可有助於最小化來自XXL之此雜訊，此乃因不再需要充分接通元件630以將一所感測之「高」Vdd值傳遞至感測放大器匯流排上。

對於一感測作業，圖21A之設計亦將使用比圖20A之切換電力小之切換電力。參照圖20C，除需要將NCO置高來接通開關488以外，如以上論述，必須將XXL置於一升高之位準以充分接通630。另外，在圖20C中，位元線電壓箝位器610及位元線選擇開關482被關斷，使得BLC及BLS兩者皆被置低。相比而言，在圖21C中，不再需要在資料轉移期間來回切換BLC及BLS值且不需要將XXL置於一升高之值。相反，僅需接通轉移出所鎖存之值所需之轉移閘極

(2101)。另外，圖20A-C係簡化圖表且此等圖表之類比區段將包含在自圖20B之模式至圖20C之模式之轉換中需要切換之若干其他元件。

儘管已參照某些實施例闡述了本發明之各種態樣，但應理解，本發明有權在隨附申請專利範圍之整個範疇內受到保護。

【圖式簡單說明】

圖1示意性圖解闡釋其中可實施本發明之一非揮發性記憶體晶片之功能區塊。

圖2示意性圖解闡釋一非揮發性記憶體單元。

圖3圖解闡釋針對浮動閘極可在任一時刻選擇性地儲存之四種不同電荷Q1-Q4，源極-汲極電流 I_D 與控制閘極電壓 V_{CG} 之間的關係。

圖4圖解闡釋一NOR記憶體單元陣列之一實例。

圖5A示意性圖解闡釋組織成一NAND串之一記憶體單元串。

圖5B圖解闡釋由例如圖5A中所示之NAND串構成之一NAND記憶體單元陣列之一實例。

圖6圖解闡釋一用於藉由一系列交替程式化/驗證循環將一記憶體單元頁程式化為一目標記憶體狀態之典型技術。

圖7(1)圖解闡釋具有一經擦除狀態作為一接地狀態「Gr」及程式化程度逐漸增加之記憶體狀態「A」、「B」及「C」之一實例性4狀態記憶體陣列之臨限電壓分佈。

圖7(2)圖解闡釋表示圖7(1)中所示之四個可能記憶體狀

態之一較佳2位元LM編碼。

圖8(1)圖解闡釋一實例性8狀態記憶體陣列之臨限電壓分佈。

圖8(2)圖解闡釋表示圖8(1)中所示之八個可能記憶體狀態之一較佳3位元LM元編碼。

圖9圖解闡釋圖1中所示之含有一排跨越一記憶體單元陣列之感測模組之讀取/寫入電路。

圖10示意性圖解闡釋圖9中所示之感測模組之一較佳組織。

圖11更加詳細地圖解闡釋圖10中所示之讀取/寫入堆疊。

圖12A示意性圖解闡釋圖9及11中所示之感測模組之一現有實施方案。

圖12B圖解闡釋圖12A中所示之已進入至一鎖定模式中之感測模組之雜訊路徑。

圖13圖解闡釋用於圖12B中所示之已進入鎖定模式之現有感測模組之控制信號之時序。

圖14圖解闡釋因具有一有限對地電阻之源極線中之電流所致之源極電壓誤差問題。

圖15圖解闡釋由一源極線電壓降所引起之一記憶體單元之臨限電壓位準中之誤差。

圖16圖解闡釋根據一較佳實施例之具有與鎖定感測模組之經改良雜訊隔離之一感測模組堆疊。

圖17圖解闡釋用於圖16中所示之已進入鎖定模式之經改

良感測模組之控制信號之時序。

圖 18圖解闡釋根據一替代較佳實施例之具有與鎖定感測模組之經改良雜訊隔離之一感測模組堆疊。

圖 19係一圖解闡釋隔離來自一鎖定感測模組之雜訊以防止其干擾仍活動感測頁之其他感測模組之一方法之流程圖。

圖 20A-C圖解闡釋具有一用於資料轉移之路徑之一感測模組，該用於資料轉移之路徑重疊用於感測之類比路徑。

圖 21A-C圖解闡釋具有一用於資料轉移之路徑之一感測模組，該用於資料轉移之路徑不同於用於感測之類比路徑。

【主要元件符號說明】

10	記憶體單元/記憶體電晶體
14	源極
16	汲極
20	電荷儲存單元
30	控制閘極
32	控制閘極
34	源極線
36	位元線
42	字線
44	選擇線
50	NAND串/NAND鏈
54	源極端子

56	汲極端子
100	記憶體晶片
110	控制電路
112	狀態機
200	記憶體單元陣列
230A	列解碼器
230B	列解碼器
231	資料I/O匯流排
250A	多工器
250B	多工器
260A	行解碼器
260B	行解碼器
270A	讀取/寫入電路
270B	讀取/寫入電路
311	線
400	讀取/寫入堆疊
400-1	讀取/寫入堆疊
400-r	讀取/寫入堆疊
410	頁控制器
411	控制線
422	感測放大器匯流排
423	資料匯流排
430-1	資料鎖存器
430-k	資料鎖存器

440	I/O 模 組
480	感 測 模 組
480'	感 測 模 組
480-1	感 測 模 組
480-k	感 測 模 組
481	節 點
482	電 晶 體 / 節 點 / 選 擇 開 關
486	n 電 晶 體
488	開 關 / 電 晶 體
500	共 用 處 理 器
507	輸 出
509	旗 標 匯 流 排
550	n 電 晶 體 / 下 拉 電 路
552	n 電 晶 體
600	感 測 放 大 器
600'	感 測 放 大 器
610	電 壓 箝 位 器
612	n 電 晶 體
620	電 壓 箝 位 器
622	電 晶 體 / 電 壓 箝 位 器
630	隔 離 電 晶 體
631	節 點
640	預 充 電 電 路
640'	預 充 電 電 路

642	隔離電晶體
644	p電晶體
650	電流鑑別器
652	電容器
654	電晶體
656	p電晶體
657	節點
658	電晶體
660	感測放大器鎖存器
700	升壓電路/電壓移位器
702	線
703	線/路徑
711	路徑
750	轉移閘極
752	p電晶體
754	n電晶體
760	轉移閘極
2101	轉移閘極
S1	選擇電晶體
S2	選擇電晶體
M1	記憶體電晶體
M2	記憶體電晶體
Mn	記憶體電晶體

101年12月21日修正本

第098113074號專利申請案

中文申請專利範圍替換本(101年12月)

七、申請專利範圍：

1. 一種感測電路，用於感測正被並行感測之一非揮發性記憶體單元群組中之一記憶體單元之一導電電流且將其結果提供至一資料匯流排，其包括：

- 一節點；

- 一包含一電容器之預充電電路，其耦合至該節點以用於將該節點充電至在一感測作業中使用的一初始電壓；

- 一中間電路，其耦合至該節點且可連接至該記憶體單元，藉此可將來自該預充電電路之電流供應至該記憶體單元；

- 一電流鑑別器，其耦合至該節點以藉由該節點處之一放電速率執行對該導電電流之該感測作業之一確定；

- 一感測放大器鎖存器，其耦合至該電流鑑別器以保存該確定之結果；及

- 一轉移閘極，其耦合至該感測放大器鎖存器以獨立於該節點將鎖存於該感測放大器鎖存器中之結果供應至該資料匯流排，

其中該預充電電路之該電容器可在將該經鎖存之結果供應至該資料匯流排之一後續感測作業的同時被充電。

2. 如請求項1之感測電路，其中：

- 該群組中之每一記憶體單元係可藉由一相關聯位元線存取；且

- 該中間電路耦合至該相關聯位元線。

3. 如請求項1之感測電路，其中該非揮發性記憶體單元群

組係一快閃EEPROM之一部分。

4. 如請求項3之感測電路，其中該快閃EEPROM係NAND類型。
5. 如請求項1之感測電路，其中個別非揮發性記憶體單元各自含有一電荷儲存元件。
6. 如請求項5之感測電路，其中該電荷儲存元件係一浮動閘極。
7. 如請求項5之感測電路，其中該電荷儲存元件係一介電層。
8. 如請求項1之感測電路，其中該等非揮發性記憶體單元體現於一記憶體卡中。
9. 如請求項1之感測電路，其中該電流鑑別器藉由比較該導電電流與一參考電流來執行該確定。
10. 一種感測電路，用於感測正被並行感測之一非揮發性記憶體單元群組中之一記憶體單元之一導電電流且將其結果提供至一資料匯流排，其包括：
 - 一節點；
 - 一包含一電容器之預充電電路，其耦合至該節點以用於將該節點充電至在一感測作業中使用的一初始電壓；
 - 一中間電路，其耦合至該節點且可連接至該記憶體單元，藉此可將來自該預充電電路之電流供應至該記憶體單元；
 - 一電流鑑別器，其耦合至該節點以藉由該節點處之一放電速率執行對該導電電流之該感測作業之一確定；

一感測放大器鎖存器，其耦合至該電流鑑別器以保存該確定之結果；及

一轉移閘極，其耦合至該感測放大器鎖存器以獨立於該節點將鎖存於該感測放大器鎖存器中之結果供應至該資料匯流排，

其中鎖存於該感測放大器鎖存器中之結果獨立於在該中間電路中切換位準而被供應至該資料匯流排。

11. 一種感測正被並行感測之一非揮發性記憶體單元群組中之一第一記憶體單元之一導電電流且將其該結果提供至一資料匯流排之方法，其包括：

經由一中間電路提供可由一個或多個記憶體單元存取之一節點；

將一包含一耦合至該節點之電容器之預充電電路預充電至一初始電壓以用於一第一感測作業；

經由該中間電路透過該等記憶體單元中之一第一者將該節點放電；

藉由該節點之該放電之速率透過該第一記憶體單元量測該導電電流；

鎖存該量測之結果；

將該經鎖存之結果輸出至該資料匯流排；及

在該鎖存之後但在完成該輸出之前，預充電該電容器以用於一第二感測作業。

12. 如請求項11之方法，其中該群組中之每一記憶體單元係可藉由一相關聯位元線存取，該方法進一步包括：

在該放電之前將該中間電路耦合至該等記憶體單元中之該第一者之該相關聯位元線。

13. 如請求項11之方法，其中該非揮發性記憶體單元群組係一快閃EEPROM之一部分。
14. 如請求項13之方法，其中該快閃EEPROM係NAND類型。
15. 如請求項11之方法，其中個別非揮發性記憶體單元各自含有一電荷儲存元件。
16. 如請求項15之方法，其中該電荷儲存元件係一浮動閘極。
17. 如請求項15之方法，其中該電荷儲存元件係一介電層。
18. 如請求項11之方法，其中該量測包含比較該導電電流與一參考電流。
19. 如請求項11之方法，其中獨立於在該中間電路中切換位準將該輸出該經鎖存之結果供應至該資料匯流排。
20. 一種感測正被並行感測之一非揮發性記憶體單元群組中之一第一記憶體單元之一導電電流且將其該結果提供至一資料匯流排之方法，其包括：

經由一中間電路提供可由一個或多個記憶體單元存取之一節點；

將一包含一耦合至該節點之電容器之預充電電路預充電至一初始電壓以用於一第一感測作業；

經由該中間電路透過該等記憶體單元中之一第一者將該節點放電；

藉由該節點之該放電之速率透過該第一記憶體單元量測該導電電流；

鎖存該量測之結果；及

藉由一獨立於該節點及該中間電路之路徑將該經鎖存之結果輸出至該資料匯流排。

21. 如請求項20之方法，其中該群組中之每一記憶體單元係可藉由一相關聯位元線存取，該方法進一步包括：

在該放電之前將該中間電路耦合至該等記憶體單元中之該第一者之該相關聯位元線。

22. 如請求項20之方法，其中該非揮發性記憶體單元群組係一快閃EEPROM之一部分。

23. 如請求項22之方法，其中該快閃EEPROM係NAND類型。

24. 如請求項20之方法，其中個別非揮發性記憶體單元各自含有一電荷儲存元件。

25. 如請求項24之方法，其中該電荷儲存元件係一浮動閘極。

26. 如請求項24之方法，其中該電荷儲存元件係一介電層。

27. 如請求項20之方法，其中該量測包含：比較該導電電流與一參考電流。

八、圖式：

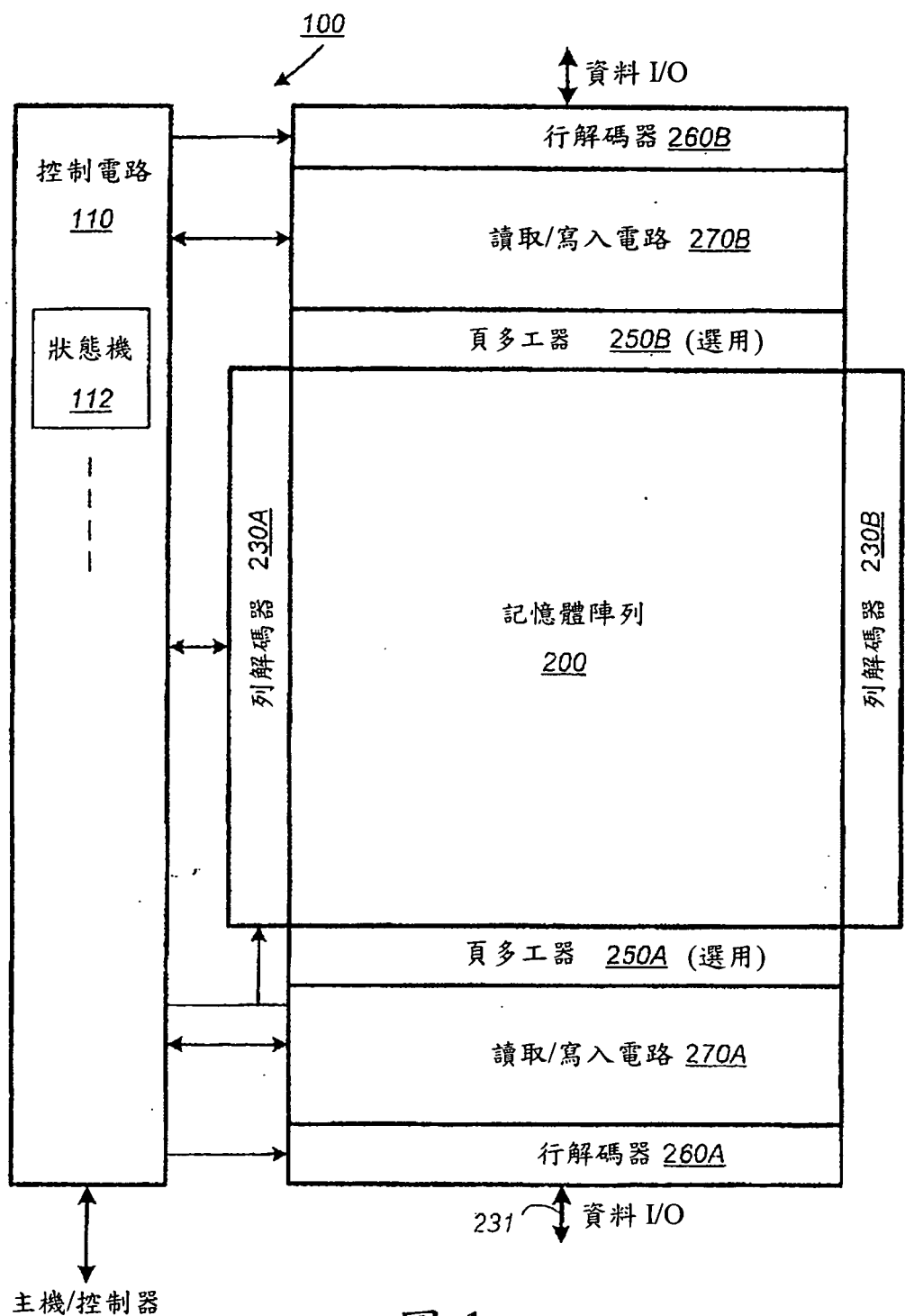


圖 1

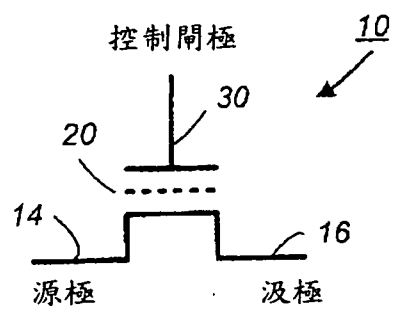


圖 2

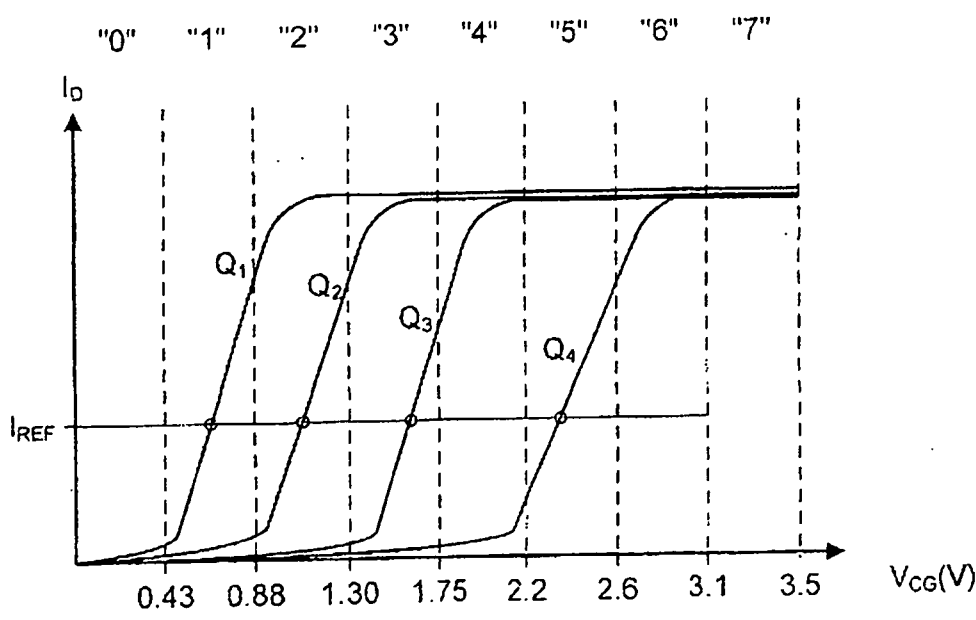


圖 3

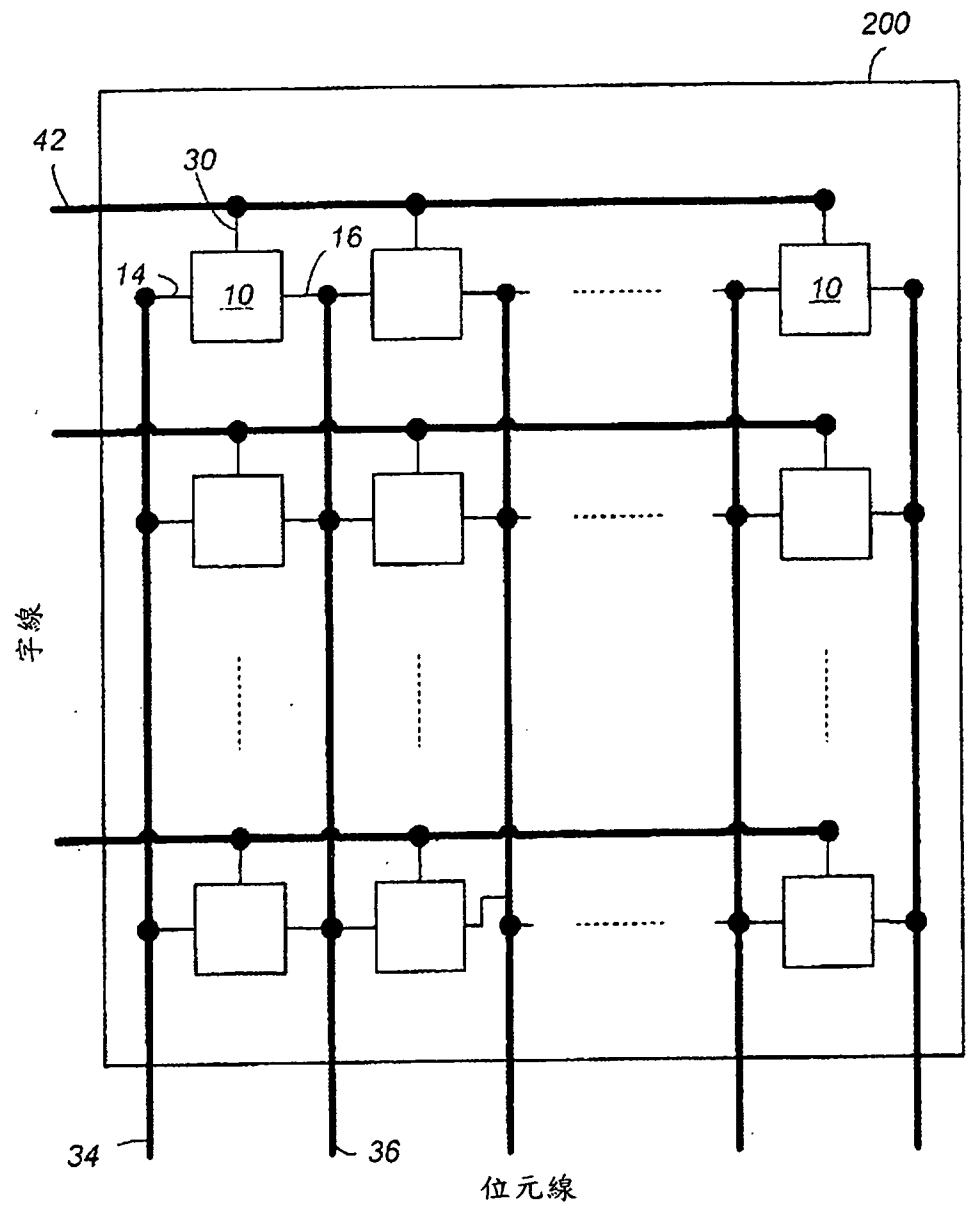


圖 4

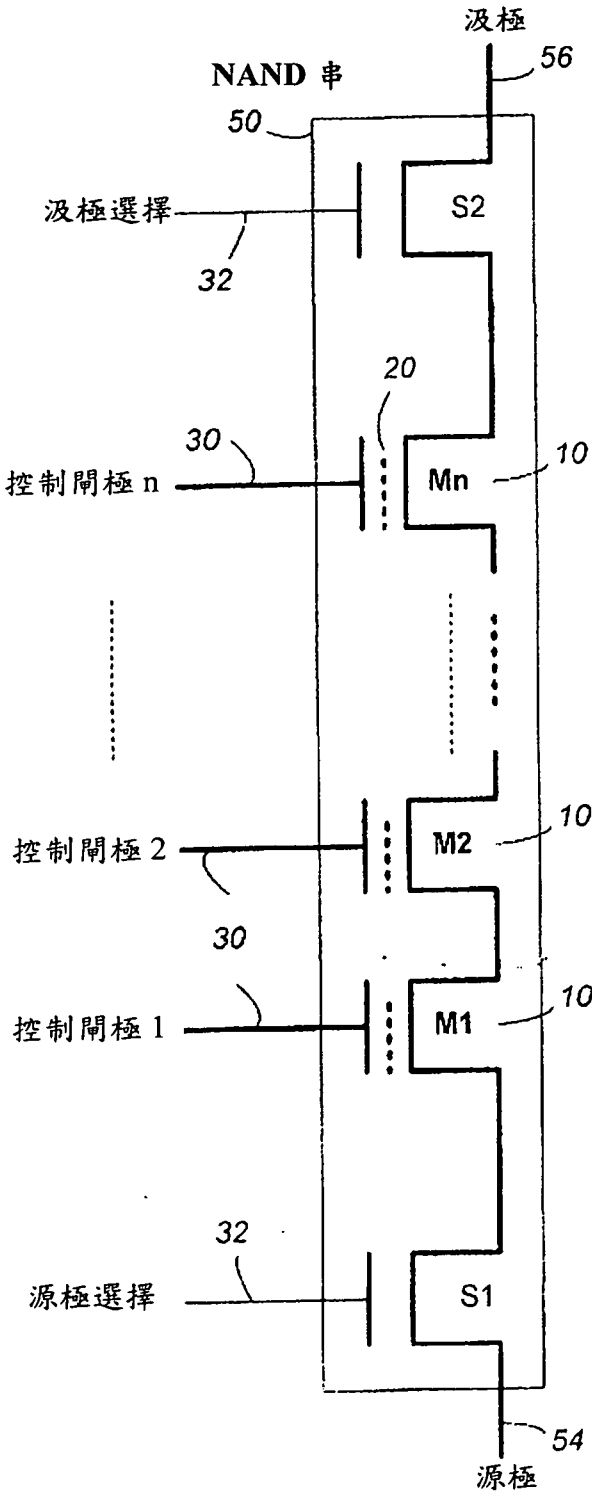


圖 5A

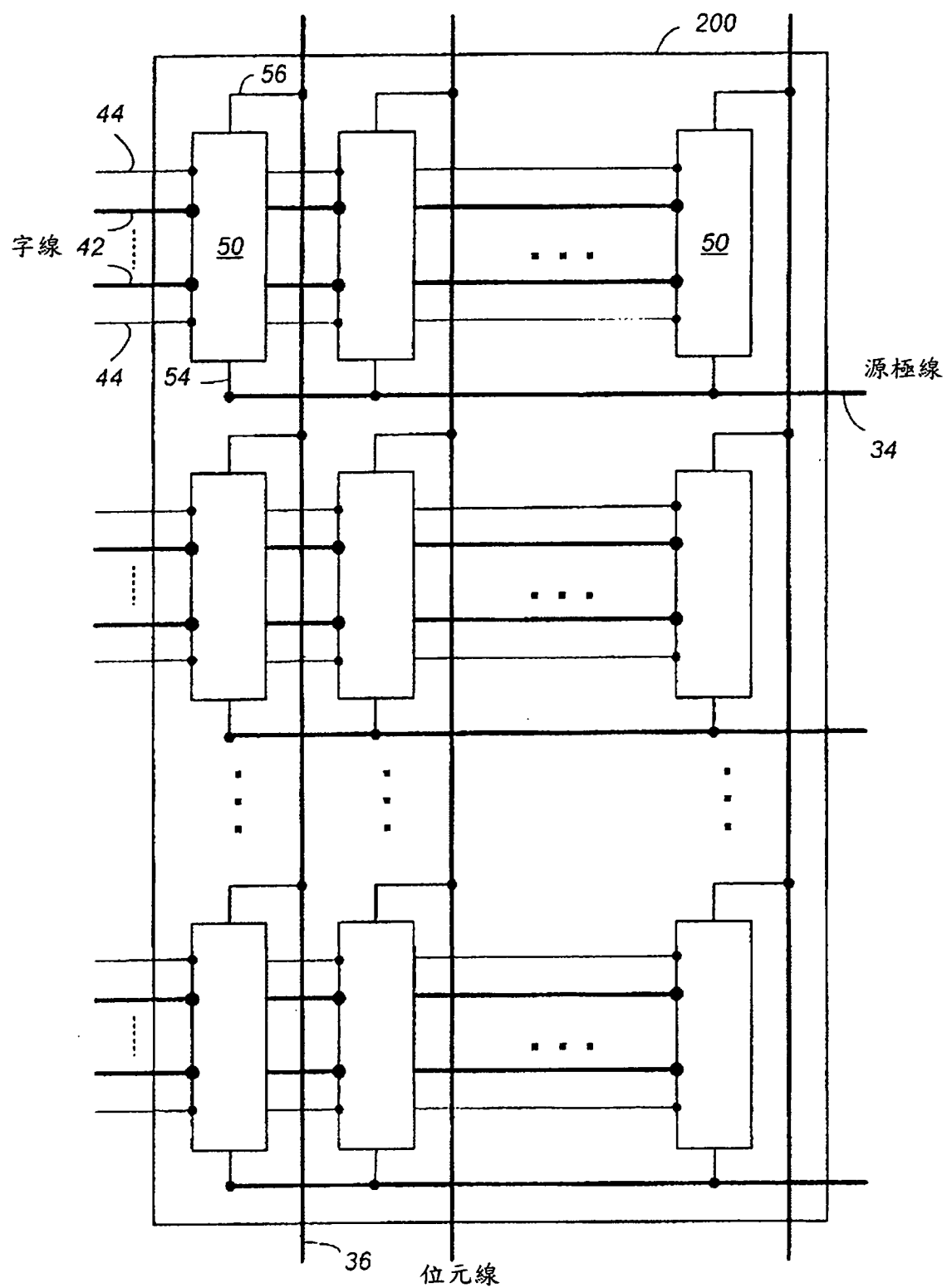
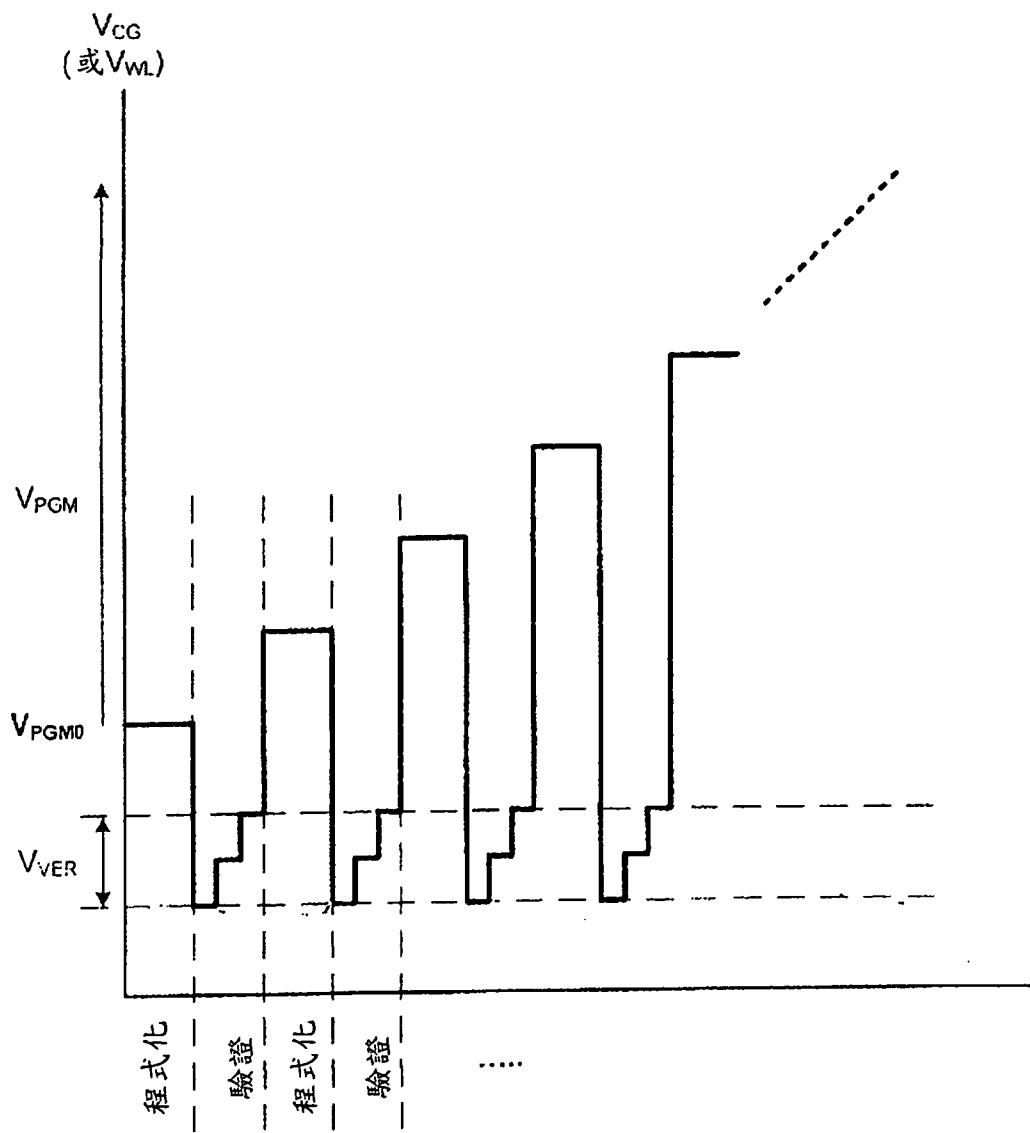
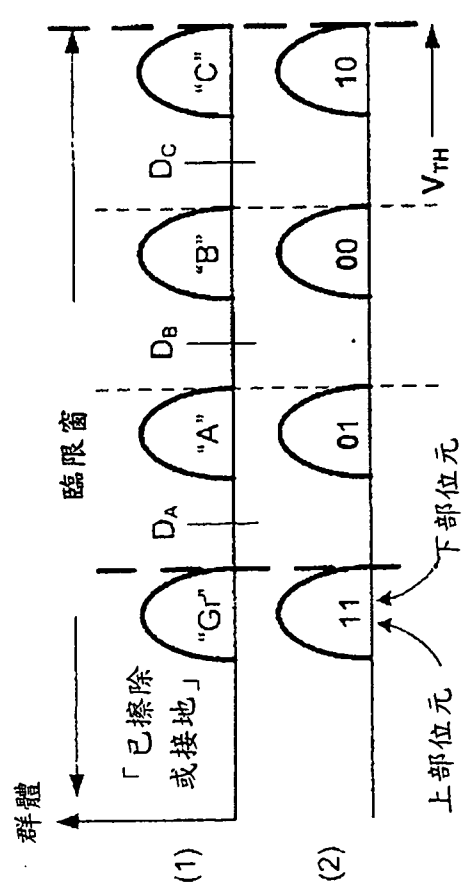


圖 5B



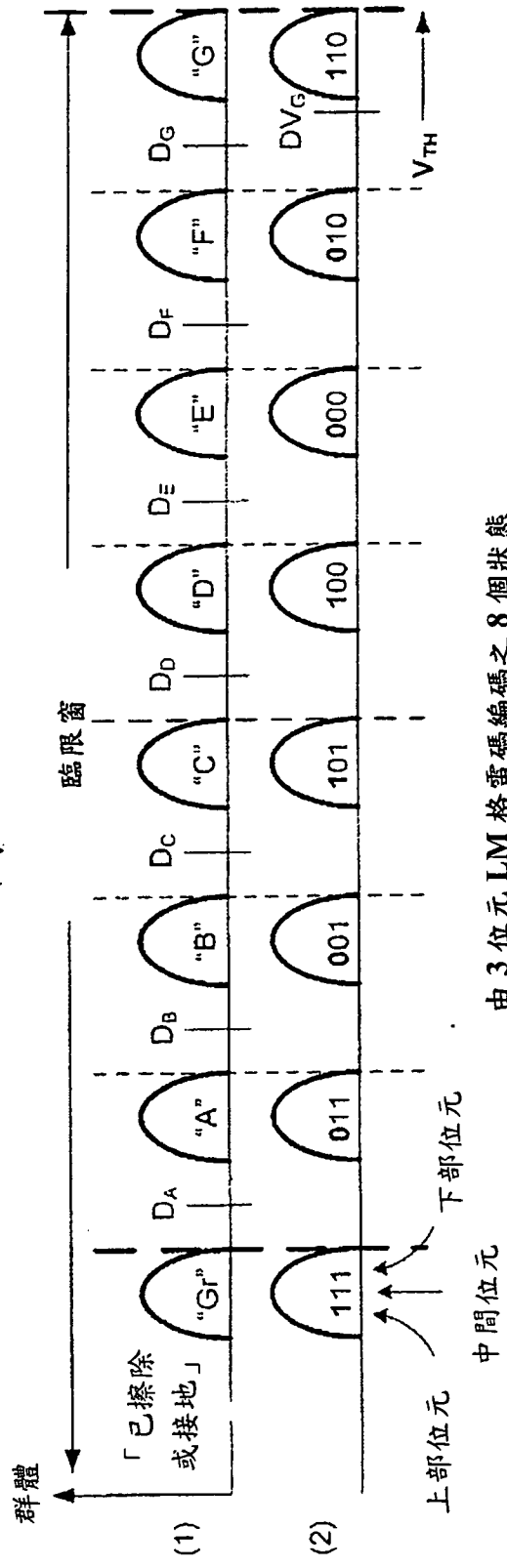
藉助交替程式化/驗證序列之習用程式化

圖 6



由 2 位元 LM 格雷碼編碼之 4 個狀態

圖 7



由 3 位元 LM 格雷碼編碼之 8 個狀態

圖 8

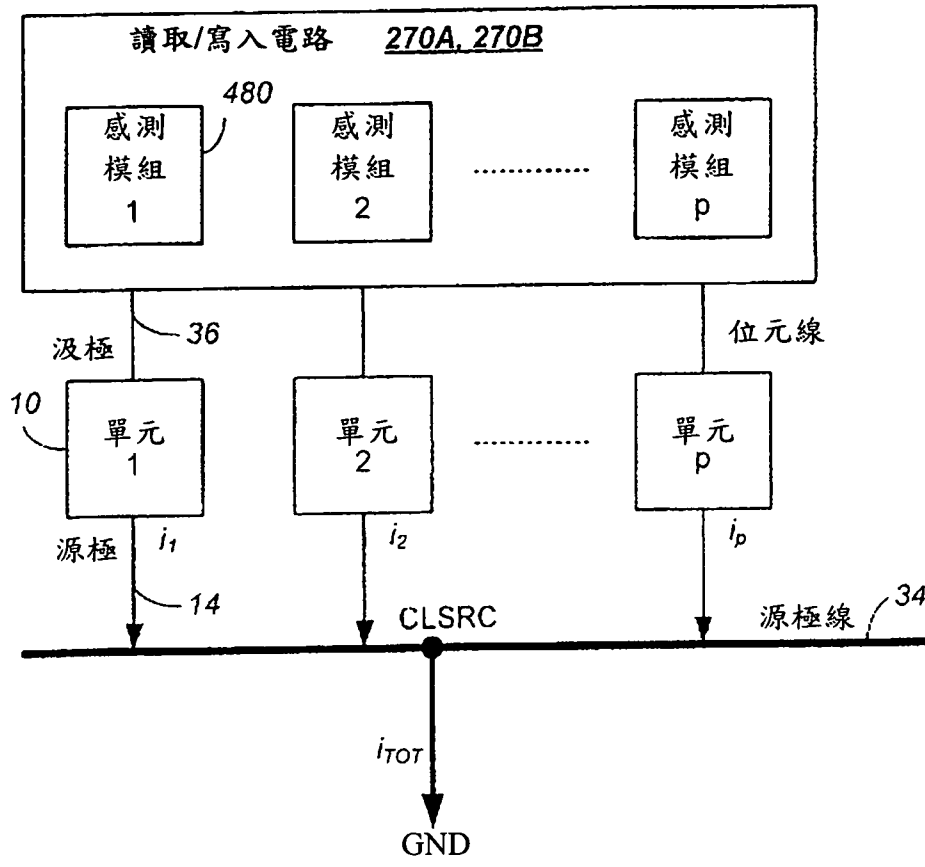


圖 9

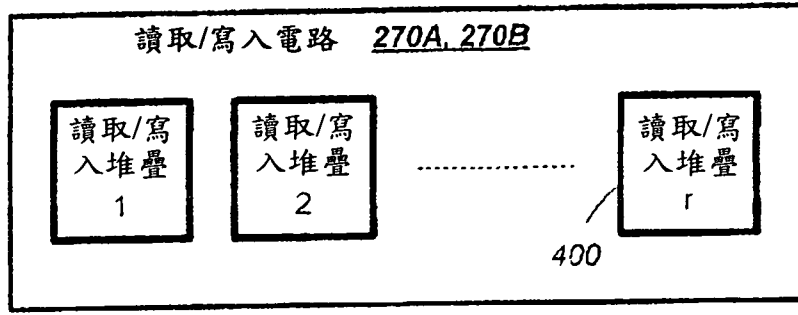


圖 10

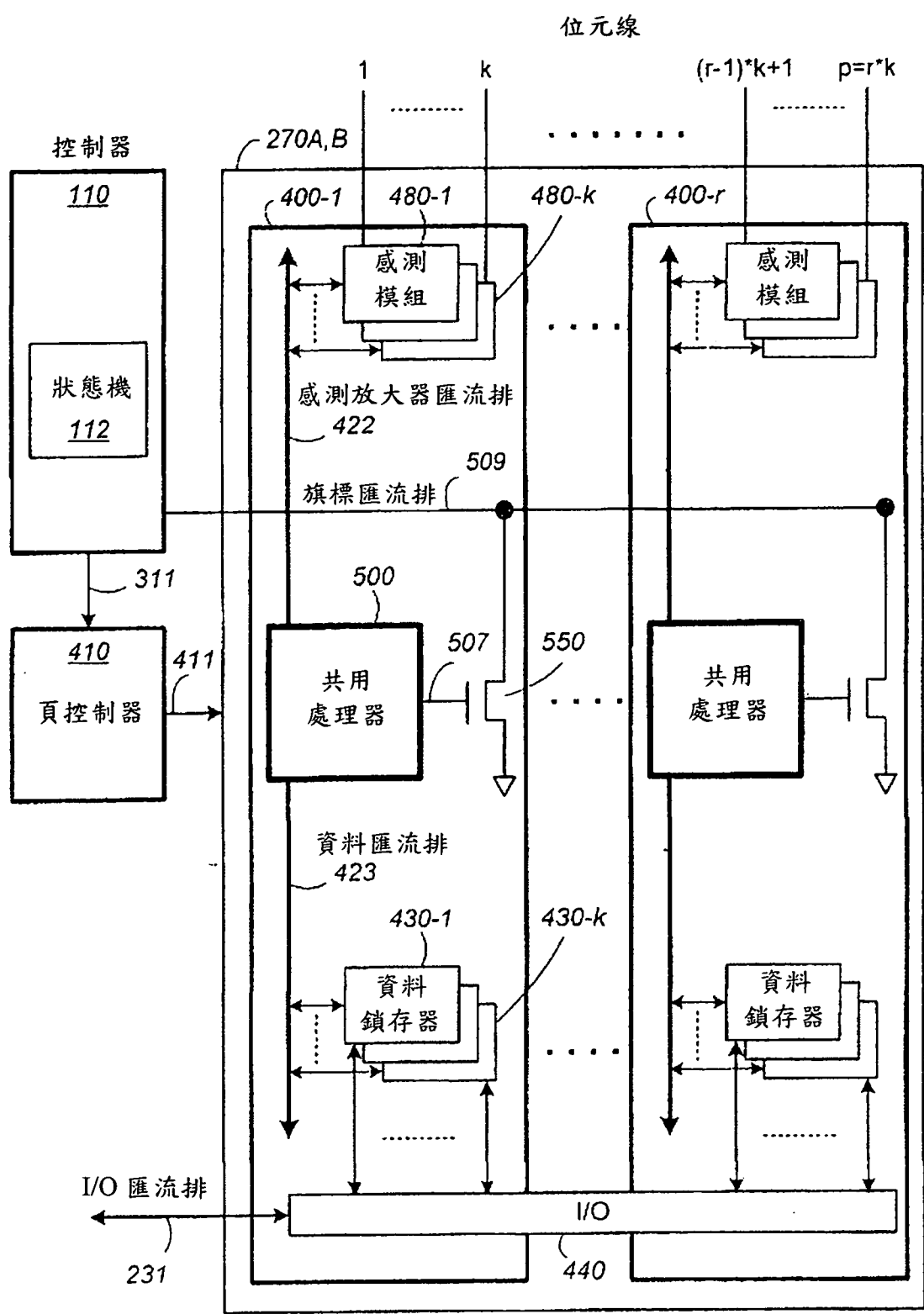


圖 11

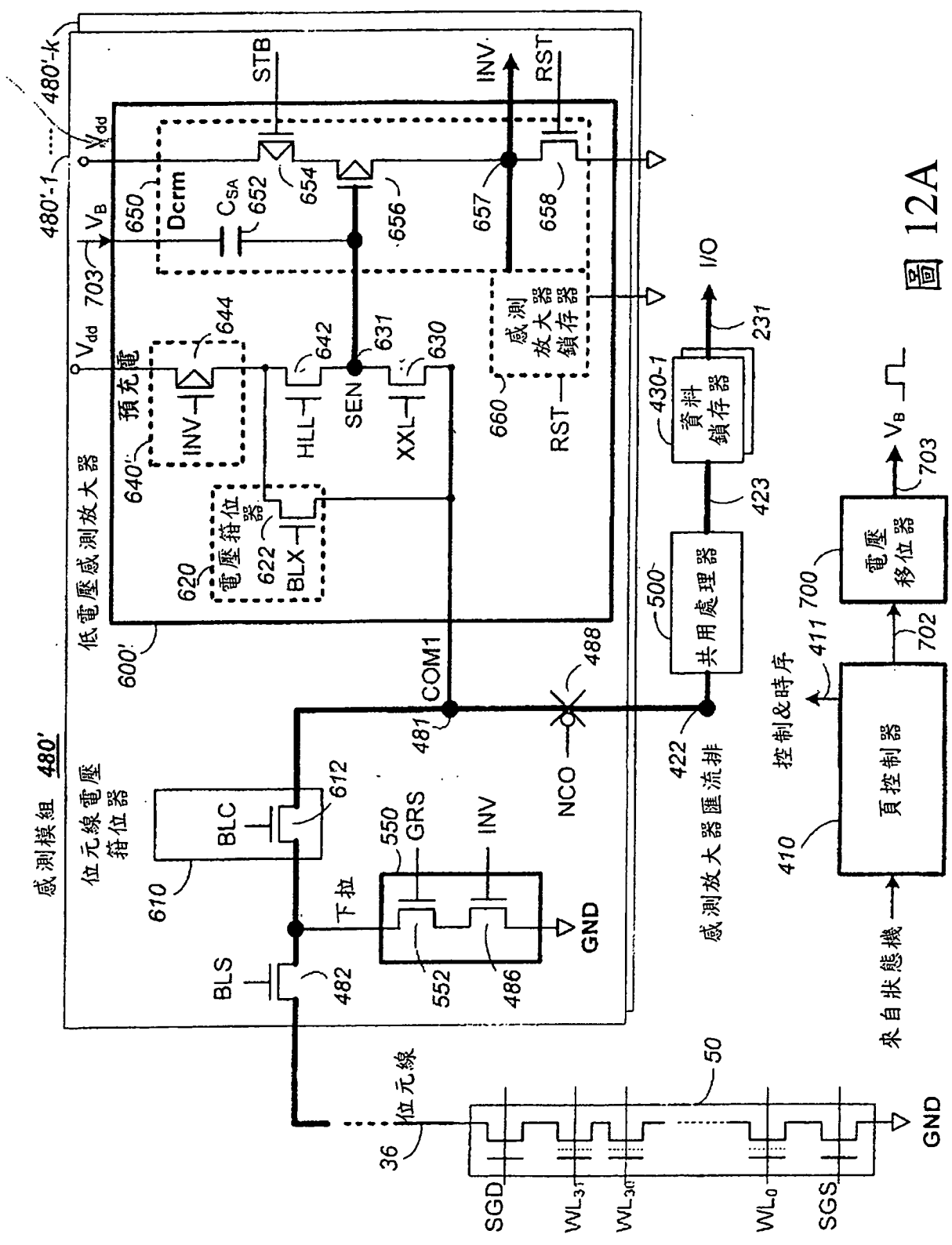


圖 12A
(先前技術)

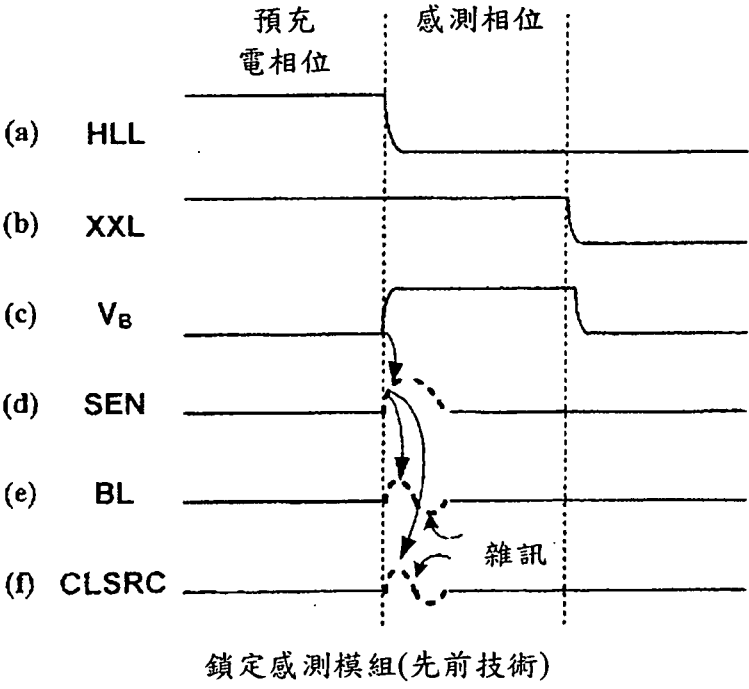


圖 13

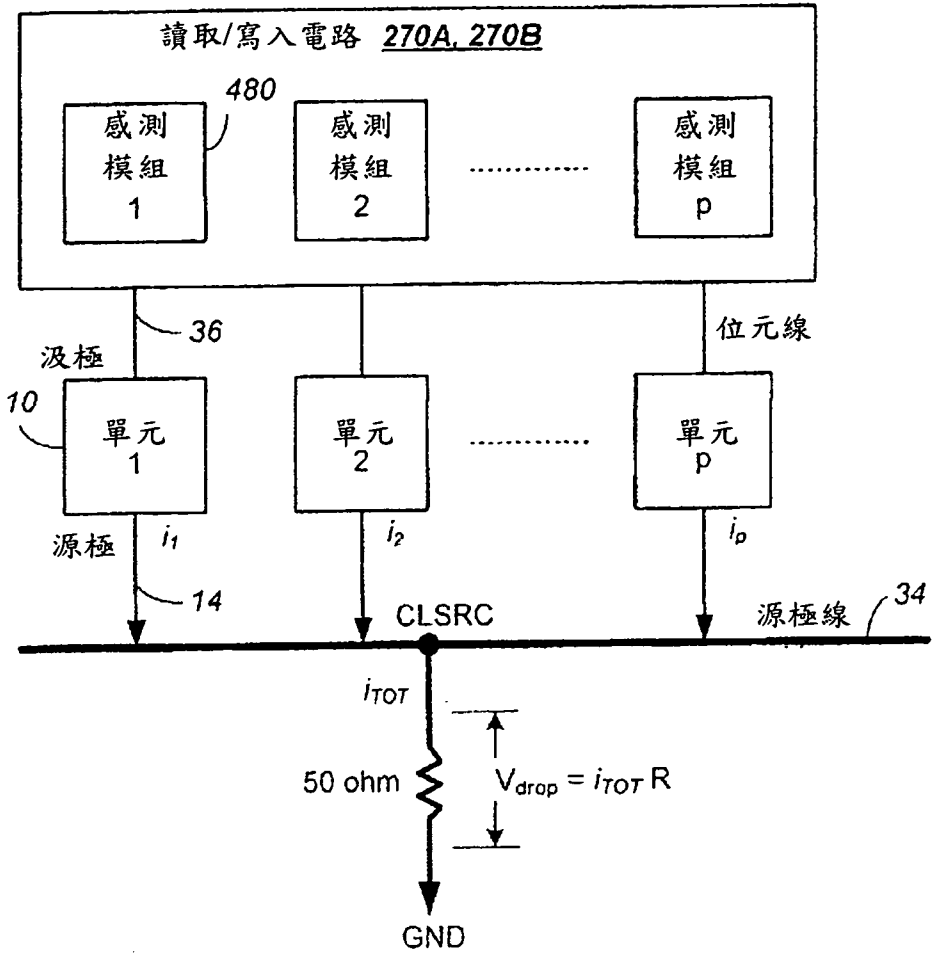


圖 14

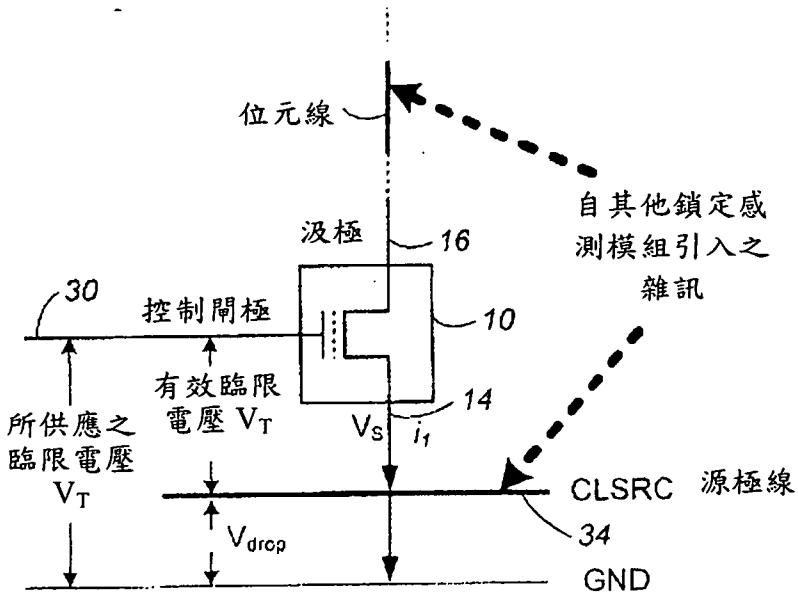
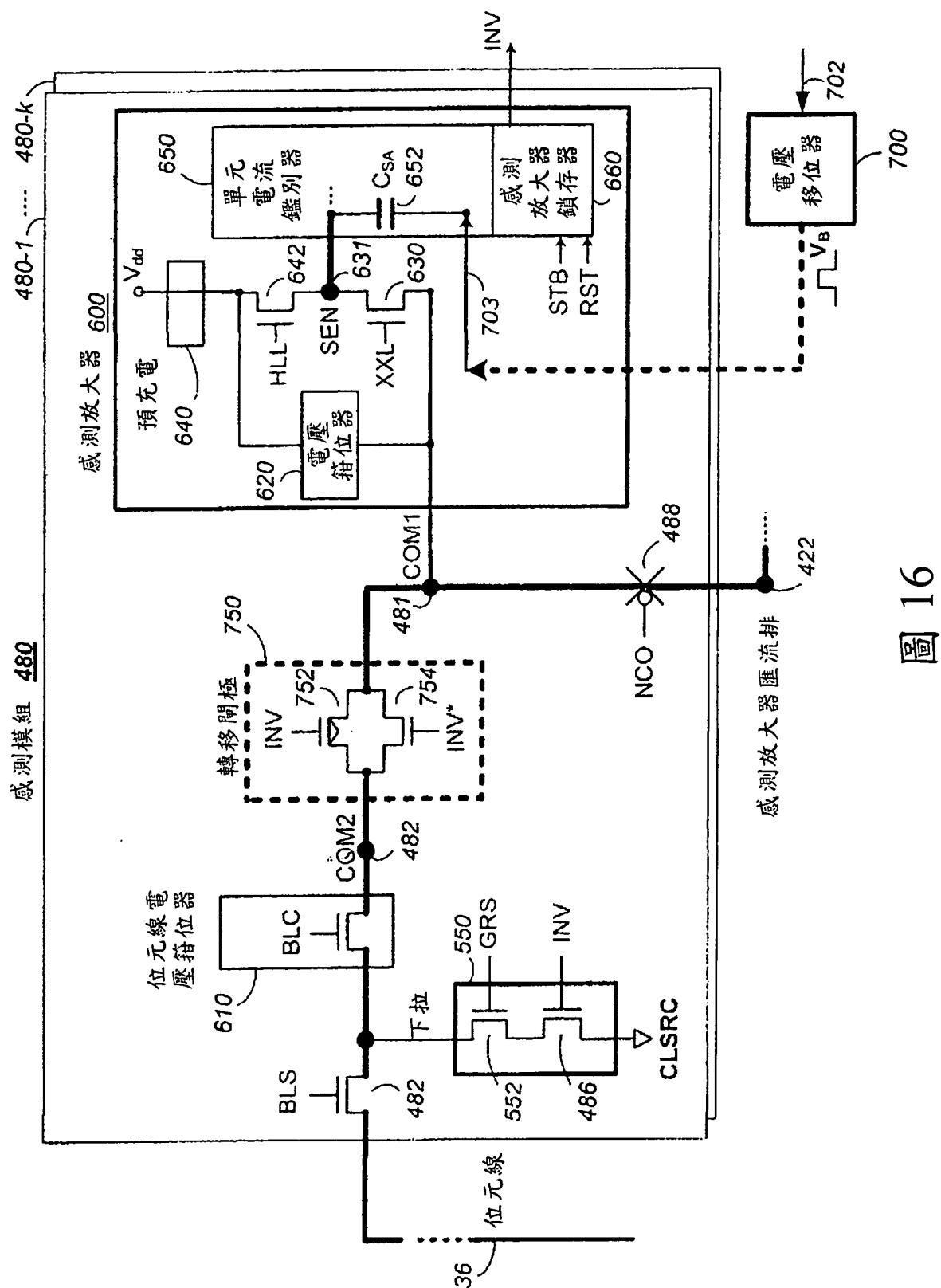
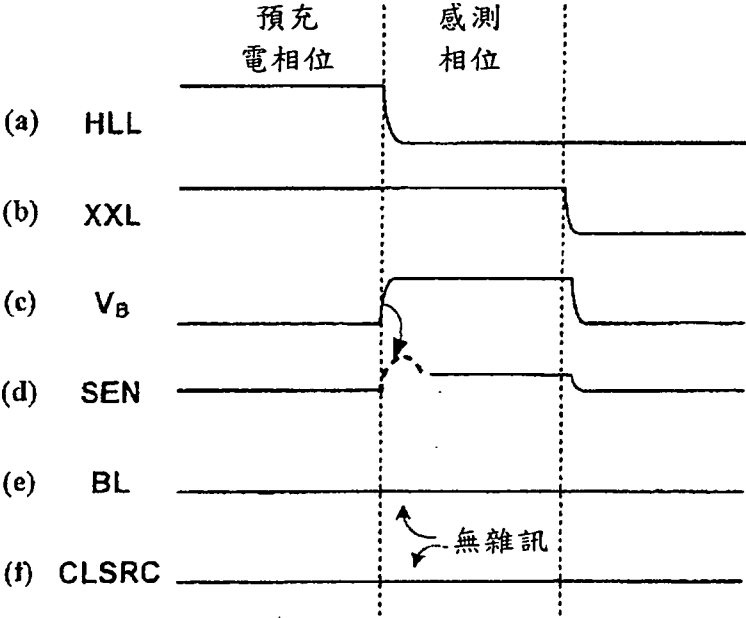


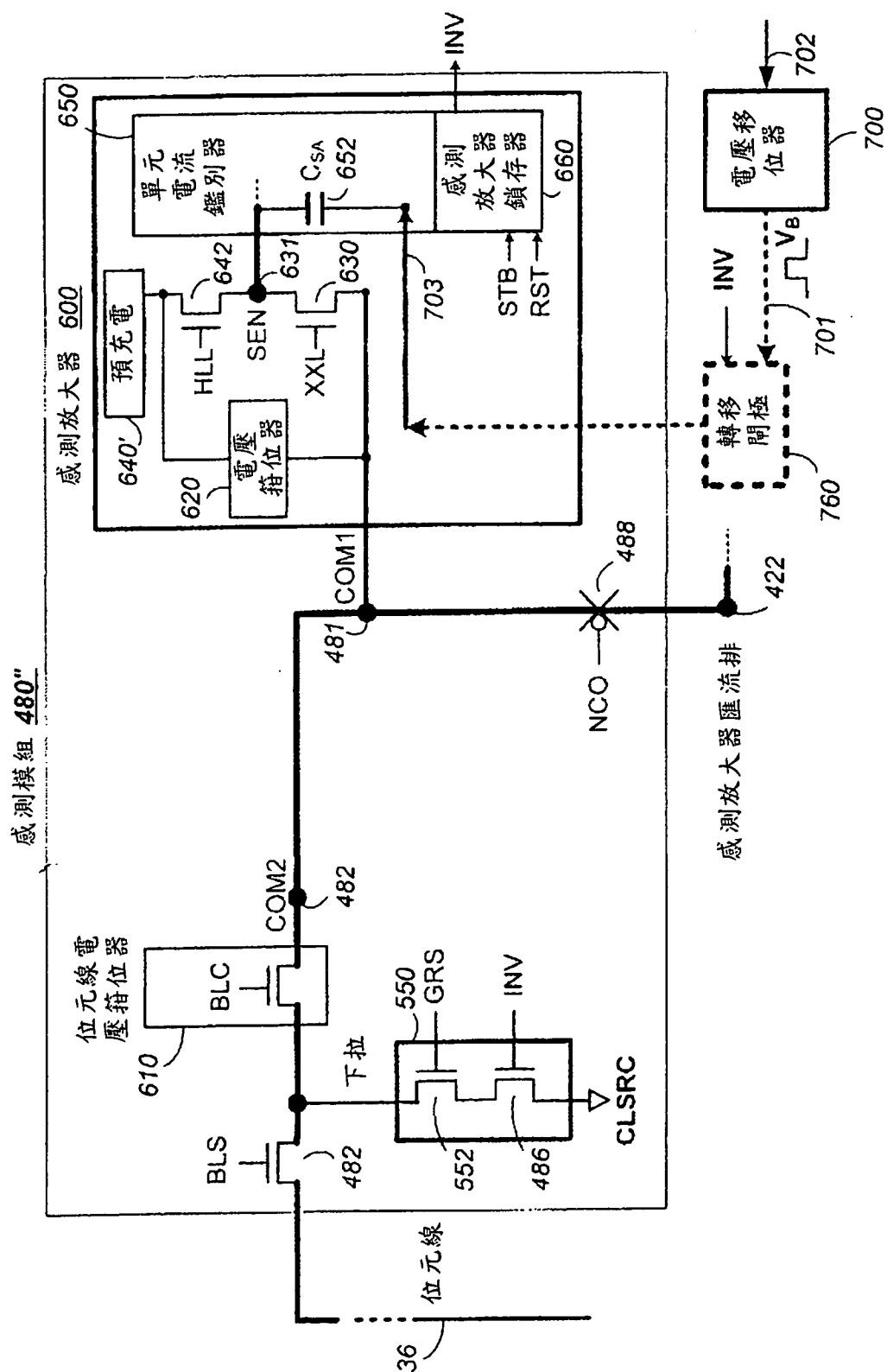
圖 15

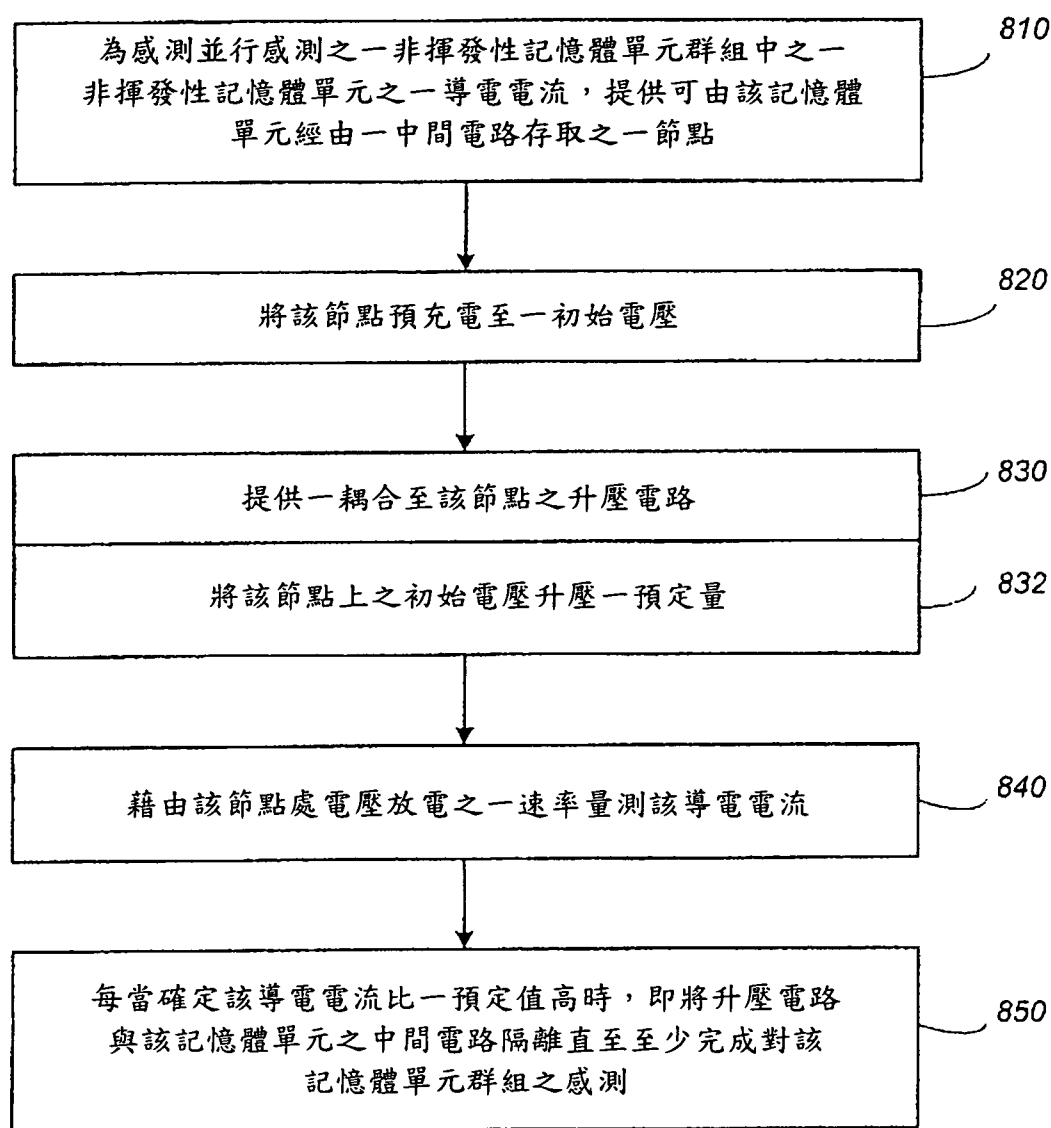




鎖定感測模組

圖 17





將來自鎖定感測模組之雜訊與其他感測模組隔離

圖 19

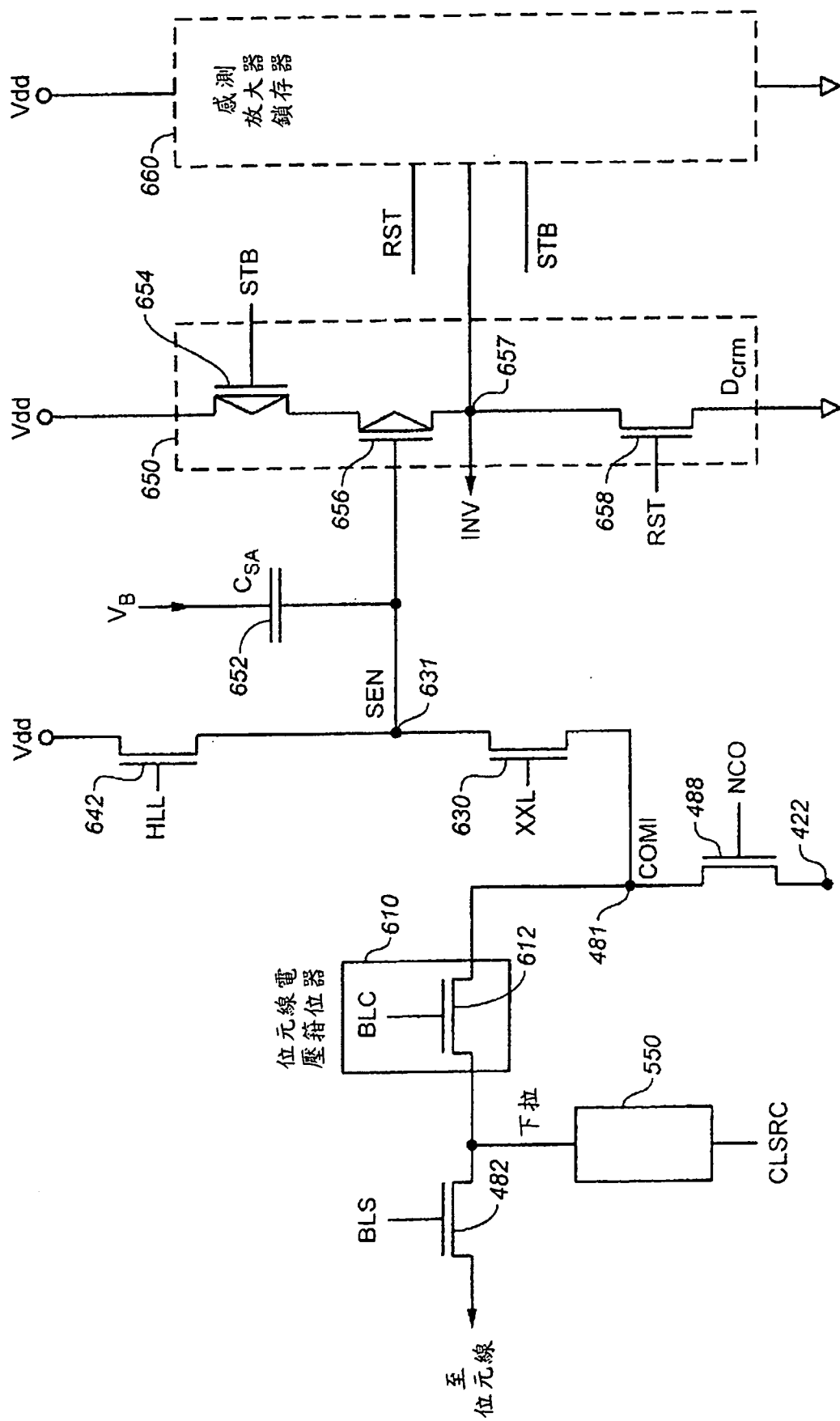


圖 20A

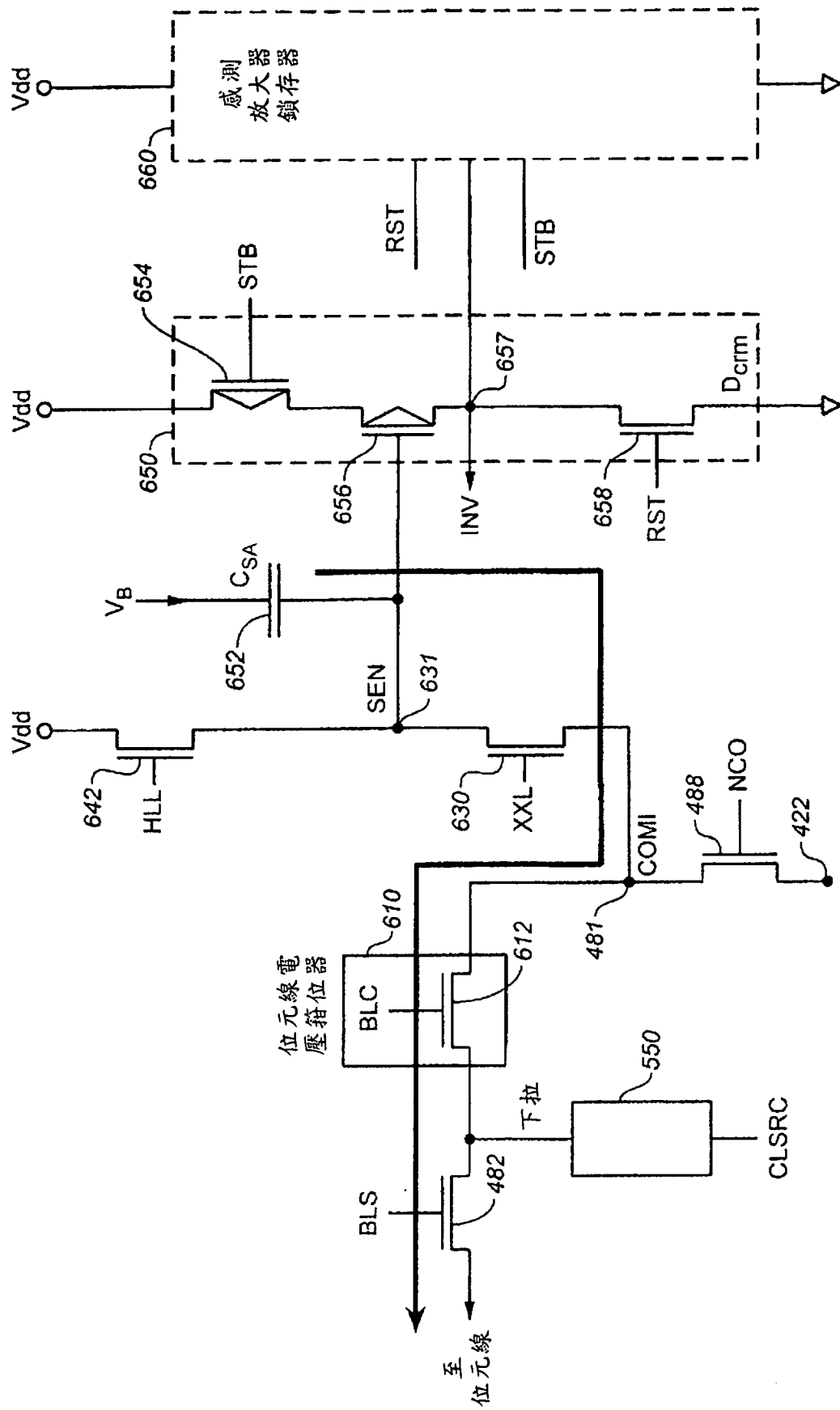


圖 20B

感測放大器匯流排

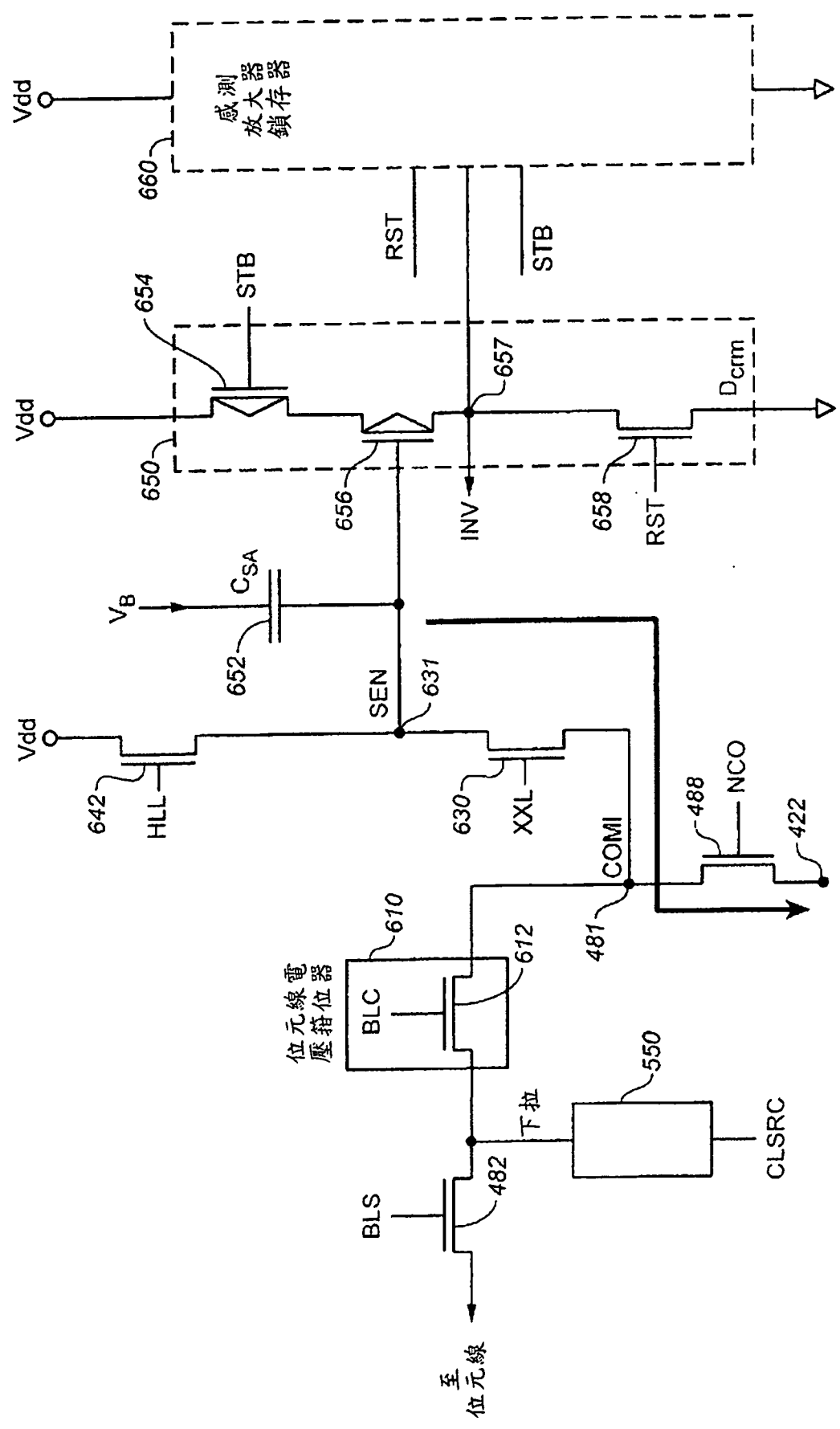


圖 20C 感測放大器匯流排

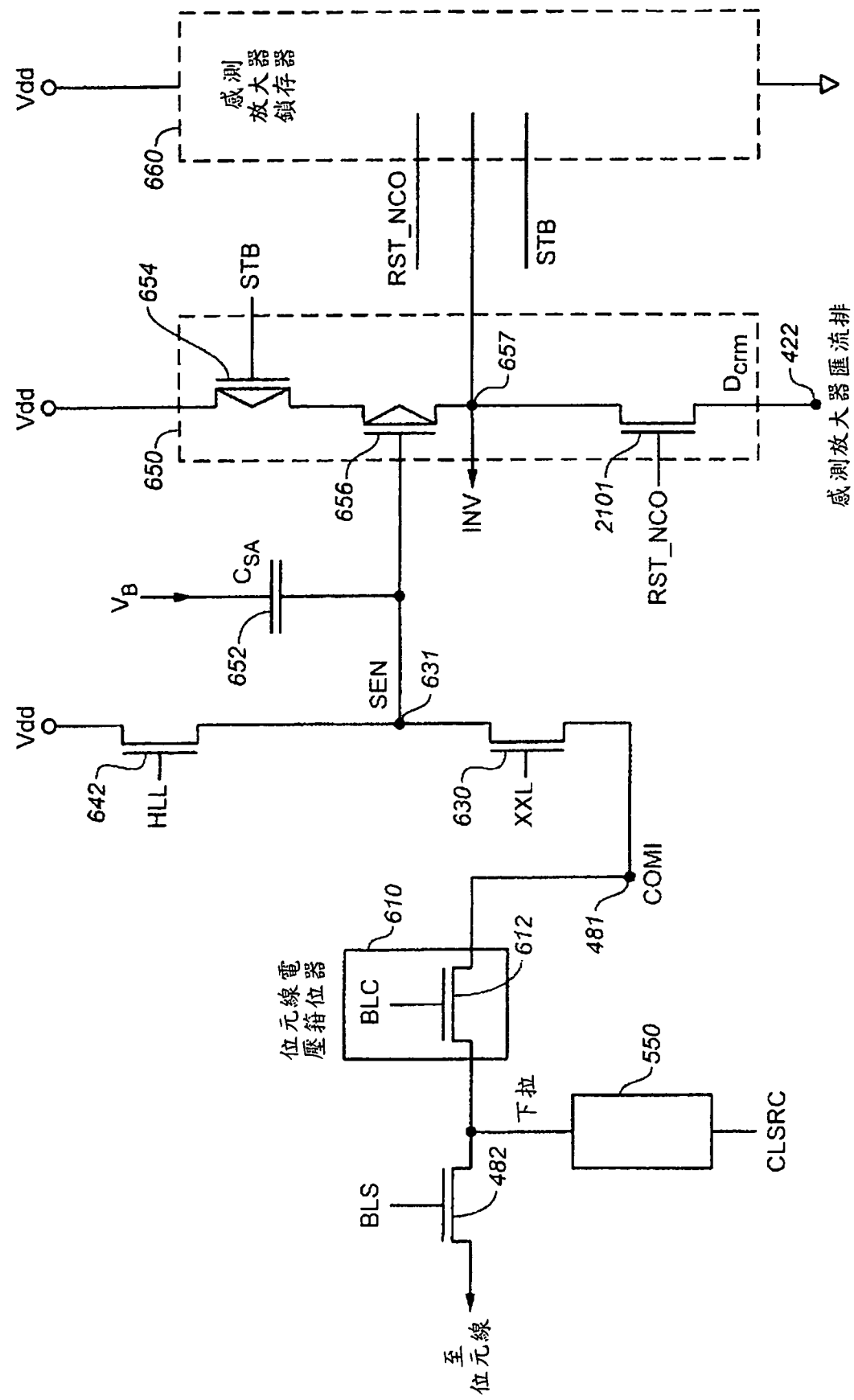


圖 21A

