(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.
G09G 3/28 (2006.01)

(45) 공고일자 2007년05월02일
(11) 등록번호 10-0712023
(24) 등록일자 2007년04월20일

(21) 출원번호 10-2000-0070074
(22) 출원일자 2000년11월23일
심사청구일자 2004년12월17일

(65) 공개번호 10-2001-0093628
(43) 공개일자 2001년10월29일

(30) 우선권주장 2000-092131 2000년03월29일 일본(JP)

(73) 특허권자
후지츠 히다찌 플라즈마 디스플레이 리미티드
일본 미야자끼껭 히가시모로까따궁 구니또미쪼 오아자 다지리 1815 반지 1

(72) 발명자
오노자와마꼬또
일본국가나가와켄가와사키시다까쓰구사까도3-2-1후지츠히따찌플라즈마디스플레이리미티드내

오사와미찌다까
일본국가나가와켄가와사키시다까쓰구사까도3-2-1후지츠히따찌플라즈마디스플레이리미티드내

이시와따겐지
일본국가나가와켄가와사키시다까쓰구사까도3-2-1후지츠히따찌플라즈마디스플레이리미티드내

구와하라다께시
일본국가나가와켄가와사키시다까쓰구사까도3-2-1후지츠히따찌플라즈마디스플레이리미티드내

가나자와요시까즈
일본국가나가와켄가와사키시다까쓰구사까도3-2-1후지츠히따찌플라즈마디스플레이리미티드내

기무라겐지
일본국가나가와켄가와사키시다까쓰구사까도3-2-1후지츠히따찌플라즈마디스플레이리미티드내

오누끼히데노리
일본국가나가와켄가와사키시다까쓰구사까도3-2-1후지츠히따찌플라즈마디스플레이리미티드내

오노다이조
일본국미야자끼히가시모로까따군구니또미쪼다지리1815-1큐슈에프에이치피가부시끼가이샤내

(74) 대리인
문두현
문기상

(56) 선행기술조사문헌
US05438290 * US05642018 *
JP06274125 * JP09160525 *
* 심사관에 의하여 인용된 문헌

심사관 : 김민수

전체 청구항 수 : 총 6 항

(54) 플라즈마 디스플레이 장치 및 그 제조방법

(57) 요약

본 발명은 서스테인 펄스의 상승·하강의 타이밍의 엇갈림이나 형상의 어긋남이 없는 서스테인 회로를 갖고, 저소비전력으로 오동작하지 않는 PDP 장치를 실현하는 것을 과제로 한다.

본 발명을 상기 과제를 해결하기 위하여, 인접하여 교대로 배치된 제1 전극(X)(11) 및 제2 전극(Y)(12)과, 제1 전극 및 제2 전극이 뻗은 방향과 직교하는 방향으로 뻗은 어드레스 전극(13)을 갖는 플라즈마 디스플레이 패널과, 제1 전극에 서스테인 펄스를 공급하는 X서스테인 회로(18)와, 제2 전극에 서스테인 펄스를 공급하는 Y서스테인 회로(19)를 구비하는 플라즈마 디스플레이 장치에 있어서, X서스테인 회로(18)와 Y서스테인 회로(19)는 서스테인 펄스의 변화 에지(changing edge)의 타이밍을 조정하는 위상 조정 회로(51 ~ 54)를 구비한다.

대표도

도 7

특허청구의 범위

청구항 1.

인접하여 교대로 배치된 제1 전극 및 제2 전극과, 상기 제1 전극 및 제2 전극이 뻗은 방향과 직교하는 방향으로 뻗은 어드레스 전극을 갖는 플라즈마 디스플레이 패널과, 상기 제1 전극에 서스테인 펄스를 공급하는 X서스테인 회로와, 상기 제2 전극에 서스테인 펄스를 공급하는 Y서스테인 회로를 구비하는 플라즈마 디스플레이 장치에 있어서,

상기 X서스테인 회로와 상기 Y서스테인 회로는,

상기 서스테인 펄스를 공급하는 경로와 고전위 전원선 및 저전위 전원선 사이에 접속된 제1 및 제2 출력 소자와,

상기 제1 및 제2 출력 소자를 구동하는 제1 및 제2 드라이브 회로와,

상기 제1 출력 소자를 온(ON)하는 타이밍을 조정하는 제1 위상 조정 회로와,

상기 제2 출력 소자를 온하는 타이밍을 조정하는 제2 위상 조정 회로—상기 제1 및 제2 위상 조정 회로는 상기 조정이 개별적으로 가능함—와,

상기 플라즈마 디스플레이 패널의 표시용량과의 사이에서 형성되는 공진 회로를 갖고, 상기 서스테인 펄스의 인가를 해제할 때의 에너지를 회수하여 상기 서스테인 펄스의 다음 인가 시에 사용하는 전력 회수 회로와,

상기 서스테인 펄스를 공급하는 경로와 상기 전력 회수 회로의 접속 상태를, 상기 전력 회수 회로로부터 상기 경로에 전력을 공급하는 상태로 전환하는 제3 출력 소자와, 상기 경로로부터 상기 전력 회수 회로에 전력을 회수하는 상태로 전환하는 제4 출력 소자와,

상기 제3 출력 소자를 온하는 타이밍을 조정하는 제3 위상 조정 회로와,

상기 제4 출력 소자를 온하는 타이밍을 조정하는 제4 위상 조정 회로와,

상기 제3 및 제4 출력 소자를 구동하는 제3 및 제4 드라이브 회로를 구비하고,

상기 상기 제3 출력 소자가 온하고 나서 상기 제1 출력 소자가 온할 때까지의 시간차 및 상기 제4 출력 소자가 온하고 나서 상기 제2 출력 소자가 온할 때까지의 시간차를 조정할 수 있는 것을 특징으로 하는 플라즈마 디스플레이 장치.

청구항 2.

삭제

청구항 3.

삭제

청구항 4.

삭제

청구항 5.

제1항에 있어서,

상기 플라즈마 디스플레이 패널은 상기 제2 전극의 한 쪽에 인접하는 상기 제1 전극으로 제1 표시 라인을 형성하고, 상기 제2 전극의 다른 쪽에 인접하는 상기 제1 전극으로 제2 표시 라인을 형성하고, 1화면의 표시 필드를 복수의 서브필드로 구성하고, 표시를 행하는 서브필드를 조합함으로써 계조 표시를 행하고,

상기 X서스테인 회로는 상기 제1 전극의 홀수번째의 전극에 상기 서스테인 펄스를 공급하는 제1 X서스테인 회로와, 짝수번째의 전극에 상기 서스테인 펄스를 공급하는 제2 X서스테인 회로를 구비하고,

상기 Y서스테인 회로는 상기 제2 전극의 홀수번째의 전극에 상기 서스테인 펄스를 공급하는 제1 Y서스테인 회로와, 짝수번째의 전극에 상기 서스테인 펄스를 공급하는 제2 Y서스테인 회로를 구비하는 플라즈마 디스플레이 장치.

청구항 6.

제5항에 있어서,

상기 제1 및 제2 X서스테인 회로와, 상기 제1 및 제2 Y서스테인 회로는 각각 상기 제1 및 제2 위상 조정 회로를 구비하고,

상기 제1 X서스테인 회로가 출력하는 서스테인 펄스와, 상기 제1 또는 제2 Y서스테인 회로가 출력하는 서스테인 펄스의 상승 타이밍 또는 하강 타이밍의 차, 및 상기 제2 X서스테인 회로가 출력하는 서스테인 펄스와, 상기 제1 또는 제2 Y서스테인 회로가 출력하는 서스테인 펄스의 상승 타이밍 또는 하강 타이밍의 차가 소정값 이하가 되도록 조정되어 있는 플라즈마 디스플레이 장치.

청구항 7.

제6항에 있어서,

상기 소정값은 ±30ns인 플라즈마 디스플레이 장치.

청구항 8.

제1항에 있어서,

상기 제1 및 제2 위상 조정 회로는 상기 플라즈마 디스플레이 패널의 상기 제1 또는 제2 전극에 상기 서스테인 펄스를 인가했을 때의 파형을 관찰하여 설정되는 플라즈마 디스플레이 장치.

청구항 9.

인접하여 교대로 배치된 제1 전극 및 제2 전극과, 상기 제1 전극 및 제2 전극이 뻗은 방향과 직교하는 방향으로 뻗은 어드레스 전극을 갖는 플라즈마 디스플레이 패널과, 상기 제1 전극에 서스테인 펄스를 공급하는 X서스테인 회로와, 상기 제2 전극에 서스테인 펄스를 공급하는 Y서스테인 회로를 구비하는 플라즈마 디스플레이 장치에서의, 상기 플라즈마 디스플레이 패널은 상기 제2 전극의 한 쪽에 인접하는 상기 제1 전극으로 제1 표시 라인을 형성하고, 상기 제2 전극의 다른 쪽에 인접하는 상기 제1 전극으로 제2 표시 라인을 형성하고, 1화면의 표시 필드를 복수의 서브필드로 구성하고, 표시를 행하는 서브필드를 조합함으로써 계조 표시를 행하고, 상기 X서스테인 회로는 상기 제1 전극의 홀수번째의 전극에 상기 서스테인 펄스를 공급하는 제1 X서스테인 회로와, 짝수번째의 전극에 상기 서스테인 펄스를 공급하는 제2 X서스테인 회로를 구비하며, 상기 Y서스테인 회로는 상기 제2 전극의 홀수번째의 전극에 상기 서스테인 펄스를 공급하는 제1 Y서스테인 회로와, 짝수번째의 전극에 상기 서스테인 펄스를 공급하는 제2 Y서스테인 회로를 구비하는, 플라즈마 디스플레이 장치를 제조하는 방법으로서,

상기 X서스테인 회로와 상기 Y서스테인 회로를 구성하는 회로 소자의 신호에 대한 지연 시간을 측정하여, 상기 지연 시간에 따라서 분류하는 단계와,

상기 서스테인 펄스의 변화 에지(changing edge)의 타이밍이 소정의 오차 범위 내에 들어가도록 분류한 회로 소자의 조합을 선택하는 단계와,

선택된 조합의 회로 소자를 장착하는 단계를 포함하며,

상기 회로 소자의 조합을 선택하는 단계는,

상기 제1 X서스테인 회로가 출력하는 서스테인 펄스와 상기 제1 또는 제2 Y서스테인 회로가 출력하는 서스테인 펄스의 상승 타이밍 또는 하강 타이밍의 차 및 상기 제2 X서스테인 회로가 출력하는 서스테인 펄스와 상기 제1 또는 제2 Y서스테인 회로가 출력하는 서스테인 펄스의 상승 타이밍 또는 하강 타이밍의 차가 소정의 값의 이하가 되도록, 상기 제1 및 제2 X서스테인 회로와 상기 제1 및 제2 Y서스테인 회로의 회로 소자를 선택하는 단계를 포함하는, 플라즈마 디스플레이 장치의 제조 방법.

청구항 10.

삭제

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 플라즈마 디스플레이 장치 및 그 제조방법에 관한 것이며, 특히 소비전력을 저감하기 위해서 서스테인 회로에 전력 회수 회로를 갖는 플라즈마 디스플레이 장치, 및 복수의 제1 및 제2 전극을 인접하여 배치하고, 모든 전극간에서 표시 라인을 형성하는 ALIS 방식의 플라즈마 디스플레이 패널의 구동방법 및 플라즈마 디스플레이 장치에 관한 것이다.

플라즈마 디스플레이 패널(PDP)은 자기발광형이므로 시인성(視認性)이 좋고, 박형으로 대화면표시 및 고속표시가 가능하여, CRT를 대신하는 표시패널로서 주목되고 있다. 기본적인 PDP의 구성에 대하여는, 일본 특개평7-160219호 공보, 일본 특개평9-160525호 공보 및 일본 특개평9-325735호 공보 등에 개시되어 있으므로, 여기서는 상세한 설명은 생략하고, 본 발명에 직접 관계되는 점에 대해서만 설명한다.

도 1은 일반적인 PDP 장치의 전체 구성을 나타낸 블록도이다. PDP(10)은 n개의 X전극(11)과 Y전극(12)을 인접하여 교대로 배치하고, n개의 X전극(11)과 Y전극(12)의 조를 형성하여, 각 조의 X전극(11)과 Y전극(12) 사이에서 표시를 위한 발광을 행한다. Y전극과 X전극은 표시 전극으로 불리지만, 유지 전극 또는 서스테인 전극으로 불리기도 한다. 어드레스 전극(13)은 표시 전극이 뻗은 방향에 수직한 방향으로 설치되고, X전극(11)과 Y전극(12)의 조와의 교점 부분에 표시 셀이 형성된다.

Y전극(12)은 스캔 드라이버(14)에 접속되어 있다. 스캔 드라이버(14)에는 Y전극의 개수만큼의 스위치(16)가 설치되어 있고, 어드레스 기간에는 주사 신호 발생 회로(15)로부터의 스캔 펄스가 차례로 인가되도록 전환되고, 유지 방전 기간에는 Y서스테인 회로(19)로부터의 서스테인 펄스가 동시에 인가되도록 전환된다. X전극(11)은 X서스테인 회로(18)에 공통으로 접속되고, 어드레스 전극(13)은 어드레스 드라이버(17)에 접속된다. 화상 신호 처리 회로(21)는 화상 신호를 PDP 장치 내부에서의 동작에 적합한 형식으로 변환한 후, 어드레스 회로(17)에 공급한다. 구동제어회로(20)는 PDP 장치의 각 부를 제어하는 신호를 발생하여 공급한다.

도 2는 PDP 장치의 구동 파형을 나타낸 타임 차트이다. PDP 장치는 하나의 표시화면을 소정의 주기마다 재기입하면서 표시하고 있으며, 1 표시주기를 1필드라 칭한다. 계조 표시를 하는 경우에는 1필드를 또 복수의 서브필드로 분할하여, 표시 셀마다 발광하는 서브필드를 조합하여 표시를 한다. 각 서브필드는 전 표시 셀을 초기화하는 리세트기간과, 전 표시 셀을 표시하는 화상에 대응한 상태로 설정하는 어드레스기간과, 설정된 상태에 따라서 각 표시 셀을 발광시키는 유지방전(서스테인)기간으로 구성된다. 유지방전 기간에는 X전극과 Y전극에 교대로 유지(서스테인)펄스가 인가되고, 어드레스 기간에 발광하도록 설정된 표시 셀로 유지방전이 행하여지며, 이것이 표시를 위한 발광으로 된다.

PDP 장치에서는 유지방전 기간에 전극간에 최대 200V 정도의 전압을 고주파수의 펄스로서 인가할 필요가 있고, 특히 서브필드 표시로 계조 표시를 하는 것에서는 펄스 폭이 수 μs이다. 이러한 고전압으로 또한 고주파의 신호로 구동하기 때문에, 일반적으로 PDP 장치의 소비전력이 커서 전력 절약화가 요망되고 있다. 미국 특허 제4,070,663호는 EL(Electro-Luminescence)장치 등의 용량성 표시 유닛의 소비전력을 저감하기 위해서, 표시 유닛의 용량과 공진회로를 구성하는 인덕턴스 소자를 설치하는 제어방법을 개시하고 있다. 또 미국 특허 제4,866,349호와 미국 특허 제5,081,400호는 인덕턴스 소자로 구성되는 전력 회수 회로를 갖는 PDP패널용의 서스테인(유지방전) 드라이버와 어드레스 드라이버를 개시하고 있다. 또 일본 특개평7-160219호 공보는 3전극형 표시 유닛에 있어서, Y전극측에 Y전극이 고전위에서 저전위로 전환될 때에 인가되어 있는 전력을 회수하는 회수경로를 형성하는 인덕턴스와, Y전극이 저전위에서 고전위로 전환될 때에 축적된 전력을 인가하는 인가경로를 형성하는 인덕턴스의 2개의 인덕턴스를 설치하는 구성을 개시하고 있다.

도 3은 전력을 회수하는 회수경로와 축적된 전력을 인가하는 인가경로를 분리한 전력 회수 회로를 갖는 서스테인 회로의 기본 구성예를 나타낸 도면이다. 또 신호 V1 ~ V4를 발생하는 회로도 설치되어 있지만, 여기서는 생략되어 있다. 참조부호(Cp)는 PDP의 X전극과 Y전극으로 형성되는 표시 셀의 구동용량을 나타낸다. 여기서는 한쪽 전극의 서스테인 회로를 나타냈으나, 다른 쪽 전극도 유사한 서스테인 회로에 접속된다. 도 3의 회로에서 출력 소자(트랜지스터)(31, 33) 및 드라이브 회로(32, 34)로 구성되는 부분은, 전력 회수 회로가 없는 경우의 서스테인 회로이고, 출력 소자(트랜지스터)(37, 40), 드라이브 회로(38, 41), 인덕턴스소자(35, 43), 용량(39) 및 다이오드(36, 42)로 구성되는 부분이 전력 회수 회로이다. 신호 V1, V2는 각각 드라이브 회로(32, 34)에 입력되고, 거기에서 출력되는 신호 VG1, VG2가 출력 소자(트랜지스터)(31, 33)의 게이트에 인가된다. 신호 V1이 「고(H)」인 때에는 출력 소자(31)가 온(ON)되어 H레벨의 신호가 전극에 인가된다. 이때 신호 V2는 「저(L)」이고, 출력 소자(33)는 오프(OFF)이다. 신호 V1이 L로 되어 출력 소자(31)가 오프되는 동시에, 신호 V2는 H로 되어 출력 소자(33)는 온되어 전극에는 그라운드 레벨이 인가된다.

전력 회수 회로가 있는 경우에는, 서스테인 펄스를 인가할 때에는, 신호 V1이 H로 되기 전에 신호 V2가 L로 되어 출력 소자(33)가 오프된 후, 신호 V3가 H로 되어 출력 소자(40)가 온되어서 용량(39), 다이오드(42), 인덕턴스(43) 및 용량(Cp)으로 공진회로가 형성되고, 용량(39)에 축적된 전력이 전극에 공급되어서 전극의 전위가 상승한다. 이 전위의 상승이 종료되기 직전에 신호 V3가 L로 되어 출력 소자(40)가 오프되고, 또 신호 V1은 H로 되어서 출력 소자(31)는 온되고, 전극의 전위를 Vs에 고정한다. 서스테인 펄스의 인가를 종료할 때에는, 우선 신호 V1이 L로 되어 출력 소자(31)가 오프된 후, 신호 V4가 H로 되어서 출력 소자(37)가 온되어 용량(39), 다이오드(36), 인덕턴스(35) 및 용량(Cp)으로 공진회로가 형성되고, 용량(Cp)에 축적된 전력이 용량(39)에 공급되어 용량(39)의 전압이 상승한다. 이에 의해서 전극에 인가된 서스테인 펄스에 의해서 용량(Cp)에 축적된 전력이 용량(39)으로 회수된다. 이 전극의 전위의 저하가 종료되기 직전에 신호 V4가 L로 되어서 출력 소자(37)가 오프되고, 또 신호 V2가 H로 되어서 출력 소자(33)가 온되어, 전극의 전위를 그라운드에 고정한다. 유지방전 기간 동안은 서스테인 펄스 수 만큼 상기의 동작을 반복한다. 이상의 구성에 의해서, 유지방전에 수반되는 소비전력을 저감할 수 있다.

한편 PDP 장치에서는 고세밀화가 요청되고 있으며, 일본 특허 제2801893호는 모든 표시 전극 간에서 표시를 위한 발광을 행하는 방식을 개시하고 있다. 이 방식은 ALIS 방식으로 불리기 때문에, 여기서도 이 용어를 사용한다. ALIS 방식의 상세한 구성은 일본 특허 제2801893호에 개시되어 있어, 여기서는 본 발명에 관계되는 점에 대해서만 간단하게 설명한다.

도 4는 ALIS 방식의 PDP의 전체블록도이다. 도시한 바와 같이 ALIS 방식의 PDP에서는, n개의 Y전극(제2 전극)(12-O, 12-E)과 n+ 1개의 X전극(제1 전극)(11-O, 11-E)을 인접하여 교대로 배치하고, 모든 표시 전극(Y전극과 X전극) 사이에서 표시발광을 한다. 따라서 2n+ 1개의 표시 전극으로, 2n개의 표시라인이 형성된다. 즉 ALIS 방식은 도 1의 구성과 동등한 표시 전극 수로 2배의 세밀도가 실현된다. 또 방전공간을 헛되지 않게 사용할 수 있고, 또한 전극 등에 의한 차광이 작기 때문에 높은 개구율이 얻어지므로 고휘도가 실현되는 등의 특징을 갖는다. ALIS 방식에서는 모든 표시 전극간을 표시를 위한 방전에 이용하지만, 그들 방전을 동시에 발생할 수 없다. 그래서 표시를 홀수라인과 짝수라인으로 시간적으로 분할하여 행하는 소위 인터레이스 주사를 한다. 홀수필드에서는 홀수번째의 표시라인에 의해 표시를 하고, 짝수필드에서는 짝수번째의 표시라인에 의해 표시를 하여, 전체로서는 홀수필드와 짝수필드의 표시를 합친 표시를 얻을 수 있다.

Y전극은 스캔 드라이버(14)에 접속되어 있다. 스캔 드라이버(14)에는 스위치(16)가 설치되어 있고, 어드레스기간에는 차례로 스캔 펄스가 인가되도록 전환되고, 유지방전기간에는 홀수 Y전극(12-O)은 제1 Y서스테인 회로(19-O)에, 짝수 Y전극(12-E)은 제2 Y서스테인 회로(19-E)에 접속되도록 전환된다. 홀수 X전극(11-O)은 제1 X서스테인 회로(18-O)에, 짝수 X전극(11-E)은 제2 X서스테인 회로(18-E)에 접속된다. 어드레스 전극(13)은 어드레스 드라이버(17)에 접속된다. 화상신호처리회로(21)와 구동제어회로(20)는 도 1에서 설명한 것과 같은 동작을 한다.

도 5는 ALIS 방식의 유지방전기간에 있어서의 구동 파형을 나타낸 도면이고, 도 5a는 홀수필드의 파형을, 도 5b는 짝수필드의 파형을 나타낸다. 홀수필드에서는 전극 Y1, X2에 전압 Vs를 인가하고, X1과 Y2를 그라운드 레벨로 하고, X1과 Y1 사이 및 X2와 Y2 사이에서, 즉 홀수표시라인에서 방전을 발생시킨다. 이때 짝수표시라인의 Y1과 X2 사이의 전위차는 0이며, 방전은 발생하지 않는다. 마찬가지로 짝수필드에서는 전극 X1과 Y2에 전압 Vs를 인가하고, Y1과 X2를 그라운드 레벨로 하고, Y1과 X2 사이 및 Y2와 X1 사이에서, 즉 짝수표시라인에서 방전을 발생시킨다. 리세트기간이나 어드레스기간의 구동파형에 대한 설명은 생략한다.

발명이 이루고자 하는 기술적 과제

도 3에 나타낸 바와 같은 전력 회수 회로에서는 전력의 회수와 인가를 효율적으로 하는 것이 중요하여, 높은 전력회수율을 실현하는 것이 요망되고 있다. 높은 전력회수율은 출력 소자(31, 33, 37 및 40)의 온·오프의 타이밍에 영향받는다. 도 6은 이 영향을 설명하는 도면이고, 도 6a는 클램프의 타이밍이 빨라진 경우를 나타내고, 도 6b는 클램프의 타이밍이 늦어진 경우를 나타낸다.

전술한 바와 같이 서스테인 펄스를 인가할 때에는 출력 소자(40)가 온되어서 용량(39)에 축적된 전력을 전극에 공급하고, 전극의 전위의 상승이 종료되기 직전에 신호 V3가 L로 되어서 출력 소자(40)가 오프되는 동시에 신호 V1이 H로 되어서 출력 소자(31)는 온되고, 전극의 전위를 Vs에 고정(클램프)한다. 여기서 도 6a에 나타낸 바와 같이 출력 소자(40)가 오프되기 전에 출력 소자(31)가 온되면, 용량(39)에 축적된 전력에 의해서 전극의 전위를 상승시키고 있는 도중에 출력 소자(31)가 온되어서 전극을 전압 Vs의 전원에 접속하기 때문에, 나머지 출력 소자는 전원으로부터의 전력에 의해서 상승하게 되고, 용량(39)에 축적된 전력의 일부가 헛되이 된다. 마찬가지로 서스테인 펄스의 인가를 종료할 때에도, 출력 소자(37)가 온되어 용량(39)에 전력을 회수하고 있는 도중에 출력 소자(33)가 온되면, 충분히 전력을 회수하기도 전에 그라운드에 클램프되어서 전력의 회수가 불충분하게 된다.

또 도 6b에 나타낸 바와 같이, 서스테인 펄스를 인가할 때에 출력 소자(40)가 오프된 후로부터 지연되어 출력 소자(31)가 온되면, 용량(39)에 축적된 전력에 의한 전극의 전위의 상승이 종료되고, 반대로 전극의 전위가 저하되기 시작하여 출력 소자(31)가 온되어서 전극을 전압 Vs의 전원에 클램프하기 때문에, 저하된 전위를 상승시킬 필요가 있어, 그만큼 쓸데없는 전력이 필요하게 된다. 마찬가지로 서스테인 펄스의 인가를 종료할 때에도, 출력 소자(37)가 오프된 후로부터 지연되어 출력 소자(33)가 온되면, 일단 저하된 전위가 재차 상승하기 시작한 때로부터 그라운드에 클램프되므로 상승된 전위를 저하시킬 필요가 있어, 그만큼 쓸데없는 전력이 필요하게 된다.

이상과 같이 서스테인 회로 출력 소자(31, 33, 37 및 40)가 온·오프하는 타이밍이 엇갈리면 전력회수율이 저하되어, 소비전력이 증가되는 등의 문제가 생긴다. 출력 소자(31, 33, 37 및 40)가 온·오프되는 타이밍은 신호 V1, V2, V3 및 V4의 변화 타이밍에, 드라이브 회로(32, 34, 38 및 41)의 지연시간과 출력 소자(31, 33, 37 및 40)의 지연시간을 더한 타이밍이다. 신호 V1, V2, V3 및 V4의 변화 타이밍은 비교적 고세밀도로 설정 가능하지만 드라이브 회로(32, 34, 38 및 41)의 지연시간과 출력 소자(31, 33, 37 및 40)의 지연시간은, 사용하는 소자의 특성의 산포에 따라서 변화된다. 그 때문에 PDP 장치마다 전력회수율이 변화되고, 이상적인 경우에 비해서 전력회수율이 저하되어 소비전력이 증가되는 등의 문제가 생긴다.

또 상기한 바와 같이 회로소자의 지연시간이 엇갈리고, 서스테인 펄스의 형상이나 타이밍이 어긋나면, 정상적인 동작이 이루어지지 않게 될 가능성이 증가된다. 통상 동작전압 Vs의 동작 가능한 최대치 Vs(max)와 최소치 Vs(min)와의 차 △Vs를 동작 마진이라고 부르지만, 회로소자의 지연시간이 엇갈리고, 서스테인 펄스의 형상이나 타이밍이 어긋나면, 동작 마진 △Vs는 저하된다. 이것은 장치의 동작의 안정성이 저하되는 것을 의미한다.

또 ALIS 방식에서는, 같은 전압이 인가되는 인접하는 전극간에서는 방전은 생기지 않지만, 이 인가 타이밍이 엇갈리면, 표시를 하지 않은 표시라인에서도 일시적으로 방전이 발생하여, 어드레스기간에 기입된 벽전하가 감소되어, 정상적인 표시가 이루어지지 않는 등의 문제가 생기는 경우가 있다. 예를 들면 도 5a에 있어서 전극 Y1에 서스테인 펄스를 인가한 후로부터 지연해서 전극 X2에 서스테인 펄스가 인가된 경우, 일시적으로 전극 Y1은 H의 상태가, 전극 X2는 L의 상태가 발생하므로, 전극 Y1과 X2 사이에서 오방전이 발생될 가능성이 있다. 이러한 오방전은 전극 X2에 서스테인 펄스가 인가되면 정지되지만, 오방전에 의해서 전극 Y1 및 X2의 벽전하가 감소되어 정상적인 표시발광이 이루어지지 않게 되는 경우가 있다.

이상과 같이 서스테인 회로의 각 회로소자의 지연시간이 불균일하게 되고, 그에 따라서 서스테인 펄스의 온·오프의 타이밍의 엇갈림이나 형상의 어긋남이 생기어, 소비전력이 증가되거나 오동작하는 등의 문제가 있었다. 본 발명은 이러한 문제를 해결하는 것으로서, 서스테인 펄스의 상승·하강의 타이밍의 엇갈림이나 형상의 어긋남이 없는 서스테인 회로를 실현하여, 저소비전력으로 오동작하지 않는 PDP 장치의 실현을 목적으로 한다.

발명의 구성

상기 목적을 실현하기 위해서 본 발명의 PDP 장치는, 서스테인 회로에 서스테인 펄스의 변화 에지의 타이밍을 조정하는 위상 조정 회로를 설치한다. 위상 조정 회로를 조정하여, 서스테인 펄스의 변화 에지의 타이밍을 최적의 상태로 하면, 전력회수 회로를 효과적으로 동작시킬 수 있기 때문에, 소비전력을 저감할 수 있다. 또 각 서스테인 회로에서 인가되는 서스테인 펄스의 상승·하강의 타이밍이 서로 최적의 조건으로 되므로, 오동작이나 오방전이 생기지 않는다.

본 발명은 전력 회수 회로를 갖는 서스테인 회로를 구비하는 PDP 장치나, ALIS 방식의 PDP 장치에 적용하면 특히 효과적이다.

또 도 3에 나타낸 바와 같은 전력 회수 회로를 갖는 서스테인 회로의 경우에, 위상 조정 회로는 제3 출력 소자가 온으로 된 후로부터 제1 출력 소자가 온으로 될 때까지의 시간차, 및 제4 출력 소자가 온이 된 후로부터 제2 출력 소자가 온으로 될 때까지의 시간차를 조정 가능하여야 한다.

또 도 4에 나타낸 ALIS 방식의 경우에 오방전을 방지하기 위해서는, 인접하는 전극간에 인가하는 서스테인 펄스의 타이밍이 조정가능하면 되고, 제1 X서스테인 회로가 출력하는 서스테인 펄스와, 제1 또는 제2 Y서스테인 회로가 출력하는 서스테인 펄스와의 상승 타이밍 또는 하강 타이밍의 차, 및 제2 X서스테인 회로가 출력하는 서스테인 펄스와, 제1 또는 제2 Y서스테인 회로가 출력하는 서스테인 펄스와의 상승 타이밍 또는 하강 타이밍의 차가 소정치 이하, 예를 들면 ±30ns 이내가 되도록 조정한다.

위상 조정 회로에 의한 조정을 실제로 PDP에 실장한 상태에서 행하면, PDP전극의 실제의 용량에 따라서 최적의 상태로 설정할 수 있다.

또 서스테인 회로에 사용하는 회로요소를 지연시간에 따라서 분류하고, 서스테인 펄스의 변화 에지의 타이밍이 소정 오차 범위 내에 들어 가도록 분류한 회로소자의 조합을 선택하고, 선택된 조합의 회로소자를 장착하도록 하여도 좋다.

실시예

이하 본 발명을 ALIS 방식의 PDP 장치에 적용한 실시예를 설명하겠다. 본 발명의 실시예의 PDP 장치는 도 4에 나타낸 바와 같은 전체 구성을 갖고, 제1 및 제2 X서스테인 회로(18-O, 18-E)와 제1 및 제2 Y서스테인 회로(19-O, 19-E)는 도 7에 나타낸 구성을 갖는다. 도 3의 경우와 같이 신호 V1 ~ V4를 발생하는 회로에 대하여는 도시하고 있지 않다.

실시예의 서스테인 회로는 도 3에 나타낸 구성과는, 각 드라이브 회로(32, 34, 38, 41)의 전단에, 제1 위상 조정 회로(51) ~ 제4 위상 조정 회로(54)가 설치되어 있는 점이 다르다. 가령 출력 소자(31, 33, 37, 40) 및 드라이브 회로(32, 34, 38, 41)의 지연시간이 불균일하여도, 제1 위상 조정 회로(51) ~ 제4 위상 조정 회로(54)에 있어서의 지연량을 조정함으로써, 출력 소자(31, 33, 37, 40)의 온·오프하는 타이밍을 도 8에 나타낸 바와 같이 최적의 상태로 하는 것이 가능하다.

도 9는 본 발명에 의한 소비전력 저감효과를 나타낸 도면이다. 도시한 바와 같이 서스테인 펄스 수에 비례하여 서스테인 회로에서의 소비전력이 증가된다. 그 증가의 비례계수는 전력 회수 회로를 사용하지 않을 때에는 가장 크고, 도 3에 나타낸 바와 같은 전력 회수 회로를 사용함으로써 상당히 작게 할 수 있고, 본 발명을 사용함으로써 더욱 작게 할 수 있어서 소비전력을 저감할 수 있다.

도 10은 본 발명에 의한 동작 마진의 개선효과를 나타낸 도면이다. 동작 마진으로서는 전술한 동작 가능한 전압의 최대치 Vs(max)와 최소치 Vs(min)의 차 ΔVs를 사용하였다. 도시한 바와 같이 방전전류가 증가함에 따라서 동작 마진이 저하되나, 본 발명을 적용하면 도 3의 구성에 비해서 동작 마진의 저하가 작다.

다음에 위상 조정 회로의 회로구성에 대하여 설명하겠다. 위상 조정 회로는 신호의 지연시간을 조정하는 것으로서, 공지의 각종의 지연회로를 사용할 수 있다. 도 11로부터 도 13은 위상 조정 회로의 예를 나타낸 도면이다. 도 11a는 가변저항(VR)과 용량(C)을 조합한 지연회로이고, 도 11b는 가변 인덕턴스(VL)와 용량(C)을 조합한 지연회로이고, 도 11c는 조(粗)조정용의 가변저항(VR1)과 미(微)조정용 가변저항(VR2)과 용량(C)을 조합한 지연회로이고, 도 11d는 조조정용의 가변 인덕턴스(VL1)와 미조정용 가변 인덕턴스(VL2)와 용량(C)을 조합한 지연회로이고, 도 11e는 트리밍에 의해서 저항치가 조정 가능한 저항(TR)과 용량(C)을 조합한 지연회로이고, 도 11f는 트리밍에 의해서 인덕턴스 값이 조정 가능한 인덕턴스(TL)와 용량(C)을 조합한 지연회로이고, 도 11g는 조조정용의 트리밍 저항(TR1)과 미조정용 트리밍 저항(TR2)과 용량(C)을 조합한 지연회로이고, 도 11h는 조조정용의 트리밍 인덕턴스(VL1)와 미조정용 트리밍 인덕턴스(VL2)와 용량(C)을 조합한 지연회로이고, 도 12i와 도 12j는 도 11g와 도 11h의 입력부와 출력부에 버퍼회로(B1, B2)를 설치한 회로이고, 도 12k는 저항 어레이(RA)와 스위치 어레이(SA)를 조합하여 저항치를 선택할 수 있도록 하여 용량(C)을 조합한 회로이고, 도 12l은 인덕턴스 어레이(LA)와 스위치 어레이(SA)를 조합하여 인덕턴스 값을 선택할 수 있도록 하여 용량(C)을 조합한 회로이고, 도 13m은 위상제어신호에 의해서 저항치를 외부에서 설정할 수 있는 전자볼륨(EVR)과 용량(C)을 조합한 회로이고, 도 13n은 위상 제어 신호에 의해서 지연량을 선택할 수 있는 딜레이라인(DL)을 사용한 회로이고, 도 13o는 드라이브 회로(D)의 앞에 위상시프트 회로(PS)를 설치하여, 출력 소자(T)의 실제출력(Vout)을 출력 전압 검출 회로(OD)에서 검출하고, 위상차 검출 회로(PDD)에서 입력신호 Vin과 출력 전압 검출 회로(OD)의 검출결과로부터 위상차를 구하고, 거기에 따라서 위상시프트 회로(PS)의 지연량을 조정하는 회로이고, 도 13p는 도 13o의 회로에서 출력 전압 검출 회로(OD) 대신에 드라이브 회로(D)의 출력을 검출하는 구동 전압 검출 회로(DD)를 설치한 점이 다르고, 출력 소자(T)의 지연시간은 조정할 수 없다. 또 도시하고 있지 않으나, 용량치가 가변인 가변 용량(C)을 사용하는 것도 가능하다.

다음에 실시예에서 각 서스테인 회로의 각 위상 조정 회로를 어떻게 조정하여 설정할 것인지에 대하여 설명한다.

도 14는 위상 조정 회로의 설정처리를 나타낸 플로우 차트이다. 스텝(101)에서는 출력 소자의 지연시간을 측정하고, 스텝(102)에서는 상기 출력 소자를 조합하여 사용하는 드라이버(구동)회로의 지연시간을 측정하고, 스텝(103)에서는 소정의 지연시간으로부터 상기 2개의 지연시간을 감산하여 조합해서 사용하는 위상 조정 회로의 지연시간을 산출하고, 스텝(104)에서는 산출된 지연시간에 의해서 조합하여 사용하는 위상 조정 회로의 지연시간을 설정한다. 이러한 처리를 모든 조에 대하여 행한다. 이상의 처리에 의해서 각 출력 소자는 소정의 타이밍으로 온·오프하게 된다. 따라서 소비전력은 최대한으로 저감되고, 오동작이나 오방전도 발생하지 않게 된다.

도 14의 처리는 출력 소자 및 드라이브 회로의 지연시간의 격차를 보정하는 처리이고, 서스테인 회로를 PDP 장치에 장착하기 전에 행하는 처리이다. 그러나 PDP전극간의 용량도 제조에 따라 불균일하고, 그에 의하여 전력 회수 회로의 공진회로의 시정수 등도 변화하므로, PDP에 따라서 서스테인 펄스의 타이밍을 최적의 상태로 설정하는 것이 바람직하다. 도 15는 서스테인 회로로 구동하는 PDP의 산포를 포함해서 위상 조정 회로의 지연시간을 최적치로 설정하는 처리를 나타낸 플로우 차트이다.

스텝(111)에서는 서스테인 회로를 PDP를 포함하는 장치에 장착하여 조립한다. 또 완전히 조립할 필요는 없고, 동작상태로 되면 좋다. 스텝(112)에서는 제1 X서스테인 회로(18-O), 제2 X서스테인 회로(18-E), 제1 Y서스테인 회로(19-O), 제2 Y서스테인 회로(18-E) 중의 어는 것을 조정대상으로 할 것인지를 선택한다. 스텝(113)에서는 선택된 회로의 어떤 조, 구체적으로는 제1 ~ 제4 위상 조정 회로(51 ~ 54) 중의 어느 것을 조정대상으로 할 것인지를 선택한다. 스텝(114)에서는 PDP가 선택한 조에 관계되는 구동 파형을 측정하고, 스텝(115)에서 소정의 기준신호에 대하여 허용범위 내인지를 판정하여, 범위 외이면 스텝(116)에서 위상 조정 회로를 조정하여 허용범위 내가 되도록 스텝(114)으로부터 스텝(116)을 반복한다.

스텝(117)에서는 모든 조에 대하여 상기의 처리가 종료되었는지를 판정하여, 남아 있는 조가 있으면 스텝(118)에서 조정대상의 조를 변경하여 스텝(114)으로 되돌아간다. 이상과 같이 하여 조정대상회로의 4개의 위상 조정 회로의 조정이 종료되고, 그 회로가 출력하는 서스테인 펄스는 소정의 타이밍으로 온·오프한다. 또 스텝(119)에서는 모든 회로에 대하여 상기의 처리가 종료되었는지를 판정하고, 남아 있는 회로가 있으면 스텝(120)에서 조정대상의 회로를 변경하여 스텝(114)으로 되돌아간다. 이상과 같이 하여 모든 회로의 조정이 종료된다.

상기의 실시예에서는 위상 조정 회로를 설치하였으나, 서스테인 회로에 사용하는 회로요소의 지연시간을 측정하고, 총 지연시간이 허용범위 내가 되도록 조합하고, 구체적으로는 출력 소자와 드라이브 회로의 지연시간의 합이 소정치에 대하여 허용범위 내가 되는 조합을 선택하여 PDP 장치에 장착하도록 하여도, 서스테인 펄스의 타이밍을 최적으로 할 수 있다. 도 16은 그것을 위한 제조공정에서의 처리를 나타낸 플로우 차트이다.

스텝(131)에서는 출력 소자의 지연시간을 측정하고, 스텝(132)에서 지연시간에 따라서 분류한다. 이들의 처리와 병행하여 스텝(133)에서는 드라이브 회로의 지연시간을 측정하고, 스텝(134)에서 지연시간에 따라서 분류한다. 이상의 처리에 의해서 출력 소자와 드라이브 회로가 지연시간에 따라서 그룹으로 분류된다.

스텝(135)에서는 총 지연시간이 같아지는 조합을 만든다. 여기서 예를 들면 ALIS 방식이면, 하나의 PDP 장치에는 4개의 서스테인 회로가 있고, 각 서스테인 회로는 4개의 출력 소자와 드라이브 회로의 조가 있다. 즉 하나의 PDP 장치로 16조의 출력 소자와 드라이브 회로의 조가 있으므로, 지연시간의 합이 같은 조를 16조 선택한다. 스텝(136)에서 그 조합의 출력 소자와 드라이브 회로를 장착한다.

이상의 처리에서는 하나의 PDP 장치 내의 서스테인 회로의 16조의 출력 소자와 드라이브 회로의 조는 모두 같은 지연시간이 되도록 선택되지만, 전력회수율을 향상시키기 위해서라면, 서스테인 회로마다 출력 소자(31, 40)의 온·오프 타이밍과 출력 소자(33, 37)의 온·오프 타이밍이 소정의 관계에 있으면 된다. 도 17은 그와 같은 경우의 제조공정에 있어서의 처리를 나타낸 플로우 차트이다.

도 16의 스텝(131) ~ 스텝(134)을 행한 후, 스텝(141)에서는 총 지연시간이 똑 같은 2조의 출력 소자와 드라이브 회로를 선택하고, 제1 출력 소자(31)와 제1 드라이브 회로(32) 및 제3 출력 소자(40)와 제3 드라이브 회로(53)로서 장착하고, 스텝(142)에서는 총 지연시간이 똑 같은 2조의 출력 소자와 드라이브 회로를 선택하여, 제2 출력 소자(33)와 제2 드라이브 회로(34) 및 제4 출력 소자(37)와 제4 드라이브 회로(54)로서 장착한다.

또 ALIS 방식에서 오방전을 방지하기 위해서는, 인접하는 전극에 서스테인 펄스를 인가할 때에 온·오프의 타이밍차가 생기지 않아야 된다. 그 때문에 제1 X서스테인 회로로부터 출력되어 홀수번째의 X전극에 인가되는 서스테인 펄스와, 제1 및 제2 Y서스테인 회로로부터 출력되어 홀수번째 및 짝수번째의 Y전극에 인가되는 서스테인 펄스 사이에 타이밍의 차가 없고, 제2 X서스테인 회로로부터 출력되어 짝수번째의 X전극에 인가되는 서스테인 펄스와, 제1 및 제2 Y서스테인 회로로부터 출력되어 홀수번째 및 짝수번째의 Y전극에 인가되는 서스테인 펄스 사이에 타이밍의 차가 없어야 한다. 이것은 결국, 모든 서스테인 펄스에 타이밍차가 없는 것을 의미한다. 또 ALIS 방식의 PDP 장치에서 오방전이 생기지 않는 타이밍차를 조사한 결과, 인접하는 전극에 인가하는 서스테인 펄스는 ±30ns의 어긋남이면 오방전의 발생은 낮았었다.

회로요소의 지연시간을 측정하여 조합하는 경우에도, 장착하는 PDP의 용량 등의 산포를 고려하는 것이 바람직하다. 도 18은 그와 같은 경우의 제조공정에 있어서의 처리를 나타낸 플로우 차트이다.

스텝(151)에서 서스테인 회로가 구동하는 PDP의 용량을 측정하고, 거기에 장착하는 서스테인 회로의 최적 지연시간을 산출한다. 스텝(152)에서는 분류된 출력 소자와 드라이브 회로에서 최적 지연시간으로 되는 조합을 선택하여 스텝(153)에서 장착한다.

이상 본 발명의 실시예를 설명하였으나 서스테인 펄스의 지연에 관계되는 회로소자가, 그 이외에도 있는 경우에는 그들의 지연시간도 고려하여야 하는 것은 말할 것도 없다.

발명의 효과

이상 설명한 바와 같이 본 발명에 의하면, 서스테인 회로에서의 드라이브 회로의 지연량의 불균일 및 출력 소자의 지연량의 불균일에 의해 영향을 받는, 서스테인 펄스의 온·오프 타이밍, 전력 회수 회로 출력 소자의 온·오프 타이밍을 최적의 상태로 설정할 수 있으므로 전력회수율의 PDP 장치마다의 산포를 저감하고, 소비전력을 평균적으로 저감할 수 있고, PDP의 동작 마진의 불균일도 향상되고, ALIS 방식이면 오방전 발생의 가능성을 저감할 수도 있다.

도면의 간단한 설명

도 1은 PDP 장치의 전체 구성을 나타낸 블록도.

도 2는 PDP 장치의 구동 파형을 나타낸 타임 차트.

도 3은 전력 회수 회로를 설치한 서스테인 회로의 구성예를 나타낸 도면.

도 4는 ALIS 방식의 PDP 장치의 전체구성을 나타낸 블록도.

도 5는 ALIS 방식의 유지방전기간의 구동 파형을 나타낸 타임 차트.

도 6은 전력 회수 회로에서의 타이밍 엇갈림의 영향을 나타낸 타임 차트.

도 7은 본 발명 실시예의 서스테인 회로의 구성을 나타낸 도면.

도 8은 실시예의 서스테인 회로의 동작을 나타낸 타임 차트.

도 9는 본 발명에 의한 소비전력 저감효과를 나타낸 도면.

도 10은 본 발명에 의한 ALIS 방식의 동작 마진의 향상효과를 나타낸 도면.

도 11은 실시예의 위상 조정 회로의 예를 나타낸 도면.

도 12는 실시예의 위상 조정 회로의 예를 나타낸 도면.

도 13은 실시예의 위상 조정 회로의 예를 나타낸 도면.

도 14는 위상 조정 회로의 설정처리를 나타낸 플로우 차트.

도 15는 위상 조정 회로에서 PDP의 산포를 포함해서 조정할 때의 설정처리를 나타낸 플로우 차트.

도 16은 지연시간에 따라서 분류한 서스테인 회로의 회로요소를 조합하는 제조방법을 나타낸 플로우 차트.

도 17은 전력회수율의 향상만을 목적으로 한 경우의 제조방법을 나타낸 플로우 차트.

도 18은 PDP의 산포를 포함해서 고려하는 경우의 제조방법을 나타낸 플로우 차트.

※ 도면의 주요부분에 대한 부호의 설명 ※

10 … PDP

11 … 제1 전극(X전극)

11-O … 홀수 X전극

11-E … 짝수 X전극

12 … 제2 전극(Y전극)

12-O … 홀수 Y전극

12-E … 짝수 Y전극

13 … 어드레스 전극

18-O … 제1 X서스테인 펄스 발생 회로

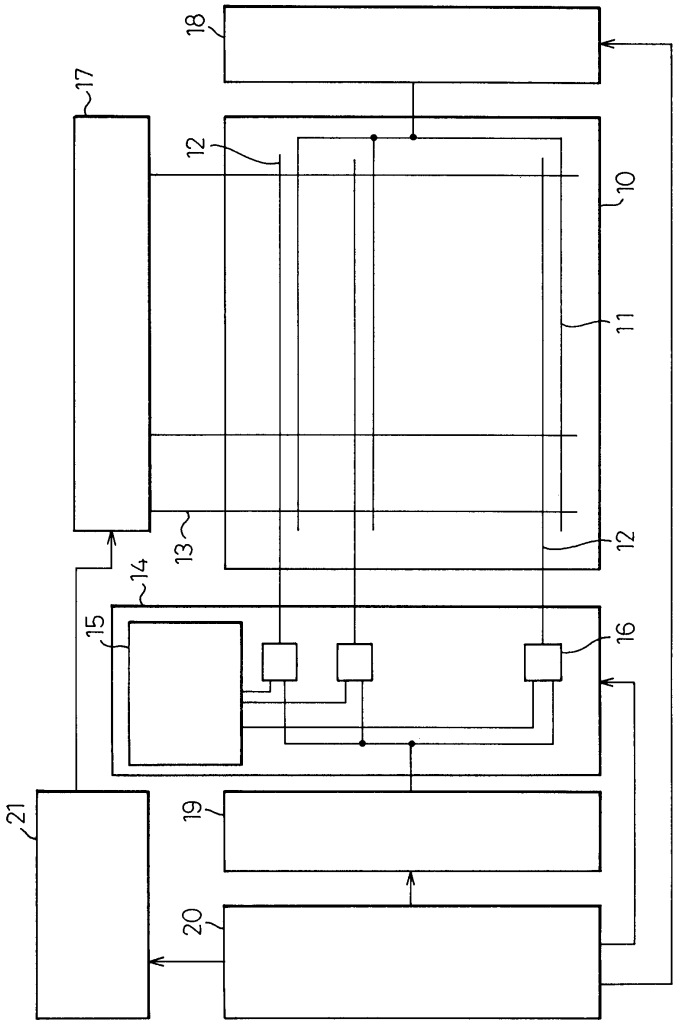
18-E … 제2 X서스테인 펄스 발생 회로

19-O … 제1 Y서스테인 펄스 발생 회로

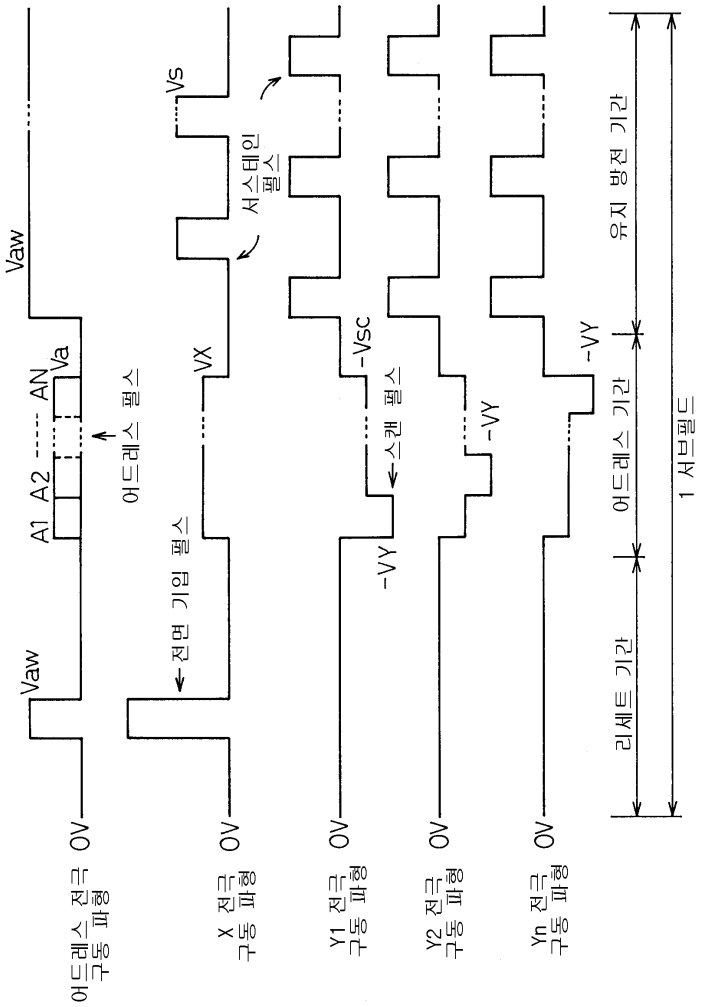
19-E … 제2 Y서스테인 펄스 발생 회로

도면

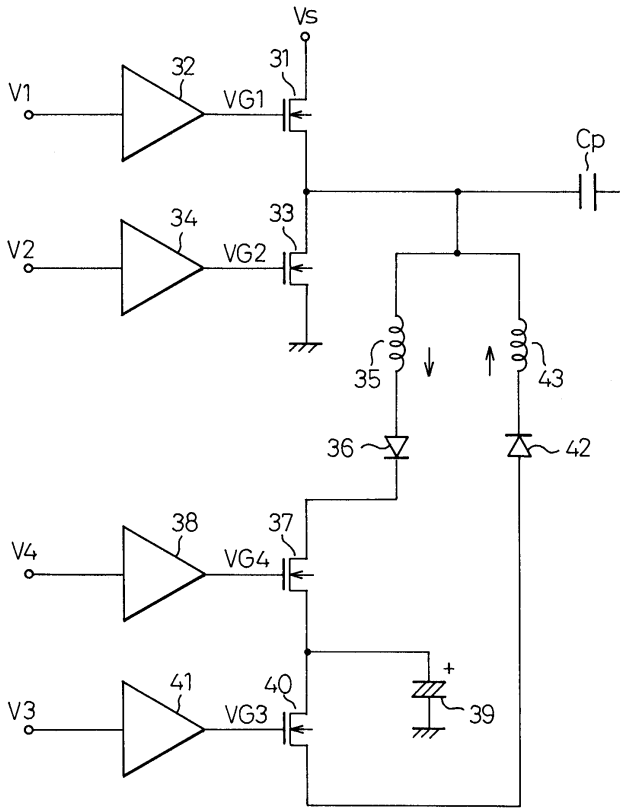
도면1



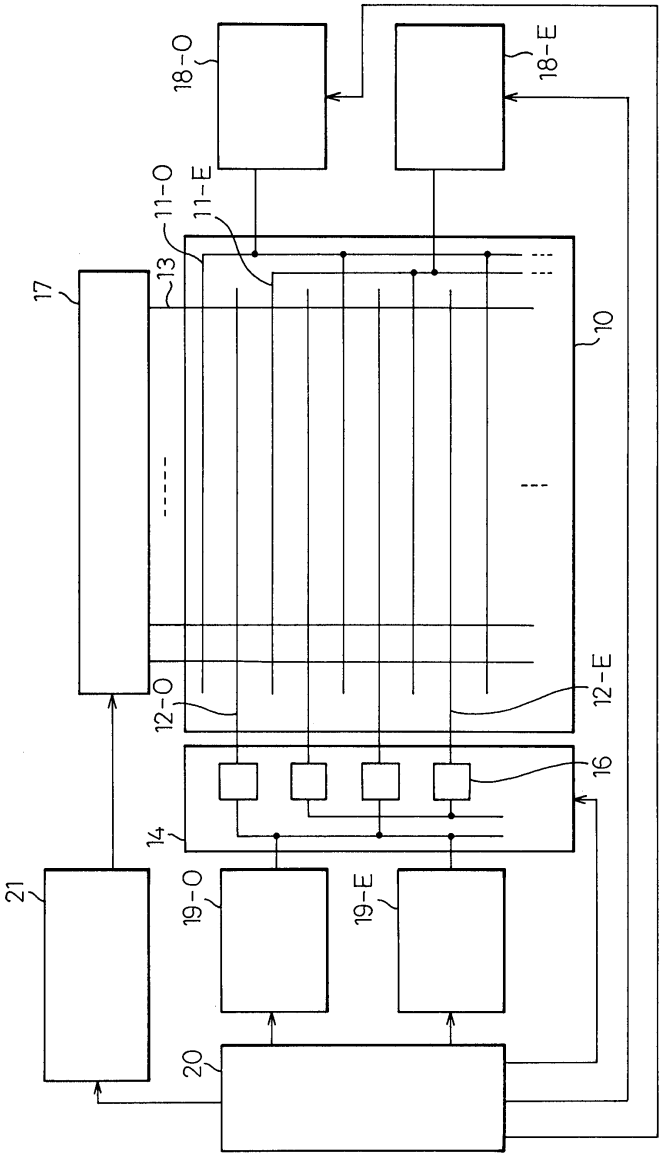
도면2


Vaw
A1
A2
AN
Va
어드레스 펄스
Vaw
0V
어드레스 전극
구동 파형
전면 기입 펄스
VX
Vs
서스테인
펄스
0V
X 전극
구동 파형
-Vsc
-VY
스캔 펄스
0V
Y1 전극
구동 파형
-VY
0V
Y2 전극
구동 파형
-VY
0V
Yn 전극
구동 파형
유지 방전 기간
어드레스 기간
리세트 기간
1 서브필드

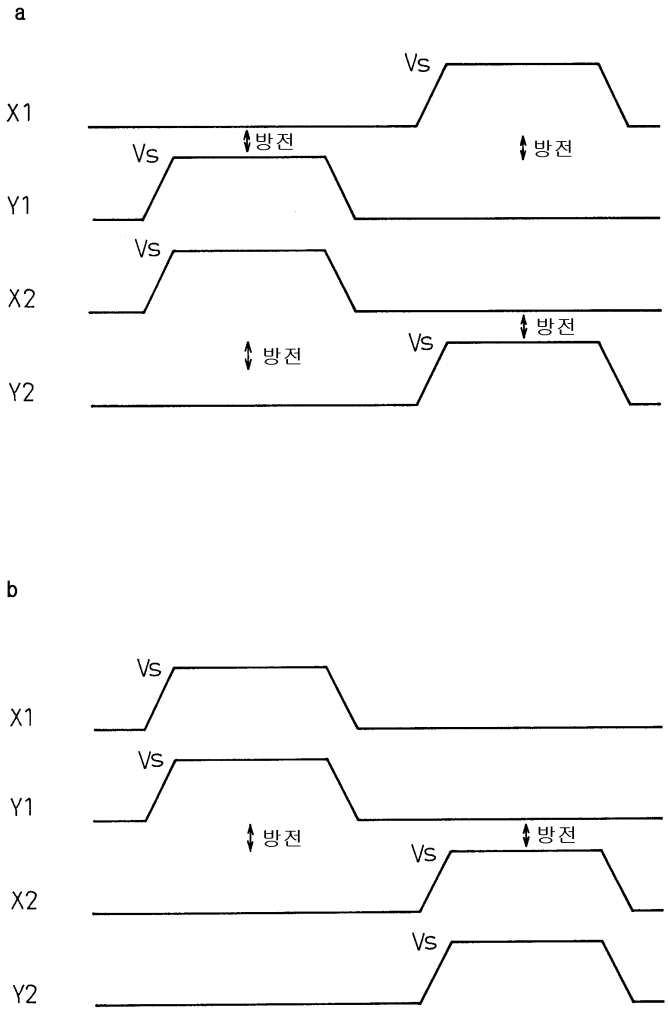
도면3


Vs
31
32
V1
VG1
Cp
34
33
V2
VG2
35
43
36
42
38
37
V4
VG4
41
40
V3
VG3
39

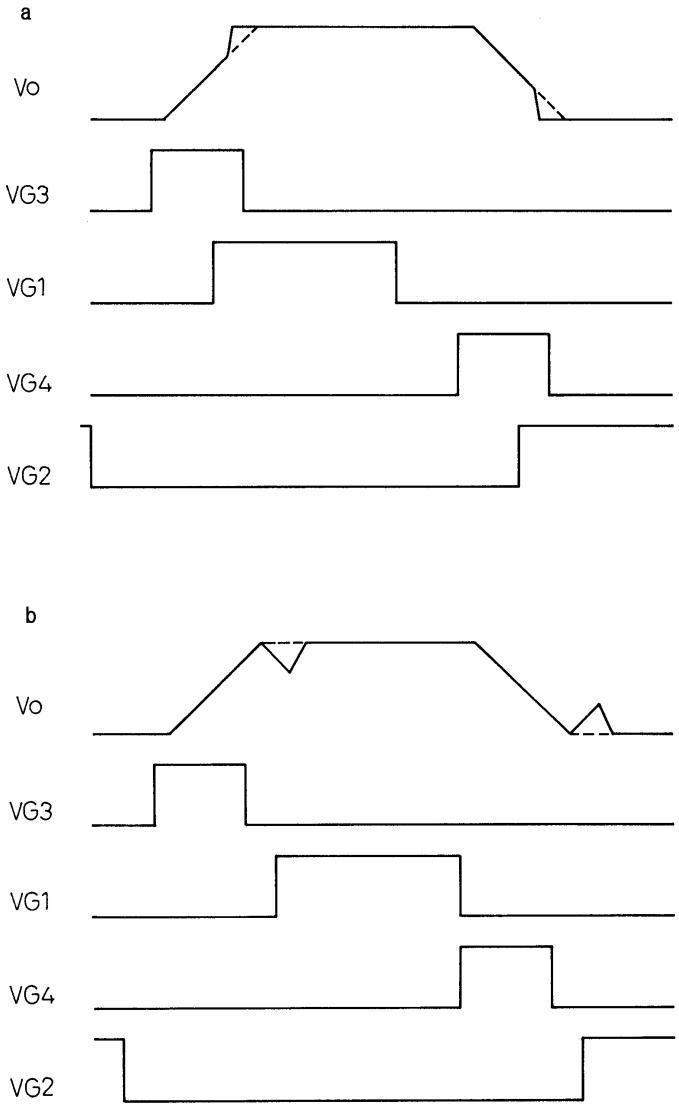
도면4



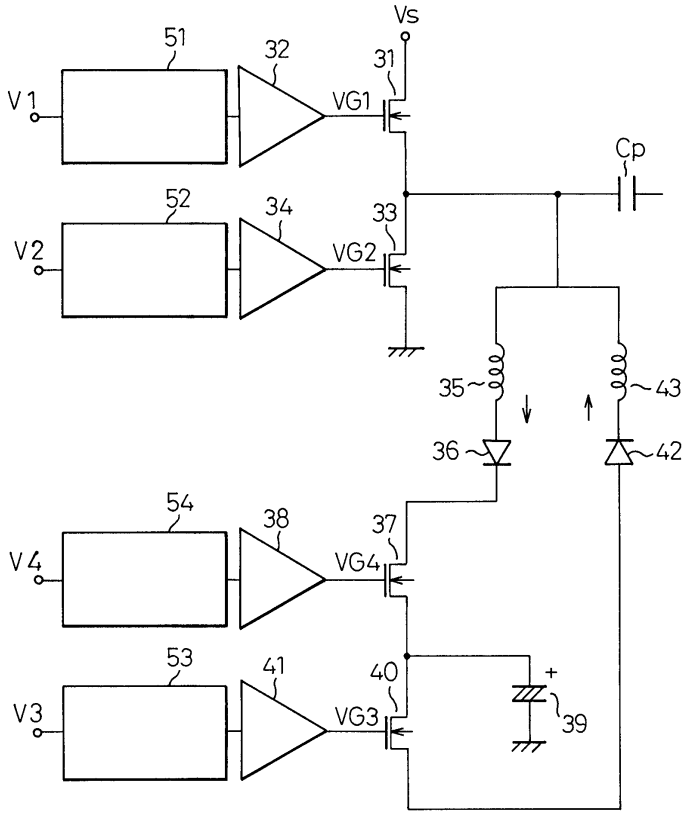
도면5



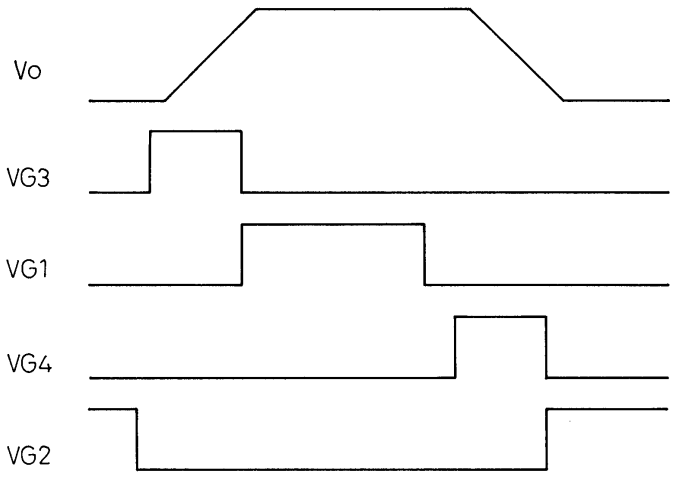
도면6



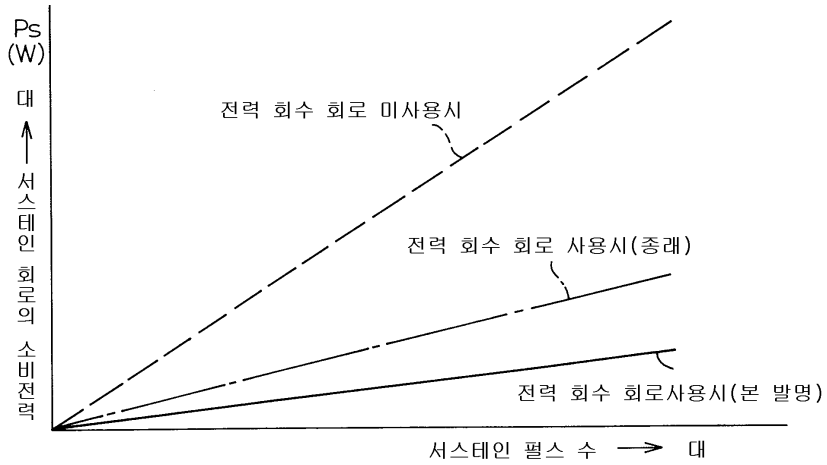
도면7


Vs
51
32
31
V1
VG1
Cp
52
34
33
V2
VG2
35
43
36
42
54
38
37
V4
VG4
53
41
40
+
V3
VG3
39

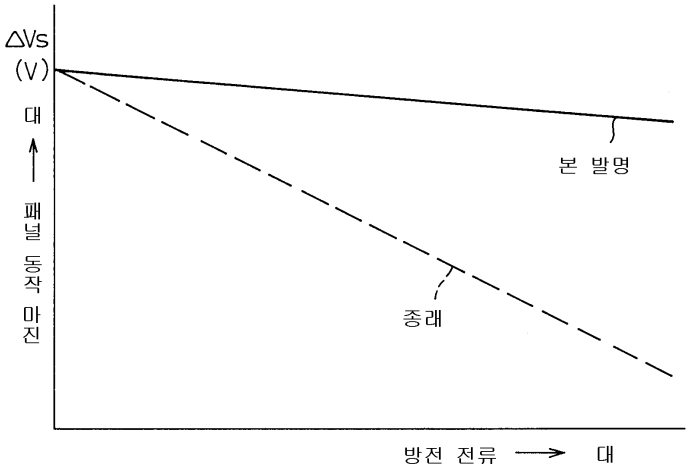
도면8


Vo
VG3
VG1
VG4
VG2

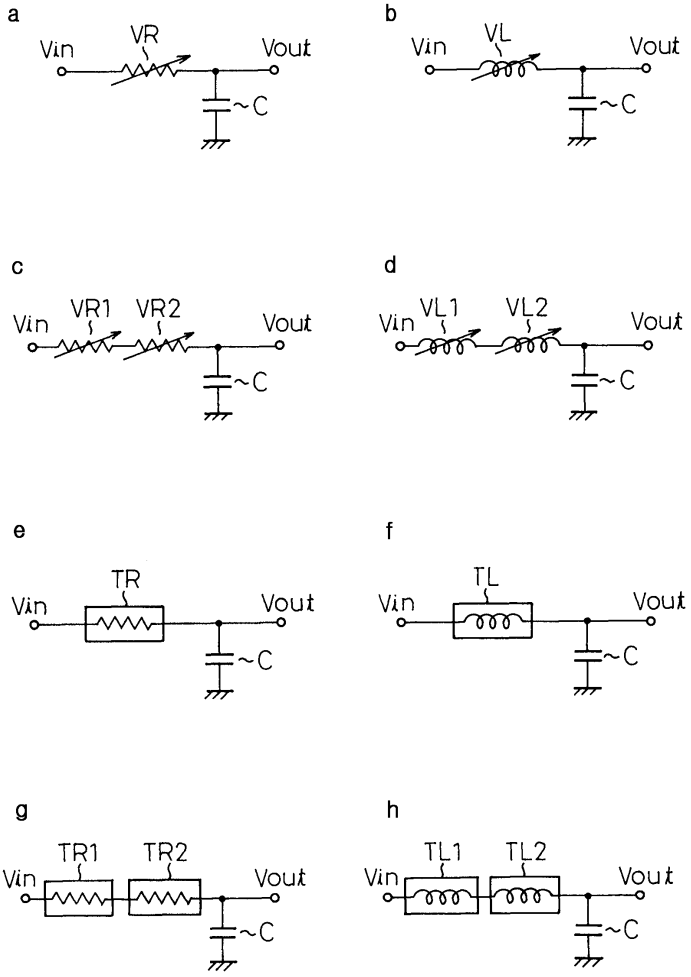
도면9


Ps
(W)
대
서스테인 회로의 소비전력
전력 회수 회로 미사용시
전력 회수 회로 사용시(종래)
전력 회수 회로사용시(본 발명)
서스테인 펄스 수 → 대

도면10

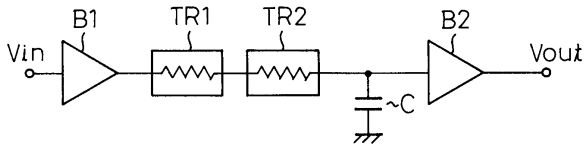

ΔVs
(V)
대
패널 동작 마진
본 발명
종래
방전 전류 → 대

도면11

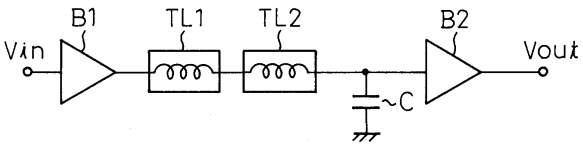

a
Vin
VR
Vout
~C
b
Vin
VL
Vout
~C
c
Vin
VR1
VR2
Vout
~C
d
Vin
VL1
VL2
Vout
~C
e
Vin
TR
Vout
~C
f
Vin
TL
Vout
~C
g
Vin
TR1
TR2
Vout
~C
h
Vin
TL1
TL2
Vout
~C

도면12

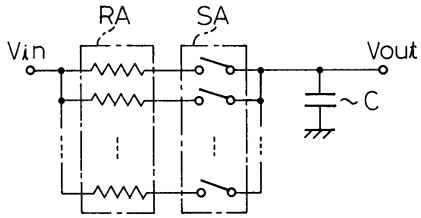
i


B1
TR1
TR2
B2
Vin
Vout
~C

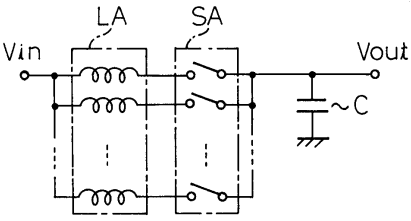
j


B1
TL1
TL2
B2
Vin
Vout
~C

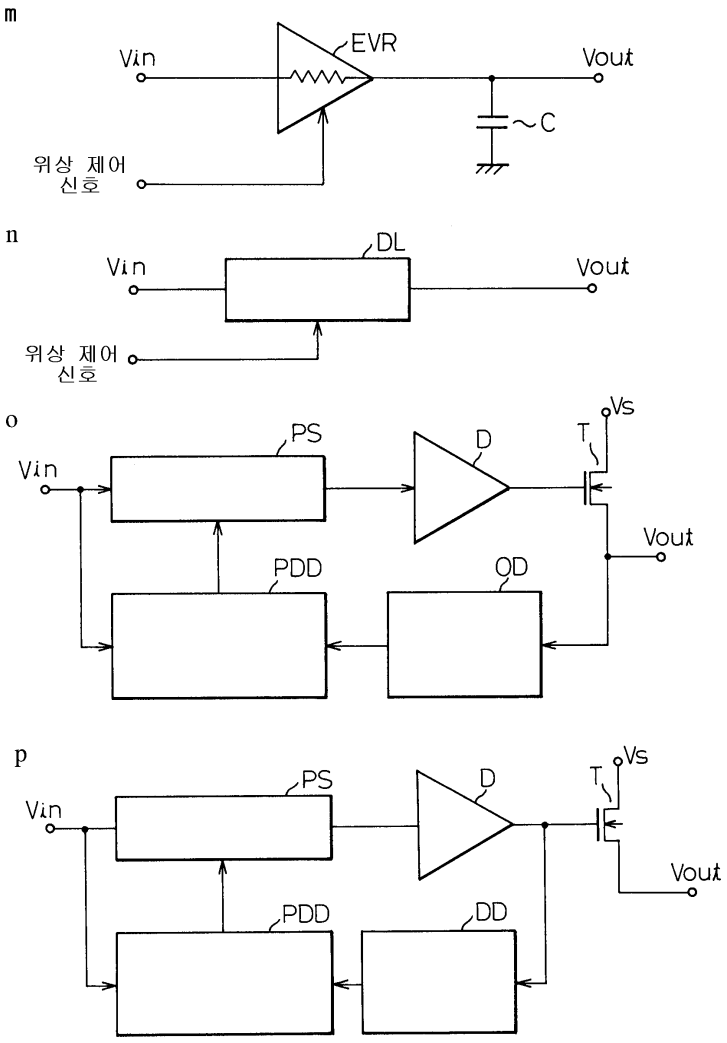
k


RA
SA
Vin
Vout
~C

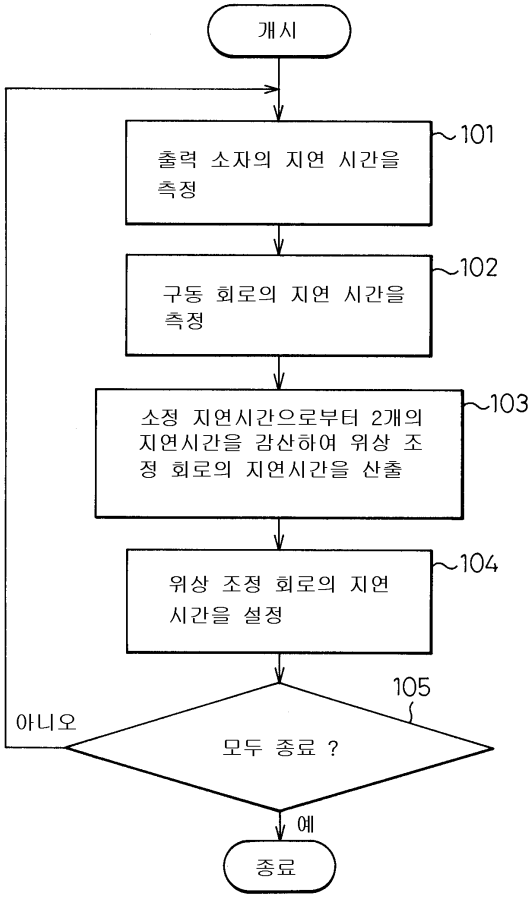
l


LA
SA
Vin
Vout
~C

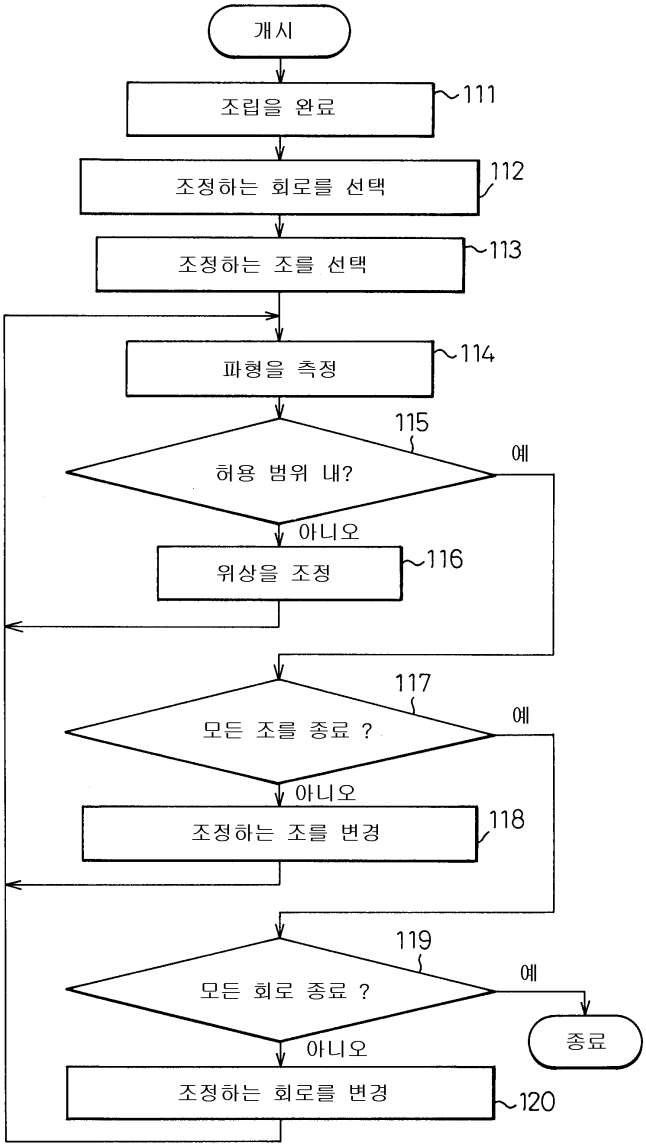
도면13


m
Vin
EVR
Vout
C
위상 제어
신호
n
Vin
DL
Vout
위상 제어
신호
o
Vin
PS
D
T
Vs
Vout
PDD
OD
p
Vin
PS
D
T
Vs
Vout
PDD
DD

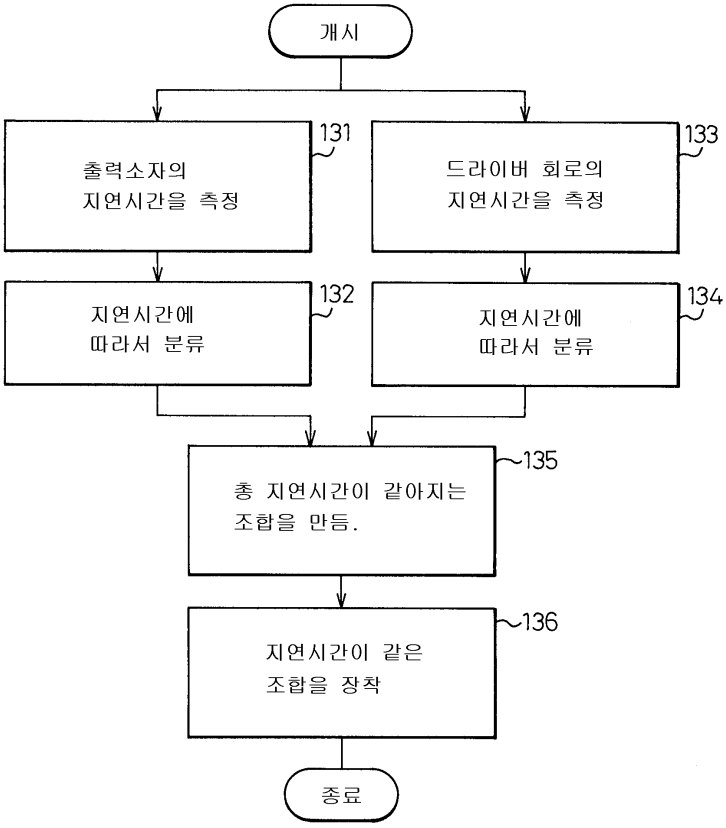
도면14


개시
출력 소자의 지연 시간을 측정
101
구동 회로의 지연 시간을 측정
102
소정 지연시간으로부터 2개의 지연시간을 감산하여 위상 조정 회로의 지연시간을 산출
103
위상 조정 회로의 지연 시간을 설정
104
105
모두 종료 ?
아니오
예
종료

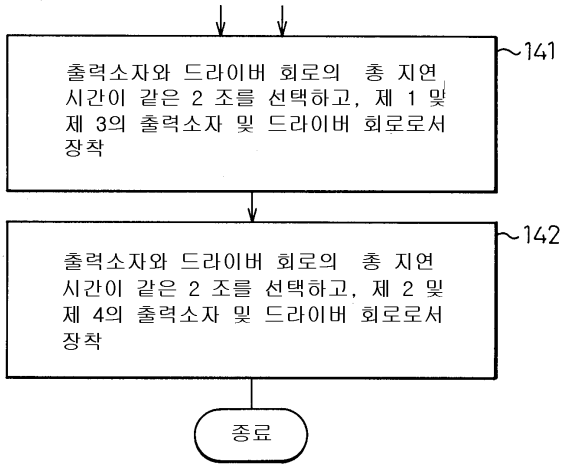
도면15


개시
조립을 완료
111
조정하는 회로를 선택
112
조정하는 조를 선택
113
파형을 측정
114
115
허용 범위 내?
예
아니오
위상을 조정
116
117
모든 조를 종료 ?
예
아니오
조정하는 조를 변경
118
119
모든 회로 종료 ?
예
종료
아니오
조정하는 회로를 변경
120

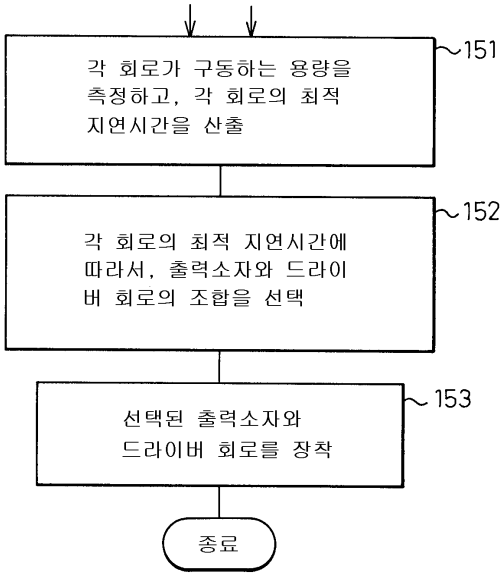
도면16


개시
출력소자의
지연시간을 측정
131
드라이버 회로의
지연시간을 측정
133
지연시간에
따라서 분류
132
지연시간에
따라서 분류
134
총 지연시간이 같아지는
조합을 만듬.
135
지연시간이 같은
조합을 장착
136
종료

도면17


출력소자와 드라이버 회로의 총 지연
시간이 같은 2 조를 선택하고, 제 1 및
제 3의 출력소자 및 드라이버 회로로서
장착
141
출력소자와 드라이버 회로의 총 지연
시간이 같은 2 조를 선택하고, 제 2 및
제 4의 출력소자 및 드라이버 회로로서
장착
142
종료

도면18


각 회로가 구동하는 용량을 측정하고, 각 회로의 최적 지연시간을 산출
151
각 회로의 최적 지연시간에 따라서, 출력소자와 드라이버 회로의 조합을 선택
152
선택된 출력소자와 드라이버 회로를 장착
153
종료