

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7521037号
(P7521037)

(45)発行日 令和6年7月23日(2024.7.23)

(24)登録日 令和6年7月12日(2024.7.12)

(51)国際特許分類	F I
H 0 1 L 33/22 (2010.01)	H 0 1 L 33/22
H 0 1 L 33/42 (2010.01)	H 0 1 L 33/42
H 0 1 L 33/10 (2010.01)	H 0 1 L 33/10
H 0 1 L 33/38 (2010.01)	H 0 1 L 33/38

請求項の数 9 (全20頁)

(21)出願番号	特願2023-40286(P2023-40286)	(73)特許権者	598061302
(22)出願日	令和5年3月15日(2023.3.15)		晶元光電股 ぶん 有限公司
(62)分割の表示	特願2018-10357(P2018-10357)の分割		Epistar Corporation
原出願日	平成30年1月25日(2018.1.25)		台湾新竹科学工業園區新竹市東區力行路21號
(65)公開番号	特開2023-63468(P2023-63468A)		21, Li-hsin Rd., Science-based Industrial Park, Hsinchu 300, TAIWAN
(43)公開日	令和5年5月9日(2023.5.9)	(74)代理人	100107766
審査請求日	令和5年3月15日(2023.3.15)		弁理士 伊東 忠重
(31)優先権主張番号	62/450,860	(74)代理人	100070150
(32)優先日	平成29年1月26日(2017.1.26)		弁理士 伊東 忠彦
(33)優先権主張国・地域又は機関	米国(US)	(74)代理人	100135079
			弁理士 宮崎 修

最終頁に続く

(54)【発明の名称】 発光素子

(57)【特許請求の範囲】

【請求項1】

発光素子であって、

第一半導体層、第二半導体層、及び前記第一半導体層と前記第二半導体層との間に位置する活性層を含む半導体構造と、

前記半導体構造を囲み、かつ前記第一半導体層の表面を露出させる囲み部と、

前記半導体構造に位置し、前記第二半導体層の上表面から延伸して前記第一半導体層の前記表面の複数の部分を被覆する複数の突出部、及び複数の凹陥部を含み、かつ、前記複数の突出部及び前記複数の凹陥部が前記囲み部に沿って交互に形成されて、前記第一半導体層の前記表面のその他の複数の部分を非連続的に露出させる第一絶縁構造と、

前記半導体構造上に形成され、前記第二半導体層の外側壁と前記囲み部を被覆し、かつ前記複数の凹陥部によって前記第一半導体層の前記表面の前記その他の複数の部分と接触する第一接触部分と、

前記半導体構造上に形成された第一はんだパッドと、

前記半導体構造上に形成された第二はんだパッドとを含み、

前記発光素子は上面視において矩形であり、

前記第一接触部分は前記複数の凹陥部において前記第一半導体層と接触し、かつ前記複数の突出部において前記第一半導体層と接触しないことで、前記第一接触部分は前記第一絶縁構造に沿って凹凸上表面を有する、発光素子。

【請求項2】

前記半導体構造の幾何中心に形成された第二接触部分をさらに含み、
前記第二接触部分は前記第一半導体層及び前記第二半導体層と電氣的に絶縁する、請求項 1 に記載の発光素子。

【請求項 3】

前記半導体構造に形成された第三接触部分をさらに含み、
前記第三接触部分は前記第一接触部分に囲まれる、請求項 1 に記載の発光素子。

【請求項 4】

前記半導体構造の幾何中心に形成された第二接触部分をさらに含み、
前記第二接触部分は前記第一接触部分又は前記第三接触部分に接続される、請求項 3 に記載の発光素子。

【請求項 5】

前記第二半導体層と前記活性層を貫通し、前記第一半導体層を露出させる一つ又は複数個の貫通孔をさらに含む、請求項 1 に記載の発光素子。

【請求項 6】

前記発光素子はさらに基板を含み、
前記基板は基板表面を有し、
前記囲み部は前記基板表面の一部を露出させて、前記第一半導体層の側壁を前記囲み部において露出される前記基板表面の前記一部に対し傾斜させ、かつ、前記基板表面はパターン化表面を含む、請求項 1 に記載の発光素子。

【請求項 7】

前記発光素子は上面視において、前記複数個の突出部及び前記複数個の凹陷部が交互に配置され、かつ前記囲み部に位置する、請求項 1 に記載の発光素子。

【請求項 8】

前記第二半導体層に形成された透明導電層と、
前記透明導電層に形成された反射層とバリア層とを含む反射構造と、
前記反射構造に形成された第二絶縁構造とをさらに含み、
前記反射構造は前記反射層の下に形成された分布ブラッグ反射鏡 (D B R) を含む、請求項 1 に記載の発光素子。

【請求項 9】

前記半導体構造に位置する第三絶縁構造をさらに含み、
前記第三絶縁構造は第一開口及び第二開口を有し、かつ前記第一はんだパッドが前記第一開口に位置し、前記第二はんだパッドが前記第二開口に位置する、請求項 1 に記載の発光素子。

【発明の詳細な説明】

【技術分野】

【0001】

本願は発光素子の構造に関し、特に、半導体構造及び半導体構造に位置するはんだパッドを含む発光素子に関する。

【背景技術】

【0002】

発光ダイオード (Light Emitting Diode、LED) は固体半導体発光素子であり、そのメリットは消費電力が低い、発生する熱エネルギーが低い、作業寿命が長い、防震、体積が小さい、反応速度が速い、及び優れた光電特性、例えば安定した発光波長を有することにある。そのため、発光ダイオードは家電製品、設備の指示灯及び光電製品などに広く応用されている。

【発明の概要】

【発明が解決しようとする課題】

【0003】

半導体構造及び半導体構造に位置するはんだパッドを含む発光素子を提供する。

【課題を解決するための手段】

10

20

30

40

50

【 0 0 0 4 】

発光素子は、第一半導体層、第二半導体層、及び第一半導体層と第二半導体層との間に位置する活性層を含む半導体構造と、半導体構造に位置し、及び/又は半導体構造を囲んで第一半導体層の表面を露出させる囲み部と、半導体構造に位置し、第一半導体層の表面の一部を被覆する複数個の突出部、及び第一半導体層の表面のその他の部分を露出させる複数個の凹陷部を含む第一絶縁構造と、囲み部に形成され、かつ複数個の凹陷部によって第一半導体層の表面のその他の部分に接触する第一接触部分と、半導体構造に形成された第一はんだパッドと、半導体構造に形成された第二はんだパッドとを含む。

【 図面の簡単な説明 】

【 0 0 0 5 】

【 図 1 】 本願の一実施例において開示された発光素子 2 の上面図である。

【 図 2 】 図 1 の線 B - B ' に沿った発光素子 2 の断面図である。

【 図 3 】 図 1 の線 C - C ' に沿った発光素子 2 の断面図である。

【 図 4 】 図 1 が開示した発光素子 2 の各層の上面図である。

【 図 5 】 本願の一実施例において開示された発光素子 2 の焼壊領域の上面図である。

【 図 6 】 従来の発光素子 3 の焼壊領域の上面図である。

【 図 7 】 電氣的オーバーストレス (Electrical Over Stress、EOS) 測定におけるサージ (surge) の電圧波形図である。

【 図 8 】 サージ (surge) の最大印加電圧と導通可能な順電圧 (forward voltage、 V_f) の表である。

【 図 9 】 サージ (surge) の最大印加電圧と逆電流 (reverse current、 I_r) の表である。

【 図 1 0 】 本願の一実施例による発光装置 3 0 の概略図である。

【 図 1 1 】 本願の一実施例による発光装置 4 の概略図である。

【 発明を実施するための形態 】

【 0 0 0 6 】

本願をより詳しく、全面的に開示すべく、以下は実施例に基づくとともに、図面を参照しながら説明を行う。ただ、以下の実施例は本願の発光素子を例示するものであり、本願は以下の実施例に限定されない。また、本明細書の実施例に記載される構成部品のサイズ、材質、形状、相対配置等について特に限定がない場合、単なる説明であり、本願の範囲はこれに限定されない。かつ、各図面に示される部材の大きさ又は位置関係等は、説明を明確にするために拡大される場合がある。さらに、以下の説明において、詳細説明を適宜省略するために、同一又は同じ性質の部材を同一名称、符号で示すとする。

【 0 0 0 7 】

図 1 から図 4 が示すように、図 1 は本願の実施例において開示された発光素子 2 の上面図である。図 2 は図 1 の線 B - B ' に沿って示された発光素子 2 の断面図である。図 3 は図 1 の線 C - C ' に沿って示された発光素子 2 の断面図である。図 4 は図 1 が示した発光素子 2 の工程図である。

【 0 0 0 8 】

発光素子 2 は基板 1 1 b を含み、一つ又は複数の半導体構造 1 0 0 0 b が基板 1 1 b に位置し、囲み部 1 1 1 b が一つ又は複数の半導体構造に位置し、及び/又は一つ又は複数の半導体構造 1 0 0 0 b を囲む。第一絶縁構造 2 0 b は半導体構造 1 0 0 0 b に位置し、かつ囲み部 1 1 1 b に沿って形成される。透明導電層 3 0 b は一つ又は複数の半導体構造 1 0 0 0 b に位置する。反射構造は透明導電層 3 0 b に位置する反射層 4 0 b 及びバリア層 4 1 b を含み、第二絶縁構造 5 0 b が反射層 4 0 b 及びバリア層 4 1 b を被覆する。接触層 6 0 b は第二絶縁構造 5 0 b に位置し、第三絶縁構造 7 0 b が接触層 6 0 b に位置する。また、第一はんだパッド 8 0 b と第二はんだパッド 9 0 b は接触層 6 0 b に位置する。

【 0 0 0 9 】

図 1 から図 4 が示すように、発光素子 2 の製造工程において、まず基板 1 1 b に半導体積層 1 0 b を形成する。基板 1 1 b はサファイア基板であってもよいが、これに限定され

10

20

30

40

50

ない。一実施例において、基板 11b はパターン化表面を含む。パターン化表面は複数個のパターンを含む。パターンの形状は円錐 (cone)、ピラミッド (pyramid) 又は半球形を含む。

【0010】

本願の一実施例において、基板 11b は半導体積層 10b のエピタキシャル成長に用いられる成長基板であって、リン化アルミニウムガリウムインジウム (AlGaInP) を成長させるための砒化ガリウム (GaAs) ウエハー、又は窒化インジウムガリウム (InGaN) を成長させるためのサファイア (Al₂O₃) ウエハー、窒化ガリウム (GaN) ウエハー又は炭化ケイ素 (SiC) ウエハーを含む。

【0011】

本願の一実施例において、基板 11b は半導体構造 1000b と基板 11b との間に位置するパターン化表面を含み、発光素子の光取り出し効率を高めることができる。基板 11b の露出面がパターン化表面 (図示せず) を含んでもよい。パターン化表面は様々なパターン、例えば不規則なパターン、マイクロミラー、マイクロアレイ、散乱領域又はその他の種類の光学領域であってよい。例えば、パターン化表面は複数個の凸部を含み、各凸部の高さが 0.5 ~ 2.5 μm の間にあり、幅が 1 ~ 3.5 μm の間にあり、複数個の凸部の間に 1 ~ 3.5 μm の間隔 (pitch) を有する。

【0012】

本願の一実施例において、発光素子の光取り出し効率を高めるよう、基板 11b は平坦表面及び/又は粗い表面を有する側壁を含む。本願の一実施例において、基板 11b の側壁は、基板 11b に対し傾斜し、半導体構造 1000b に隣接する表面であって、発光素子のライトフィールド分布を調整する。

【0013】

本願の一実施例において、半導体積層 10b は光学特性、例えば発光角度又は波長分布、及び電気的特性、例えば順電圧又は逆電流を有する。半導体積層 10b は有機金属気相成長法 (MOCVD)、分子線エピタキシー (MBE)、ハイドライド気相成長法 (HVPE)、物理気相成長 (PVD) 又はイオン電気めっき法によって、基板 11b に形成され、そのうち、物理気相成長法はスパッタリング (Sputtering) 又は蒸着 (Evaporation) 法を含む。

【0014】

一つ又は複数の半導体構造 1000b はそれぞれ半導体積層 10b を含み、半導体積層 10b は第一半導体層 101b、第二半導体層 102b、及び第一半導体層 101b と第二半導体層 102b との間に位置する活性層 103b を含む。半導体構造 1000b は一つ又は複数個の貫通孔 100b をさらに含み、貫通孔 100b が第二半導体層 102b と活性層 103b を貫通して、第一半導体層 101b を露出させる。第一半導体層 101b と第二半導体層 102b はそれぞれ単層又は複数個のサブ層から構成されてもよい。また、活性層 103b は単一量子井戸構造又は多重量子井戸構造であってよい。半導体積層 10b として、有機金属気相成長法 (MOCVD)、分子線エピタキシー (MBE) 又は物理気相成長法 (PVD) によって、基板 11b に III 族窒化化合物半導体層を形成してもよい。

【0015】

本願の一実施例において、基板 11b と半導体積層 10b との間の結晶格子の不整合を調整するために、半導体積層 10b を形成する前に、まず基板 11b にバッファ構造 (図示せず) を形成してもよい。バッファ構造は、窒化ガリウム (GaN) 系の材料、例えば窒化ガリウム及び窒化アルミニウムガリウム、又は窒化アルミニウム (AlN) 系の材料によって構成されてもよい。バッファ構造は単層又は多層であってよい。バッファ構造は、有機金属気相成長法 (MOCVD)、分子線エピタキシー (MBE) 又は物理気相成長 (PVD) によって形成することができる。物理気相成長 (PVD) はスパッタリング (sputter) 法、例えば反応性スパッタリング、又は蒸着法、例えば電子線蒸着法及び熱蒸着法を含む。一実施例において、バッファ構造は、スパッタリング (sputt

10

20

30

40

50

er)法によって形成された窒化アルミニウム(AlN)バッファ層を含む。窒化アルミニウム(AlN)バッファ層はパターン化表面を有する成長基板上に形成される。スパッタリング(sputter)法は高い均一性を有する緻密なバッファ層を形成することができるため、基板11bのパターン化表面に窒化アルミニウム(AlN)バッファ層を共形的に成長させてもよい。

【0016】

本願の一実施例において、第一半導体層101bと第二半導体層102bは被覆層(cladding layer)であってもよく、両者は異なる導電型、電気性、極性を有し、又はドーパされた元素によって電子又は正孔を提供する。例えば、第一半導体層101bはn型の半導体層であり、第二半導体層102bはp型の半導体層である。活性層103bは第一半導体層101bと第二半導体層102bとの間に形成され、電子と正孔が電流駆動によって活性層103b内に複合し、かつ電気エネルギーを光エネルギーに変換して、光線を発する。半導体積層10bの一層又は複数層の物理及び化学組成を変えることによって、発光素子2が発する光線の波長を調整する。半導体積層10bの材料はIII-V族の半導体材料を含み、例えば、 $Al_xIn_yGa_{(1-x-y)}N$ 又は $Al_xIn_yGa_{(1-x-y)}P$ 、かつ、 $0 < x, y < 1$ 、 $(x+y) < 1$ である。活性層103bの材料によって、半導体積層10bの材料がAlInGaP系である場合、活性層103bは波長が610nmから650nmの間にある赤色光、又は波長が530nmから570nmの間にある黄色光を発することができる。半導体積層10bの材料がInGaP系である場合、活性層103bは波長が400nmから490nmの間にある青色光、深青色光、又は波長が490nmから550nmの間にある緑色光を発することができる。半導体積層10bの材料がAlGaP系である場合、活性層103bは波長が250nmから400nmの間にある紫外光を発することができる。活性層103bはシングルヘテロ構造(single heterostructure、SH)、ダブルヘテロ構造(double heterostructure、DH)、両面ダブルヘテロ構造(double-side double heterostructure、DDH)、又は多重量子井戸構造(multi-quantum well、MQW)であってもよい。活性層103bの材料は中性、p型又はn型の半導体であってもよい。

【0017】

半導体積層10bを基板11bに形成した後、フォトリソグラフィ(photolithography)とエッチング加工によって半導体積層10bをパターン化し、複数個の貫通孔100b及び囲み部111bを形成する。フォトリソグラフィ(photolithography)とエッチング加工によって、第二半導体層102bと活性層103bの内部の一部を除去して、複数個の貫通孔100bを形成し、かつ、複数個の貫通孔100bが対応する第一半導体層101bの第二表面1012bを露出させる。ここで、貫通孔100bは内側壁1002bと第二表面1012bによって定義される。内側壁1002bの一端が第一半導体層101bの第二表面1012bに接続され、内側壁1002bの他端が第二半導体層102bの表面102sbに接続される。

【0018】

同じ又は別のフォトリソグラフィ(photolithography)とエッチング加工によって、半導体構造1000bの周りを囲む第二半導体層102bと活性層103bを除去し、囲み部111bを形成し、かつ囲み部111bが第一半導体層101bの第一表面1011bを露出させる。別の実施例では、フォトリソグラフィ(photolithography)とエッチング加工において、第一半導体層101bの一部がより深いエッチング深さまでさらにエッチングされ、第二表面1012bと第一表面1011bを露出させる。具体的に言うと、囲み部111bは、基板11bの露出面、第一半導体層101bが露出する第一表面1011b、及び第二半導体層102b、活性層103bと第一半導体層101bが露出する側表面によって構成される第一外側壁1003bと第二外側壁1001bを含み、かつ、第一表面1011bの一端が第一外側壁1003bに接続され、第一表面1011bの他端が第二外側壁1001bに接続される。第一外側壁1

10

20

30

40

50

003bと第二外側壁1001bは第一表面1011bに対し傾斜している。囲み部111bは半導体構造1000bの周りに沿って形成され、一つ又は複数の半導体構造1000bの周りに位置し、及び/又は囲む。一実施例において、第一外側壁1003bは基板11bの露出面(図示せず)に対し傾斜している。第一外側壁1003bと基板11bの露出面の間に鋭角がある。一実施例において、第一外側壁1003bと基板11bの露出面の間に鈍角がある。

【0019】

半導体構造1000bを形成した後、第一絶縁構造20bを半導体積層10bに形成し、第二半導体層102bの表面102sbの一部を被覆し、かつ第二外側壁1001bまで延伸し、第一表面1011bを被覆する。言い換えれば、第一絶縁構造20bは囲み部111bの複数の部分を被覆する。第一絶縁構造20bは半導体構造1000bの側壁を保護し、活性層103bが後工程で破壊されることを防止する。図4が示すように、上面図において、第一絶縁構造20bは囲み絶縁部分201b及び複数の環状被覆エリア203bを含む。ここで、上面図において、囲み絶縁部分201bは複数の突出部2011b及び複数の凹陷部2012bを含む。複数の環状被覆エリア203bは囲み絶縁部分201bに囲まれ、かつ複数の環状被覆エリア203bがそれぞれ複数の貫通孔100b内に形成されるとともに、複数の貫通孔100bに対応する。複数の環状被覆エリア203bはそれぞれ開口(図面に符号表示なし)を有し、第一半導体層101bの第二表面1012bを露出させる。一実施例において、第一絶縁構造20bの囲み絶縁部分201bは第一半導体層101bの第一表面1011bに沿って設置され、かつ半導体構造1000bを囲む。本実施例において、囲み絶縁部分201bの複数の突出部2011bと複数の凹陷部2012bが囲み部111bに沿って交互に配置され、かつ複数の環状被覆エリア203bの位置が複数の貫通孔100bの位置に対応するが、本願はこれに限定されない。一実施例において、2つの突出部2011bの間に位置する領域が凹陷部2012bを構成する。別の実施例において、囲み絶縁部分201bは突出部2011bから延伸するサブ突出部をさらに含み、及び/又は凹陷部2012bから凹むサブ凹陷部をさらに含む。本実施例において、複数の突出部2011bは第二半導体層102bの上表面102sbから延伸し、第一半導体層101bの第一表面1011bの複数の部分及び第二半導体層102bの第一表面1011bの複数の角部に直接接触し、かつ被覆する。複数の凹陷部2012bは、複数の突出部2011bに被覆されていない第一半導体層101bの第一表面1011bのその他の部分を露出させる。一実施例において、複数の凹陷部2012bは半導体構造1000bの複数の辺に位置する第一表面1011bを露出させる。図2が示すように、断面図において、第一絶縁構造20bの凹陷部2012bは第一半導体層101bの第一表面1011bの一部を露出させる。図3が示すように、断面図において、第一絶縁構造20bの突出部2011bは第一半導体層101bの第一表面1011b及び半導体構造1000bの複数の側壁を被覆する。言い換えれば、複数の突出部2011bと複数の凹陷部2012bは交互に、第一半導体層101bの第一表面1011bの一部を被覆したり、第一半導体層101bの第一表面1011bの別の部分を露出させたりする。本実施例において、第一表面1011bの露出部分が非連続であり、かつ第一表面1011bの露出部分の総面積が第一表面1011bの総面積より小さい。第二半導体層102bの大部分が第一絶縁構造20bに被覆されない。上面図において、囲み絶縁部分201bの形状は環状であり、例えば矩形、円形又は多角形である。複数の突出部2011b又は複数の凹陷部2012bの一つはその形状が三角形、矩形、半円形、円形又は多角形を含む。第一絶縁構造20bの材料は非導電材料を含む。非導電材料は有機材料、無機材料又は誘電材料を含む。有機材料はSu8、ベンゾシクロブテン(BCB)、パーフルオロシクロブタン(PFCB)、エポキシ樹脂(Epoxy)、アクリル樹脂(Acrylic Resin)、環状オレフィン重合体(COC)、ポリメタクリル酸メチル(PMMA)、ポリエチレンテレフタレート(PET)、ポリイミド(PI)、ポリカーボネート(PC)、ポリエーテルイミド(Polyetherimide)又はフルオロカーボン重合体(Fluorocarbon)

10

20

30

40

50

n Polymer)を含む。無機材料はシリコン(Silicone)又はガラス(Glass)を含む。誘電材料は酸化アルミニウム(Al_2O_3)、窒化ケイ素(SiN_x)、酸化ケイ素(SiO_x)、酸化チタン(TiO_x)、又はフッ化マグネシウム(MgF_x)を含む。第一絶縁構造20bは一層又は複数層を含む。第一絶縁構造20bは、半導体構造1000bの側壁を保護し、活性層103bが後工程で破壊されることを防止できる。第一絶縁構造20bが複数層を含む場合、第一絶縁構造20bは複数対の膜層を含む分布ブラッグ反射鏡(DBR)構造であって、半導体構造1000bの側壁を保護し、及び活性層103bが発する特定の波長の光を選択的に発光素子2の外部まで反射して輝度を高め、且つ各膜層がその隣接する膜層の屈折率と異なる屈折率を有することができる。具体的に言うと、第一絶縁構造20bは、 SiO_x 層と TiO_x 層を交互に積層することによって形成することができる。各対の膜層の高屈折率と低屈折率の間の屈折率差を調整することによって、分布ブラッグ反射鏡(DBR)が特定の波長に対し、又は特定の波長範囲内に高い反射率を有するようにする。各対の膜層中の二つの層が異なる厚さを有する。各対の膜層中の同じ材料を有する層の厚さが同じであっても、異なってもよい。

10

【0020】

第一絶縁構造20bを形成した後、第二半導体層102bに透明導電層30bを形成し、透明導電層30bは複数個の開口301tbを含み、第一半導体層101bの第二表面1012bを露出させる。本実施例では、上面図において、透明導電層30bの形状が第二半導体層102bの形状に対応し、かつ複数個の開口301tbの位置が複数個の環状被覆エリア203bと複数個の貫通孔100bの位置に対応する。透明導電層30bは第二半導体層102bに接触するとともに、それを被覆して電流を拡散し、かつ電流を第二半導体層102bに注入する。また、透明導電層30bは第一半導体層101bと接触しない。一実施例において、発光素子2は別の透明導電層(図示せず)を含み、囲み部111bの第一半導体層101bと接触する。透明導電層30bの材料は、活性層103bから発する光線に対し透明である透明材料、例えば、酸化インジウム亜鉛(IZO)又は酸化インジウムスズ(ITO)を含む。透明導電層30bは、第二半導体層102bと低抵抗接触、例えばオーム接触(ohmic contact)を形成してもよい。透明導電層30bは一層又は複数のサブ層を含む。例えば、透明導電層30bが複数のサブ層を含む場合、透明導電層30bは複数対のサブ層を含む分布ブラッグ反射鏡(DBR)構造であって、かつ各サブ層がその隣接するサブ層の屈折率と異なる屈折率を有してもよい。具体的に言うと、透明導電層30bは、屈折率が異なる二つのサブ層を交互に積層することによって、分布ブラッグ反射鏡(DBR)構造を形成することができる。

20

30

【0021】

透明導電層30bを形成した後、反射層40b及びバリア層41bを含む反射構造を透明導電層30b上に対応して形成する。一実施例において、反射構造は透明導電層30bと位置を合わせ、反射構造の複数辺が透明導電層30bの複数辺と位置を合わせている。一実施例において、反射構造は透明導電層30bと位置を合わせず、かつ反射構造の複数辺が透明導電層30bの複数辺より内又は外に位置する。一実施例において、透明導電層30bと反射構造が第一絶縁構造20bまで延伸する。

【0022】

反射層40b及びバリア層41bはそれぞれ複数個の開口401tbと411tbを含む。反射層40bの複数個の開口401tb及びバリア層41bの複数個の開口411tbが複数個の環状被覆エリア203b、複数個の貫通孔及び第一半導体層101bの第二表面1012b露出させる。バリア層41bは反射層40bに形成され、かつ被覆し、バリア層41bは反射層40bの金属元素の遷移、拡散又は酸化を防止できる。反射構造の反射層40bとバリア層41bの形状が透明導電層30bの形状に対応する。一実施例において、反射構造の反射層40bとバリア層41bの形状が矩形に近く、かつ、反射層40bとバリア層41bの角部がアーチ形である。反射層40bは単層構造又は多層構造を含み、かつ反射層40bの材料は活性層103bが発する光線に対し高い反射率を有する金属材料、例えば、銀(Ag)、金(Au)、アルミニウム(Al)、チタン(Ti)、

40

50

クロム (Cr)、銅 (Cu)、ニッケル (Ni)、プラチナ (Pt) 又は上記材料の合金を含む。バリア層 41b は単層構造又は多層構造を含み、バリア層の材料はクロム (Cr)、プラチナ (Pt)、チタン (Ti)、タングステン (W) 又は亜鉛 (Zn) を含む。バリア層 41b が多層構造である場合、バリア層 41b は第一バリア層 (図示せず) と第二バリア層 (図示せず) が交互に積層して形成され、例えば、Cr/Pt、Cr/Ti、Cr/TiW、Cr/W、Cr/Zn、Ti/Pt、Ti/W、Ti/TiW、Ti/Zn、Pt/TiW、Pt/W、Pt/Zn、TiW/W、TiW/Zn、又は W/Zn である。反射構造はさらに、反射層 40b の下に形成された分布ブラッグ反射鏡 (DBR) を含んでもよい。分布ブラッグ反射鏡 (DBR) 構造は複数対のサブ層を含み、且つ各サブ層がその隣接するサブ層の屈折率と異なる屈折率を有する。一実施例において、SiO_x 層と TiO_x 層を交互に積層することによって、複数対のサブ層を形成してもよい。各対のサブ層の高屈折率と低屈折率の間の屈折率差を調整することによって、分布ブラッグ反射鏡 (DBR) が特定の波長又は特定の波長範囲内に高反射率を有するようにする。各対のサブ層中の二つの層が異なる厚さを有する。各対のサブ層中の同じ材料を有する層の厚さが同じであっても、異なってもよい。

【0023】

反射構造を形成した後、反射構造 (反射層 40b 又はバリア層 41b) の上表面の一部を被覆するように、且つ反射構造と第一絶縁構造 20b の間の第二半導体層 102b の周囲領域に位置するように、反射構造に第二絶縁構造 50b を形成する。第二絶縁構造 50b は第一絶縁構造 20b に接触し、且つそれを被覆して、囲み部 111b の第一外側壁 1003b と第二外側壁 1001b、及び第一絶縁構造 20b に被覆される第一表面 1011b の部分も第二絶縁構造 50b に被覆されるようにする。第二絶縁構造 50b は、半導体構造 1000b の側壁を保護し、活性層 103b が後工程において破壊されることを防止できる。第二絶縁構造 50b が第一絶縁構造 20b を被覆するため、第二絶縁構造 50b は第一絶縁構造 20b が後工程でエッチングされて除去されることを防止できる。図 4 が示すように、第二絶縁構造 50b は複数個の開口 501b 及び開口 503b を含む。ここで、第二絶縁構造 50b は、複数個の突出部 5051b と複数個の凹陷部 5052b を有する外囲 505b を含む。開口 503b は反射構造の反射層 40b 又はバリア層 41b の一部を露出させ、且つ、複数個の開口 501b は第一半導体層 101b の第二表面 1012b を露出させる。図 2 から図 4 が示すように、本実施例において、第二絶縁構造 50b の外囲 505b は、第一絶縁構造 20b に接触、被覆し、かつ位置を合わせる。複数個の開口 501b の位置と複数個の開口 401tb、411tb、301tb、及び複数個の貫通孔 100b の位置が対応する。また、第二絶縁構造 50b の外囲 505b に位置する複数個の突出部 5051b と複数個の凹陷部 5052b は、第一絶縁構造 20b の囲み絶縁部分 201b 又は囲み部 111b に沿って交互に配列し、それぞれ第一半導体層 101b の第一表面 1011b の異なる部分を被覆及び露出させる。一実施例において、二つの突出部 5051b の間にある領域が凹陷部 5052b を構成する。別の実施例において、第二絶縁構造 50b は、突出部 5051b から延伸するサブ突出部をさらに含み、及び/又は凹陷部 5052b から凹むサブ凹陷部をさらに含む。また、一実施例において、第二絶縁構造 50b の外囲 505b の形状が第一絶縁構造 20b の囲み絶縁部分 201b の形状に対応し、囲み部 111b に位置する第一半導体層 101b の第一表面 1011b の部分を非連続的に露出させる。言い換えれば、複数個の突出部 5051b と複数個の凹陷部 5052b の形状と位置は、囲み絶縁部分 201b の複数個の突出部 2011b と複数個の凹陷部 2012b の形状と位置に対応する。複数個の凹陷部 2012b によって露出される第一表面 1011b の部分は、複数の複数個の凹陷部 5052b によっても露出される。複数個の突出部 2011b に被覆される第一表面 1011b の部分は、複数個の突出部 5051b にも被覆される。第一表面 1011b が第一絶縁構造 20b と第二絶縁構造 50b によって非連続的に露出される場合、一実施例において、突出部 5051b と凹陷部 5052b の形状又は位置が、突出部 2011b と凹陷部 2012b の形状又は位置と異なってもよい。一実施例において、突出部 5051b と凹陷部 5052b の面積が、

10

20

30

40

50

突出部 2011b と凹陷部 2012b の面積より大きくても、又は小さくてもよい。凹陷部 2012b 及び凹陷部 5052b において露出される第一表面 1011b の部分は、突出部 2011b、5051b と凹陷部 2012b、5052b の形状、位置又は面積によって調整される。

【0024】

図 2 が示すように、断面図において、第一半導体層 101b の第一表面 1011b の一部は、第一絶縁構造 20b の複数個の凹陷部 2012b によって露出され、且つ、第二絶縁構造 50b の複数個の凹陷部 5052b によっても露出される。言い換えれば、第一半導体層 101b の第一表面 1011b において複数個の突出部 2011b、5051b に被覆されず、かつ複数個の凹陷部 2012b に露出されている部分は、第二絶縁構造 50b の複数個の凹陷部 5052b によって露出される。図 3 が示すように、断面図において、複数個の突出部 5051b は、第一半導体層 101b の第一表面 1011b において第一絶縁構造 20b の複数個の突出部 2011b を被覆し、かつ第一外側壁 1003b と第二外側壁 1001b に形成された囲み絶縁部分 201b 及び第一半導体層 101b の第一表面 1011b の角部を被覆し、なお、第一外側壁 1003b と第二外側壁 1001b は、第二半導体層 102b、活性層 103b と第一半導体層 101b が露出する側表面によって構成される。具体的に言うと、本実施例において、複数個の突出部 5051b は第一絶縁構造 20b の複数個の突出部 2011b と直接接触し、複数個の凹陷部 5052b が第一半導体層 101b の第一表面 1011b を露出させ、かつ複数個の突出部 5051b 及び複数個の凹陷部 5052b は互いに交互に配列して、第一半導体層 101b の第一表面 1011b の部分を非連続的に露出させる。言い換えれば、複数個の凹陷部 5052b において露出される第一表面 1011b の部分は非連続であり、かつ第一表面 1011b は総露出面積を有する。第一表面 1011b の総露出面積は第一表面 1011b の全体面積より小さい。

【0025】

一実施例において、複数個の突出部 5051b のうちの形状が三角形、矩形、半円形、円形又は多角形を含む。第二絶縁構造 50b の材料は非導電材料を含む。非導電材料は有機材料、無機材料又は誘電材料を含む。有機材料は Su8、ベンゾシクロブテン (BCB)、パーフルオロシクロブタン (PFCB)、エポキシ樹脂 (Epoxy)、アクリル樹脂 (Acrylic Resin)、環状オレフィン重合体 (COC)、ポリメタクリル酸メチル (PMMA)、ポリエチレンテレフタレート (PET)、ポリイミド (PI)、ポリカーボネート (PC)、ポリエーテルイミド (Polyetherimide) 又はフルオロカーボン重合体 (Fluorocarbon Polymer) を含む。無機材料は、シリコン (Silicone) 又はガラス (Glass) を含む。誘電材料は酸化アルミニウム (Al_2O_3)、窒化ケイ素 (SiN_x)、酸化ケイ素 (SiO_x)、酸化チタン (TiO_x)、又はフッ化マグネシウム (MgF_x) を含む。第二絶縁構造 50b は一層又は複数層を含む。第二絶縁構造 50b は、半導体構造 1000b の側壁を保護し、活性層 103b が後工程で破壊されることを防止し、及び活性層 103b が発する特定の波長の光を選択的に発光素子 2 の外部まで発射して、輝度を高めることができる。第二絶縁構造 50b が複数層を含む場合、第二絶縁構造 50b は複数対の膜層を含む分布ブラッグ反射鏡 (DBR) 構造であって、かつ各膜層がその隣接する膜層の屈折率と異なる屈折率を有してもよい。一実施例において、第二絶縁構造 50b は、 SiO_x 層と TiO_x 層を交互に積層することによって形成することができる。各対の膜層の高屈折率と低屈折率の間の屈折率差を調整することによって、分布ブラッグ反射鏡 (DBR) が特定の波長に対し、又は特定の波長範囲内に高反射率を有するようにする。各対の膜層中の二つの層が異なる厚さを有する。各対の膜層中の同じ材料を有する層の厚さが同じでも、異なってもよい。

【0026】

図 1 から図 4 を参照すると、接触層 60b は第二絶縁構造 50b 及び反射構造 (反射層 40b 及びバリア層 41b) に位置し、第一接触部分 600b、第二接触部分 601b 及

10

20

30

40

50

び第三接触部分 602b を含む。一実施例では、上面図において、第二接触部分 601b は半導体構造の幾何中心に位置する。第一接触部分 600b 及び第三接触部分 602b は互いに分離している。第三接触部分 602b は第一接触部分 600b に囲まれている。第一接触部分 600b は第一半導体層 101b に電氣的に接続され、第三接触部分 602b は第二半導体層 102b に電氣的に接続され、かつ第二接触部分 601b は第一半導体層 101b 及び第二半導体層 102b と電氣的に絶縁されている。一実施例において、第二接触部分 601b は、第一接触部分 600b 及び第三接触部分 602b のうちの一つに電氣的に接続される。一実施例において、第一接触部分 600b は、第二絶縁構造 50b の複数個の開口 501b 及び複数個の凹陷部 5052b によって、第二表面 1012b 及び第一表面 1011b に接触し、かつ第一半導体層 101b に電氣的に接続される。また、
 10
 囲み部 111b の断面図において、第一接触部分 600b は、第一絶縁構造 20b 又は第二絶縁構造 50b の外囲 505b に沿って凹凸上表面を有する。第一接触部分 600b は、外囲 505b に沿って、複数個の突出部 5051b と複数個の凹陷部 5052b に形成され、かつ凹凸上表面は複数個の突出部 5051b と複数個の凹陷部 5052b に対応して形成される。第一接触部分 600b は、囲み絶縁部分 201b の複数個の凹陷部 2012b 及び第二絶縁構造 50b の複数個の凹陷部 5052b によって、第一表面 1011b と非連続的に接触する。第一接触部分 600b と第一半導体層 101b の第一表面 1011b は、複数個の非連続的な第一接触領域（図示せず）を含む。第一接触部分 600b と第一半導体層 101b の第二表面 1012b は、複数個の第一接触領域（図示せず）を含む。

【0027】

本実施例において、第二接触部分 601b 及び第三接触部分 602b は第一接触部分 600b に囲まれ、且つ、上面図において、第二接触部分 601b の形状は幾何形状、例えば、矩形、円形又は不規則形を含む。第三接触部分 602b は、第二絶縁構造 50b の開口 503b によって、反射構造と接触し、且つ第二半導体層 102b に電氣的に接続される。第三接触部分 602b と反射構造との間に第二接触領域（図示せず）を有する。一実施例において、第二接触部分 601b は第一接触部分 600b 又は第三接触部分 602b に接続されてもよい。接触層 60b は単層又は複数個のサブ層によって構成されてもよい。接触層 60b は金属材料、例えばアルミニウム（Al）、クロム（Cr）、プラチナ（Pt）、チタン（Ti）、タングステン（W）又は亜鉛（Zn）を含む。
 30

【0028】

図 1 から図 4 を参照すると、接触層 60b を形成した後、接触層 60b を被覆するように、接触層 60b に第三絶縁構造 70b を形成する。第三絶縁構造 70b は第一開口 701b 及び第二開口 702b を含む。第三絶縁構造 70b の第一開口 701b は、接触層 60b の第一接触部分 600b を露出させる。第二開口 702b は、接触層 60b の第三接触部分 602b を露出させる。第三絶縁構造 70b の材料は非導電材料を含む。非導電材料は有機材料、無機材料又は誘電材料を含む。有機材料は Su8、ベンゾシクロブテン（BCB）、パーフルオロシクロブタン（PFCB）、エポキシ樹脂（Epoxy）、アクリル樹脂（Acrylic Resin）、環状オレフィン重合体（COC）、ポリメタクリル酸メチル（PMMA）、ポリエチレンテレフタレート（PET）、ポリイミド（PI）、ポリカーボネート（PC）、ポリエーテルイミド（Polyetherimide）又はフルオロカーボン重合体（Fluorocarbon Polymer）を含む。
 40
 無機材料はシリコン（Silicone）又はガラス（Glass）を含む。誘電材料は、酸化アルミニウム（ Al_2O_3 ）、窒化ケイ素（ SiN_x ）、酸化ケイ素（ SiO_x ）、酸化チタン（ TiO_x ）、又はフッ化マグネシウム（ MgF_x ）を含む。第一絶縁構造 20b、第二絶縁構造 50b 及び第三絶縁構造 70b は、スクリーンプリント、蒸着又はスパッタリングによって形成することができる。

【0029】

第三絶縁構造 70b を形成した後、半導体積層 10b に第一はんだパッド 80b と第二はんだパッド 90b を形成して、発光素子 2 の製造を終了する。第一はんだパッド 80b
 50

及び第二はんだパッド90bの位置は、それぞれ第三絶縁構造70bの第一開口701b及び第二開口702bの位置に対応する。一実施例において、第一はんだパッド80b及び第二はんだパッド90bの位置及び形状は、それぞれ第三絶縁構造70bの第一開口701b及び第二開口702bの位置及び形状に対応する。第一はんだパッド80bは、第三絶縁構造70bの第一開口701bによって、接触層60bの第一接触部分600bに接触し、かつ第一半導体層101bに電氣的に接続される。第二はんだパッド90bは、第三絶縁構造70bの第二開口702bによって、接触層60bの第三接触部分602bに接触し、かつ第二半導体層102bに電氣的に接続される。一実施例において、発光素子の上面図から見て、第一はんだパッド80bは第二はんだパッド90bと同じ形状を有し、例えば、第一はんだパッド80b及び第二はんだパッド90bが 状を含むが、本発明はこれに限定されないことは明らかである。一実施例において、第一はんだパッド80bの形状又は大きさが第二はんだパッド90bの形状又は大きさと異なってもよい。例えば、第一はんだパッド80bの形状が矩形であり、第二はんだパッド90bの形状が 状であり、かつ第一はんだパッド80bの面積が第二はんだパッド90bの面積より大きい。一実施例において、第一はんだパッド80bと第二はんだパッド90bは単層又は複数層を有する構造を含む。第一はんだパッド80bと第二はんだパッド90bは金属材料を含み、例えば、クロム(Cr)、チタン(Ti)、タングステン(W)、アルミニウム(Al)、インジウム(In)、錫(Sn)、ニッケル(Ni)、プラチナ(Pt)又は上記材料の合金を含む。第一はんだパッド80bと第二はんだパッド90bが複数層を含む場合、第一はんだパッド80bは第一上はんだパッドと第一下はんだパッドを含み、かつ第二はんだパッド90bは第二上はんだパッドと第二下はんだパッドを含む。上はんだパッドと下はんだパッドは異なる機能を有する。上はんだパッドの機能として、はんだ付けと配線(wiring)に用いられる。発光素子2は、上はんだパッドを介して、はんだ(solder)又はAuSn共晶接合によって、パッケージ基板上に反転、実装される。上はんだパッドは、高展延性を有する金属材料、例えば、ニッケル(Ni)、コバルト(Co)、鉄(Fe)、チタン(Ti)、銅(Cu)、金(Au)、タングステン(W)、ジルコニウム(Zr)、モリブデン(Mo)、タンタル(Ta)、アルミニウム(Al)、銀(Ag)、プラチナ(Pt)、パラジウム(Pd)、ロジウム(Rh)、イリジウム(Ir)、ルテニウム(Ru)、オスミウム(Os)を含む。上はんだパッドは上記材料の単層、多層又は合金であってもよい。本願の一実施例において、上はんだパッドの材料はニッケル(Ni)及び/又は金(Au)を含むことが好ましく、かつ上はんだパッドは単層又は多層であってもよい。下はんだパッドの機能は、接触層60b、反射層40b又はバリア層41bと安定した界面を形成し、例えば、第一下はんだパッドと接触層60bとの間の界面接合強度を改善し、又は第二下はんだパッドと反射層40b又はバリア層41bとの間の界面接合強度を改善する。下はんだパッドの別の機能は、はんだ又はAuSn中の錫(Sn)が反射構造中まで拡散し、反射構造の反射率を損なうことを防止する。従って、下はんだパッドは金(Au)と銅(Cu)以外の金属元素を含むことが好ましく、例えば、ニッケル(Ni)、コバルト(Co)、鉄(Fe)、チタン(Ti)、タングステン(W)、ジルコニウム(Zr)、モリブデン(Mo)、タンタル(Ta)、アルミニウム(Al)、銀(Ag)、プラチナ(Pt)、パラジウム(Pd)、ロジウム(Rh)、イリジウム(Ir)、ルテニウム(Ru)、オスミウム(Os)を含む。下はんだパッドは上記材料の単層、多層又は合金であってもよい。本願の一実施例において、下はんだパッドはチタン(Ti)とアルミニウム(Al)の多層膜、又はクロム(Cr)とアルミニウム(Al)の多層膜を含むことが好ましい。

【0030】

一実施例において、発光素子2を操作した場合、外部電源が第一はんだパッド80bと第二はんだパッド90bにそれぞれ電氣的に接続される。この場合、電流が発光素子2中に注入され、第一接触部分600bと第三接触部分602bによって電流が拡散され、それぞれ第一接触領域と第二接触領域を経由して第一半導体層101bと第二半導体層102b中に注入される。発光素子2の電流分布を改善するために、第一接触部分600b及

10

20

30

40

50

び第一半導体層101bの第一表面1011bの間の第一接触領域の面積と位置を調整することで、電流が第一表面1011bの特定領域、例えば第一表面1011bの角部に集中することを回避できる。一実施例において、第一絶縁構造20bの囲み絶縁部分201bと第二絶縁構造50bの外囲505bが第一半導体層101bの第一表面1011bの一部を被覆するため、囲み絶縁部分201bと第二絶縁構造50bによって、接触層60bと第一表面1011bの間の第一接触領域の面積と位置を調整できる。言い換えれば、第一接触領域の面積と位置は、囲み絶縁部分201bと第二絶縁構造50bの凹陷部2012b、5052bにおいて露出される第一表面1011bの露出部分によって調整される。しかし、第一絶縁構造20bの囲み絶縁部分201bと第二絶縁構造50bを設計する際に、発光素子2の順電圧(V_f)と電流分布を同時に考慮して取捨する必要がある。具体的に言うと、第一接触領域の面積が大きい程、発光素子2の順電圧がより低い。しかし、第一接触領域の面積が大きくなると、発光素子2に電流集中効果(Current crowding effect)が生じる。許容可能な順電圧(V_f)と好ましい電流分布を達成するために、第一接触部分600bは複数個の凹陷部2012b、5052bによって第一表面1011bと非連続的に接触し、複数個の突出部2011b、5051bによって第一表面1011bの部分と電氣的に絶縁するように設計されている。一実施例において、第一接触部分600bは、第一半導体層101bの第一表面1011bの角部に接触しないように設計されている。これにより、電流は第一接触部分600bの非連続的な第一接触領域によって、第一半導体層101bに注入され、かつ第一絶縁構造20bと第二絶縁構造50bに被覆されている領域中に直接注入することはできない。従って、電流は第一接触部分600bによって拡散され、さらに非連続的な第一接触領域によって拡散される。言い換えれば、囲み絶縁部分201bと第二絶縁構造50bの外囲505bの設計は、順電圧値を影響し、かつ電流経路を変更し、電流を複数個の凹陷部2012b及び複数個の凹陷部5052bによって露出される第一表面に流入させ、電流分布を変えることができる。本実施例において、第一接触部分600bの面積は、許容可能な順電圧値、例えば2.15V~2.4Vを達成するために十分であり、かつこの第一接触領域において、所望の電流分布を達成可能であり、詳しくは後に述べる。

10

20

【0031】

図5と図6が示すように、図5は発光素子2の焼壊領域の上面図である。図6は従来の発光素子3の焼壊領域の上面図である。発光素子2と従来の発光素子3との間の差は、従来の発光素子3の第一絶縁構造20b'と第二絶縁構造50b'が発光素子2のような複数個の突出部2011b、5051bと複数個の凹陷部2012b、5052bを有しないことにある。従来の発光素子3において、第一半導体層101bの第一表面1011b全体が露出されて接触層60bと接触するため、接触層60bが第一半導体層101bの第一表面1011bと連続的に接触し、かつ、第一半導体層101bの第一表面1011bの角部(図示せず)と直接接触する。

30

【0032】

図6が示すように、従来の発光素子3にサージが印加された時、従来の発光素子3はこの高電圧に耐えて電流を有効的に分散させることができず、電流が角部に集中するため、従来の発光素子3は焼壊しやすい。図6を参照すると、サージ電圧は従来の発光素子3の正常な作業電圧を超えており、かつこのサージは符号f3が示す複数の故障領域で従来の発光素子3を焼壊する。その他の領域に比べて、従来の発光素子3の電流は、角部により集中し易い傾向がある。発光素子2にその許容度を超えるサージが印加された場合、図5が示すように、発光素子2の故障領域が符号f2で示されている。故障領域f2の分布は従来の発光素子3の故障領域f3の分布と異なり、発光素子2の電流は第一半導体層101bの第一表面1011bの角部に集中せず、発光素子2の電流分布は従来の発光素子3の電流分布に比べてより均一であり、かつより高電圧のサージに耐えられる。

40

【0033】

本実施例において、接触層60bと第一半導体層101bの第一表面1011bの間の非連続的な第一接触エリアは、発光素子2の電流拡散に有利であり、かつ発光素子2のブ

50

ブレークダウン (breakdown) を防止できる。その他、非連続的な第一接触エリアにより、発光素子 2 は許容可能な順電圧、例えば $2.15\text{ V} \sim 2.4\text{ V}$ 、及び予想の電流分布を有する。一実施例では、異なる印加電圧において発光素子 2 と従来の発光素子 3 の電氣的オーバーストレス (Electrical Over Stress、EOS) 測定を行った。図 7、図 8 と図 9 を参照する。図 7 は電氣的オーバーストレス (Electrical Over Stress、EOS) 測定におけるサージ (surge) の電圧波形図である。図 8 は発光素子 2 と従来の発光素子 3 の電氣的オーバーストレス (Electrical Over Stress、EOS) 測定における、最大印加電圧のサージ (surge) と導通可能な順電圧 (forward voltage、 V_f) の表である。図 9 は発光素子 2 と従来の発光素子 3 の電氣的オーバーストレス (Electrical Over Stress、EOS) 測定における、サージ (surge) の最大印加電圧と逆電流 (reverse current、 I_r) の表である。本願の発光素子 2 と従来の発光素子 3 をさらに比較するために、図 8 が示すように、発光素子 2 のサンプル 1、2 と従来の発光素子 3 のサンプル 1、2 の電氣的オーバーストレス (Electrical Over Stress、EOS) 測定を行った。EOS 測定において (IEC 61000-4-5 基準を満たす)、図 7 が示すような電圧波形を有するサージが発光素子 2 と従来の発光素子 3 にそれぞれ印加される。各サージの電圧が時間とともに変換し、且つ各サージが最大印加電圧 $V_a(\text{max})$ を有する。図 8 が示すように、複数のサンプルに異なる最大印加電圧 $V_a(\text{max})$ が印加され、例えば、 0 V 、 20 V 、 30 V 、 35 V 、 40 V 、 45 V 、 50 V 、 55 V 、 60 V と 65 V である。各最大印加電圧 $V_a(\text{max})$ に対し、毎秒 1 回の頻度で 5 回サージを印加し、各サージが約 10^{-4} 秒継続する。各サンプルの大きさが約 $38 \times 38\text{ mil}^2$ である。最大印加電圧でサージ測定を行った後、固定電流 $10\text{ }\mu\text{A}$ において各サンプルを駆動し、各サンプルの順電圧 (V_f) を測定し、かつ図 8 の表に記録した。図 8 が示すように、発光素子 2 のサンプル 1、2 に対しそれぞれ最大印加電圧 65 V と 60 V のサージで EOS 測定を行い、その測定された順電圧 V_f が 2.15 V より小さい。従来の発光素子 3 のサンプル 1、2 に対し最大印加電圧 50 V のサージで EOS 測定を行い、その測定された順電圧 V_f が 2.15 V より小さい。また、許容可能な順電圧値が 2.15 V と 2.4 V の間にあり、発光素子 2 のサンプル 1 に 60 V 以下の最大印加電圧のサージが印加された後、測定された順電圧が 2.15 V より大きく、及び 2.4 V より小さい。即ち、発光素子 2 のサンプル 1 は EOS 測定の後にも正常に操作できる。発光素子 2 のサンプル 2 に 55 V 以下の最大印加電圧のサージが印加された後、測定された順電圧が 2.15 V より大きく、及び 2.4 V より小さい。即ち、サンプル 2 は EOS 測定の後にも正常に操作できる。従来の発光素子 3 に比べて、発光素子 2 は 60 V の最大印加電圧のサージに耐えることができるため、発光素子 2 は電氣的オーバーストレス (Electrical Over Stress、EOS) 測定において従来の発光素子 3 より優れた結果を見せた。

【0034】

一実施例において、上記実施例と同じく、図 9 が示すように、発光素子 2 のサンプル 1、2、3、4 及び従来の発光素子 3 のサンプル 1、2、3、4 を用いて電氣的オーバーストレス (Electrical Over Stress、EOS) 測定を行った。異なる最大電圧 0 V 、 60 V 、 65 V 、 70 V 、 75 V と 80 V を印加することで各サンプルにサージ (surge) 測定を行った。最大電圧を印加した後のサージ (surge) 測定の後、逆電圧 -5 V においてサンプルを駆動させ、かつ各サンプルの逆電流 (I_r) を測定し、測定値を図 9 の表に記録した。本実施例において、発光素子の許容可能な逆電流 (I_r) が $0.3\text{ }\mu\text{A}$ より小さい。図 9 が示すように、発光素子が損傷された場合、例えばブレークダウンの場合、逆電流 (I_r) が発生し、かつ、本実施例において図 9 が示すような $100\text{ }\mu\text{A}$ の値が測定される。最大印加電圧 75 V と 80 V のサージ (surge) において電氣的オーバーストレス (Electrical Over Stress、EOS) 測定を行った場合、発光素子 2 のサンプル 1、2、3、4 の逆電流 I_r (μA) が $100\text{ }\mu\text{A}$ であり、 $0.3\text{ }\mu\text{A}$ より大きい。言い換えれば、発光素子 2 が許容可能なサージ

(surge)の最大印加電圧は75V以下である。最大印加電圧65Vから80Vのサージ(surge)で電氣的オーバーストレス(Electrical Over Stress、EOS)測定を行った場合、発光素子3のサンプル1、2、3、4の逆電流 I_r (μA)が0.3 μA より大きい。言い換えれば、発光素子3が許容可能なサージ(surge)の最大印加電圧は65V以下である。また、許容可能な逆電流(I_r)が0.3 μA より小さいため、70V以下の最大印加電圧のサージ(surge)を印加した後、発光素子2のサンプル1、2、3、4の測定結果が逆電流 I_r ゼロになっており、即ち、発光素子2のサンプル1、2、3、4が依然として正常に操作可能であり、かつ電氣的オーバーストレス(Electrical Over Stress、EOS)測定をクリアした。発光素子3に比べて、発光素子2は70Vの最大印加電圧に耐えられるため、発光素子2は電氣的オーバーストレス(Electrical Over Stress、EOS)測定において従来の発光素子3より優れた結果を見せた。

10

【0035】

図8及び図9が示すように、発光素子2は電氣的オーバーストレス(Electrical Over Stress、EOS)測定において、従来の発光素子3より優れた信頼性を有する。本願の実施例において、第一絶縁構造の囲み絶縁部分201bと第二絶縁構造50bの外囲505bの設計によって、本願の発光素子2は電流が角部に集中することを回避できる。かつ、接触層60bの第一接触領域の面積と位置を調整することによって、許容可能な順電圧を達成できる。これにより、2.15V~2.4Vの間の順電圧を達成し、発光素子2の電流分布を改善し、発光素子2の信頼性を高めることができる。

20

【0036】

図10は本願の一実施例に基づく発光装置30の概略図である。前記実施例中の発光素子2をフリップチップの形式でパッケージ基板51の第一パッド511、第二パッド512に実装する。第一パッド511、第二パッド512の間は絶縁材料を含む絶縁部53によって電氣的に絶縁される。フリップチップの実装は、はんだパッドの形成面に対向する成長基板11b側を上に向けて設置し、成長基板側を主な光取り出し面とする。発光装置30の光取り出し効率を高めるために、発光素子2の周りに反射構造54を設置してもよい。

【0037】

図11は本願の一実施例に基づく発光装置4の概略図である。発光装置4は電球であり、ライトカバー602、反射鏡604、発光モジュール610、ライトベース612、放熱シート614、接続部616及び電気接続素子618を含む。発光モジュール610は搭載部606、及び搭載部606に位置する複数個の発光ユニット608を含み、なお、複数個の発光ユニット608が前記実施例中の発光素子2又は発光装置30であってもよい。

30

【0038】

本願で例示した各実施例は本願を説明するものであり、本願の範囲を制限するものではない。本願に対するわかり易い修正又は変更はいずれも本願の趣旨範囲に属するとする。

【符号の説明】

【0039】

- 2 発光素子
- 3 従来の発光素子
- 4 発光装置
- 10b 半導体積層
- 11b 基板
- 20b、20b' 第一絶縁構造
- 30 発光装置
- 30b 透明導電層
- 40b 反射層
- 41b バリア層

40

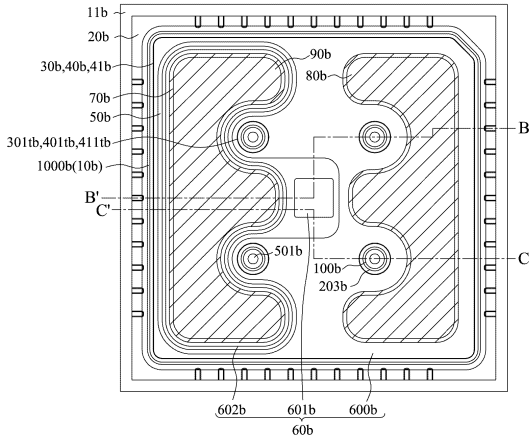
50

5 0 b、5 0 b'	第二絶縁構造	
6 0 b、6 0 b'	接触層	
7 0 b	第三絶縁構造	
8 0 b	第一はんだパッド	
9 0 b	第二はんだパッド	
1 0 0 b	貫通孔	
1 0 1 b	第一半導体層	
1 0 2 b	第二半導体層	
1 0 2 s b	表面	
1 0 3 b	活性層	10
1 1 1 b	囲み部	
2 0 1 b	囲み絶縁部分	
2 0 3 b	環状被覆エリア	
3 0 1 t b	開口	
4 0 1 t b	開口	
4 1 1 t b	開口	
5 0 1 b	開口	
5 0 3 b	開口	
5 0 5 b	外囲	
6 0 0 b	第一接触部分	20
6 0 1 b	第二接触部分	
6 0 2 b	第三接触部分	
7 0 1 b	第一開口	
7 0 2 b	第二開口	
1 0 0 0 b	半導体構造	
1 0 0 2 b	内側壁	
1 0 0 1 b	第二外側壁	
1 0 0 3 b	第一外側壁	
1 0 1 1 b	第一表面	
1 0 1 2 b	第二表面	30
2 0 1 1 b	突出部	
2 0 1 2 b	凹陷部	
5 0 5 1 b	突出部	
5 0 5 2 b	凹陷部	
f 2	故障領域	
f 3	故障領域	
5 1	パッケージ基板	
5 3	絶縁部	
5 4	反射構造	
5 1 1	第一パッド	40
5 1 2	第二パッド	
6 0 2	ライトカバー	
6 0 4	反射鏡	
6 0 6	搭載部	
6 0 8	発光ユニット	
6 1 0	発光モジュール	
6 1 2	ライトベース	
6 1 4	放熱シート	
6 1 6	接続部	
6 1 8	電気接続素子	50

【図面】

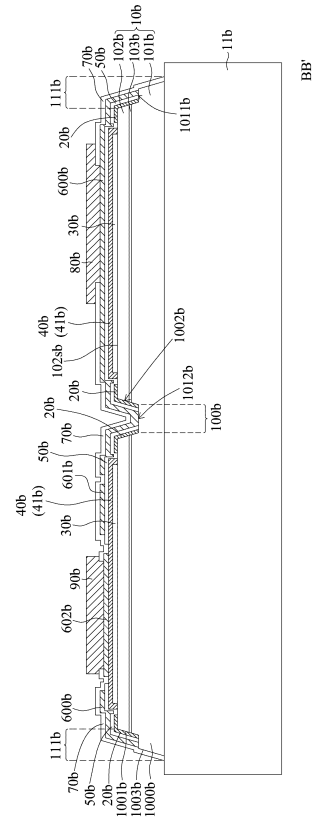
【図 1】

2



【図 2】

2



10

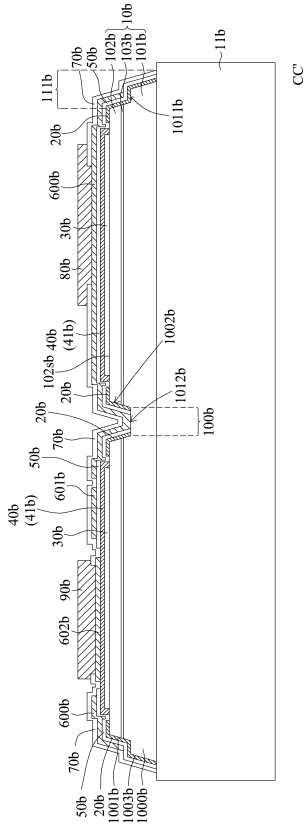
20

30

40

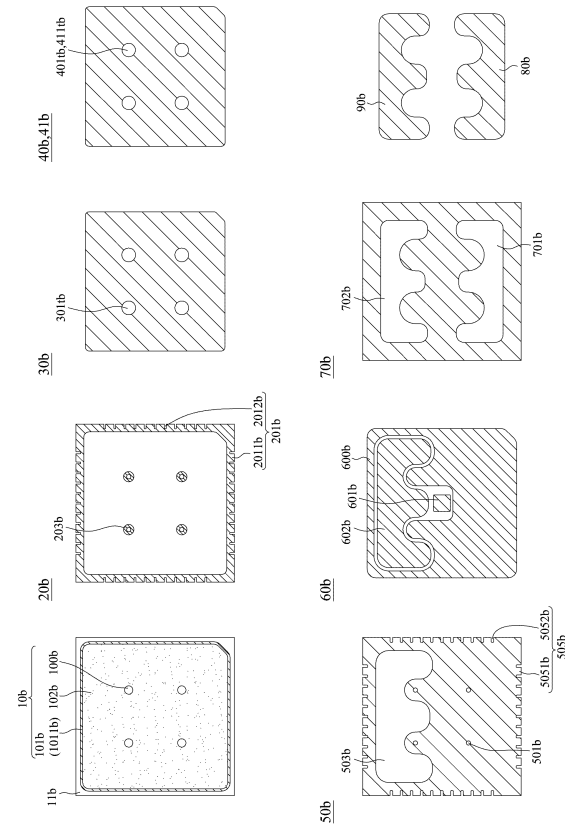
50

【 3 】



2

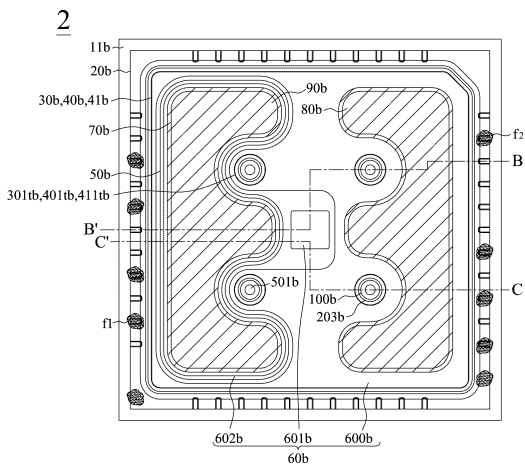
【 4 】



10

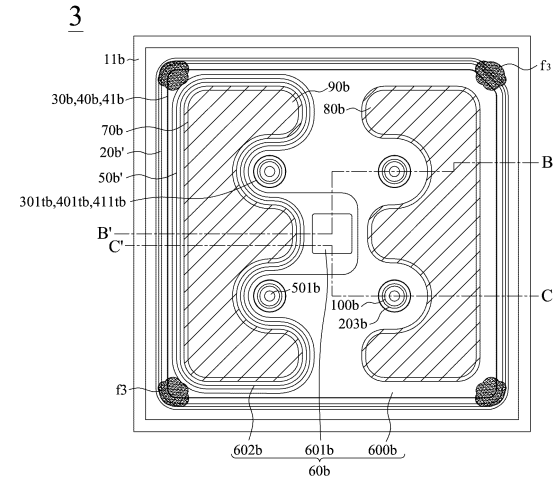
20

【 5 】



2

【 6 】



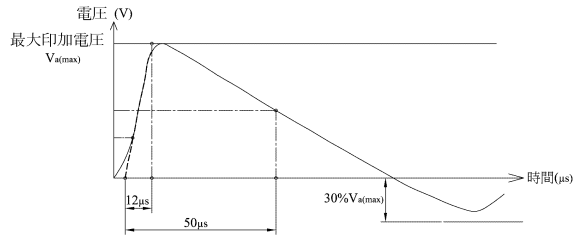
3

30

40

50

【図 7】



【図 8】

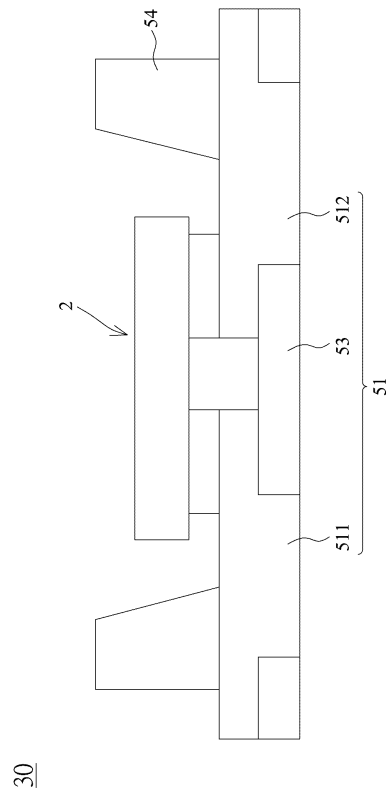
最大印加電圧 $V_{a(max)}$	順電圧 $V_f(V)$			
	発光素子 2		従来の発光素子 3	
	サンプル1	サンプル2	サンプル1	サンプル2
0	2.234	2.319	2.362	2.367
20	2.237	2.324	2.369	2.37
30	2.235	2.322	2.368	2.376
35	2.237	2.32	2.366	2.372
40	2.238	2.323	2.365	2.372
45	2.245	2.324	2.364	2.372
50	2.234	2.322	<-2.15	<-2.15
55	2.236	2.328		
60	2.289	<-2.15		
65	<-2.15			

10

【図 9】

最大印加電圧 $V_{a(max)}$	逆電流 $I_r(\mu A)$							
	発光素子 2				従来の発光素子 3			
	サンプル 1	サンプル 2	サンプル 3	サンプル 4	サンプル 1	サンプル 2	サンプル 3	サンプル 4
0	0	0	0	0	0	0	0	0
60	0	0	0	0	0	0	0	0
65	0	0	0	0	0	0	100	100
70	0	0	0	0	100	100	100	100
75	100	100	100	100	100	100	100	100
80	100	100	100	100	100	100	100	100

【図 10】




20

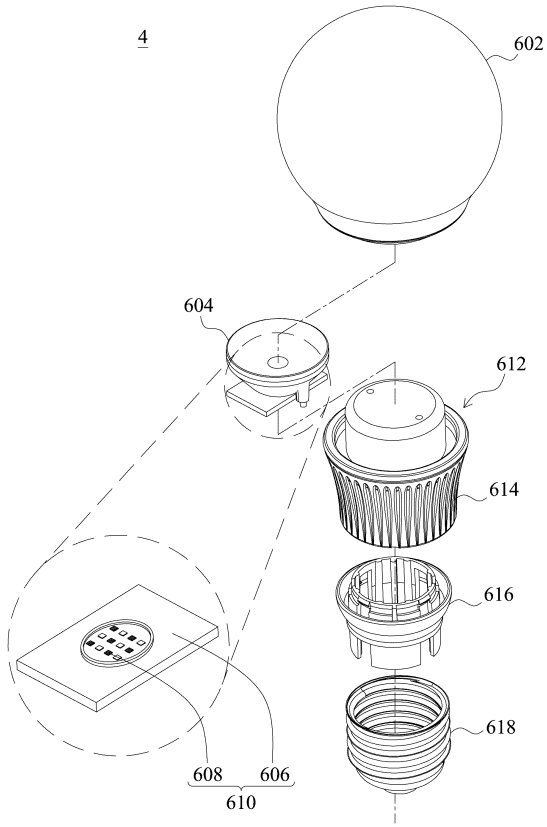
30

30

40

50

【 1 1】



10

20

30

40

50

フロントページの続き

- (72)発明者 チャオ - シン チェン
台湾 シンチュ サイエンス - ベースド・インダストリアル・パーク リ - シン・5ス・ロード 5
- (72)発明者 ジア - クエン ワン
台湾 シンチュ サイエンス - ベースド・インダストリアル・パーク リ - シン・5ス・ロード 5
- (72)発明者 ジュ - ヤオ ツェン
台湾 シンチュ サイエンス - ベースド・インダストリアル・パーク リ - シン・5ス・ロード 5
- (72)発明者 ウェン - ホン チョアン
台湾 シンチュ サイエンス - ベースド・インダストリアル・パーク リ - シン・5ス・ロード 5
- (72)発明者 チョン - リヌ ルウ
台湾 シンチュ サイエンス - ベースド・インダストリアル・パーク リ - シン・5ス・ロード 5
- 審査官 高棕 健司
- (56)参考文献 特開2016 - 208012 (JP, A)
特開2015 - 226038 (JP, A)
米国特許出願公開第2016 / 0247972 (US, A1)
特開2016 - 032009 (JP, A)
特開2016 - 225609 (JP, A)
中国特許出願公開第104465919 (CN, A)
特開2010 - 192859 (JP, A)
特開2008 - 034822 (JP, A)
- (58)調査した分野 (Int.Cl., DB名)
H01L 33 / 00 - 33 / 64